



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2019년06월24일
 (11) 등록번호 10-1992352
 (24) 등록일자 2019년06월18일

- (51) 국제특허분류(Int. Cl.)
H01L 23/48 (2006.01)
- (21) 출원번호 10-2012-0106707
- (22) 출원일자 2012년09월25일
 심사청구일자 2017년09월18일
- (65) 공개번호 10-2014-0039895
- (43) 공개일자 2014년04월02일
- (56) 선행기술조사문현
 KR1020080098513 A*
 KR1020110050957 A*
 US20110193199 A1*
- *는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
문광진
 경기 화성시 영통로50번길 14, 202동 1003호 (반
 월동, 신동탄두산위브아파트)

강성희
 경기 성남시 수정구 등자로63번길 7, (고등동)
 (뒷면에 계속)

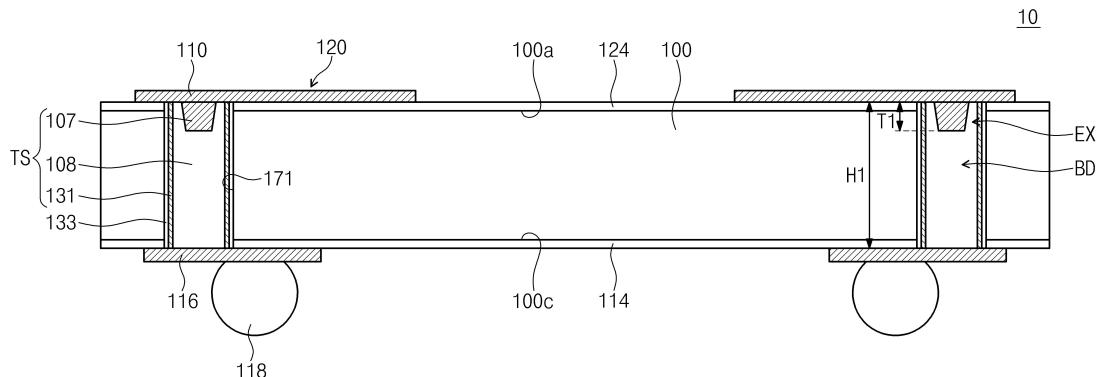
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 18 항

심사관 : 정구원

(54) 발명의 명칭 **반도체 장치****(57) 요약**

본 발명의 반도체 장치 및 그 제조방법에 관한 것으로, 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 포함하는 기판 및 기판을 관통하는 비아홀 내의 관통 전극이 제공된다. 관통 전극과 인접하여 상기 제 1 면에 제공된 접적 회로가 제공된다. 관통 전극은 상기 비아홀의 일부를 채우는 금속층 및 상기 비아홀의 나머지 부분을 채우는 합금층을 포함한다. 합금층은 상기 합금층은 상기 금속층에 포함된 금속 원소 및 상기 금속층에 포함된 금속 원소와 다른 금속원소를 포함한다.

대 표 도

(72) 발명자

김태성

경기 수원시 영통구 영통로 232, 823동 1503호 (영
통동, 벽적골8단지아파트)

박병률

서울 강남구 남부순환로395길 30, 3동 102호 (대치
동, 국제아파트)

박연상

경기 용인시 처인구 중부대로 1511, (마평동)

방석철

경기 용인시 수지구 죽전로 111, 303동 704호 (죽
전동, 꽃메마을한라프로방스)

명세서

청구범위

청구항 1

제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 포함하는 기판;

상기 기판을 관통하는 비아홀 내의 관통 전극; 및

상기 관통 전극과 인접하여 상기 제 1 면에 제공된 접적 회로를 포함하고,

상기 관통 전극은:

상기 비아홀의 일부를 채우는 금속층; 및

상기 비아홀의 나머지 부분을 채우는 합금층을 포함하고,

상기 합금층의 결정립 크기는 상기 금속층의 결정립 크기보다 작고,

상기 합금층은 상기 금속층에 포함된 금속 원소 및 상기 금속층에 포함된 금속 원소와 다른 금속원소를 포함하고 구리를 포함하지 않는 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 관통 전극은 상기 제 1 면에 인접한 상면 및 상기 제 2 면에 인접한 하면을 포함하고,

상기 합금층은 상기 관통 전극의 상면에서 노출된 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 금속층은 상기 합금층과 상기 비아홀의 측벽 사이로 연장되는 연장부를 포함하는 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 합금층 상면의 직경은 상기 연장부의 두께보다 큰 반도체 장치.

청구항 5

제 3 항에 있어서,

상기 관통 전극과 상기 접적 회로를 전기적으로 연결하는 상부 배선을 더 포함하고,

상기 금속층과 상기 합금층은 상기 상부 배선에 공통적으로 접하는 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 관통 전극은 상기 비아홀의 측벽을 따라 제공되는 배리어층을 더 포함하고,

상기 합금층은 상기 배리어층과 접하는 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 합금층의 두께는 상기 관통 전극의 총 길이의 2% 내지 15%인 반도체 장치.

청구항 8

삭제

청구항 9

제 1 항에 있어서,

상기 금속층의 평균 결정립 크기는 상기 합금층의 평균 결정립 크기의 2배 이상인 반도체 장치.

청구항 10

삭제

청구항 11

제 1 항에 있어서,

상기 금속층은 텅스텐(W)을 포함하고, 상기 합금층은 W-Mn합금(Mn은 5atm% 내지 8atm%), W-Au합금(Au는 10atm% 이상), 또는 W-Ni합금(Ni는 2atm%이상) 중 적어도 하나를 포함하는 반도체 장치.

청구항 12

제 1 항에 있어서,

상기 집적 회로를 덮는 제 1 층간 절연막을 더 포함하고,

상기 관통 전극은, 상기 제 1 면에 대향하는, 상기 제 1 층간 절연막의 상면으로 연장되는 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 합금층의 하면은 상기 제 1 면보다 높은 반도체 장치.

청구항 14

제 1 항에 있어서,

상기 집적 회로를 덮는 제 1 층간 절연막을 더 포함하고,

상기 제 1 층간 절연막은 상기 관통 전극의 상면을 덮는 반도체 장치.

청구항 15

제 1 항에 있어서,

상기 집적 회로를 덮는 제 1 층간 절연막;

상기 제 1 층간 절연막 상의 금속 배선; 및

상기 금속 배선 상의 제 2 층간 절연막을 더 포함하고,

상기 관통 전극은, 상기 제 1 층간 절연막에 대향하는, 상기 제 2 층간 절연막의 상면으로 연장하는 반도체 장치.

청구항 16

활성면, 상기 활성면과 대향하는 비활성면, 및 상기 활성면과 상기 비활성면을 관통하는 비아홀을 포함하는 기판; 및

상기 비아홀 내의 관통 전극을 포함하고,

상기 관통 전극은 상기 비아홀의 일부를 채우는 금속층, 및 상기 금속층 상에 제공되고 상기 금속층에 포함된 금속 원소와 다른 금속 원소를 포함하고 구리를 포함하지 않는 합금층을 포함하고,

상기 금속층은 상기 합금층과 상기 비아홀의 측벽 사이로 연장되는 연장부를 포함하고,
상기 합금층의 결정립 크기는 상기 금속층의 결정립 크기보다 작은 반도체 장치.

청구항 17

제 16 항에 있어서,
상기 금속층은 상기 합금층 아래의 바디부를 더 포함하고,
상기 연장부의 결정립 크기는 상기 바디부의 결정립 크기보다 작은 반도체 장치.

청구항 18

제 16 항에 있어서,
상기 관통 전극과 인접하여 상기 기판의 활성면 상에 제공된 접적 회로; 및
상기 관통 전극과 상기 접적 회로를 전기적으로 연결하는 상부 배선을 더 포함하고,
상기 금속층과 상기 합금층은 상기 상부 배선에 공통적으로 접하는 반도체 장치.

청구항 19

제 18 항에 있어서,
상기 접적 회로를 덮는 충간 절연막을 더 포함하고,
상기 관통 전극은 상기 충간 절연막을 관통하여 상기 상부 배선과 연결되고,
상기 합금층의 하면은 상기 활성면보다 높은 반도체 장치.

청구항 20

제 16 항에 있어서,
상기 합금층은 상기 금속층에 포함된 금속 원소를 더 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 관통 전극을 구비한 구비한 반도체 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 오늘날 전자산업의 추세는 경량화, 소형화, 고속화, 다기능화, 및 고성능화된 제품을 저렴한 가격으로 제조하는 것이다. 이러한 목표를 달성하기 위하여 멀티 칩 적층 패키지(multi-chip stacked package) 기술 또는 시스템 인 패키지(system in package) 기술이 사용된다.

[0003] 멀티 칩 적층 패키지 또는 시스템 인 패키지는 복수 개의 단위 반도체 장치들의 기능을 하나의 반도체 패키지에서 수행할 수 있다. 멀티 칩 적층 패키지 또는 시스템 인 패키지는 통상적인 단일 칩 패키지에 비하여 다소 두꺼울 수 있지만, 평면적으로는 단일 칩 패키지와 크기와 거의 유사하므로, 휴대전화기, 노트북 컴퓨터, 메모리 카드, 휴대용 캠코더 등과 같은 고기능이면서 동시에 소형 내지 이동성이 요구되는 제품들에 주로 사용된다. 멀티 칩 적층 패키지 기술 또는 시스템 인 패키지 기술은 실리콘 관통 전극(through silicon via: TSV) 기술을 사용한다. 상기 관통 전극은 반도체 장치의 성능에 영향을 미칠 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하려는 과제는, 관통 전극을 이루는 결정립들의 열적 스트레스에 의한 돌출 현상을 완화하여 반

도체 패키지의 접속 불량 또는 크랙을 방지하는데 있다.

과제의 해결 수단

- [0005] 상기 목적을 달성할 수 있는 본 발명의 일 실시예에 따른 반도체 장치는: 제 1 면 및 상기 제 1 면에 대향하는 제 2 면을 포함하는 기판; 상기 기판을 관통하는 비아홀 내의 관통 전극; 및 상기 관통 전극과 인접하여 상기 제 1 면에 제공된 접적 회로를 포함하고, 상기 관통 전극은 상기 비아홀의 일부를 채우는 금속층; 및 상기 비아홀의 나머지 부분을 채우는 합금층을 포함하고, 상기 합금층은 상기 금속층에 포함된 금속 원소 및 상기 금속층에 포함된 금속 원소와 다른 금속 원소를 포함할 수 있다.
- [0006] 상기 관통 전극은 상기 제 1 면에 인접한 상면 및 상기 제 2 면에 인접한 하면을 포함하고, 상기 합금층은 관통 전극의 상면에서 노출될 수 있다.
- [0007] 상기 금속층은 상기 합금층과 상기 비아홀의 측벽 사이로 연장되는 연장부를 포함할 수 있다.
- [0008] 상기 합금층 상면의 직경은 상기 연장부의 두께보다 클 수 있다.
- [0009] 상기 관통 전극과 상기 접적 회로를 전기적으로 연결하는 상부 배선을 더 포함하고, 상기 금속층과 상기 합금층은 상기 상부 배선에 공통적으로 접할 수 있다.
- [0010] 상기 관통 전극은 상기 비아홀의 측벽을 따라 제공되는 배리어층을 더 포함하고, 상기 합금층은 상기 배리어층과 접할 수 있다.
- [0011] 상기 관통 전극은 상기 금속층과 상기 합금층 사이의 분리 도전층을 더 포함하고, 상기 금속층과 상기 합금층은 상기 분리 도전층에 의하여 분리될 수 있다.
- [0012] 상기 합금층의 두께는 상기 관통 전극의 총 길이의 약2% 내지 약 15%일 수 있다.
- [0013] 상기 합금층의 결정립 크기는 상기 금속층의 결정립 크기보다 작을 수 있다.
- [0014] 상기 금속층의 평균 결정립 크기는 상기 합금층의 평균 결정립 크기의 약 2배 이상일 수 있다.
- [0015] 상기 합금층은 구리 합금 또는 텉스텐 합금을 포함할 수 있다.
- [0016] 상기 금속층은 구리(Cu)를 포함하고, 상기 합금층은 Cu-Mn합금(Mn은 5atm% 내지 8atm%), Cu-Au합금(Au는 10atm%이상), 또는 Cu-Ni합금(Ni는 2atm%이상) 중 적어도 하나를 포함할 수 있다.
- [0017] 상기 금속층은 텉스텐(W)을 포함하고, 상기 합금층은 W-Mn합금(Mn은 5atm% 내지 8atm%), W-Au합금(Au는 10atm% 이상), 또는 W-Ni합금(Ni는 2atm%이상) 중 적어도 하나를 포함할 수 있다.
- [0018] 상기 접적 회로를 덮는 제 1 층간 절연막을 더 포함하고, 상기 관통 전극은, 상기 제 1 면에 대향하는, 상기 제 1 층간 절연막의 상면으로 연장될 수 있다.
- [0019] 상기 합금층의 하면은 상기 제 1 면보다 높을 수 있다.
- [0020] 상기 접적 회로를 덮는 제 1 층간 절연막을 더 포함하고, 상기 제 1 층간 절연막은 상기 관통 전극의 상면을 덮을 수 있다.
- [0021] 상기 접적 회로를 덮는 제 1 층간 절연막; 상기 제 1 층간 절연막 상의 금속 배선; 및 상기 금속 배선 상의 제 2 층간 절연막을 더 포함하고, 상기 관통 전극은, 상기 제 1 층간 절연막에 대향하는, 상기 제 2 층간 절연막의 상면으로 연장할 수 있다.
- [0022] 본 발명의 다른 실시예에 따른 반도체 장치는: 활성면, 상기 활성면과 대향하는 비활성면, 및 상기 활성면과 상기 비활성면을 관통하는 비아홀을 포함하는 기판; 및 상기 비아홀 내의 관통 전극을 포함하고, 상기 관통 전극은 상기 비아홀의 일부를 채우는 금속층, 및 상기 금속층 상에 제공되고 상기 금속층에 포함된 금속 원소와 다른 금속 원소를 포함하는 합금층을 포함하고, 상기 금속층은 상기 합금층과 상기 비아홀의 측벽 사이로 연장되는 연장부를 포함할 수 있다.
- [0023] 상기 금속층은 상기 합금층 아래의 바디부를 더 포함하고, 상기 연장부의 결정립 크기는 상기 바디부의 결정립 크기보다 작을 수 있다.
- [0024] 상기 관통 전극과 인접하여 상기 기판의 활성면 상에 제공된 접적 회로; 및 상기 관통 전극과 상기 접적 회로를 전기적으로 연결하는 상부 배선을 더 포함하고, 상기 금속층과 상기 합금층은 상기 상부 배선에 공통적으로 접

할 수 있다.

- [0025] 상기 집적 회로를 덮는 층간 절연막을 더 포함하고, 상기 관통 전극은 상기 층간 절연막을 관통하여 상기 상부 배선과 연결될 수 있다.
- [0026] 상기 합금층의 하면은 상기 활성면보다 높을 수 있다.
- [0027] 상기 연장부의 내측벽은 수직이 아닌 경사를 가질 수 있다.
- [0028] 상기 합금층은 상기 금속층에 포함된 금속 원소를 더 포함할 수 있다.
- [0029] 상기 목적을 달성할 수 있는 본 발명의 일 실시예에 따른 반도체 장치는: 기판의 제 1 면을 관통하는 비아홀을 형성하는 것; 상기 비아홀 내에 금속층을 형성하는 것; 상기 금속층 상에 상기 비아홀을 채우고 상기 금속층에 포함된 금속 원소와 다른 금속 원소를 포함하는 합금층을 형성하는 것; 및 상기 기판의 제 1 면과 대향하는 상기 기판의 제 2 면을 연마하여 상기 금속층을 노출하는 것을 포함할 수 있다.
- [0030] 상기 금속층을 형성하는 것은 상기 비아홀의 측벽 상에 배리어층 및 시드층을 차례로 형성하는 것을 포함할 수 있다.
- [0031] 상기 금속층은 비아홀의 하면보다 상기 비아홀의 측벽 상에 상대적으로 얇게 형성될 수 있다.
- [0032] 상기 금속층은 상기 시드층을 이용한 전해 도금으로 형성되고, 상기 금속층을 형성하는 것은 상기 시드층에 인가되는 전류를 중지하여 상기 비아홀의 측벽 상에 형성된 상기 금속층의 일부를 용해시키는 것을 더 포함할 수 있다.
- [0033] 상기 금속층의 용해에 의하여 상기 시드층의 일부가 노출되고, 상기 합금층은 상기 노출된 시드층을 이용한 전해 도금으로 형성될 수 있다.
- [0034] 상기 비아홀의 측벽 상에 형성된 상기 금속층의 용해시, 상기 시드층의 일부가 함께 용해되어 상기 배리어층이 노출될 수 있다.
- [0035] 상기 합금층은 상기 금속층과 다른 방법에 의하여 형성되고, 상기 합금층을 형성하기 전에, 상기 금속층의 표면에 분리 도전층 형성하는 것을 더 포함할 수 있다.
- [0036] 상기 기판의 제 1 면 상에 집적 회로를 형성하는 것; 및 상기 집적 회로를 덮는 제 1 층간 절연막을 형성하는 것을 더 포함하고, 상기 금속층 및 상기 합금층을 형성하는 것은 상기 집적 회로 및 상기 제 1 층간 절연막을 형성한 후 및 상기 금속 배선을 형성하기 전에 수행될 수 있다.
- [0037] 상기 기판의 제 1 면 상에 집적 회로를 형성하는 것을 더 포함하고, 상기 금속층 및 상기 합금층을 형성하는 것은 상기 집적 회로의 형성 전에 수행될 수 있다.
- [0038] 상기 기판의 제 1 면 상에 집적 회로를 형성하는 것; 상기 집적 회로를 덮는 제 1 층간 절연막을 형성하는 것; 상기 제 1 층간 절연막 상에 금속 배선을 형성하는 것; 및 상기 금속 배선 상에 제 2 층간 절연막을 형성하는 것을 더 포함하고, 상기 금속층 및 상기 합금층을 형성하는 것은 상기 제 2 층간 절연막을 형성한 후 수행될 수 있다.

발명의 효과

- [0039] 본 발명에 의하면, 관통 전극의 상부의 결정립이 미세화되어 관통 전극 상부의 돌출 현상을 완화될 수 있다. 또한, 관통 전극 상의 층간 절연막의 변형 및 크랙 등을 방지하고 상부 배선과의 접합부분에서 박리를 방지함으로써 접촉저항을 개선할 수 있다.

도면의 간단한 설명

- [0040] 도 1은 본 발명의 실시예에 따른 반도체 장치를 도시한 단면도이다.
 도 2 내지 도 7b는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들 및 평면도이다.
 도 8a 및 도 8b는 본 발명의 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도 및 평면도이다.
 도 9a, 도 9b, 및 도 9c는 본 발명의 또 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도들 및 평면도이다.

도 10a, 도 10b, 및 도 10c는 본 발명의 또 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도들 및 평면도이다.

도 11a는 관통 전극의 형성이 접적 회로의 형성과 금속 배선들의 형성 사이에 수행되는 비아 미들 구조의 제조 방법의 공정 흐름도이다.

도 11b는 도 11a에 의해 형성된 반도체 장치의 단면도이다.

도 12a는 관통 전극이 접적 회로와 배선들의 형성 이전에 형성되는 비아 퍼스트 구조의 제조 방법의 공정 흐름도이다.

도 12b는 도 12a에 의해 형성된 반도체 장치의 단면도이다.

도 13a는 관통 전극이 접적 회로 형성 이후, 및 제 1 금속 배선과 제 2 금속 배선의 형성 사이에 형성되는 비아 라스트 구조의 제조 방법의 공정 흐름도이다.

도 13b는 도 13a에 의해 형성된 반도체 장치의 단면도이다.

도 14 내지 도 16은 본 발명의 실시예들에 따른 반도체 패키지들의 단면도들이다.

도 17은 본 발명의 실시예들에 따른 패키지 모듈을 보여주는 평면도이다.

도 18은 본 발명의 실시예들에 따른 메모리 카드를 보여주는 개략도이다.

도 19는 본 발명의 실시예들에 따른 전자 시스템을 보여주는 블록도이다.

도 20은 전자 시스템이 모바일 폰에 적용되는 예를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0041]

이하, 본 발명에 따른 에어 캡 절연구조를 갖는 관통 전극을 구비한 반도체 장치 및 그 제조방법을 첨부한 도면을 참조하여 상세히 설명한다.

[0042]

본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련해서 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.

[0043]

<장치예>

[0044]

도 1은 본 발명의 실시예에 따른 반도체 장치(10)를 도시한 단면도이다.

[0045]

도 1을 참조하면, 반도체 장치(10)는 전기적 신호를 기판(100)을 관통하여 전달하는 도전성 연결부(120)를 포함할 수 있다. 상기 도전성 연결부(120)는 상기 기판(100)을 관통하는 관통 전극(TS)을 포함할 수 있다. 상기 도전성 연결부(120)는 상기 관통 전극(TS)과 접촉되며 상기 기판(100)의 상면(100a) 상에 배치된 상부 배선(110)과, 상기 관통 전극(TS)과 접촉되며 상기 기판(100)의 하면(100c) 상에 배치된 하부 배선(116) 중 적어도 하나를 포함할 수 있다. 상기 상면(100a)은 상기 기판(100)의 활성면으로, 상기 하면(100c)은 상기 기판(100)의 비활성면으로 지칭될 수 있다. 상기 상면(100a) 및 상기 하면(100c) 각각은 기판(100)의 두께 방향과 수직하는 수평 방향으로 연장된 대체로 평평한 면일 수 있다.

[0046]

상기 상부 배선(110)은 상기 기판(100)의 상면(100a)을 따라 수평하게 연장될 수 있고, 상기 하부 배선(116)은 상기 기판(100)의 하면(100c)을 따라 수평하게 연장될 수 있다. 상기 상부 배선(110)과 상기 하부 배선(116) 중 적어도 어느 하나는 재배선될 수 있다. 상기 하부 배선(116)에는 상기 반도체 장치(10)를 다른 장치, 가령 다른 반도체 장치 혹은 인쇄회로기판에 전기적으로 연결할 수 있는 연결단자로서 제 1 범프(118)가 부착되어 있을 수 있다. 상기 상부 배선(110)에 연결단자가 더 부착될 수 있다.

[0047]

상기 관통 전극(TS)은 상기 기판(100)을 수직 관통하여 상기 상부 배선(110) 및 상기 하부 배선(116)과 연결될 수 있다. 상기 상부 배선(110)을 통해 전달되어 오는 전기적 신호는 상기 관통 전극(TS)을 따라 상기 기판(100)을 수직 관통하여 상기 하부 배선(116)으로 혹은 그 역으로 전달될 수 있다.

[0048]

상기 기판(100)의 상면(100a) 및 하면(100c)은 상부 보호막(124) 및 하부 보호막(114)에 의해 각각 덮여질 수 있다. 상기 상부 보호막(124) 및 상기 하부 보호막(114)은 상기 기판(100)을 외부환경으로부터 보호하며 전기적

으로 절연시킬 수 있다. 상기 도전성 연결부(120)는 기판(100)과 전기적으로 절연될 수 있다. 예컨대, 상기 상부 보호막(124)은 상기 상부 배선(110)을 상기 기판(100)의 상면(100a)으로부터 이격시켜 전기적으로 절연시키고, 상기 하부 보호막(114)은 상기 하부 배선(116)을 상기 기판(100)의 하면(100c)으로부터 이격시켜 전기적으로 절연시킬 수 있다. 일 예로, 상기 상부 보호막(124) 및 상기 하부 보호막(114)은 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산화질화물을 포함할 수 있다. 상기 관통 전극(TS)은 상기 기판(100)을 관통하는 비아홀(171) 내에 제공될 수 있다. 상기 비아홀(171)은 상기 기판(100)의 내표면에 의하여 정의되는 부분일 수 있다. 상기 관통 전극(TS)은 라이너 절연막(133)에 의하여 상기 기판(100)과 전기적으로 절연될 수 있다. 상기 비아홀(171)은 상기 상면(100a)과 상기 하면(100c)을 잇는 대체로 수직한 면일 수 있다. 상기 라이너 절연막(133)은 산화막 혹은 질화막을 포함할 수 있다. 상기 라이너 절연막(133)은 상기 관통 전극(TS)을 둘러싸며 그 측벽을 따라 상기 상부 배선(110)에서부터 상기 하부 배선(116)까지 연장될 수 있다.

[0049] 상기 관통 전극(TS)은 상기 비아홀(171)의 일부를 채우는 금속층(108) 및 상기 비아홀(171) 내에서, 상기 금속층(108) 상에 제공되는 합금층(107)을 포함할 수 있다. 상기 합금층(107)은 상기 기판(100)의 상면(110a)에 인접한 상기 관통 전극(TS)의 상면에 노출되어 상기 상부 배선(110)에 연결될 수 있다. 상기 합금층(107)은 상기 기판(100)의 하면(110c)에 인접한 상기 관통 전극(TS)의 하면에 노출되지 않을 수 있다. 일 예로, 상기 합금층(107)의 상기 상면(110a)에 수직하는 방향으로의 두께(T1)는 상기 관통 전극(TS)의 총 높이(H1)의 약2% 내지 약15%일 수 있다. 상기 관통 전극(TS)은 상기 라이너 절연막(133)과 상기 금속층(108) 사이에 제공되는 배리어층(131)을 포함할 수 있다. 상기 배리어층(131)은 상기 금속층(108)으로부터 금속 원자들이 상기 기판(100)으로 확산하는 것을 줄일 수 있다. 상기 배리어층(131)은 티타늄, 티타늄질화물, 탄탈륨, 탄탈륨질화물, 루테늄, 코발트, 망간, 텉스텐 질화물, 니켈, 니켈붕화물 또는 티타늄/티타늄 질화물과 같은 이중막을 포함할 수 있다.

[0050] 상기 금속층(108)은 구리, 텉스텐, 은, 금, 또는 인듐을 포함할 수 있다. 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소와 다른 금속 원소를 포함할 수 있다. 일 예로, 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소와 다른 금속 원소와, 상기 금속층(108)에 포함된 금속 원소의 합금 물질을 포함할 수 있다. 상기 금속층(108)이 구리인 경우, 상기 합금층(107)은 구리와 다른 금속원소 또는 금속원소들, 일 예로, W, Mn, Cr, Ag, Au, Ni, 또는 SgAG 중 적어도 하나를 포함하는 합금일 수 있다. 상기 합금층(107)은 2종 또는 3종 이상의 금속 원소들을 포함하는 합금일 수 있다. 상기 합금층(107)은 비금속 불순물 원소를 더 포함할 수 있다. 일 예로, 상기 구리와 다른 금속원소를 포함하는 합금 물질은 Cu-Mn합금(Mn은 5atm% 내지 8atm%), Cu-Au합금(Au는 10atm%이상), Cu-Ni합금(Ni는 2atm%이상) 등일 수 있다. 일 예로, 상기 금속층(108)이 텉스텐인 경우, 상기 합금층(107)은 텉스텐과 다른 금속원소를 포함하는 합금일 수 있다. 일 예로, 상기 텉스텐과 다른 금속원소를 포함하는 합금 물질은 W-Mn합금(Mn은 5atm% 내지 8atm%), W-Au합금(Au는 10atm%이상), W-Ni합금(Ni는 2atm%이상) 등일 수 있다.

[0051] 상기 금속층(108)은 합금이 아닐 수 있다. 본 명세서에서, 합금은 금속들 간의 화합물에 한정되며, 금속과 비금속 간의 화합물을 포함되지 않는 것으로 기술된다. 상기 금속간의 화합물은 비금속 물질을 더 포함할 수 있다.

[0052] 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소를 포함하지 않을 수 있다. 일 예로, 상기 금속층(108)이 구리인 경우, 상기 합금층(107)은 구리를 포함하지 않는 합금 물질로 형성될 수 있다. 일 예로, 상기 구리를 포함하지 않는 합금 물질은 Ag-Ni합금, Ag-Mn합금, Ag-Au합금, W-Ni합금, W-Mn합금, W-Au합금, W-Ti합금, 또는 W-Ta합금 중 적어도 하나를 포함할 수 있다.

[0053] 상기 합금층(107)은 이후 수행되는 고온 공정에 의하여 상기 금속층(108)의 결정립 사이즈가 증가되는 것을 방지할 수 있다. 일 예로, 상기 고온 공정은 상기 관통 전극(TS)의 형성 이후 수행되는 금속 배선의 형성 공정일 수 있다. 일 예로 상기 고온 공정은 약 400°C 이상일 수 있다. 상기 금속층(108)의 결정립들은 고온 공정에서 입계(grain boundary)의 이동에 의하여 상대적으로 작은 결정립들은 소멸되고 큰 결정립들은 계속 성장될 수 있다. 그 결과, 상기 기판(100)의 상면(100a)에 인접한 상기 관통 전극(TS)의 상면의 결정립들은 열적 스트레스(thermal stress)에 의하여 국부적으로 돌출(extrusion)될 수 있다. 상기 돌출 현상은 상기 관통 전극(TS)과 상기 관통 전극(TS) 상의 금속 배선(일 예로, 상기 상부 배선(110)) 사이의 단선 또는 접촉 저항 불량을 발생시키거나, 상기 관통 전극(TS) 상의 절연막의 크랙을 유발할 수 있다.

[0054] 상기 금속층(108) 상에 상기 합금층(107)을 제공하는 경우, 상기 관통 전극(TS)과 상기 상부 배선(110)이 접촉하는 부분에서 상기 관통 전극(TS)의 결정립 성장이 억제될 수 있다. 일 예로, 도 1에 도시된 바와 같이, 상기 금속층(108)이 상기 합금층(107) 아래의 바디부(BD)와 상기 합금층(107)과 상기 배리어층(131) 사이의 연장부(EX)를 포함하는 경우, 상기 연장부(EX)의 결정립 성장은 상기 바디부(BD)의 결정립 성장에 비하여 억제될 수

있다. 즉, 상기 고온 공정 이후, 상기 연장부(EX)의 결정립 크기는 상기 바디부(BD)의 결정립 크기에 비하여 작을 수 있다.

[0055] 상기 합금층(107)은 상기 합금층(107)에 포함된 이종 금속 원소에 의하여 결정립 성장이 억제될 수 있다. 일 예로, 상기 합금층(107)의 평균 결정립 크기는 상기 바디부(BD)의 평균 결정립 크기의 1/2배 이하일 수 있다. 일 예로, 상기 바디부(BD)의 평균 결정립 크기는 약 $3\mu\text{m}$ ~약 $4\mu\text{m}$ 일 수 있고, 상기 합금층(107)의 평균 결정립 크기는 약 $1\mu\text{m}$ ~약 $2\mu\text{m}$ 일 수 있다.

[0056] 상기 합금층(107)은 상기 금속층(108)의 결정립 성장에 의한 돌출 현상을 완화하고, 상기 관통 전극(TS)과 상기 상부 배선(110) 사이의 접촉 저항을 개선할 수 있다.

[0057] 상기 반도체 장치(10)에 있어서 상기 금속층(108) 및 상기 합금층(107)의 형태나 구조는 후술할 실시예들을 참조하여 다양하게 변형될 수 있다. 또한, 상기 라이너 절연막(133), 상기 배리어층(131) 및 상기 비아홀(171)의 형태는 다양하게 변형될 수 있다.

[0058] <방법예>

[0059] 도 2 내지 도 7b는 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 도시한 단면도들 및 평면도이다.

[0060] 도 2를 참조하면, 기판(100)이 제공될 수 있다. 기판(100)은 실리콘 혹은 실리콘을 포함하는 반도체를 포함할 수 있다. 상기 기판(100)의 제 1 면(11) 상에 상부 절연막(102)이 형성될 수 있다. 일 예로, 상기 상부 절연막(102)은 실리콘 산화물, 실리콘 질화물 또는 실리콘 산화질화물을 포함할 수 있다. 상기 상부 절연막(102)을 관통하고 상기 기판(100)의 제 2 면(12) 방향으로 연장되는 비아홀(171)이 형성될 수 있다. 상기 제 1 면(11)은 기판의 활성면으로, 상기 제 2 면(12)은 상기 기판의 비활성면으로 지칭될 수 있다. 평면적 관점에서, 상기 비아홀(171)은 원형, 타원형 또는 사각형일 수 있다. 상기 비아홀(171)은 드릴링 방법, 보쉬(Bosch) 에칭, 또는 스테디(Steady State) 에칭 방법으로 형성될 수 있다. 상기 비아홀(171)은 상기 기판(100)을 관통하지 않는 깊이까지 연장될 수 있다. 일 예로, 상기 비아홀(171)의 깊이는 대략 $50\mu\text{m}$ 이상 일 수 있다. 상기 비아홀(171)의 깊이는 디자인 룰 (Design Rule)이나 소자 요구 특성에 의해 변화될 수 있다.

[0061] 도 3을 참조하면, 상기 비아홀(171) 내에 라이너 절연막(133)이 형성될 수 있다. 상기 라이너 절연막(133)은 산화막(예: SiO_x)이나 질화막(예: SiN_x)과 같은 절연성 물질을 증착하여 형성할 수 있다. 상기 라이너 절연막(133)은 비아홀(171)의 내벽을 따라 실질적으로 콘포말하게 증착될 수 있다. 상기 라이너 절연막(133)은 상기 상부 절연막(102) 상으로 연장되도록 형성될 수 있다. 일 예로, 상기 라이너 절연막(133)의 형성은 화학 기상 증착(Chemical Vapor Deposition: CVD)에 의하여 형성될 수 있다.

[0062] 상기 라이너 절연막(133) 상에 배리어층(131)이 형성될 수 있다. 상기 배리어층(131)은 티타늄, 티타늄질화물, 탄탈륨, 탄탈륨질화물, 루테늄, 코발트, 망간, 텉스텐 질화물, 니켈, 니켈붕화물 또는 티타늄/티타늄 질화물과 같은 이중막을 포함할 수 있다. 일 예로, 상기 배리어층(131)은 스퍼터링, CVD 또는 원자층 증착(Atomic Layer Deposition ALD)에 의하여 형성될 수 있다.

[0063] 상기 배리어층(131) 상에 시드층(seed layer, 106)이 형성될 수 있다. 상기 시드층(106)은 이하 설명될 금속층의 증착을 위한 층으로, 상기 금속층과 동일한 물질을 포함할 수 있다. 상기 시드층(106)은 구리, 텉스텐, 은, 금, 또는 인듐을 포함할 수 있다. 일 예로, 상기 시드층(106)은 스퍼터링 방법에 의하여 형성될 수 있다.

[0064] 도 4를 참조하면, 상기 시드층(106) 상에 금속층(108)이 형성될 수 있다. 일 예로, 상기 금속층(108)은 구리, 텉스텐, 은, 금, 또는 인듐으로 형성될 수 있다. 상기 금속층(108)은 상기 시드층(106)을 이용한 전해도금 공정으로 형성될 수 있다. 다른 실시예에서, 상기 금속층(108)은 무전해도금 또는 스퍼터링으로 형성될 수 있다. 상기 금속층(108)은 상기 시드층(106)을 따라서 상기 상부 절연막(102) 상으로 연장되도록 형성될 수 있다. 일 예로, 상기 전해도금 공정은 CuSO₄, H₂SO₄, 및 Cl⁻을 포함하는 전해 용액에 웨이퍼를 담구어 수행될 수 있다. 상기 금속층(108)은 상기 비아홀(171)을 완전히 채우지 않도록 형성될 수 있고, 그 결과, 상기 금속층(108)의 상부에 상기 금속층(108)의 측벽에 의하여 정의되는 훌 영역(172)이 형성될 수 있다. 일 예로, 상기 금속층(108)은 상기 비아홀(171)의 하면보다 상기 비아홀(171)의 측벽 상에 상대적을 얇게 형성될 수 있다. 이와 같은 상기 금속층(108)의 두께 조절은 전해도금 공정에 사용되는 서프레서(suppressor) 및 액슬러레이터(accelerator)의 조절 또는 전류 밀도 분포 조절에 의하여 달성될 수 있다. 일 예로, 상기 서프레서는 PEG (Poly Ethylene Glycol)를 포함할 수 있고, 상기 액슬러레이터는 SPS (Sulfopropyl Disulfide) 또는 Bis-(3-sulfopropyl) disulfide를 포함할 수 있다. 상기 서프레서는 상기 비아홀(171)의 측벽 상에 상기 금속층(108)이 형성되는 것을 억제할 수 있

다.

[0065] 도 5를 참조하면, 상기 흔 영역(172)을 채우는 합금층(107)이 형성될 수 있다. 일 예로, 상기 합금층(107)은 이미 형성된 상기 합금층(107)을 전류의 공급 통로로 사용하여 전해 도금 공정으로 형성될 수 있다. 다른 실시예에 있어서, 상기 합금층(107)의 형성은 무전해 도금, 또는 스퍼터링으로 형성될 수 있다. 상기 합금층(107)은 상기 금속층(108)을 따라서 상기 상부 절연막(102) 상으로 연장되도록 형성될 수 있다. 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소와 다른 금속 원소를 포함하는 물질로 형성될 수 있다. 일 예로, 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소와 다른 금속 원소와, 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소의 합금으로 형성될 수 있다. 일 예로, 상기 금속층(108)이 구리인 경우, 상기 합금층(107)은 구리와 다른 금속원소 또는 금속원소들, 일 예로, W, Mn, Cr, Ag, Au, Ni, 또는 SgAG 중 적어도 하나를 포함하는 합금일 수 있다. 상기 합금층(107)은 2종 또는 3종 이상의 금속 원소들을 포함하는 합금일 수 있다. 상기 합금층(107)은 비금속 불순물 원소를 더 포함할 수 있다. 일 예로, 상기 구리와 다른 금속원소를 포함하는 합금 물질은 Cu-Mn합금(Mn은 5atm% 내지 8atm%), Cu-Au합금(Au는 10atm%이상), Cu-Ni합금(Ni는 2atm%이상) 등일 수 있다. 일 예로, 상기 금속층(108)이 텅스텐인 경우, 상기 합금층(107)은 텅스텐과 다른 금속원소를 포함하는 합금일 수 있다. 일 예로, 상기 텅스텐과 다른 금속원소를 포함하는 합금 물질은 W-Mn합금(Mn은 5atm% 내지 8atm%), W-Au합금(Au는 10atm%이상), W-Ni합금(Ni는 2atm%이상) 등일 수 있다. 이와 같은 상기 합금층(107)의 형성은 전해 용액 내에 상기 합금층(107)을 구성하는 금속 원소의 공급원을 추가하여 수행될 수 있다. 상기 합금층(107)의 형성 후, 어닐링 공정이 수행될 수 있다. 상기 어닐링 공정은 약 200°C 내지 약 500°C에서 수행될 수 있다. 상기 어닐링 공정에 의하여 상기 금속층(108) 내의 결정립들이 일부 성장될 수 있으며, 상기 금속층(108)과 상기 합금층(107) 내의 잔류 응력이 완화될 수 있다.

[0066] 상기 합금층(107)은 상기 금속층(108)에 포함된 금속 원소를 포함하지 않는 합금으로 형성될 수 있다. 일 예로, 상기 금속층(108)이 구리인 경우, 상기 합금층(107)은 구리를 포함하지 않는 합금 물질로 형성될 수 있다. 일 예로, 상기 구리를 포함하지 않는 합금 물질은 Ag-Ni합금, Ag-Mn합금, Ag-Au합금, W-Ni합금, W-Mn합금, W-Au합금, W-Ti합금, 또는 W-Ta합금 중 적어도 하나를 포함할 수 있다.

[0067] 도 6을 참조하면, 평탄화 공정을 수행하여 상기 상부 절연막(102) 상의 층들이 제거될 수 있다. 일 예로, 상기 평탄화 공정은 화학적 물리적 연막(Chemical Mechanical Polishing: CMP)을 포함할 수 있다. 상기 평탄화 공정에 의하여, 상기 비아홀(171) 내에 한정된 관통 전극(TS)이 형성될 수 있다.

[0068] 도 7a 및 도 7b를 참조하면, 상기 기판(100)의 제 2 면(12)이 연마되어 상기 관통 전극(TS)이 노출될 수 있다. 도 7b는 도 7a의 상기 관통 전극(TS)의 상면을 도시하는 평면도이다. 상기 연마 공정이 보다 상세하게 설명된다.

[0069] 먼저, 상기 기판(100)의 제 1 면(11) 상에, 접착층을 이용하여, 캐리어 기판(carrier substrate, 미도시)이 부착될 수 있다. 상기 캐리어 기판은 상기 기판(100)의 상기 제 2 면(12)을 연마하는 과정에서 상기 기판(100)에 작용하는 기계적인 스트레스를 완화하고, 연마 공정 이후에 박형화된 상기 기판(100)에서 발생하는 휨을 방지할 수 있다. 상기 캐리어 기판은 유리기판, 또는 수지기판을 포함할 수 있다. 상기 접착층은 자외선 접착제 또는 열가소성 접착제를 포함할 수 있다. 다음으로, 상기 라이너 절연막(133)이 노출되도록, 상기 기판(100)의 상기 제 2 면(12)이 연마된다. 상기 기판(100)을 연마하는 것은, 예를 들어, CMP, Etch-back, Spin Etch 방법을 각각 또는 혼용하는 그라인딩(grinding) 방법을 이용하여 수행될 수 있다.

[0070] 다음으로, 상기 관통 전극(TS)이 상기 기판(100)의 상기 제 2 면(12)으로부터 돌출되도록, 상기 기판(100)이 선택적으로 식각될 수 있다. 상기 선택적 식각은 상기 라이너 절연막(133)에 비하여 큰 식각 선택비를 갖는 습식 식각 또는 건식 식각 공정을 이용하여 상기 기판(100)을 선택적으로 식각하는 것일 수 있다. 예를 들어, 상기 라이너 절연막(133)이 실리콘 산화막일 경우, SF6 식각 가스를 이용하여 상기 기판(100)이 선택적으로 식각될 수 있다. 상기 제 2 면(12) 상에 상기 관통 전극(TS)을 덮는 하부 절연막(103)이 형성된 후, 상기 관통 전극(TS)이 노출되도록 상기 하부 절연막(103)의 일부를 제거할 수 있다. 상기 하부 절연막(103)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산화질화막일 수 있다.

[0071] 상기 기판(100)의 제 1 면(11) 상에 상기 관통 전극(TS)과 연결되는 상부 배선(110)이 형성될 수 있다. 상기 기판(100)의 제 2 면(12) 상에 상기 관통 전극(TS)과 연결되는 하부 배선(116)이 형성될 수 있다. 일 예로, 상기 상부 배선(110)과 상기 하부 배선(116)은 구리, 텅스텐, 은, 금, 또는 인듐을 포함하는 물질로 형성될 수 있다. 상기 상부 배선(110) 및 상기 하부 배선(116)의 위치, 상기 관통 전극(TS)과의 관계는 이하 설명될 관통 전극의 형성 순서에 따라 변경될 수 있다.

- [0072] 본 발명의 일 실시예에 따른 관통 전극(TS)은 상기 비아홀(171)의 일부를 채우는 상기 금속층(108) 및 상기 금속층(108) 상의 상기 합금층(107)을 포함할 수 있다. 상기 합금층(107)은 상기 금속층(108)의 상면에 의해 정의된 홀 영역(172) 내에 제공될 수 있다. 상기 금속층(108)은 상기 합금층(107)과 상기 배리어층(131) 사이로 연장될 수 있다. 상기 관통 전극(TS)의 상면에는 상기 합금층(107)이 노출되고, 상기 합금층(107) 주위로 차례로 형성된 상기 금속층(108), 상기 시드층(106), 상기 배리어층(131), 및 상기 라이너 젤연막(133)이 노출된다. 상기 합금층(107) 상면의 직경(d1)은 상기 연장부의 두께(d2)보다 클 수 있다. 다른 실시예에서, 상기 합금층(107) 상면의 직경(d1)은 상기 연장부의 두께(d2)보다 작을 수 있다.
- [0073] 상기 홀 영역(172)의 측벽은 수직이 아닌 경사를 갖는 것으로 도시되었으나, 이와는 달리 상기 기판(100)의 제1 면(11) 및/또는 제2 면(12)과 실질적으로 수직일 수 있다.
- [0074] 도 8a 및 도 8b는 본 발명의 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도 및 평면도이다. 설명의 간략화를 위하여 동일한 구성에 대한 설명은 생략된다. 본 실시예에 있어서, 상기 관통 전극(TS)은 상기 금속층(108)과 상기 합금층(107) 사이에 분리 도전층(109)을 더 포함할 수 있다. 상기 분리 도전층(109)은 상기 금속층(108)과 상기 합금층(107)을 분리할 수 있다. 상기 분리 도전층(109)은 상기 금속층(108)과 상기 합금층(107)이 서로 다른 공정에 의하여 형성되는 경우 제공될 수 있다. 예로, 상기 분리 도전층(109)은 티타늄, 티타늄질화물, 탄탈륨, 탄탈륨질화물, 루테늄, 코발트, 망간, 텉스텐 질화물, 니켈, 니켈붕화물 또는 티타늄/티타늄질화물과 같은 이중막을 포함할 수 있다. 상기 분리 도전층(109)은 상기 합금층(107)과 상기 금속층(108) 사이로 연장되어 상기 관통 전극(TS)의 상면에 노출될 수 있다. 상기 분리 도전층(109)은 본 실시예에 한정되지 않으며, 이후 설명될 다른 실시예들에 추가될 수 있다.
- [0075] 도 9a, 도 9b, 및 도 9c는 본 발명의 또 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도들 및 평면도이다. 설명의 간략화를 위하여 동일한 구성에 대한 설명은 생략된다. 본 실시예에 있어서, 합금층(107a)은 시드층(106)과 접하고, 상기 금속층(108)은 관통 전극(TS)의 상면에 노출되지 않을 수 있다. 즉, 상기 합금층(107a)은 상기 시드층(106)의 측벽을 노출하는 홀 영역(173) 내에 제공될 수 있다. 상기 합금층(107a)의 형상은 도 9c에 도시된 바와 같이 금속층(108a)이 상기 시드층(106)의 일부를 노출하도록 형성함에 따라 결정될 수 있다. 이와 같은 상기 금속층(108a)의 형상은 전해 도금 공정 시 상기 시드층(106)에 인가되는 전류를 중지하여 상기 시드층(106)의 측벽 상에 형성된 금속층의 일부를 용해시켜 형성될 수 있다. 예를 들면, 구체적으로 상기 금속층(108a)의 상부가 형성될 때에, 전해 도금 공정에 사용되는 서프레서(suppressor)를 상대적으로 강하게 조절하여 상기 시드층(106)의 상부 측벽에는 도금이 되지 않도록 조절할 수 있다.
- [0076] 도 10a, 도 10b, 및 도 10c는 본 발명의 또 다른 실시예에 따른 관통 전극의 형상을 도시하는 단면도들 및 평면도이다. 설명의 간략화를 위하여 동일한 구성에 대한 설명은 생략된다. 본 실시예에 있어서, 합금층(107b)은 배리어층(131)과 접하고, 금속층(108a) 및 시드층(106a)은 관통 전극(TS)의 상면에 노출되지 않을 수 있다. 즉, 상기 합금층(107b)은 상기 배리어층(131)의 측벽을 노출하는 홀 영역(174) 내에 제공될 수 있다. 상기 합금층(107b)의 형상은 도 10c에 도시된 바와 같이 상기 금속층(108a) 및 상기 시드층(106a)이 상기 배리어층(131)의 일부를 노출하도록 형성함에 따라 결정될 수 있다. 이와 같은 상기 금속층(108a) 및 상기 시드층(106a)의 형상은 전해 도금 공정 시 상기 시드층(106a)에 인가되는 전류를 중지하여 상기 시드층(106)의 측벽 상에 형성된 금속층 및 상기 시드층(106)의 일부를 용해시켜 형성될 수 있다. 이 때, 상기 금속층(108a) 상의 상기 합금층(107b)은 도금 방식이 아닌 CVD 방식 또는 PVD 방식으로 합금층을 형성한 후, 열처리를 통하여 리플로우(Reflow) 하는 방식으로 형성될 수 있다.
- [0077] 상술한 관통 전극 및 그 제조 방법은 관통 전극을 포함하는 반도체 장치의 다양한 형성 방법들에 각각 적용될 수 있다. 관통 전극은 비아 라스트(Via Last), 비아 미들(Via Middle) 및 비아 퍼스트(Via First) 구조들 중 어느 하나로 분류될 수 있다. 이하, 상기 각 구조들 및 형성 방법에 대하여 보다 자세히 설명된다.
- [0078] <Via Middle>
- [0079] 도 11a는 관통 전극의 형성이 집적 회로의 형성과 금속 배선들의 형성 사이에 수행되는 비아 미들 구조의 제조 방법의 공정 흐름도이다. 도 11b는 도 11a에 의해 형성된 반도체 장치의 단면도이다. 설명의 간소화를 위하여 관통 전극은 도 7a 및 도 7b를 참조하여 설명된 실시예의 형상으로 도시되었으나, 이에 한정되지 않으며 다른 실시예에 따른 관통 전극의 형상 또한 적용될 수 있다. 설명의 간소화를 위하여 동일한 구성에 대한 설명은 생략될 수 있다.
- [0080] 도 11a 및 도 11b를 참조하면, 관통 전극(TS)의 형성(S12)은 집적 회로(95)의 형성(S11) 이후에, 그리고 제1

및 제 2 금속 배선(상부 배선(110) 및 금속 배선(111))이 형성(S14) 되기 이전에 수행될 수 있다. 상기 관통 전극(TS)의 형성(S12) 이후, 도 7a 및 도 7b를 참조하여 설명된 기판 연마(S13)가 수행되고, 그 후, 상기 상부 배선(110) 및 상기 금속 배선(111)이 형성될 수 있다.

[0081] 충간 절연막(101)은 기판(100)의 상면(100a) 상에 형성되어 상기 접적 회로(95)를 덮는 제 1 충간 절연막(101a)과, 상기 제 1 충간 절연막(101a) 상에 형성되어 상기 상부 배선(110) 및 상기 금속 배선(111)을 덮는 제 2 충간 절연막(101b)을 포함할 수 있다. 상기 상부 배선(110)은 상기 제 1 충간 절연막(101a)과 상기 제 2 충간 절연막(101b) 사이에 제공되어, 상기 관통 전극(TS)과 상기 접적 회로(95)를 전기적으로 연결할 수 있다. 상기 금속 배선(111)은 상기 상부 배선(110) 상에 제공되고, 상기 상부 배선(110)과 상기 제 2 충간 절연막(101b)의 상부에 형성된 본딩패드(105)를 연결할 수 있다. 관통 전극(TS)은 기판(100)과 제 1 충간 절연막(101a)을 관통할 수 있다. 상부 보호막(124)은 제 2 충간 절연막(101b) 상에 형성될 수 있고, 금속 배선(111)에 연결된 상기 본딩패드(105)를 개방시킬 수 있다.

[0082] 본 실시예에서, 상기 관통 전극(TS)은 상기 기판(100)의 상면(100a)에 대향하는, 상기 제 1 충간 절연막(101a)의 상면으로 연장되어 상기 상부 배선(110)에 연결된다. 상기 관통 전극(TS)을 구성하는 합금층(107)의 하면(BS)은 상기 기판(100)의 상면(100a)보다 높을 수 있다.

[0083] <Via First>

[0084] 도 12a는 관통 전극이 접적 회로와 배선들의 형성 이전에 형성되는 비아 퍼스트 구조의 제조 방법의 공정 흐름도이다. 도 12b는 도 12a에 의해 형성된 반도체 장치의 단면도이다. 설명의 간소화를 위하여 동일한 구성에 대한 설명은 생략될 수 있다.

[0085] 도 12a 및 도 12b를 참조하면, 관통 전극(TS)의 형성(S21)은 접적 회로(95)의 형성(S22) 이전에 수행될 수 있다. 보다 상세하게, 상기 관통 전극(TS)의 형성(S21) 이후, 접적 회로(95)가 형성되고(S22), 제 1 및 제 2 금속 배선(상부 배선(110) 및 금속 배선(111))이 형성(S23)될 수 있다. 그 후, 도 7a 및 도 7b를 참조하여 설명된 기판 연마(S24)가 수행될 수 있다.

[0086] 상기 기판(100)의 상면(100a)에는 충간 절연막(101)이 형성될 수 있다. 상기 충간 절연막(101)은 상기 접적 회로(95)와 상부 배선(110)을 덮는 제 1 충간 절연막(101a)과, 제 1 충간 절연막(101a) 상에 형성된 금속 배선(111)을 덮고 본딩패드(105)를 노출시키는 제 2 충간 절연막(101b)을 포함할 수 있다. 상기 상부 배선(110)은 제 1 금속 배선(M1), 상기 금속 배선(111)은 제 2 금속 배선(M2)으로 불리울 수 있다.

[0087] 본 실시예에서, 상기 제 1 충간 절연막(101a)은 상기 관통 전극(TS)의 상면을 덮을 수 있다. 상기 상부 배선(110)은 상기 제 1 충간 절연막(101a)과 상기 관통 전극(TS) 사이에 제공될 수 있다. 상기 금속 배선(111)은 상기 제 1 충간 절연막(101a)과 상기 제 2 충간 절연막(101b) 사이에 제공되어 상기 상부 배선(110)과 상기 접적 회로(95)를 전기적으로 연결할 수 있다. 상기 관통 전극(TS)은 상기 상부 배선(110) 아래에 제공된 식각 방지 층(115)을 관통하여 상기 상부 배선(110)과 연결될 수 있다.

[0088] 상기 관통 전극(TS)을 구성하는 합금층(107)의 하면(BS)은 상기 기판(100)의 상면(100a)보다 낮을 수 있다.

[0089] <Via Last>

[0090] 도 13a는 관통 전극이 접적 회로 형성 이후, 및 제 1 금속 배선과 제 2 금속 배선의 형성 사이에 형성되는 비아 라스트 구조의 제조 방법의 공정 흐름도이다. 도 13b는 도 13a에 의해 형성된 반도체 장치의 단면도이다. 설명의 간소화를 위하여 동일한 구성에 대한 설명은 생략될 수 있다.

[0091] 도 13 및 도 13b를 참조하면, 관통 전극(TS)의 형성(S33)은 접적 회로(95)의 형성(S31) 및 제 1 금속 배선(금속 배선(111))의 형성 이후에 수행될 수 있다. 보다 상세하게, 상기 접적 회로(95)의 형성(S31) 이후, 상기 접적 회로(95)를 덮는 제 1 충간 절연막(101a)이 형성될 수 있다. 상기 제 1 충간 절연막(101a) 상에 금속 배선(111)을 형성 후, 상기 금속 배선(111)을 덮는 제 2 충간 절연막(101b)이 형성될 수 있다. 상기 제 1 및 제 2 충간 절연막들(101a, 101b)을 관통하는 상기 관통 전극(TS)이 형성된 후(S33), 상기 관통 전극(TS)과 상기 접적 회로(95)를 전기적으로 연결하는 제 2 금속 배선(상부 배선(110))이 형성될 수 있다. 즉, 상기 관통 전극(TS)은 상기 제 1 및 제 2 충간 절연막들(101a, 101b)을 형성한 후에 형성될 수 있다. 상기 금속 배선(111)은 제 1 금속 배선(M1)으로, 상기 상부 배선(110)은 제 2 금속 배선(M2)으로 불리울 수 있다. 그 후, 도 7a 및 도 7b를 참조하여 설명된 기판 연마(S35)가 수행될 수 있다.

[0092] 본 실시예에서, 상기 관통 전극(TS)은 상기 제 1 충간 절연막(101a)에 대향하는, 상기 제 2 충간 절연막(101b)

의 상면으로 연장될 수 있다. 상기 관통 전극(TS)을 구성하는 합금층(107)의 하면(BS)은 상기 제 1 층간 절연막(101a)의 상면보다 높을 수 있다.

[0093] <응용예>

[0094] 도 14 내지 도 16은 본 발명의 실시예들에 따른 반도체 패키지들의 단면도들이다.

[0095] 도 14를 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(401)의 일 예는 패키지 기판(200)과 그 위에 실장된 반도체 장치(10)를 포함할 수 있다. 상기 패키지 기판(200)은 인쇄회로 기판일 수 있다. 상기 패키지 기판(200)은 절연 기판(201), 상기 절연 기판(201)을 관통하는 패키지 기판 관통 비아(207), 상기 절연 기판(201)의 상하면에 배치되는 도전 패턴들(209, 211) 및 상기 도전 패턴들(209, 211)을 일부 덮는 패키지 기판 절연막들(205, 203)을 포함할 수 있다. 상기 반도체 장치(10)는 도 1 내지 도 13을 참조하여 설명된 반도체 장치에 대응될 수 있다.

[0096] 상기 반도체 장치(10)는, 상기 기판(100)의 제 2 면(12)이 상기 패키지 기판(200)에 마주보도록, 상기 패키지 기판(200) 상에 실장될 수 있다. 즉, 상기 반도체 장치(10)는 제 1 범프(118)에 의해 상기 패키지 기판(200)에 전기적으로 연결될 수 있다. 상기 패키지 기판(200)의 하부에는 제 2 범프(73)가 부착될 수 있다. 상기 범프들(118, 73)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 상기 반도체 패키지(401)는 상기 반도체 장치(10)를 덮는 몰드막(310)을 더 포함할 수 있다. 상기 몰드막(310)은 에폭시 몰딩 컴파운드를 포함할 수 있다.

[0097] 도 15를 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(402)의 다른 예는 패키지 기판(200)과 그 위에 실장된 제 1 반도체 장치(10)와, 상기 제 1 반도체 장치(10) 상의 제 2 반도체 장치(300)를 포함한다. 상기 패키지 기판(200)은 인쇄회로 기판일 수 있다. 상기 패키지 기판(200)은 절연 기판(201), 상기 절연 기판(201)을 관통하는 패키지 기판 관통 비아(207), 상기 절연 기판(201)의 상하면에 배치되는 도전 패턴들(209, 211) 및 상기 도전 패턴들(209, 211)을 일부 덮는 패키지 기판 절연막들(205, 203)을 포함할 수 있다. 상기 제 1 반도체 장치(10)는 도 1 내지 도 13을 참조하여 설명된 반도체 장치에 대응될 수 있다. 상기 제 2 반도체 장치(300)는 상기 제 1 반도체 장치(10)와는 다른 반도체 장치로, 메모리 칩이나 로직 칩에 대응될 수 있다. 상기 제 2 반도체 장치(300)는 상기 관통 전극을 포함하지 않을 수 있다.

[0098] 상기 제 1 반도체 장치(10)는 제 1 범프(118)에 의해 상기 패키지 기판(200)에 전기적으로 연결될 수 있다. 상기 제 1 반도체 장치(10)는 상부 배선(110)과 전기적으로 연결된 재배선 구조를 포함할 수 있다. 상기 재배선 구조는 콘택(66) 및 접속 패드(67)를 포함할 수 있다. 상기 제 2 반도체 장치(300)는 상기 제 1 반도체 장치(10)에 플립 칩 본딩 방식으로 실장될 수 있다. 상기 제 2 반도체 장치(300)는 제 3 범프(75)에 의해 상기 제 1 반도체 장치(10)의 접속 패드(67)에 연결될 수 있다. 상기 제 1 반도체 장치(10)는 인터포저의 기능을 할 수 있다. 상기 제 3 범프(75) 및 관통 전극(TS)은 복수 개일 수 있다.

[0099] 상기 패키지 기판(200)의 하부에는 제 2 범프(73)가 부착될 수 있다. 상기 범프들(118, 73, 75)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 상기 반도체 패키지(402)는 상기 제 1 및 제 2 반도체 장치들(10, 300)을 덮는 몰드막(310)을 더 포함할 수 있다. 상기 몰드막(310)은 에폭시 몰딩 컴파운드를 포함할 수 있다.

[0100] 도 16을 참조하여, 본 발명의 실시예들에 따른 반도체 패키지(403)의 또 다른 예는 패키지 기판(200)과 그 위에 실장된 제 1 반도체 장치(10)와 제 2 반도체 장치(20)를 포함한다. 본 발명의 실시예들에 따른 반도체 패키지(403)는 멀티 칩 패키지일 수 있다. 상기 제 1 반도체 장치(10)와 제 2 반도체 장치(20)는 동일한 종류 및 구조를 가질 수 있다.

[0101] 상기 패키지 기판(200)은 인쇄회로 기판일 수 있다. 상기 패키지 기판(200)은 절연 기판(201), 상기 절연 기판(201)을 관통하는 패키지 기판 관통 비아(207), 상기 절연 기판(201)의 상하면에 배치되는 도전 패턴들(209, 211) 및 상기 도전 패턴들(209, 211)을 일부 덮는 패키지 기판 절연막들(205, 203)을 포함할 수 있다. 상기 제 1 및 제 2 반도체 장치들(10, 20)은 도 1 내지 도 13을 참조하여 설명된 반도체 장치에 대응될 수 있다.

[0102] 상기 제 1 반도체 장치(10) 및 상기 제 2 반도체 장치(20)는 각각 제 1 관통 전극(TS1) 및 제 2 관통 전극(TS2)을 포함할 수 있다. 상기 제 1 관통 전극(TS1)과 상기 제 2 관통 전극(TS2)은 서로 중첩되어 연결될 수 있다. 상기 제 2 관통 전극(TS2)과 상기 제 1 관통 전극(TS1)은 제 3 범프(75)에 의하여 서로 연결될 수 있다.

[0103] 제 1 범프(118)에 의해 상기 제 1 반도체 장치(10)는 상기 패키지 기판(200)에 전기적으로 연결될 수 있다. 상

기 제 1 반도체 장치(10)는 인터포저의 기능을 할 수 있다. 상기 패키지 기판(200)의 하부에는 제 2 범프(73)가 부착될 수 있다. 상기 범프들(118, 73, 75)은 솔더볼, 도전성 범프, 도전성 스페이서, 핀 그리드 어레이 또는 이들의 조합일 수 있다. 상기 반도체 패키지(403)는 상기 제 1 및 제 2 반도체 장치들(10, 20)을 덮는 몰드막(310)을 더 포함할 수 있다. 상기 몰드막(310)은 에폭시 몰딩 캠파운드를 포함할 수 있다.

[0104] 전술한 본 발명의 실시예들에 따른 패키지들은 관통 전극을 통하여 상기 패키지 기판에 전기적으로 연결되는 것을 설명하고 있으나, 이에 한정되지 않는다. 예를 들면 일부의 패드들은 와이어 본딩에 의하여 상기 패키지 기판과 전기적으로 연결될 수 있다.

[0105] 도 17은 본 발명의 실시예들에 따른 패키지 모듈(500)을 보여주는 평면도이다. 도 17을 참조하여, 상기 패키지 모듈(500)은 외부 연결 단자(508)가 구비된 모듈 기판(502)과, 상기 모듈 기판(502)에 실장된 반도체 칩(504) 및 QFP(Quad Flat Package)된 반도체 패키지(506)를 포함할 수 있다. 상기 반도체 칩(504) 및/또는 상기 반도체 패키지(506)는 본 발명의 실시예에 따른 반도체 장치를 포함할 수 있다. 상기 패키지 모듈(500)은 상기 외부 연결 단자(508)를 통해 외부 전자 장치와 연결될 수 있다.

[0106] 도 18은 본 발명의 실시예들에 따른 메모리 카드(600)를 보여주는 개략도이다. 도 18을 참조하여, 상기 메모리 카드(600)는 하우징(610) 내에 제어기(620)와 메모리(630)를 포함할 수 있다. 상기 제어기(620)와 상기 메모리(630)는 전기적인 신호를 교환할 수 있다. 예를 들어, 상기 제어기(620)의 명령에 따라서, 상기 메모리(630)와 상기 제어기(620)는 데이터를 주고받을 수 있다. 이에 따라, 상기 메모리 카드(600)는 상기 메모리(630)에 데이터를 저장하거나 또는 상기 메모리(630)로부터 데이터를 외부로 출력할 수 있다.

[0107] 상기 제어기(620) 및/또는 상기 메모리(630)는 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지 중 적어도 하나를 포함할 수 있다. 이러한 상기 메모리 카드(600)는 다양한 휴대용 기기의 데이터 저장 매체로 이용될 수 있다. 예를 들어, 상기 메모리 카드(600)는 멀티미디어 카드(multi media card; MMC) 또는 보안 디지털(secure digital; SD) 카드를 포함할 수 있다.

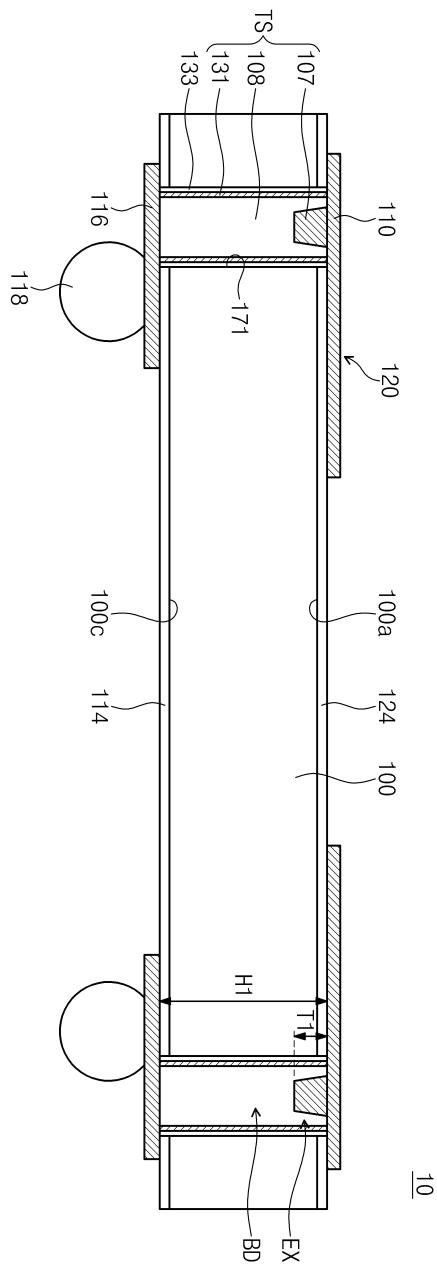
[0108] 도 19는 본 발명의 실시예들에 따른 전자 시스템(700)을 보여주는 블록도이다. 도 19를 참조하여, 상기 전자 시스템(700)은 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 적어도 하나 포함할 수 있다. 상기 전자 시스템(700)은 모바일 기기나 컴퓨터 등을 포함할 수 있다. 예를 들어, 상기 전자 시스템(700)은 메모리 시스템(712), 프로세서(714), 램(716), 및 유저 인터페이스(718)를 포함할 수 있고, 이들은 버스(Bus, 720)를 이용하여 서로 데이터 통신을 할 수 있다. 상기 프로세서(714)는 프로그램을 실행하고 상기 전자 시스템(700)을 제어하는 역할을 할 수 있다. 상기 램(716)은 상기 프로세서(714)의 동작 메모리로서 사용될 수 있다. 예를 들어, 상기 프로세서(714) 및 상기 램(716)은 각각 본 발명의 실시예들에 따른 반도체 장치 또는 반도체 패키지를 포함할 수 있다. 또는 상기 프로세서(714)와 상기 램(716)이 하나의 패키지에 포함될 수 있다. 상기 유저 인터페이스(718)는 상기 전자 시스템(700)에 데이터를 입력 또는 출력하는데 이용될 수 있다. 상기 메모리 시스템(712)은 상기 프로세서(714)의 동작을 위한 코드, 상기 프로세서(714)에 의해 처리된 데이터 또는 외부에서 입력된 데이터를 저장할 수 있다. 상기 메모리 시스템(712)은 제어기 및 메모리를 포함할 수 있으며, 도 17의 메모리 카드(600)와 실질적으로 동일하게 구성될 수 있다.

[0109] 상기 전자 시스템(도 19의 700)은 다양한 전자기기들의 전자 제어 장치에 적용될 수 있다. 도 20은 상기 전자 시스템(도 19의 700)이 모바일 폰(800)에 적용되는 예를 도시한다. 그 밖에, 상기 전자 시스템(도 19의 700)은 휴대용 노트북, MP3 플레이어, 네비게이션(Navigation), 고상 디스크(Solid state disk; SSD), 자동차 또는 가전 제품(Household appliances)에 적용될 수 있다.

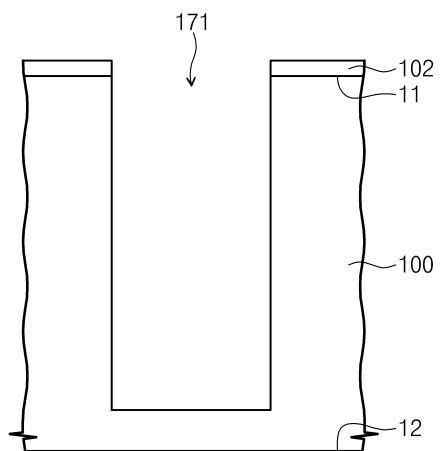
[0110] 발명의 특정 실시예들에 대한 이상의 설명은 예시 및 설명을 목적으로 제공되었다. 따라서 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 해당 분야에서 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

도면

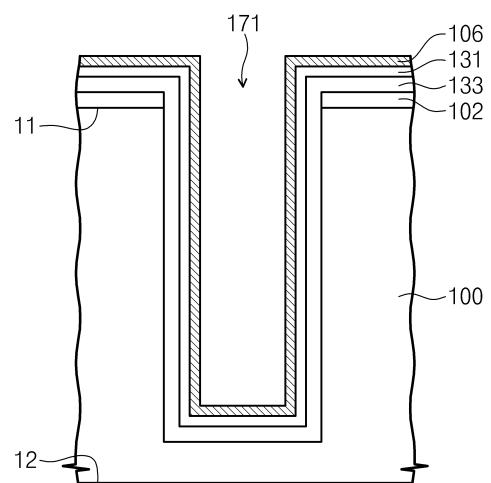
도면1



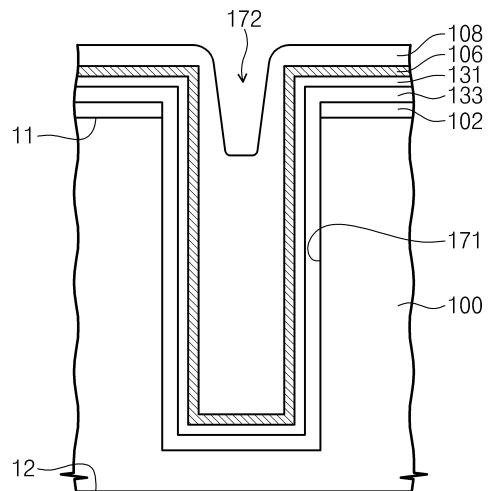
도면2



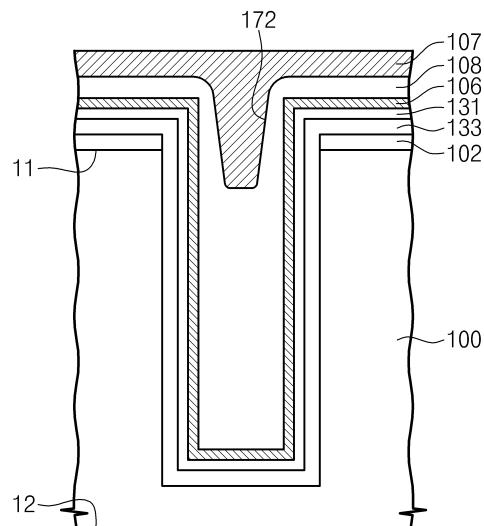
도면3



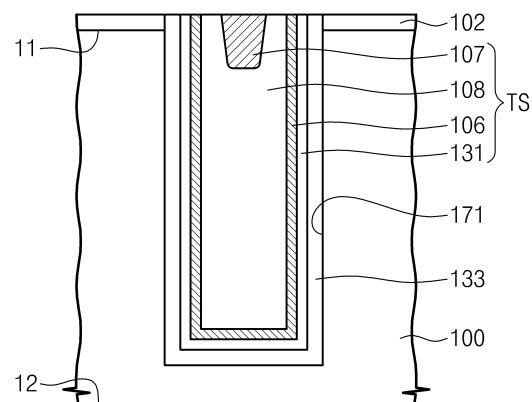
도면4



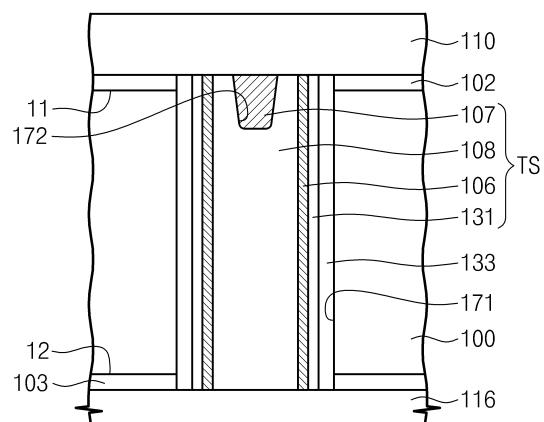
도면5



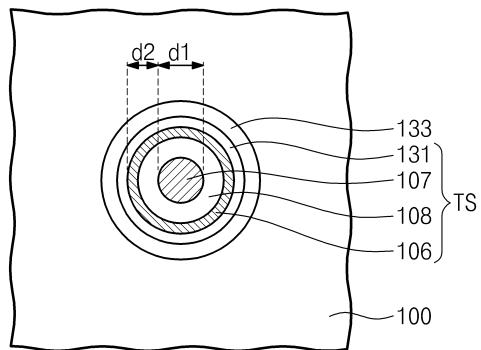
도면6



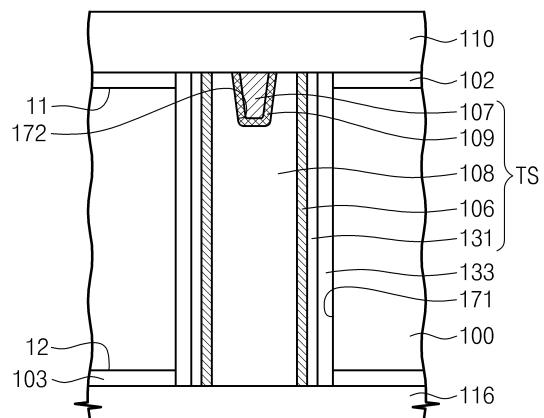
도면7a



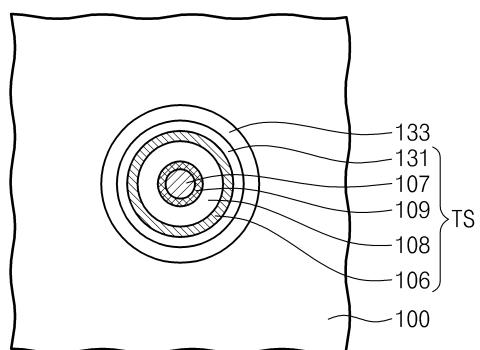
도면7b



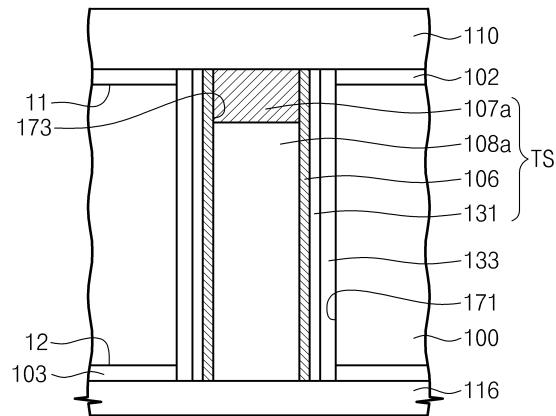
도면8a



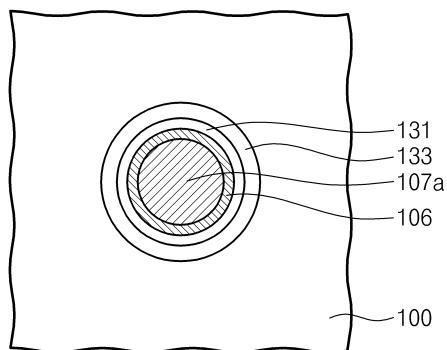
도면8b



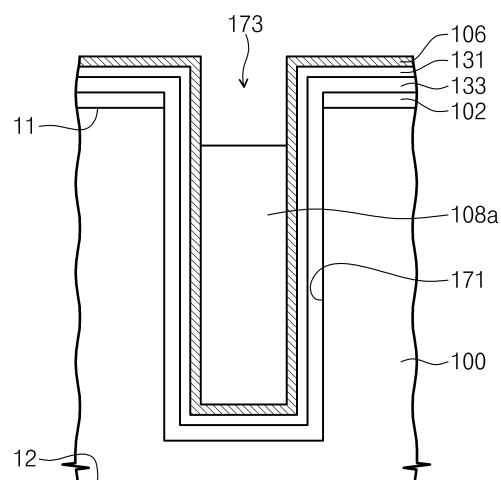
도면9a



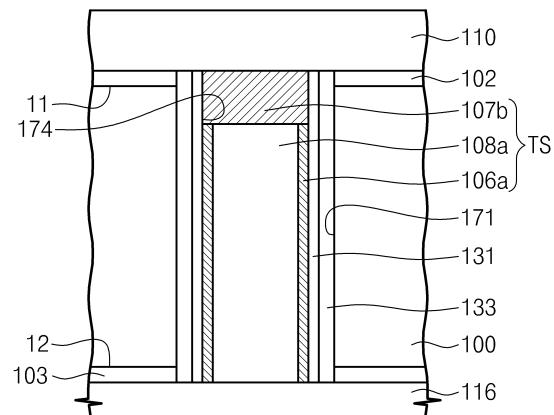
도면9b



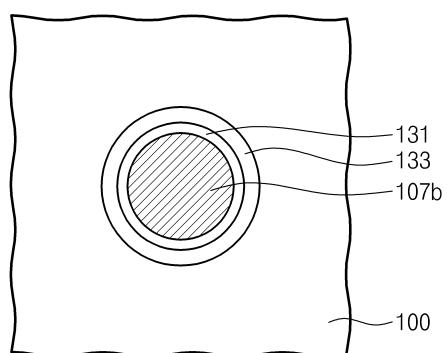
도면9c



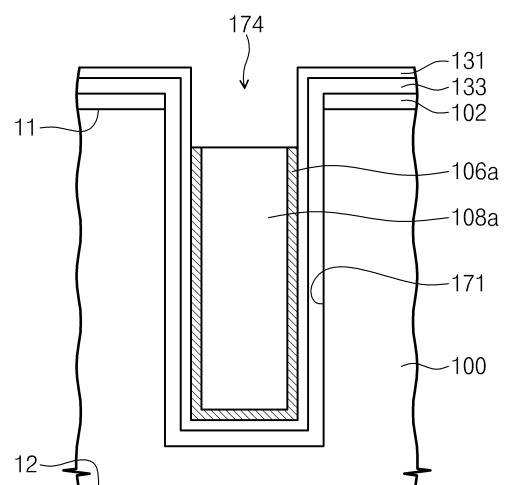
도면10a

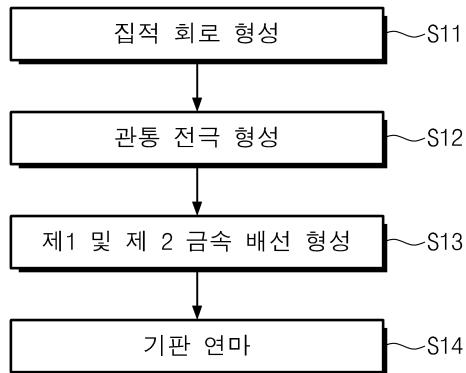
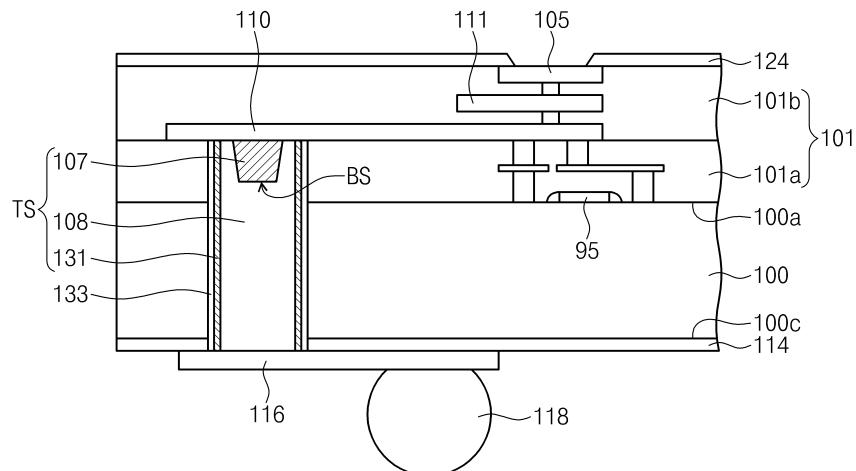
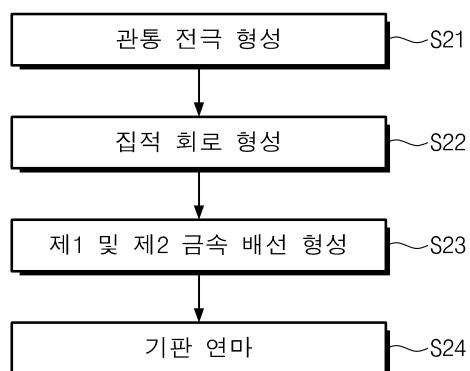


도면10b

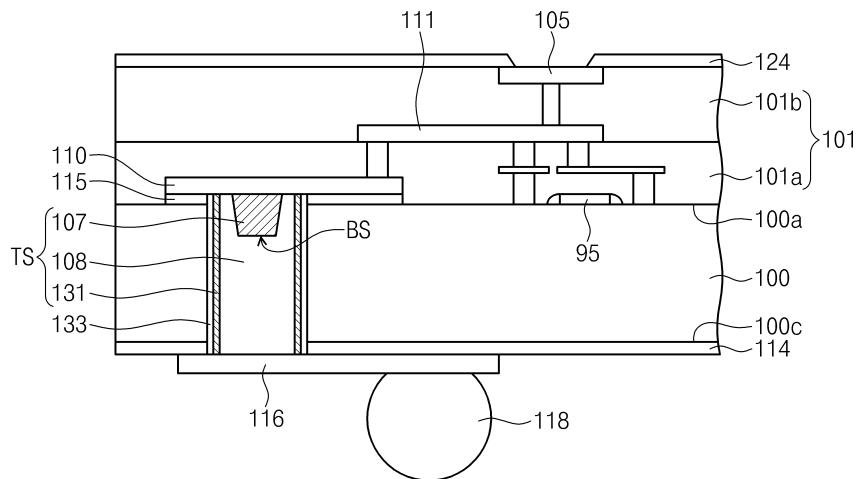


도면10c

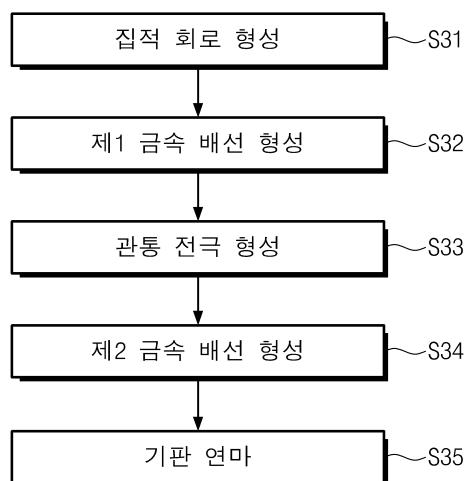


도면11a**도면11b****도면12a**

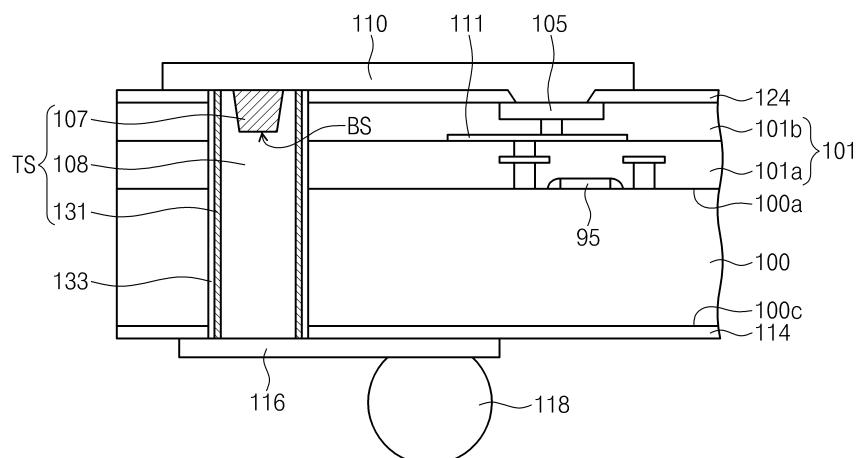
도면12b



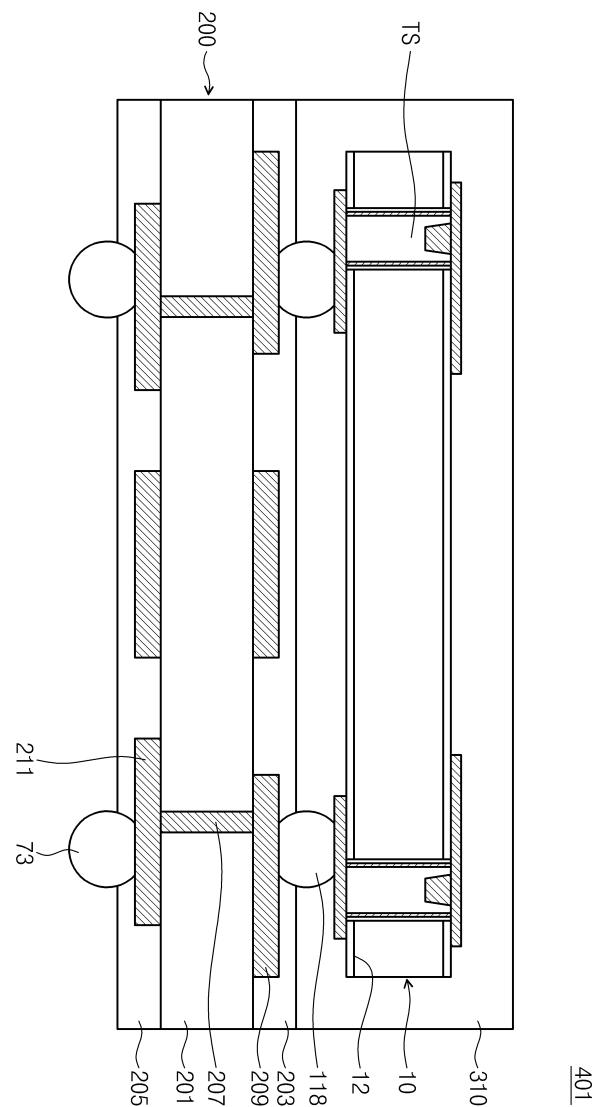
도면13a



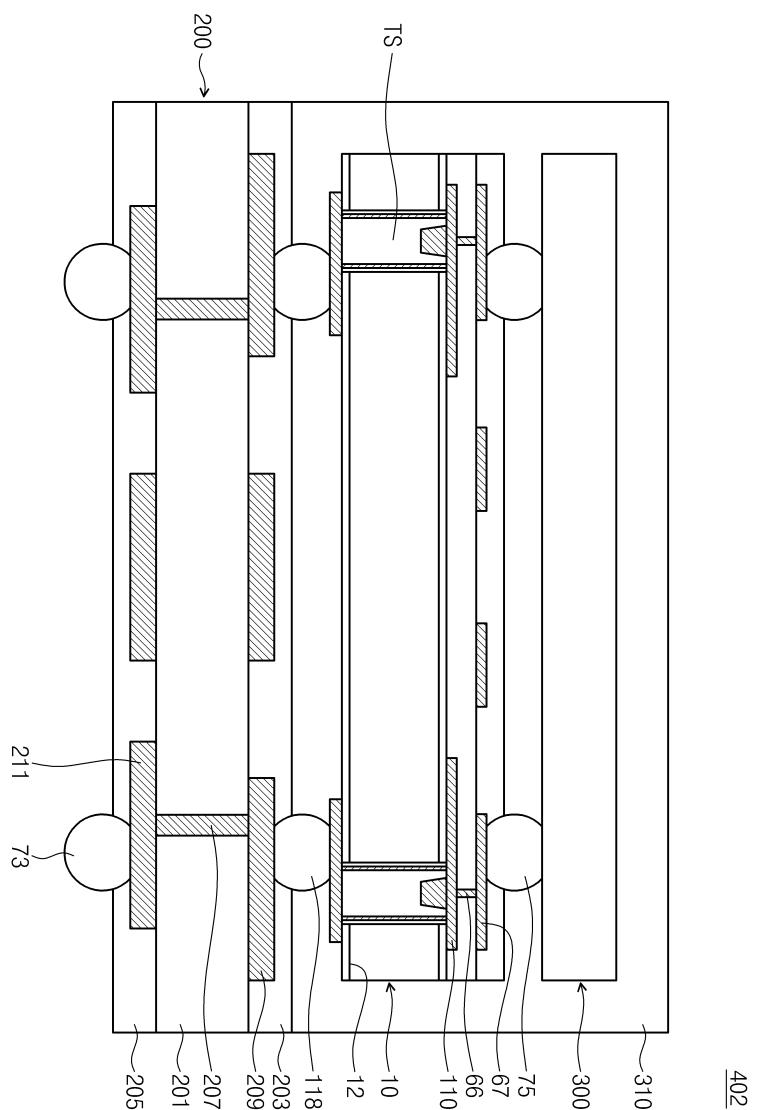
도면13b



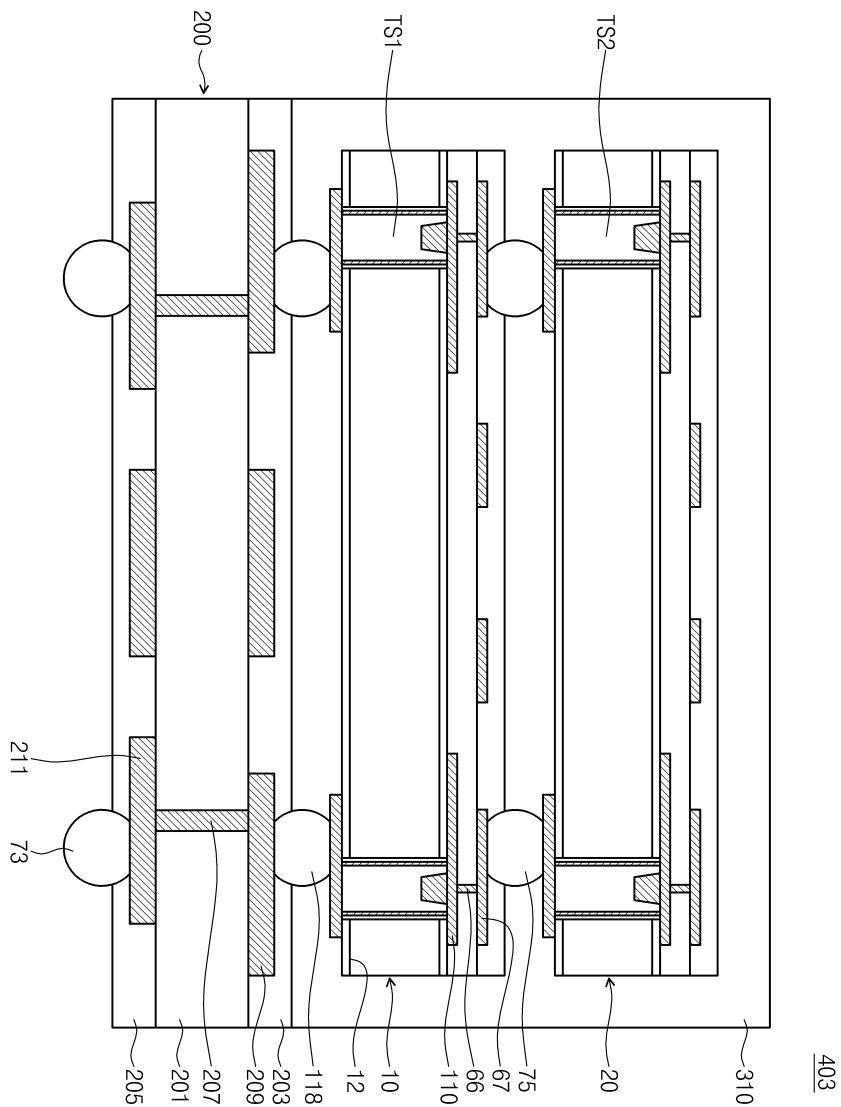
도면14



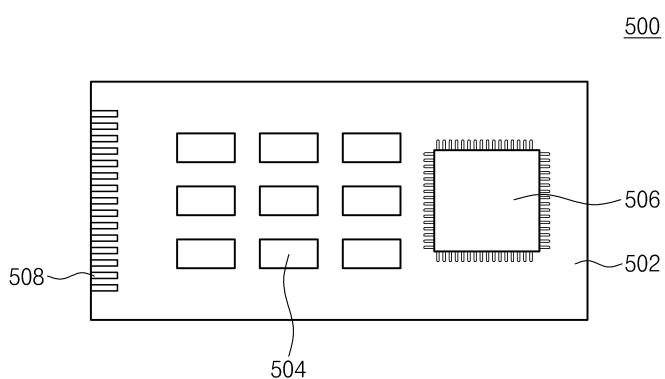
도면15

402

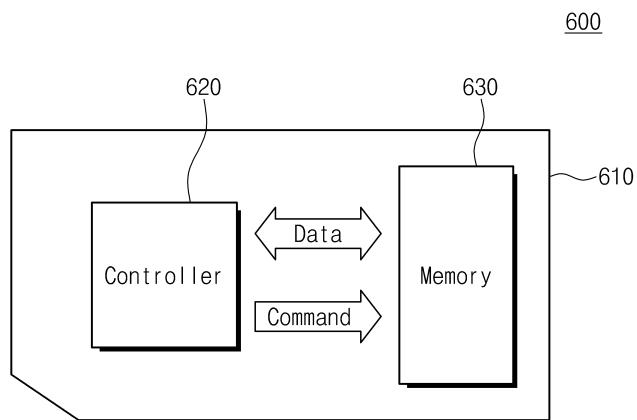
도면16



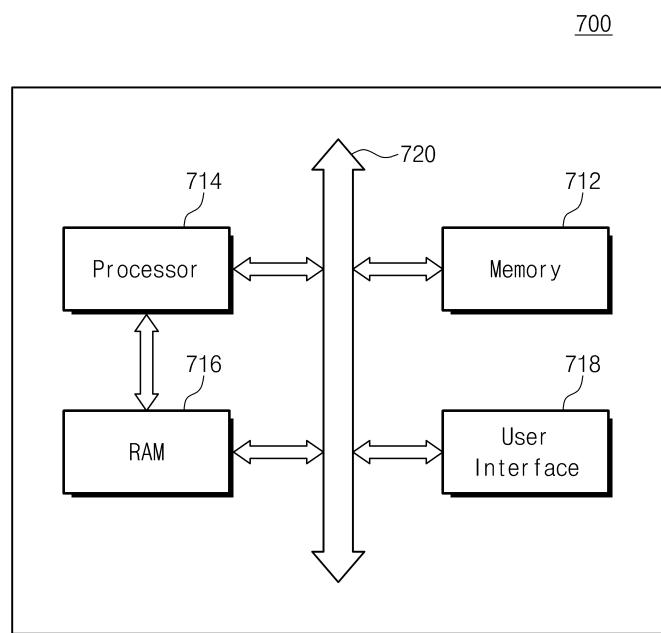
도면17



도면18



도면19



도면20

800

