

# 發明專利說明書

200417856

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92125870

※申請日期：92.9.18

※IPC 分類：G06F12/06

## 壹、發明名稱：(中文/英文)

用以分割邏輯區塊之方法與裝置

METHOD AND APPARATUS FOR SPLITTING A LOGICAL BLOCK

## 貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聖迪斯克公司/SANDISK CORPORATION

代表人：(中文/英文)(簽章)

歐登 查理斯 V. /ORDEN, CHARLES VAN

住居所或營業所地址：(中文/英文)

美國加州森尼維爾市裏海巷 140 號

140 Caspian Court, Sunnyvale, California 94089, USA

國籍：(中文/英文)

美國/U. S. A.

## 參、發明人：(共 3 人)

姓名：(中文/英文)

1. 張 羅伯特 C. /CHANG, ROBERT C.

2. 瓜瓦米 巴曼/QAWAMI, BAHMAN

3. 沙貝特-夏希 法希德/SABET-SHARGHI, FARSHID

住居所地址：(中文/英文)

1. 美國加州丹維爾·史坦頓巷 10 號/10 Stanton Court, Danville, CA 94506, U. S. A.

2. 美國加州聖約瑟·基萊尼圓環 5899 號/5899 Killarney Circle, San Jose, CA 95138, U. S. A.

3. 美國加州聖約瑟·史諾頓區 5634 號/5634 Snowdon Place, San Jose, CA 95138, U. S. A.

國籍：(中文/英文) 美國/U. S. A.

### 肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利  主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002/10/28；10/281,631

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明：

### 【發明所屬之技術領域】

#### 發明領域

本發明係有關於下列共同待審中之美國專利申請案：

- 5 在2002年10月28日提出申請之美國專利申請案第10/281,739號案，發明名稱為：非依電性儲存系統之磨損調勻技術(代理人文件編號：SANDP023/SDK0366.000US)；在2002年10月28日提出申請之美國專利申請案第10/281,670號案，發明名稱為：追蹤非依電性記憶體系統中最常抹除
- 10 區塊之技術(代理人文件編號：SANDP025/SDK0366.002US)；在2002年10月28日提出申請之美國專利申請案第10/281,824號案，發明名稱為：追蹤非依電性記憶體系統中最不常抹除區塊之技術(代理人文件編號：SANDP026/SDK0366.003)；在2002年10月28日提出
- 15 申請之美國專利申請案第10/281,855號案，發明名稱為：用以將區塊中之頁面分組之方法和裝置(代理人文件編號：SANDP029/DSK0410.000US)；以及在2002年10月28日提出申請之美國專利申請案第10/281,762號案，發明名稱為：用以分解與共用邏輯區塊相關聯之實體區塊的方法與裝置
- 20 (代理人文件編號：SANDP030/SDK0416.000US)等，其中，該等申請案之全部內容係包含於此處以作為參考之用。

本發明大致係有關於大量數位資料儲存系統。更詳而言之，本發明係有關於用以減少與快閃記憶體有關之檔案分派圖表(file allocation table, FAT)被複製之次數的系統與

方法。

### 【先前技術】

#### 發明背景

5 諸如快閃記憶體儲存系統之非依電性記憶體系統之使用係因此等記憶體系統之緊密實體大小及可重複再規劃非依電性記憶體之能力而增加。快閃記憶體儲存系統之緊密實體大小可促進將此等儲存系統使用於日漸普及之裝置內。使用快閃記憶體儲存系統之裝置包括(但不限於)數位相機、數位攝錄放影機、數位音樂播放器、手持式個人電腦、  
10 以及全球定位裝置等。可重複再規劃包括於快閃記憶體儲存系統之非依電性記憶體之能力允許快閃記憶體儲存系統之使用與再使用。

一般而言，快閃記憶體儲存系統可包括快閃記憶體卡  
15 及快閃記憶體晶片組。快閃記憶體晶片組一般而言包括快閃記憶體構件以及控制器構件。通常，快閃記憶體晶片組係排置為可構組於置入式系統。此等總成或主機系統之製造者通常取得構件形式之快閃記憶體，以及其他構件，而後將快閃記憶體及其他構件構組為主機系統。

20 如第1a圖所示，於檔案系統中，記憶體10係有效地被劃分為系統或目錄區域12及資料區域14。一般而言，於資料檔案通常係包括於資料區域14之同時，系統區域12包括根目錄及檔案分派圖表(FAT)。於將叢集(cluster)之資料以例如一次數頁之方式寫入資料區域14之同時，檔案系統可

將扇區之資料，以例如一次一頁之方式寫入系統區域12。每一叢集之大小，一般而言係與資料區域14有關之檔案的最小大小，可加以改變。舉例言之，於執行視窗系統或磁碟作業系統之整體系統中，叢集之大小可包括約四頁。

- 5           於系統區域12中，一般而言其係一次存取一扇區或一頁。亦即，當欲產生更新於系統區域12時，如同FAT之例所示，實質上僅有一頁於任意給定時間被更新。與邏輯區塊有關之任意更新，或與和檔案系統有關之區塊有關之任意更新可有效地傳播至對映於此邏輯區塊之實體區塊。第1b
- 10 圖係邏輯區塊與實體區塊間之對映之圖式表示。邏輯區塊52包括數頁，此等頁係個別對映於實體區塊54之頁，使得當與邏輯區塊52有關之頁被更新時，此更新係被寫入於實體區塊54。

- 當一頁被更新時，對應於此頁之實體區塊係有效地被
- 15 再複製於含有此頁之新實體區塊，且原始實體區塊被抹除。一般而言，於欲更新區塊內之單一頁時，複製實體區塊之全部內容利用相對大量之負擔，且可被證實為係消耗時間。

- 因此，吾人所欲者係可用以有效率地更新與系統區塊
- 20 有關之頁之方法與裝置。亦即，吾人所需者係一種可使其間之區塊於任意給定時間僅有單一頁實質地被再寫入以有效地被更新而無需要求計算資源之明顯使用之處理及系統。

**【發明內容】**

## 發明概要

本發明係有關於用以將邏輯區塊分割為二或更多個實體區塊之系統與方法。根據本發明之一態樣，用以令非依電性記憶體之數個實體區塊與包括邏輯區塊元件之邏輯區塊產生關聯之方法牽涉將邏輯區塊元件至少分組為第一邏輯組及第二邏輯組。與第一邏輯組有關之資料係提供予第一實體區塊，且與第二邏輯組有關之資料係提供予第二實體區塊。

於一實施例中，第一實體區塊包括實體區塊元件，且此方法亦包括將包括於第一實體區塊之此等數個實體區塊元件分組為第一實體組及第二實體組。而後，與第一邏輯組有關之資料可被寫入於第一實體組。於此實施例中，此方法亦可寫入與第一邏輯組有關之新資料，使得寫入與第一邏輯組有關之更新資料包括將更新資料寫入第二實體組。

當整體快閃記憶體系統被格式化時，藉由將一般而言一次存取少於四頁之邏輯區塊分割為數個實體區塊，由於邏輯區塊資料之部份可被寫入於數個實體區塊中之每一者，因此與邏輯區塊有關之實體區塊中之每一者係實質地僅有部份為盈滿的。當每一實體區塊係實質地僅有部份為盈滿時，每一實體區塊基本地具有可寫入更新之可用頁。因此，將盈滿實體區塊再寫入空白實體區塊之需要可藉由將與更新有關之資訊寫入實體區塊之可用頁之能力而被減

少。其僅於可用頁皆被填注後實體區塊方有被再寫入之需要。因此，藉由減少實體區塊被複製於其他實體區塊及抹除之次數，整體系統之性能可被改進。

根據本發明之另一態樣，記憶體裝置包括識別包括數  
5 個邏輯元件之邏輯區塊之第一構件；包括第一實體區塊與第二實體區塊之第二構件；以及第三構件。包括於第二構件之第一實體區塊及第二實體區塊個別包括數個實體元件。第三構件實質地將包括於邏輯區塊之此等數個邏輯元  
10 件劃分為第一邏輯組及第二邏輯組，且亦將與第一邏輯組有關之內容寫入第一實體區塊，並將與第二邏輯組有關之內容寫入第二實體區塊。於一實施例中，第一實體區塊包括數個實體元件之第一實體元件組及數個元件之第二實體  
15 元件組，且第三構件係排置為可將與第一邏輯組有關之內容寫入第一實體元件組。

於另一實施例中，第二實體區塊包括數個實體元件之  
20 第一實體元件組，及數個實體元件之第二實體元件組，且第三構件係排置為可將與第二邏輯組有關之內容寫入第一實體元件組。於此實施例中，第三構件係更可將與第二邏輯組有關之更新內容寫入第二實體元件組。

根據本發明之再另一態樣，與非依電性記憶體系統之  
25 檔案系統有關之分割可為邏輯區塊之第一區塊的方法包括將第一區塊實質地分區為第一部份及第二部份；令第一區塊之第一部份與和非依電性記憶體系統之非依電性記憶體有關的可為實體區塊之第二區塊產生關聯；及令第一區塊

之第二部份與和非依電性記憶體有關之第三區塊產生關聯。當欲更新與第一區塊之第一部份有關之內容時，與第一部份有關之更新內容係被寫入第二區塊，且當欲更新與第一區塊之第二部份有關之內容時，與第二部份有關之更新內容係被寫入第三區塊。

於閱讀下文之詳細說明及研討圖式之各種圖表後，本發明之此等及其他優點將更為清楚。

#### 圖式簡單說明

藉由參考附隨圖式及下文之詳細說明可對本案有最佳之瞭解，其中：

第1a圖係以檔案系統有效劃分之記憶體之圖式表示。

第1b圖係邏輯區塊與實體區塊間之對映之圖式表示。

第2a圖係包括非依電性記憶體之一般主機系統之圖式表示。

第2b圖係諸如第2a圖之記憶體裝置120之記憶體裝置之圖式表示。

第2c圖係包括置入式非依電性記憶體之主機系統之圖式表示。

第3圖係根據本發明之一實施例之具有邏輯區塊之檔案系統及具有實體區塊之媒體的圖式表示。

第4圖係根據本發明之一實施例之邏輯區塊與實體區塊間之對映之圖式表示。

第5a圖係根據本發明之一實施例之邏輯區塊與實體區塊，亦即，第4圖之邏輯區塊410及實體區塊414間之指示頁

係如何分配予邏輯區塊與實體區塊的對映之圖式圖表示。

第5b圖係根據本發明之一實施例之具有新寫入頁之系統記憶體，亦即，第5a圖的系統記憶體之圖式方塊圖表示。

5 第5c圖係根據本發明之一實施例之具有被分配予分割  
邏輯區塊之新實體區塊的系統記憶體，亦即，第5a圖的系  
統記憶體之圖式方塊圖表示。

第6圖係根據本發明之一實施例之說明與利用分割邏  
輯區塊之第一方法有關的步驟之處理流程圖。

10 第7圖係根據本發明之一實施例之說明與利用分割邏  
輯區塊之第二法有關的步驟之處理流程圖。

第8係根據本發明之一實施例之系統架構之圖式方塊  
圖表示。

### 【實施方式】

15 較佳實施例之詳細說明

當單一頁被更新可致動諸如具有置入式非依電性記憶  
體晶片之整體主機系統之整體系統時，減少儲存或再寫入  
更新頁所需之負擔之數目將使整體系統之操作更有效率。  
於每次欲更新與實體區塊有關之單一頁時，複製諸如與檔  
20 案分派圖表(FAT)有關之區塊之全部實體區塊將使用明顯  
數目之負擔，因此，將相對地無效率。

當整體快閃記憶體系統被格式化時，藉由將諸如邏輯  
FAT區塊之邏輯區塊分割為數個實體區塊，例如兩個實體區  
塊，與邏輯區塊有關之實體區塊中之每一者係實質地僅有

部份盈滿。換言之，邏輯區塊資料之部份可被寫入數個實體區塊中之每一者。藉由釋例，分割三十二頁邏輯區塊中之頁0至15可被寫入第一個三十二頁實體區塊中之頁0至15，同時，邏輯區塊之頁16至31可被寫入第二個三十二頁實體區塊中之頁0至15。當每一區塊僅有部份實質地盈滿時，每一實體區塊基本地具有可寫入更新之可用頁。

若欲寫入與邏輯區塊有關之新頁，此等頁可被寫入與適當實體區塊有關之可用頁。舉例言之，當欲寫入邏輯頁0至15之範圍內之新邏輯頁時，新邏輯頁可被寫入第一實體區塊之頁16至31之第一可用頁。類似地，當欲寫入邏輯頁16至31之範圍內之新邏輯頁時，新邏輯頁可被寫入第二實體區塊之頁16至31之第一可用頁。直至實體區塊耗盡其可用頁之供給時，其有效地無需將實體區塊之內容複製於新實體區塊。因此，與實體區塊有關之複製操作數目可明顯地減少，且整體系統之性能可被改進。

雖然一般而言分割區塊之使用係令至少二實體區塊與任一邏輯區塊產生關聯，由於分割區塊通常係為諸如FAT區塊或與根目錄有關之區塊等區塊而實施，因此系統所需之額外實體區塊數目係相對地低。當實施為分割區塊時，相較於因使用分割區塊而產生之性能優點，FAT區塊及根目錄區塊消耗較不明顯之負擔。舉例言之，每一區塊具有64頁之128百萬位元(MegaByte)之NAND快閃晶片可僅需二供FAT及根目錄用之區塊。實質上其僅需額外之二區塊以供分割區塊實施用。

快閃記憶體系統，或更一般言之，可自分割區塊之使用獲得利益之非依電性記憶體裝置，一般而言包括快閃記憶體卡及晶片組。通常，快閃記憶體系統係被用以與主機系統一起使用，以使此主機系統可將資料寫入快閃記憶體系統或自快閃記憶體系統讀取資料。然而，某些快閃記憶體系統包括置入式快閃記憶體及執行於一主機上以實質地作用為此置入式快閃記憶體之控制器之軟體，如同下文將參考第2c圖而說明者。參考第2a圖，其將說明包括諸如緊密快閃記憶體(CompactFlash Memory)卡之非依電性記憶體裝置之一般主機系統。主機或電腦系統100一般而言包括容許微處理器108、隨機存取記憶體(RAM)112、及輸入/輸出電路116通信之系統匯流排104。應瞭解者為，主機系統100可一般地包括其他構件，例如因供說明之故而未顯示之顯示器裝置及網路裝置。

一般而言，主機系統100可捕捉包括(但不限於)靜態影像資訊、音頻資訊、及視頻影像資訊等資訊。此種資訊可即時捕捉，並以無線方式傳送至主機系統100。在主機系統100可實質地為任意系統的同時，主機系統100通常係為諸如數位相機、視頻攝影機、蜂巢式通信裝置、音頻播放器、或視頻播放器。然而，應瞭解者為，一般而言，主機系統100可實質地為可儲存資料或資訊，及檢索資料或資訊之任意系統。

主機系統100亦可為僅捕捉資料，或僅檢索資料之系統。亦即，於一實施例中，主機系統100可為儲存資料之專

用系統，或主機系統100可為讀取資料之專用系統。藉由釋例，主機系統100可為排置為僅寫入或儲存資料之記憶體寫入器。任擇地，主機系統100可為諸如通常係排置為可讀取或檢索資料，且未捕捉資料之MP3播放器之裝置。

- 5            在一實施例中係為可移除之非依電性記憶體裝置之非依電性記憶體裝置120係被排置為可與匯流排104介接以儲存資訊。任選輸入/輸出電路區塊130可容許非依電性記憶體裝置120間接地與匯流排104介接。當以前述方式實施時，輸入/輸出電路區塊132係作用為可減少匯流排104之負載，如同熟於此技者可瞭解者。非依電性記憶體裝置120包括非依電性記憶體124及任選記憶體控制系統128。於一實施例中，非依電性記憶體裝置120可實施於一單晶片或晶粒上。任擇地，非依電性記憶體裝置120可實施於一多晶片模組，或可形成一晶片組且可一起使用以作為非依電性記憶體裝置120之多個分散構件上。非依電性記憶體裝置120之一實施例將參考第1b圖於下文作更為詳細之說明。
- 10
- 15

- 非依電性記憶體124，例如諸如NAND快閃記憶體之快閃記憶體，係排置為可儲存資料，使得資料可於需要時被存取及讀取。儲存於非依電性記憶體124之資料亦可於適當時抹除，雖然應瞭解者為，非依電性記憶體124內之某些資料係為不可抹除。儲存資料、讀取資料、及抹除資料等處理一般而言係由記憶體控制系統128所控制，或於未存有記憶體控制系統128時，藉由以微處理器108所執行之軟體控制。非依電性記憶體124之操作可藉由本質地令非依電性記
- 20

憶體124之扇區更為實質地且平均地磨損而加以管理，以使非依電性記憶體124之壽命可實質地最大化。

非依電性記憶體裝置120已大致地說明為包括任選記憶體控制系統128，亦即控制器。通常，非依電性記憶體裝置120可包括供非依電性記憶體124用之分離晶片，且記憶體控制系統128，亦即控制器發揮功用。藉由釋例，於包括(但不限於)PC卡、緊密快閃記憶體卡、多媒體卡、及保全數位卡之非依電性記憶體裝置包括可實施於分離晶片之控制器的同時，其餘非依電性記憶體裝置可不包括實施於分離晶片之控制器。於非依電性記憶體裝置120並未包括分離記憶體及控制器晶片之一實施例中，記憶體及控制器功能可集積於單一晶片，如同熟於此技者所瞭解者。任擇地，記憶體控制系統128之功能性可藉由微處理器108而提供，如同上文所述之非依電性記憶體裝置120並未包括記憶體控制器128之實施例。

參考第2b圖，根據本發明之一實施例，非依電性記憶體裝置120將更為詳細地說明。如同上文所說明者，非依電性記憶體裝置120包括非依電性記憶體124且可包括記憶體控制系統128。雖然於記憶體124係為諸如置入式NAND裝置時，非依電性記憶體裝置120可不包括控制系統128，但記憶體124及控制系統128，或控制器可為非依電性記憶體裝置120之主要構件。記憶體124可為形成於半導體基板上之記憶體晶胞陣列，其中，資料之一或多個位元係藉由將電荷之二或更多位準中之一者儲存於記憶體晶胞之個別儲

存元件而儲存於個別記憶體晶胞。非依電性快閃電氣可抹除唯讀記憶體(EEPROM)係為供此種系統用之常見形式記憶體之釋例。

當以前述方式實施時，控制系統128係經由匯流排15  
5 而與主機電腦或其他使用記憶體系統之系統通信以儲存資料。一般而言，匯流排15係為第1圖之匯流排104之部份。控制系統128亦控制可包括記憶體晶胞陣列11之記憶體124之操作以寫入藉由主機所提供之資料、讀取主機所要求之資料、並實施各種操作記憶體124之雜務功能。一般而言，  
10 控制系統128包括具有相關非依電性軟體記憶體、各種邏輯電路、及類似物之一般目的微處理器。一或多個狀態機亦經常被包括以控制特定常式之性能。

記憶體晶胞陣列11通常係藉由控制系統128或微處理器108而經由位址解碼器17定址。解碼器17應用正確電壓於  
15 陣列11之閘極與位元線以規劃資料而自藉由控制系統128定址之記憶體晶胞群組讀取資料或抹除藉由控制系統128定址之記憶體晶胞群組。額外電路19包括控制取決於被規劃於晶胞之定址群組之資料而應用於陣列元件的電壓的規劃驅動器。電路19亦包括感應放大器及其他自記憶體晶胞  
20 之定址群組讀取資料所需之電路。欲規劃於陣列11之資料，或最近自陣列11讀取之資料通常係儲存於控制系統128之緩衝器記憶體21。控制系統128通常亦含有各種供用以暫時地儲存命令及狀態資料與類似物之暫存器。

陣列11被分割為大量之區塊0(BLOCK 0)至區塊

N(BLOCK N)記憶體晶胞。如同對快閃EEPROM系統而言係為普通的，區塊通常係抹除之最小單位。亦即，每一區塊含有最小數目之一併被抹除之記憶體晶胞。每一區塊通常係劃分為數頁。如熟於此技者將可瞭解者，頁可為規劃之  
5 最小單位。亦即，基本規劃操作將資料寫入記憶體晶胞之最小一頁或自記憶體晶胞之最小一頁讀取資料。一或多個資料扇區通常係儲存於每一頁內。如第2b圖所示，一扇區包括使用者資料及負擔資料。負擔資料通常包括自扇區之使用者資料計算之錯誤校正碼(ECC)。當資料係被規劃於陣  
10 列11時，控制系統15之部份23計算ECC，並於資料係自陣列11讀取時，檢查ECC。任擇地，ECC係儲存於與其所附屬之使用者資料不同之頁或不同之區塊。

對應於磁碟驅動機之扇區大小，使用者資料扇區通常係為512位元。負擔資料通常係為額外之16位元。資料之一  
15 扇區最常見者係被包括每一頁，但二或更多扇區可代之以形成一頁。一般而言，任意數目之頁可形成一區塊。藉由釋例，區塊可自8頁至512、1024或更多頁而形成。區塊數目係被選擇以提供系統記憶體所欲之資料儲存容量。陣列  
20 11通常係被分割為數個次陣列(未顯示)，每一次陣列含有區塊比例，其於某種程度上係彼此獨立地操作以增加各種記憶體操作執行之平行性程度。數個次陣列之使用之一釋例係說明於美國專利第5,890,192號，該專利之全部內容在此係作為本發明之參考資料。

於一實施例中，非依電性記憶體係被置入於諸如主機

系統之系統中。第2c圖係包括置入式非依電性記憶體之主機系統之圖式表示。一般而言，主機或電腦系統150包括容許主機系統150之其他構件(未顯示)之微處理器158、RAM162、及輸入/輸出電路166通信之系統匯流排154。諸

5 如快閃記憶體之非依電性記憶體174容許資訊被儲存於主機系統150。介面180可被提供於非依電性記憶體174及匯流排154間，以令資訊可自非依電性記憶體174讀取及將資訊寫入非依電性記憶體174。

非依電性記憶體174可藉由有效地執行被排置為可控

10 制非依電性記憶體174之軟體或韌體中之一者或全部的微處理器158而加以管理。亦即，微處理器158可執行諸如軟體碼裝置或韌體碼裝置等容許控制非依電性記憶體174之碼裝置(未顯示)。可為與微處理器158內部之CPU封裝之快閃記憶體、分離快閃ROM、或位於非依電性記憶體174內部

15 之此等碼裝置，如將於下文說明者，可令非依電性記憶體174內部之實體區塊被定位址，且可將資訊儲存於實體區塊、可自實體區塊讀取資訊、及自實體區塊將資訊抹除。

一般而言，當使用者寫入資料時，使用者有效地將資料寫入媒體，如同快閃記憶體卡或包括快閃記憶體之置入

20 式系統之例所示。媒體內之資料格式通常係藉由檔案系統而組織。此檔案系統令資料與邏輯區塊產生關聯，或更詳而言之，令資料與邏輯區塊之頁產生關聯，此邏輯區塊係藉由與控制器有關之韌體或軟體而對映於與儲存媒體有關之實體區塊。第3圖係根據本發明之一實施例之具有邏輯區

塊的檔案系統及具有實體區塊之媒體的圖式表示。檔案系統314之邏輯區塊310包括任意數目之頁318。包括於諸如邏輯區塊310a之邏輯區塊的頁318之數目係取決於抹除單位之大小。舉例言之，當最小抹除單元含有約三十二頁時，

5 約三十二頁可被包括於邏輯區塊310a，如圖所示。

諸如置入式快閃記憶體之媒體334之實體區塊330包括數頁338。如同熟於此技者將可瞭解者，包括於實體區塊330之頁338之數目通常係與包括於邏輯區塊310之頁318之數目相同。

10 使用資料管理者或資料管理軟體，邏輯區塊310可被對映於實體區塊330，如同將於下文參考第8圖討論者。邏輯區塊310與實體區塊330間之對映可個別為一對一對映，亦即，位於一邏輯區塊位址之第一邏輯區塊310係對映於位於實質上係與邏輯區塊位址相同之實體區塊位址的第一實體

15 區塊330a。然而，邏輯區塊310與實體區塊330間之對映通常係使位於邏輯區塊位址之第一邏輯區塊310a並未對映於第一實體區塊330a，而係代之以對映於諸如實體區塊330c之具有實質地與邏輯區塊位址相異之不同實體區塊。

第4圖係根據本發明之一實施例的邏輯區塊與實體區

20 塊間之對映的圖式表示。邏輯區塊410包括任意數目之頁，此等頁係使用快閃軟體而有效地彼此分組為區塊。於此說明實施例中，邏輯區塊410包括約三十二頁。

如同熟於此技者將可瞭解者，除將頁分組為邏輯區塊410外，一般而言，快閃軟體亦可將邏輯區塊轉換或對映為

實體區塊。快閃軟體亦可將邏輯區塊410分割或劃分為二實體區塊414。實體區塊414之大小可變化之同時，實體區塊414之大小一般而言係與邏輯區塊410之大小一致。藉由釋例，當邏輯區塊410包括約三十二頁時，實體區塊414亦個別包括約三十二頁。

將邏輯區塊410分割為實體區塊414a及414b通常係發生於包括邏輯區塊410及實體區塊414a及414b之整體系統被格式化之時。通常，分割邏輯區塊410可伴隨將包含於與邏輯區塊410有關之一百分比之頁的資料提供予實體區塊414a，且將包含於與邏輯區塊410有關之剩餘頁提供予實體區塊414b。藉由釋例，實質地與邏輯區塊410有關之頁中之半數，亦即，如418指示之頁0至15可被複製於實體區塊414a，同時如422指示之頁16至31可被複製於實體區塊414b。取決於應用，應瞭解者為，分割可以各種不同之方式實施。於一實施例中，分割可相對地平均，且可實施為將偶數頁分組於一實體區塊，同時將奇數頁分組於另一實體區塊。若頁0至7較常被寫入且頁8至31較不常被修改，分割亦可能相對地不平均，例如，頁0至7可被分組於一實體區塊，同時頁8至31可被分組於另一實體區塊。

第5a圖係根據本發明之一實施例之邏輯區塊與實體區塊間，亦即，第4圖之邏輯區塊410及實體區塊414間之對映的圖式表示，其指示頁係如何分配予邏輯區塊及實體區塊。初始地，當邏輯區塊410係有效地分割為實體區塊414時，與邏輯區塊頁0至15有關之資料，如418所指示者，係

有效地複製於實體區塊頁0至15，如實體區塊414a之518所指示者，同時，與邏輯區塊頁16至31有關之資料，如422所指示者，係有效地複製於實體區塊頁0至15，如實體區塊414b之522所指示者。亦即，與邏輯區塊410有關之頁中之

5 半數的內容係被複製於實體區塊414a之頁518的對應組，同時，此等頁中另半數之內容係被複製於實體區塊414b之頁522之第一半數。

當整體系統被格式化時，實質上與邏輯區塊410有關之每一實體區塊414中之半數係保持為可用，亦即，係實質地

10 未填注。詳言之，如526所指示之實體區塊頁16至31係未填注於實體區塊414a，同時，如532所指示之實體區塊頁16至31係未填注於實體區塊414b。當更新產生時，如526所指示之頁16至31係被用以儲存如418所指示之邏輯區塊頁0至15之任意更新內容。類似地，當更新產生時，如532所指示之

15 頁16至31係被用以儲存如422所指示之邏輯區塊頁16至31之任意更新內容。

如第5b圖所示，當為如418所指示之邏輯區塊頁0至15中之部份的邏輯區塊頁530a被更新時，更新內容係被寫入如526所指示之實體區塊頁16至31內之頁530b。亦即，當與

20 邏輯區塊頁530a有關之更新產生時，更新邏輯區塊頁530a係改為有效地寫入區塊530b，其於說明實施例中係為414a之第一可用未寫入頁，而非再寫入如518所指示之所有實體區塊頁0至15。類似地，當包括於邏輯區塊頁422之邏輯區塊頁534a被更新時，更新內容係被寫入如532所指示之實體

區塊頁16至31內之頁534b。

應瞭解者為，當諸如邏輯區塊頁530a之邏輯區塊頁之更新內容被儲存於實體區塊頁530b時，對映係有效地更新，使得實質上於任意時間與邏輯區塊頁530a有關之內容可被存取，實體區塊頁530b之內容被存取。換言之，當欲對與邏輯區塊頁530a有關之內容進行存取時，與邏輯區塊頁530a有關之最近內容可被存取於實體區塊頁530b，而非存取為如518所指示之實體區塊頁0至15之部份的頁。若邏輯區塊頁530a再次被更新，新內容可被儲存於實體區塊  
10 414a之下一未寫入實體區塊頁。此等對映係有效地更新，使得實質上於任意時間，與邏輯區塊頁530a有關之內容可被存取，包括與諸如實體區塊頁530b之邏輯區塊頁530a有關之內容的實體區塊414a內之最近被寫入實體區塊頁之內容被存取。

15 一般而言，只要存有與實體區塊414關之可用頁，與邏輯區塊410有關之更新可以相對低之負擔成本被寫入實體區塊414，此係因其有效地無須於每次產生更新時抹除實體區塊414及實質地複製所有與邏輯區塊410有關之內容之故。然而，當實體區塊414未有可用區塊頁時，例如，當未  
20 有包括於如526所指示之實體區塊頁16至31之可用頁時，更新內容可能未複製於包括無可用區塊頁之實體區塊414。

當實體區塊414未有可複製更新內容之有效可用空間時，未具有可用空間之實體區塊414之最近內容可被複製於新實體區塊。接著參考第5c圖，當原始實體區塊係實質地

盈滿時，以新實體區塊有效地替換諸如第5a及5b圖之實體  
區塊414b之實體區塊將根據本發明之一實施例說明如下。  
當實體區塊414b係為盈滿使得如532所指示之頁16至31已  
全部被寫入時，亦即，當與實體區塊有關之所有可用頁已  
5 實質地被寫入時，對應於與如422所指示之邏輯區塊16至31  
有關之最近內容的實體區塊414b之內容可被複製於如新實  
體區塊574之580所指示之實體區塊頁0至15。因此，如實體  
區塊574之580所指示之頁0至15含有與如422所指示之邏輯  
區塊頁16至31有關之目前內容，同時，如實體區塊574之584  
10 所指示之頁16至31保持未寫入且因此係為可用。

一旦內容被複製於如580所指示之頁0至15，實體區塊  
414b可被抹除。除將實體區塊414b之內容複製於實體區塊  
574外，抹除實體區塊414b可消耗相對明顯之計算資源。然  
而，一般而言，由於實質地發生頁之未抹除且非常微小之  
15 複製，包括初始地分割為實體區塊414之邏輯區塊410的系  
統性能被增加，此係因特定實體區塊414之抹除處理通常係  
未實施，直至與特定區塊有關之所有可用頁已被寫入為  
止。於每一實體區塊414皆包括約十六個可用頁之實施例  
中，當系統被格式化或係當實體區塊414係初始地分派時，  
20 與和邏輯區塊410有關之更新內容有關之系統性能可被提  
高為約十六倍。一般而言，此改進係起因於缺乏複製諸如  
實體區塊414b之實體區塊414之內容及抹除實體區塊414b  
的需要，直至實體區塊414b之所有可用頁已被填注為止，  
亦即，直至產生約十六個更新為止。

於與如422所指示之頁16至31有關之內容被複製於實體區塊574後，實質地於任意時間，更新係對與如422所指示之頁16至31有關之內容產生，更新頁可被儲存於或寫入於如584所指示之頁16至31中之一者。換言之，一旦實體區塊414b已被抹除，實體區塊574有效地接替為與如邏輯區塊410之422所指示之頁16至31有關的實體區塊。

如前所述，對應於FAT之區塊或FAT檔案系統之根目錄的邏輯區塊可被分割以增進包括快閃記憶體之整體系統之性能。雖然當分割區塊被使用時，FAT及FAT檔案系統之根目錄所需之實體區塊數目係有效地變為兩倍，由於FAT及根目錄所需之區塊數目於整體系統中係相對地低，因此，額外實體區塊之使用即變為相對地不重要。然而，當FAT檔案系統之頁經常被更新時，減少複製及抹除FAT區塊之次數將產生明顯之性能利益。然而，應瞭解者為，分割區塊之使用可實質地於單一頁係於任意給定時間更新之情況中產生利益，例如，於區塊通常係實質地存取於單一扇區之任意情況。

參考第6圖，利用分割邏輯區塊之方法將根據本發明之一實施例加以說明。如前所述，一般而言，邏輯區塊係被分割或劃分為二實體區塊，亦即，實體區塊「A」及實體區塊「B」。換言之，邏輯區塊可被對映使得與邏輯區塊有關之某些資料可被儲存於實體區塊「A」，同時，其餘資料可基本地被儲存於實體區塊「B」。藉由釋例，與三十二頁有關之邏輯區塊可被分割，使得其中之十六頁被儲存於實體

區塊「A」，且其中之十六頁被儲存於實體區塊「B」。類似地，與六十四頁有關之邏輯區塊可被分割，使得其中之三十二頁被儲存於實體區塊「A」，且其中之三十二頁被儲存於實體區塊「B」。應瞭解者為，於與邏輯區塊有關之頁被

5 儲存於實體區塊「A」及實體區塊「B」後，實體區塊「A」及實體區塊「B」兩者皆包括可用空間，諸如可寫入更新頁之空間。

通常，當包括非依電性記憶體之整體系統被格式化時，邏輯區塊被分割。如前所述，一般而言，分割邏輯區

10 塊係使用於在任意給定時間單一扇區被更新之系統。亦即，當實質地僅有與邏輯區塊有關之一頁於任意給定時間有效地被更新時，分割邏輯區塊之使用係特別地需要，因為與更新頁有關之操作數目可實質地被最小化。

諸如更新邏輯區塊之處理的利用邏輯區塊600之處理

15 開始於步驟608之產生頁是否係儲存於欲更新之實體區塊「A」或係與欲更新之實體區塊「A」有關之判定時。當欲更新與頁有關之扇區時，全部頁被更新，因頁通常係規劃之最小單位。若其判定不欲更新與實體區塊「A」有關之頁，則處理流程移動至步驟612，其中，其判定是否欲更新與實

20 體區塊「B」有關之頁。若其判定不欲更新與實體區塊「B」有關之頁，則更新邏輯區塊之處理即為完成。

任擇地，若步驟612之判定係為欲更新與區塊「B」有關之頁，則更新內容被複製於與實體區塊「B」有關之可用頁。通常，更新內容係被複製於與實體區塊「B」有關之第

一可用頁。一旦更新內容被複製，與實體區塊「B」是否盈滿有關之判定於步驟620產生。亦即，其判定是否有額外可用頁留於實體區塊「B」。

5 若其於步驟620判定實體區塊「B」並非盈滿，則其指示額外更新可產生於與實體區塊「B」有關之頁。據此，處理流程返回至步驟608，其中，其判定是否應進行諸如與實體區塊「A」有關之更新的額外更新。若步驟620之判定為實體區塊「B」係為盈滿，則其意指實體區塊「B」內並未有任何可用頁。因此，於步驟624中，對應於實體區塊「B」

10 所表示之每一邏輯頁之最近內容被複製於新實體區塊，使得新實體區塊可包括最近內容且具有供將來更新用之可用頁。詳言之，與實體區塊「B」所表示之每一邏輯頁有關之最近資訊實質地依序被複製於新實體區塊。藉由釋例，若實體區塊「B」包括分割邏輯區塊之頁十六至三十一，則實

15 質地僅有被儲存於實體區塊「B」之分割邏輯區塊之頁十六至三十一的目前內容被儲存於新實體區塊。

一旦最近內容被複製於新實體區塊，實體區塊「B」於步驟628被抹除，且新實體區塊被有效地更名為實體區塊「B」。而後，處理流程返回至步驟608，其中，是否更新與

20 實體區塊「A」有關之頁之判定被產生。

返回至步驟608，若其判定應更新與實體區塊「A」有關之頁，則與欲更新之頁有關之更新內容被複製於實體區塊「A」之可用頁。於內容被複製或寫入於可用頁後，實體區塊「A」是否盈滿之判定於步驟636產生。若其判定實體

區塊「A」並未盈滿，則更進一步之更新可對與實體區塊「A」有關之頁產生。據此，處理流程返回至步驟608，其中，其判定是否應更新與實體區塊「A」有關之頁。

另一方面，若其於步驟636判定實體區塊「A」係為盈滿，則其指示實體區塊「A」並未有效地剩餘可用頁。因此，對應於實體區塊「A」所表示之每一邏輯頁之最近內容係於步驟640被複製於新實體區塊。於內容被複製於新實體區塊後，實體區塊「A」係於步驟644被抹除，同時，新實體區塊係有效地被設定為實體區塊「A」。換言之，新實體區塊變為實體區塊「A」。於新實體區塊被設定為實體區塊「A」之後，處理流程返回至步驟608，其中，有關是否應更新與實體區塊「A」有關之頁的判定被產生。

使用分割邏輯區塊之方法可廣泛地變化。亦即，可使用除前文所述與第6圖有關之方法以外之其他方法。另一使用分割邏輯區塊之適當方法將參考第7圖說明。利用諸如更新之處理700，分割邏輯區塊一般而言係發生於邏輯區塊被分割或劃分為二實體區塊之後，亦即，被分割為實體區塊「A」及實體區塊「B」後。一般而言，邏輯區塊係於包括非依電性記憶體之整體系統被格式化時被分割。

於邏輯區塊被分割後，處理700開始於步驟708產生儲存於實體區塊「A」或與實體區塊「A」有關之頁是否應被更新之判定時。若其判定與實體區塊「A」有關之頁不應被更新，則處理流程移動至步驟712，其中，其判定與實體區塊「B」有關之頁是否應被更新。若其判定與實體區塊「B」

有關之頁不應被更新，則更新分割邏輯區塊之處理即為完成。

任擇地，若步驟712之判定為與實體區塊「B」有關之頁應被更新，則於步驟714產生與實體區塊「B」是否盈滿有關之判定，亦即，是否有空間可將更新內容寫入於實體區塊「B」。當其判定實體區塊「B」並未盈滿且有空間可將更新內容寫入實體區塊「B」時，更新內容係於步驟716被複製於實體區塊「B」之可用頁。通常，更新內容係被複製於與實體區塊「B」有關之第一可用頁。一旦更新內容被複製，處理流程返回至步驟708，其中，其判定與實體區塊「A」有關之頁是否應被更新。

返回至步驟714，若其判定實體區塊「B」係為盈滿，且因此基本上無額外可用頁剩餘於實體區塊「B」，則對應於實體區塊「B」所表示之每一頁之最近內容係被複製於新實體區塊，使得新實體區塊可包括最近內容且具有可供未來用之可用頁。複製最近內容牽涉複製因實體區塊「B」係為盈滿而無法被儲存於實體區塊「B」之更新內容，且儲存於實體區塊「B」之最近內容係與先前儲存之每一邏輯頁有關。

一旦最近內容被寫入新實體區塊，實體區塊「B」於步驟728被抹除，且新實體區塊可有效地作為實體區塊「B」，例如，新實體區塊可基本地變為實體區塊「B」。而後，處理流程返回至步驟708，其中，與實體區塊「A」有關之頁是否應被更新之判定被產生。

返回至步驟708，若其判定與實體區塊「A」有關之頁應被更新，則其於步驟710判定實體區塊「A」是否盈滿。若其判定實體區塊「A」並未盈滿，則於步驟732，與應被更新之頁有關之更新內容係被複製於實體區塊「A」之可用  
5 頁。於內容被複製或寫入可用頁後，處理流程返回至步驟708。

另一方面，若其於步驟710判定實體區塊「A」係為盈滿，則其意指無需對與實體區塊「A」有關之頁進行更進一步之更新。因此，對應於一般而言係表示於實體區塊「A」  
10 之每一邏輯頁之最近內容係於步驟740被複製於新實體區塊。一旦內容被複製於新實體區塊，實體區塊「A」於步驟744被抹除，同時，新實體區塊係有效地被設定為實體區塊「A」。於新實體區塊被設定為實體區塊「A」之後，處理流程返回至步驟708，其中，與和實體區塊「A」有關之頁  
15 是否應被更新有關之判定被產生。

一般而言，與將邏輯區塊分割為數個實體區塊有關且致動更新之功能性係設置於軟體，諸如程式碼裝置或主機系統之韌體。與用以開始磨損調勻之軟體或設於主機系統之韌體有關之適當系統架構的實施例係顯示於第8圖。一般  
20 而言，系統架構800包括各種可包括但不限於應用介面模組804、系統管理者模組808、資料管理者模組812、資料整體性管理者816、及裝置管理者及介面模組820等模組。一般而言，系統架構800可使用可以諸如第2a圖之處理器108之處理器存取之軟體碼裝置或韌體而實施。

一般而言，應用介面模組804可排置為可與主機、作業系統使用者直接通信。應用介面模組804亦可與系統管理者模組808及資料管理者模組812通信。當使用者要求讀取、寫入、或格式化快閃記憶體時，使用者傳送要求至作業系統，此等要求被送至應用介面模組804。取決於此等要求，應用介面模組804將此等要求導至系統管理者模組808或資料管理者模組812。

系統管理者模組808包括系統初始化次模組824、抹除次數區塊管理次模組826、及功率管理區塊次模組830。一般而言，系統初始化次模組824係排置為可致動欲處理之初始化要求，且通常與抹除次數區塊管理次模組826通信。抹除次數區塊管理次模組826包括儲存區塊之抹除次數的功能性，及計算平均抹除次數之功能性，及使用個別抹除次數更新之功能性。抹除次數之使用係說明於共同待審查之於2002年10月28日提出申請之美國專利申請案第10/281,739號案(代理人文件編號為SANDP023)，該申請案之全部內容係於此處被包含作為參考之用。系統初始化模組824亦被排置為可產生系統區塊列表，且可產生分割區塊列表、如同FAT檔案系統之例，其可致動分割區塊之識別。此分割區塊列表可致動分割邏輯區塊及對應於分割邏輯區塊之實體區塊之識別。

除與應用介面模組804通信外，系統管理者模組808亦係與資料管理者模組812及裝置管理者及介面模組820通信。與系統管理者模組808及應用介面模組804兩者通信之

資料管理者模組812可包括提供有效地將邏輯扇區翻譯為實體扇區之扇區對映。亦即，資料管理者模組812係排置為可將邏輯區塊對映於實體區塊。資料管理者模組812亦可包括與作業系統及檔案系統介面層有關之功能性。

5           與系統管理者模組808、資料管理者812、及資料整體性管理者816通信之裝置管理者及介面模組820通常提供快閃記憶體介面，且包括與硬體摘要有關之諸如I/O介面之功能性。資料整體性管理者模組816可提供其他功能性之ECC掌握。

10           雖然本發明僅就數個實施例加以說明，但應瞭解者為，於不悖離本發明之精神或範圍之情況下，本發明可以其他特定形式實施。藉由釋例，雖然邏輯區塊已以分割為二實體區塊說明，但邏輯區塊一般而言可被分割為數個實體區塊。亦即，邏輯區塊可被分割為二或更多實體區塊。

15           當邏輯區塊被分割為二實體區塊時，一般而言，每一實體區塊可大約包括與邏輯區塊有關之內容的半數。亦即，每一實體區塊可初始地填注與邏輯區塊有關之內容的半數。然而，應瞭解者為，與邏輯區塊有關之內容可於實體區塊間不平均地被分割。舉例言之，小於與邏輯區塊有關之內容中之百分之五十的內容可被寫入一實體區塊，同時，與此邏輯區塊有關之剩餘內容可被寫入另一實體區塊。相對不平均地分割邏輯區塊於實施例中所具有之優點為其可預期或觀察相較於其他頁，某些頁係新近寫入或頻繁地再寫入，因為允許更多可用空間可被包括於與更頻繁

20

地寫入之頁有關之實體區塊可更為減少所需之整體複製及抹除作業的次數。

一般而言，將邏輯區塊分割為數個實體區塊已說明為特別適用於儲存FAT區塊及根目錄區塊之記憶體系統區域。換言之，分割區塊通常係包括於系統區域內，此係因諸如FAT區塊及根目錄區塊之區塊一般而言係於單一扇區或作為單一頁存取。然而，應瞭解者為，於不悖離本發明之精神或範圍之情況下，通常一次更新或寫入一頁之實質任意區塊可變為分割區塊。

快閃記憶體之大小及快閃記憶體之區塊之大小可廣泛地改變。於區塊之大小已大致地說明為包括約三十頁二之同時，區塊可包括任意數目之頁，或更一般言之，任意數目之可構成區塊之元件數目。舉例言之，區塊可包括約六十四頁。因此，系統之區塊數目可加以改變。於512Mb之NAND快閃記憶體中，若一區塊包括約三十二頁，每一頁包含約512位元，總數為4096之實體區塊可被表現於快閃記憶體。任擇地，於相同之512Mb之NAND快閃記憶體中，若每一實體區塊包括約六十四頁，每一頁包括約512位元，總數為2048之實體區塊可被表現於快閃記憶體。一般而言，頁之大小亦可改變。

與本發明有關各種方法之步驟可廣泛地改變。一般而言，於不悖離本發明之範圍之精神的情形下，此等步驟可增加、移除、再排組、及改變。因此，目前之釋例係考量為供說明之用，而非供限制之用，且本發明並未限於此處

所詳述之說明，而係可於附隨之申請專利範圍之範圍內進行修改者。

### 【圖式簡單說明】

- 5 第1a圖係以檔案系統有效劃分之記憶體之圖式表示。  
第1b圖係邏輯區塊與實體區塊間之對映之圖式表示。  
第2a圖係包括非依電性記憶體之一般主機系統之圖式表示。
- 10 第2b圖係諸如第2a圖之記憶體裝置120之記憶體裝置之圖式表示。  
第2c圖係包括置入式非依電性記憶體之主機系統之圖式表示。
- 第3圖係根據本發明之一實施例之具有邏輯區塊之檔案系統及具有實體區塊之媒體的圖式表示。
- 15 第4圖係根據本發明之一實施例之邏輯區塊與實體區塊間之對映之圖式表示。  
第5a圖係根據本發明之一實施例之邏輯區塊與實體區塊，亦即，第4圖之邏輯區塊410及實體區塊414間之指示頁係如何分配予邏輯區塊與實體區塊的對映之圖式圖表示。
- 20 第5b圖係根據本發明之一實施例之具有新寫入頁之系統記憶體，亦即，第5a圖的系統記憶體之圖式方塊圖表示。  
第5c圖係根據本發明之一實施例之具有被分配予分割邏輯區塊之新實體區塊的系統記憶體，亦即，第5a圖的系統記憶體之圖式方塊圖表示。

第6圖係根據本發明之一實施例之說明與利用分割邏輯區塊之第一方法有關的步驟之處理流程圖。

第7圖係根據本發明之一實施例之說明與利用分割邏輯區塊之第二法有關的步驟之處理流程圖。

5 第8係根據本發明之一實施例之系統架構之圖式方塊圖表示。

### 【圖式之主要元件代表符號表】

10	記憶體	11	記憶體晶胞陣列
12	系統區域、目錄區域	14	資料區域
15	控制系統	17	位址解碼器
19	額外電路	21	緩衝記憶體
23	部份	52	邏輯區塊
54	實體區塊	100	主機或電腦系統
104	系統匯流排	108	微處理器
112	隨機存取記憶體(RAM)	116	輸入/輸出電路
120	非依電性記憶體裝置	124	非依電性記憶體
128	記憶體控制系統		
130	任選輸入/輸出電路區塊		
132	輸入/輸出電路區塊	150	主機或電腦系統
154	系統匯流排	158	微處理器
162	隨機存取記憶體(RAM)	166	輸入/輸出電路
174	非依電性記憶體	314	檔案系統
310、310a	邏輯區塊	318、338	頁

330、330c	實體區塊	334	媒體
410	邏輯區塊		
414、414a、414b	實體區塊		
418、422、518、522、526、532、530a、530b、534a、534b、580、584	頁		
574	實體區塊	600	邏輯區塊
608、612、620、624、628、636、640、644			步驟
700	處理		
708、710、712、714、728、732、740			步驟
800	系統架構	804	應用介面模組
808	系統管理者模組	812	資料管理者模組
816	資料整體性管理者		
820	裝置管理者及介面模組	824	系統初始化次模組
826	抹除次數區塊管理次模組	830	功率管理區塊次模組

### 伍、中文發明摘要：

本發明係有關於用以將單一邏輯區塊分割為二或更多實體區塊之方法與裝置。根據本發明之一態樣，用以令非依電性記憶體之數個實體區塊與包括邏輯區塊元件之邏輯區塊產生關聯之方法牽涉將邏輯區塊元件至少分組為第一邏輯組及第二邏輯組。與第一邏輯組有關之資料係提供予第一實體區塊，且與第二邏輯組有關之資料係提供予第二實體區塊。

### 陸、英文發明摘要：

Methods and apparatus for splitting a single logical block into two or more physical blocks are disclosed. According to one aspect of the present invention, a method for associating a plurality of physical blocks of a non-volatile memory with a logical block that includes of logical block elements involves grouping the logical block elements into at least a first logical set and a second logical set. Data associated with the first logical set is provided to a first physical block, and data associated with the second logical set is provided to a second physical block.

## 拾、申請專利範圍：

1. 一種用以令非依電性記憶體之數個實體區塊與邏輯區塊產生關聯之方法，該邏輯區塊包括數個邏輯區塊元件，該方法包含：
  - 5 實質地將該等數個邏輯區塊元件分組為組，該等組包括一第一邏輯組及一第二邏輯組；  
將與該第一邏輯組有關之資料提供予該等數個實體區塊之一第一實體區塊；以及  
將與該第二邏輯組有關之資料提供予該等數個實體  
10 區塊之一第二實體區塊。
2. 如申請專利範圍第1項所述之方法，其中，該第一實體區塊包括數個實體區塊元件，且該方法更包括：  
將該等數個包括於該第一實體區塊之實體區塊元  
件分組為一第一實體組及一第二實體組。
- 15 3. 如申請專利範圍第2項所述之方法，其中，將與該第一邏輯組有關之該資料提供予該第一實體區塊包括：  
將該資料寫入該第一實體組。
4. 如申請專利範圍第3項所述之方法，其中，該第二實體  
區塊包括數個實體區塊元件，且該方法更包括：  
20 將該等數個包括於該第二實體區塊之實體區塊元  
件分組為一第三實體組及一第四實體組。
5. 如申請專利範圍第4項所述之方法，其中，將與該第二  
邏輯組有關之該資料提供予該第二實體區塊包括：  
將該資料寫入該第三實體組。

6. 如申請專利範圍第5項所述之方法，其中，該第一邏輯組與該第二邏輯組實質地係為相同大小，且該第一實體組與該第三實體組實質地係為相同大小。
7. 如申請專利範圍第5項所述之方法，其更包括：
  - 5 寫入與該第一邏輯組有關之新資料，其中，寫入與該第一邏輯組有關之該新資料包括將該新資料寫入該第二實體組。
8. 如申請專利範圍第7項所述之方法，其更包括：
  - 10 判定該第一實體區塊係於何時盈滿；以及當其判定該第一實體區塊係為盈滿時，將該資料中之至少某些及該新資料寫入一第三實體區塊，該第三實體區塊包括一第五實體元件實體組及一第六實體元件實體組，其中，將該資料中之該至少某些及該新資料寫入該第三實體區塊包括將該資料中之該至少某些及該  
15 新資料寫入該第五實體組。
9. 如申請專利範圍第8項所述之方法，其中，該資料中之該至少某些包括包括於該資料之最近儲存資料。
10. 如申請專利範圍第5項所述之方法，其更包括：
  - 20 寫入與該第二邏輯組有關之新資料，其中，寫入與該第二邏輯組有關之該新資料包括將該新資料寫入該第四實體組。
11. 如申請專利範圍第10項所述之方法，其更包括：
  - 判定該第二實體區塊係於何時盈滿；以及當其判定該第二實體區塊係為盈滿時，將該資料中

- 之至少某些及該新資料寫入一第三實體區塊，該第三實體區塊包括一第五實體元件實體組及一第六實體元件實體組，其中，將該資料中之該至少某些及該新資料寫入該第三實體區塊包括將該資料中之該至少某些及該新資料寫入該第五實體組。
- 5
12. 如申請專利範圍第10項所述之方法，其中，該資料中之該至少某些包括包括於該資料之最近儲存資料。
13. 如申請專利範圍第1項所述之方法，其中，該邏輯區塊係一次存取一邏輯元件。
- 10
14. 如申請專利範圍第1項所述之方法，其中，該邏輯區塊係與一檔案分派圖表及一根目錄中之一者有關。
15. 如申請專利範圍第1項所述之方法，其中，該邏輯區塊係與一檔案系統有關，且該第一實體區塊及該第二實體區塊係與一快閃記憶體有關。
- 15
16. 如申請專利範圍第1項所述之方法，其中，該等邏輯元件係為邏輯頁且該等實體元件係為實體頁。
17. 一種用以令數個實體區塊與邏輯區塊產生關聯之系統，該邏輯區塊包括數個邏輯區塊頁，該系統包含：
- 一非依電性記憶體，該非依電性記憶體包括該等數
- 20
- 個實體區塊；
- 用以實質地將該等數個邏輯區塊分組為組之碼裝置，該等組包括一第一邏輯組及一第二邏輯組；
- 用以將與該第一邏輯組有關之資料提供予該等數個實體區塊之一第一實體區塊之碼裝置；

用以將與該第二邏輯組有關之資料提供予該等數  
個實體區塊之一第二實體區塊之碼裝置；以及

儲存該等碼裝置之一記憶體裝置。

18. 如申請專利範圍第17項所述之系統，其中，該第一實體  
5 區塊包括數個實體區塊頁，且該系統更包括：

用以將該等數個包括於該第一實體區塊之實體區  
塊頁分組為一第一實體組及一第二實體組之碼裝置。

19. 如申請專利範圍第18項所述之系統，其中，用以將與該  
10 第一邏輯組有關之該資料提供予該第一實體區塊之該  
碼裝置包括：

用以將該資料寫入該第一實體組之碼裝置。

20. 如申請專利範圍第19項所述之系統，其中，該第二實體  
區塊包括數個實體區塊頁，且該系統更包括：

15 用以將該等數個包括於該第二實體區塊之實體區  
塊頁分組為一第三實體組及一第四實體組之碼裝置。

21. 如申請專利範圍第20項所述之系統，其中，用以將與該  
第二邏輯組有關之該資料提供予該第二實體區塊之該  
碼裝置包括：

用以將該資料寫入該第三實體組之碼裝置。

- 20 22. 如申請專利範圍第21項所述之系統，其更包括：

用以寫入與該第一邏輯組有關之新資料之碼裝  
置，其中，用以寫入與該第一邏輯組有關之該新資料之  
該碼裝置包括用以將該新資料寫入該第二實體組之碼  
裝置。

23. 如申請專利範圍第22項所述之系統，其更包括：

用以判定該第一實體區塊係於何時盈滿之碼裝置；以及

用以於其判定該第一實體區塊係為盈滿時，將該資料中之至少某些及該新資料寫入一第三實體區塊之碼裝置，該第三實體區塊包括一第五實體頁實體組及一第六實體頁實體組，其中，用以將該資料中之該至少某些及該新資料寫入該第三實體區塊之該碼裝置包括用以將該資料中之該至少某些及該新資料寫入該第五實體組之碼裝置。

24. 如申請專利範圍第23項所述之系統，其中，用以寫入該資料中之該至少某些之該碼裝置包括用以寫入包括於該資料之最近儲存資料的碼裝置。

25. 一種用以令數個實體區塊與邏輯區塊產生關聯之系統，該邏輯區塊包括數個邏輯區塊元件，該系統包含：

一非依電性記憶體，該非依電性記憶體包括該等數個實體區塊；

用以實質地將該等數個邏輯區塊元件分組為組之裝置，該等組包括一第一邏輯組及一第二邏輯組；

用以將與該第一邏輯組有關之資料提供予該等數個實體區塊之一第一實體區塊之裝置；以及

用以將與該第二邏輯組有關之資料提供予該等數個實體區塊之一第二實體區塊之裝置。

26. 如申請專利範圍第25項所述之系統，其中，該第一實體

區塊包括數個實體區塊元件，且該系統更包括：

用以將該等數個包括於該第一實體區塊之實體區塊元件分組為一第一實體組及一第二實體組之裝置。

27. 如申請專利範圍第26項所述之系統，其中，用以將與該  
5 第一邏輯組有關之該資料提供予該第一實體區塊之該  
裝置包括：

用以將該資料寫入該第一實體組之裝置。

28. 如申請專利範圍第27項所述之系統，其中，該第二實體  
10 區塊包括數個實體區塊元件，且該系統更包括用以將該  
等數個包括於該第二實體區塊之實體區塊元件分組為  
一第三實體組及一第四實體組之裝置，其中，用以將與  
該第二邏輯組有關之該資料提供予該第二實體區塊之  
該裝置包括用以將該資料寫入該第三實體組之裝置。

29. 如申請專利範圍第28項所述之系統，其更包括：

- 15 用以寫入與該第一邏輯組有關之新資料之裝置，其  
中，用以寫入與該第一邏輯組有關之該新資料之該裝置  
包括用以將該新資料寫入該第二實體組之裝置；

用以判定該第一實體區塊係於何時盈滿之裝置；以  
及

- 20 用以於其判定該第一實體區塊係為盈滿時，將該資  
料中之至少某些及該新資料寫入一第三實體區塊之裝  
置，該第三實體區塊包括一第五實體元件實體組及一第  
六實體元件實體組，其中，用以將該資料中之該至少某  
些及該新資料寫入該第三實體區塊之該裝置包括用以

將該資料中之該至少某些及該新資料寫入該第五實體組之裝置。

5 30. 如申請專利範圍第29項所述之系統，其中，用以寫入該資料中之該至少某些之該裝置包括用以寫入包括於該資料之最近儲存資料的裝置。

31. 一種記憶體裝置，其包含：

一第一構件，該第一構件係排置為可識別包括數個邏輯元件之一邏輯區塊；

10 一第二構件，該第二構件包括一第一實體區塊及一第二實體區塊，其中，該第一實體區塊及該第二實體區塊個別包括數個實體元件；以及

一第三構件，該第三構件係排置為可實質地將該等數個包括於該邏輯區塊之邏輯元件劃分為一第一邏輯組及一第二邏輯組，該第三構件係更排置為可將與該第一邏輯組有關之內容寫入該第一實體區塊，及將與該第二邏輯組有關之內容寫入該第二實體區塊。

15

20 32. 如申請專利範圍第31項所述之記憶體裝置，其中，該第一實體區塊包括該等數個實體元件之一第一實體元件組及該等數個實體元件之一第二實體元件組，且該第三構件係排置為可將與該第一邏輯組有關之內容寫入該第一實體元件組。

33. 如申請專利範圍第32項所述之記憶體裝置，其中，該第三構件係更排置為可將與該第一邏輯組有關之更新內容寫入該第二實體元件組。

34. 如申請專利範圍第33項所述之記憶體裝置，其中，該第三構件係更排置為可判定該第一實體區塊係於何時實質地盈滿，及於其判定該第一實體區塊係實質地盈滿時，將該等內容中之至少某些及該等更新內容複製於一  
5 第三實體區塊。
35. 如申請專利範圍第34項所述之記憶體裝置，其中，該第三構件係再排置為可抹除該第一實體區塊。
36. 如申請專利範圍第34項所述之記憶體裝置，其中，該第三實體區塊包括一第三實體元件組及一第四實體元件  
10 組，且其中，該等內容中之該至少某些及該等更新內容係被複製於該第三實體元件組。
37. 如申請專利範圍第31項所述之記憶體裝置，其中，該第二實體區塊包括該等數個實體元件之一第一實體元件  
15 組及該等數個實體元件之一第二實體元件組，且該第三構件係排置為可將與該第二邏輯組有關之內容寫入該第一實體元件組。
38. 如申請專利範圍第37項所述之記憶體裝置，其中，該第三構件係更排置為可將與該第二邏輯組有關之更新內  
容寫入該第二實體元件組。
- 20 39. 如申請專利範圍第31項所述之記憶體裝置，其中，該等數個邏輯元件係為數個邏輯頁且該等數個實體元件係為數個實體頁。
40. 一種用以分割與非依電性記憶體系統之檔案系統有關之第一區塊之方法，該方法包含：

實質地將該第一區塊分區為一第一部份及一第二部份；

5 令該第一區塊之該第一部份與一和該非依電性記憶體系統之一非依電性記憶體有關之第二區塊產生關聯；以及

10 令該第一區塊之該第二部份與一和該非依電性記憶體有關之第三區塊產生關聯，其中，當欲更新與該第一區塊之該第一部份有關之內容時，與該第一部份有關之該等更新內容係被寫入該第二區塊，且其中，當欲更新與該第一區塊之該第二部份有關之內容時，與該第二部份有關之該等更新內容係被寫入該第三區塊。

41. 如申請專利範圍第40項所述之方法，其中，實質地將該第一區塊分區為該第一部份及該第二部份包括實質平均地將該第一區塊分區為該第一部份及該第二部份。

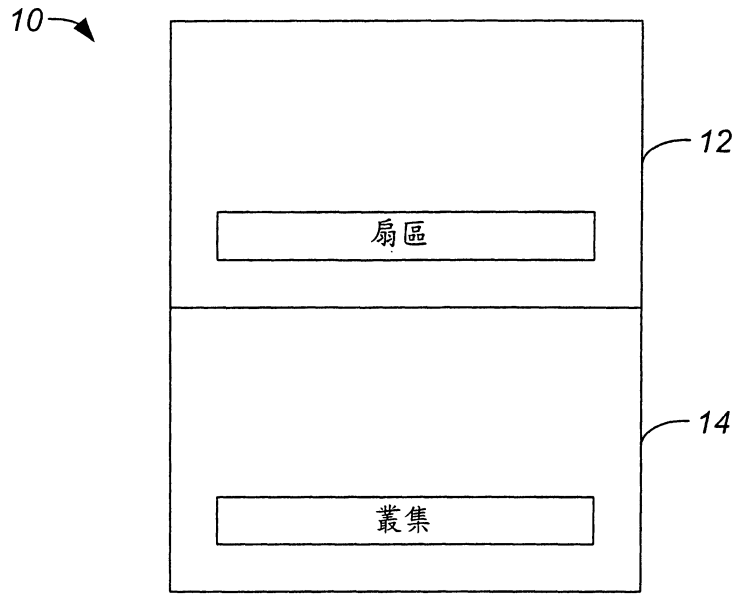
15 42. 如申請專利範圍第41項所述之方法，其中，令該第一區塊之該第一部份與該第二區塊產生關聯包括將與該第一區塊之該第一部份有關之內容寫入該第二區塊之一第一區域，其中，該第二區塊包括該第一區域及一第二區域。

20 43. 如申請專利範圍第42項所述之方法，其中，當欲更新與該第一區塊之該第一部份有關之該等內容時，與該第一部份有關之該等更新內容係被寫入該第二區塊之該第二區域。

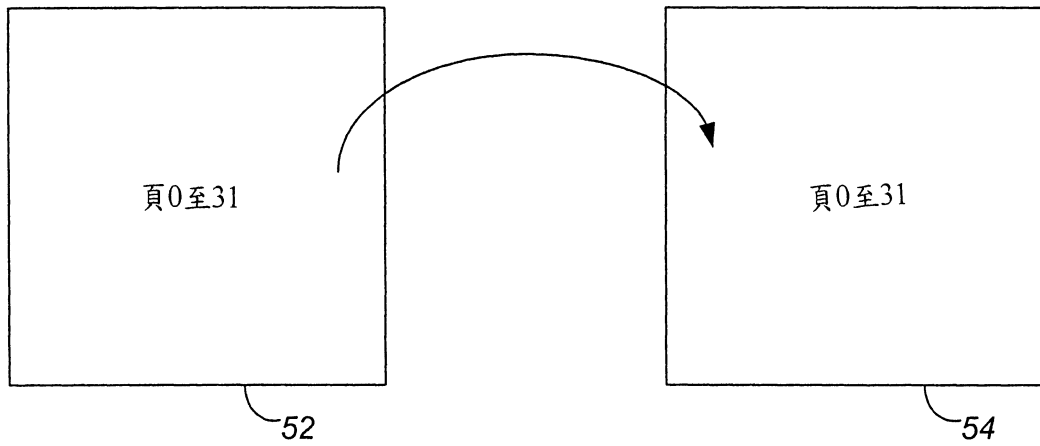
44. 如申請專利範圍第43項所述之方法，其更包括：

判定該第二區塊之該第二區域係於何時盈滿；以及將該等內容及與該第一區塊之該第一部份有關之該等更新內容寫入一第四區塊之一第一部位，該第四區塊係排置為可包括該第一部位及一第二部位。

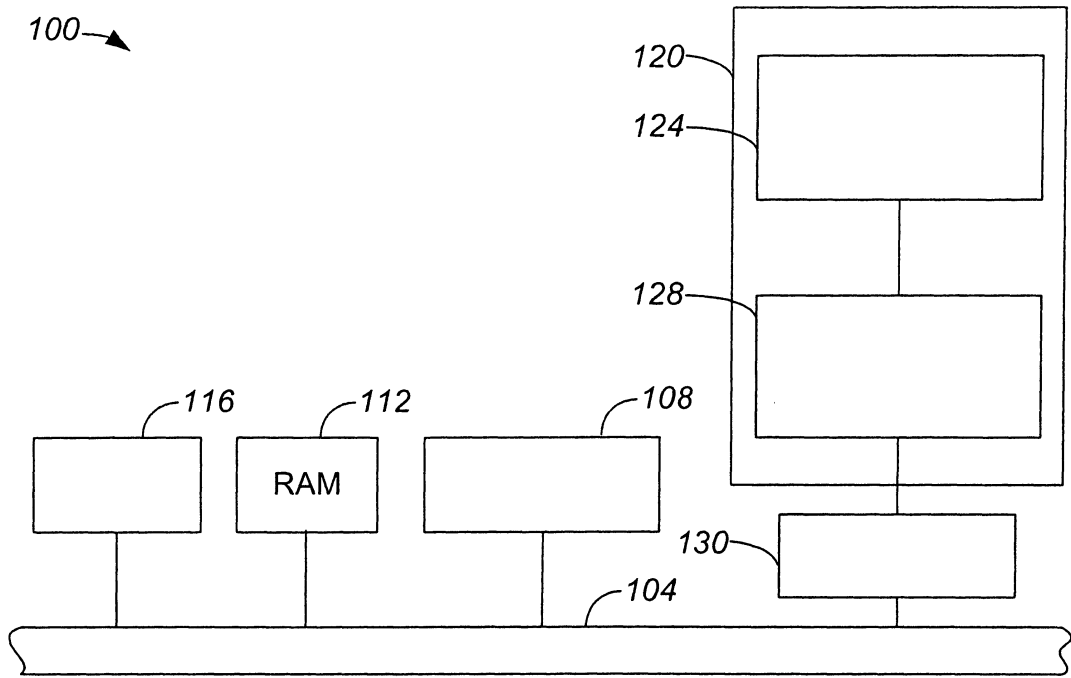
- 5 45. 如申請專利範圍第41項所述之方法，其中，令該第一區塊之該第二部份與該第三區塊產生關聯包括將與該第一區塊之該第一部份有關之內容寫入該第三區塊之一第一區域，其中，該第三區塊包括該第一區域及一第二區域。
- 10 46. 如申請專利範圍第45項所述之方法，其中，當欲更新與該第一區塊之該第一部份有關之該等內容時，與該第一部份有關之該等更新內容係被寫入該第三區塊之該第二區域。
- 15 47. 如申請專利範圍第41項所述之方法，其中，該第一區塊、該第二區塊、及該第三區塊係實質地為相同大小。
48. 如申請專利範圍第41項所述之方法，其中，該第一區塊具有相關數頁、該第二區塊具有相關數頁、且該第三區塊具有相關數頁。
- 20 49. 如申請專利範圍第41項所述之方法，其中，該第一區塊係為一邏輯區塊、該第二區塊係為一實體區塊、且該第三區塊係為一實體區塊。



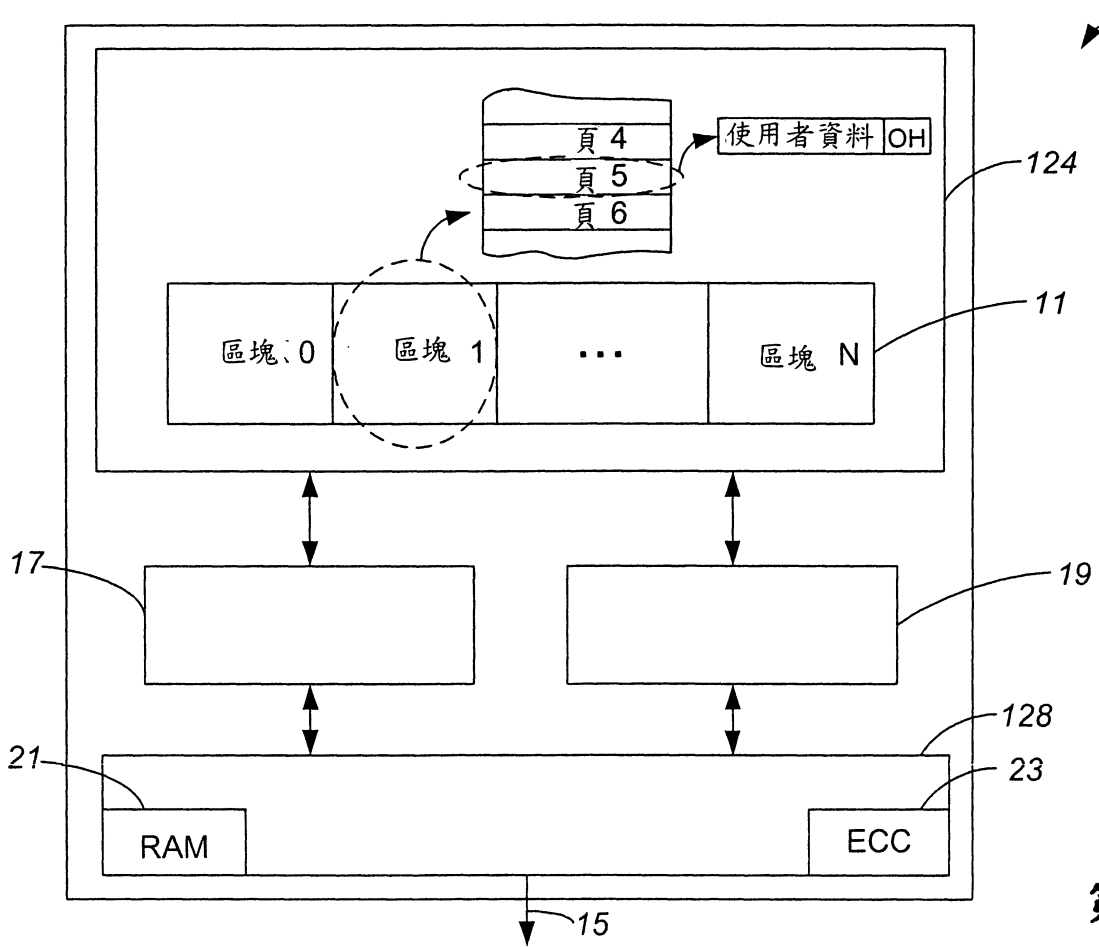
第 1a 圖



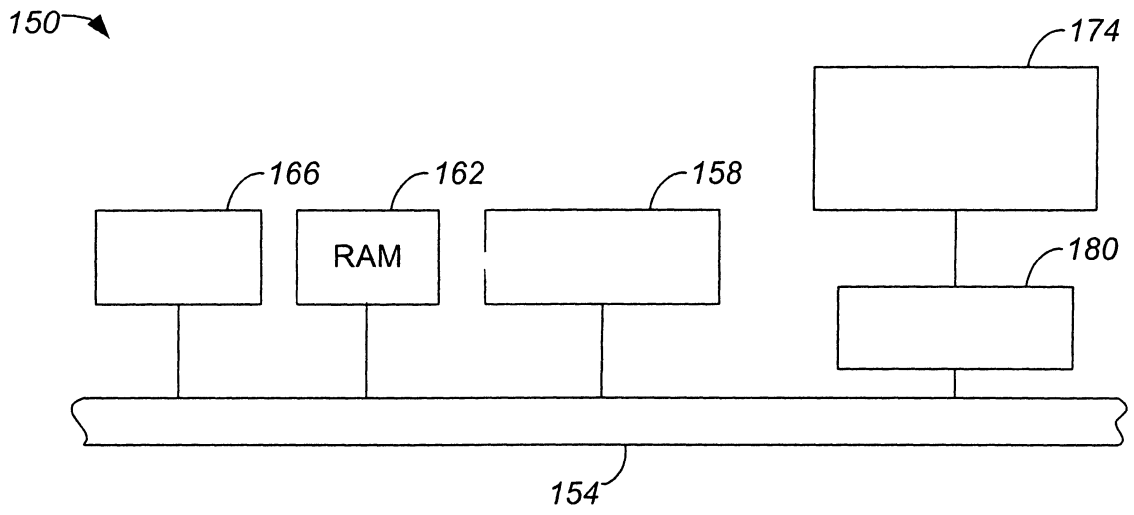
第 1b 圖



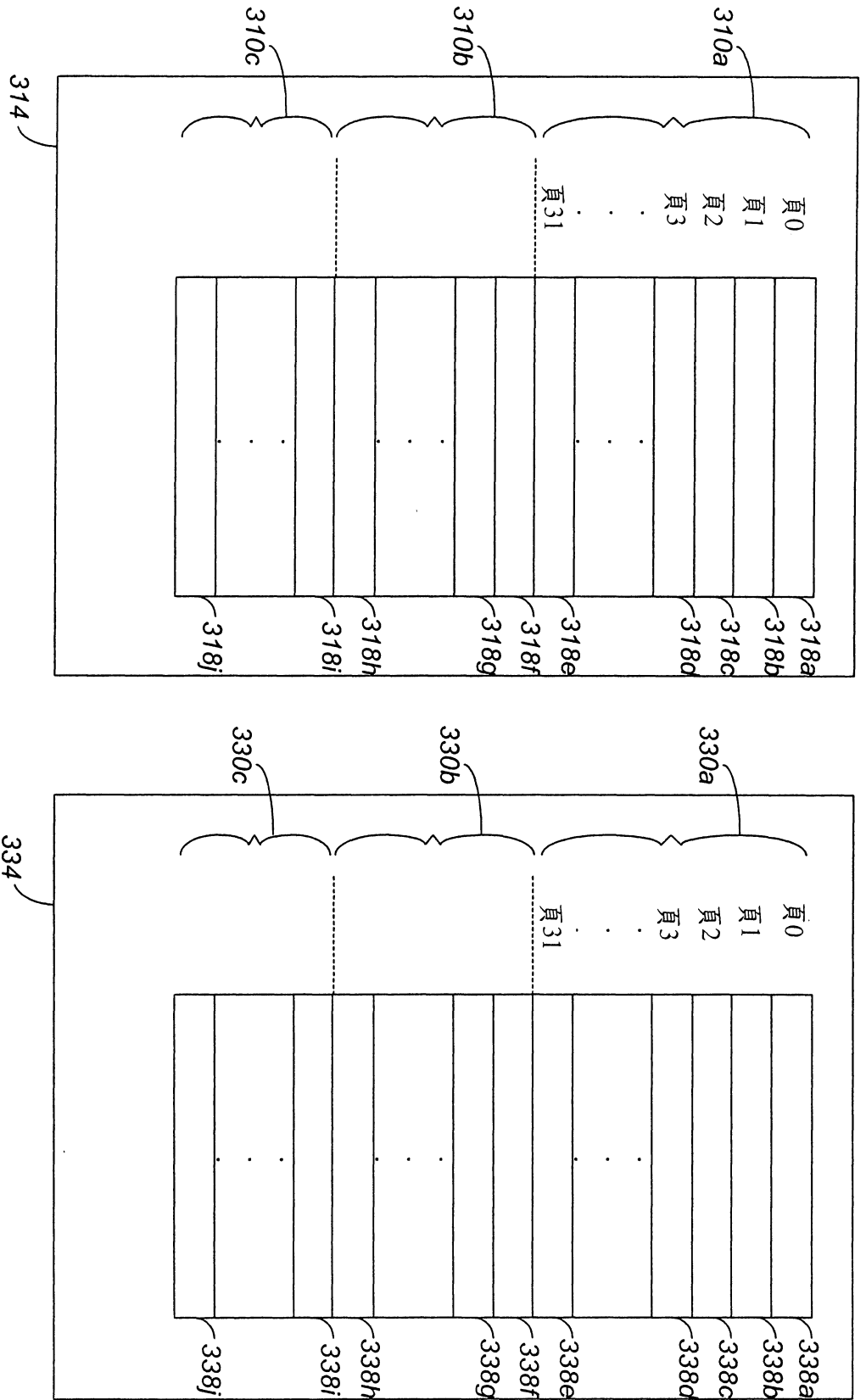
第 2a 圖



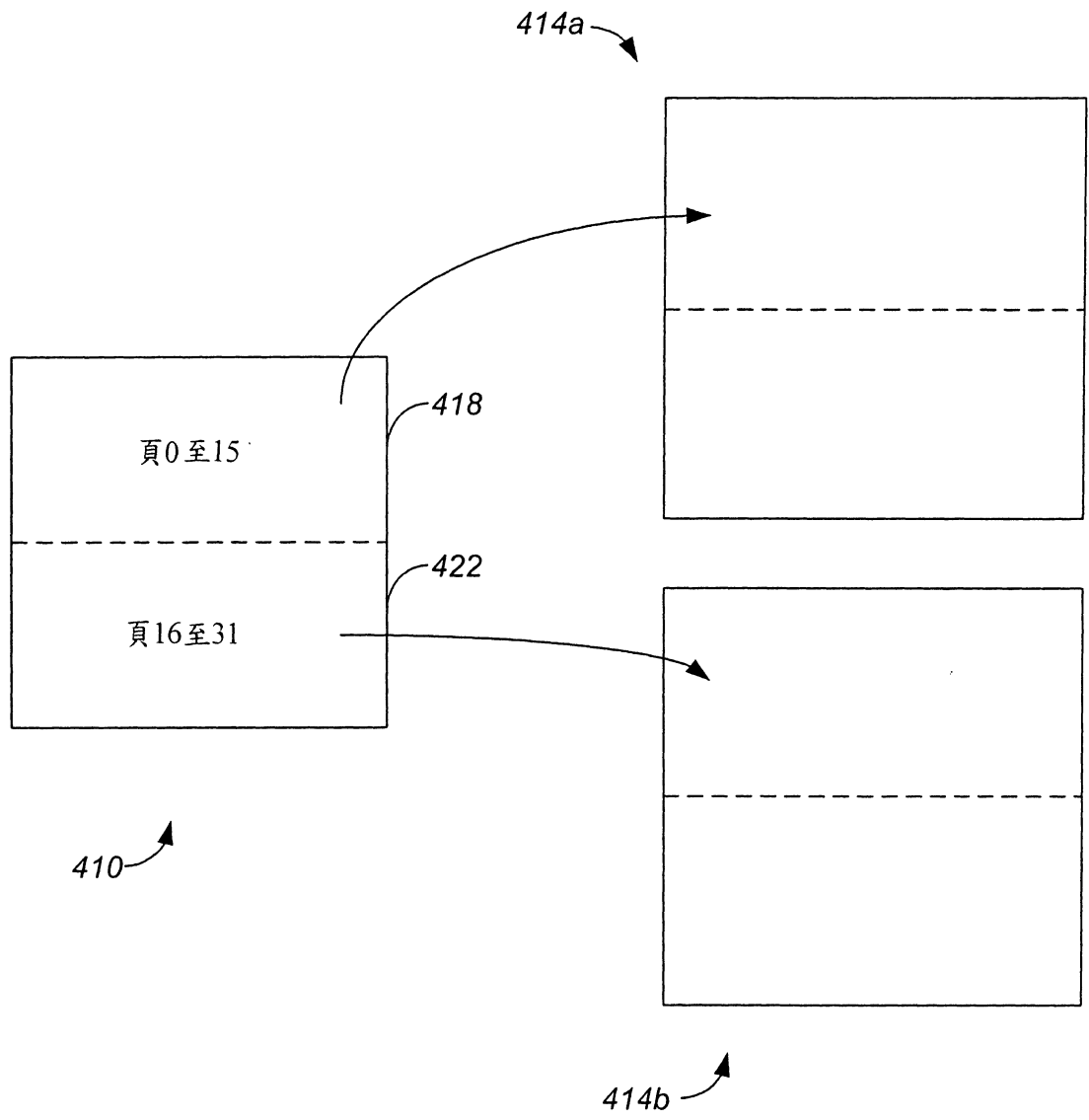
第 2b 圖



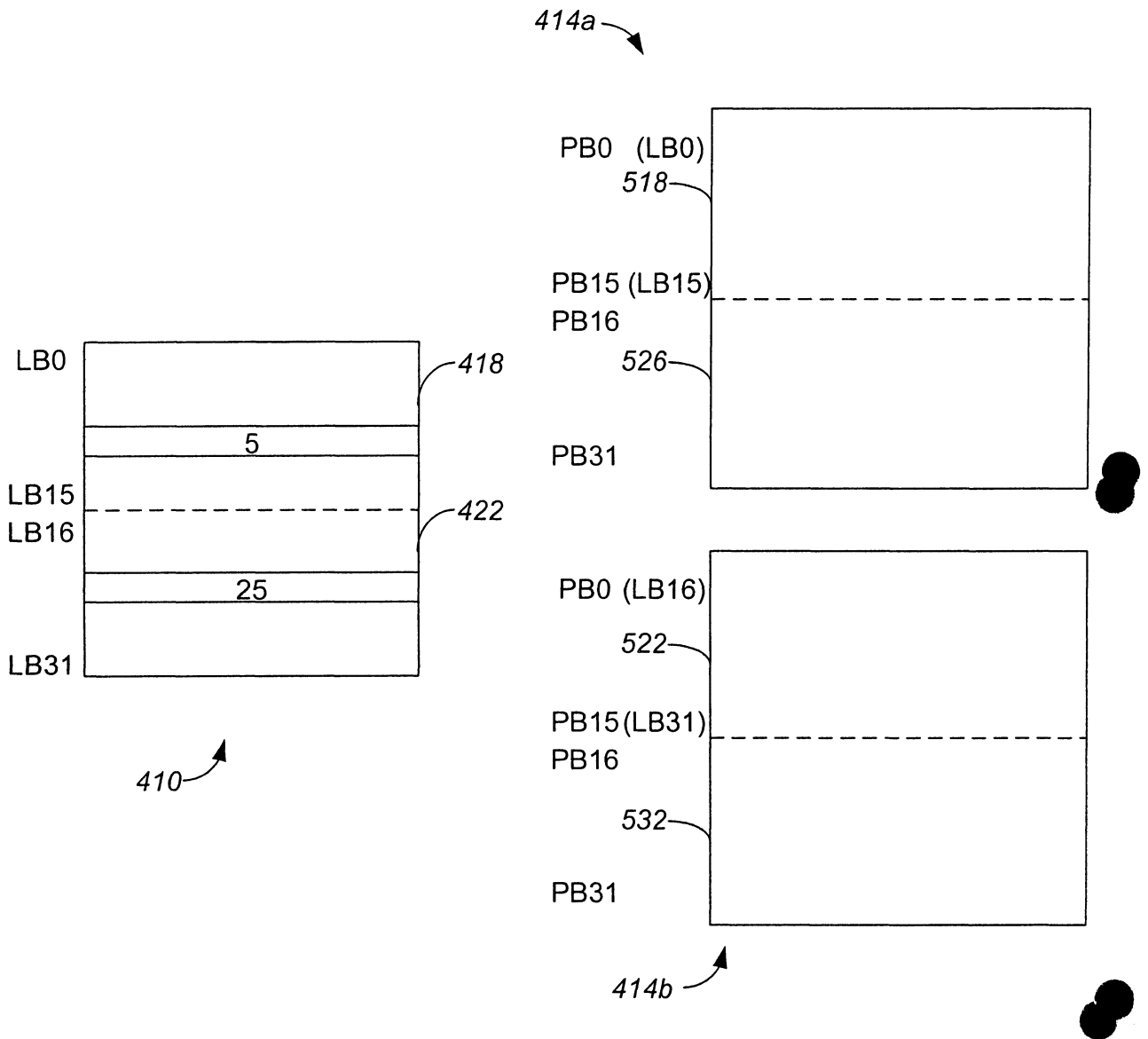
第 2c 圖



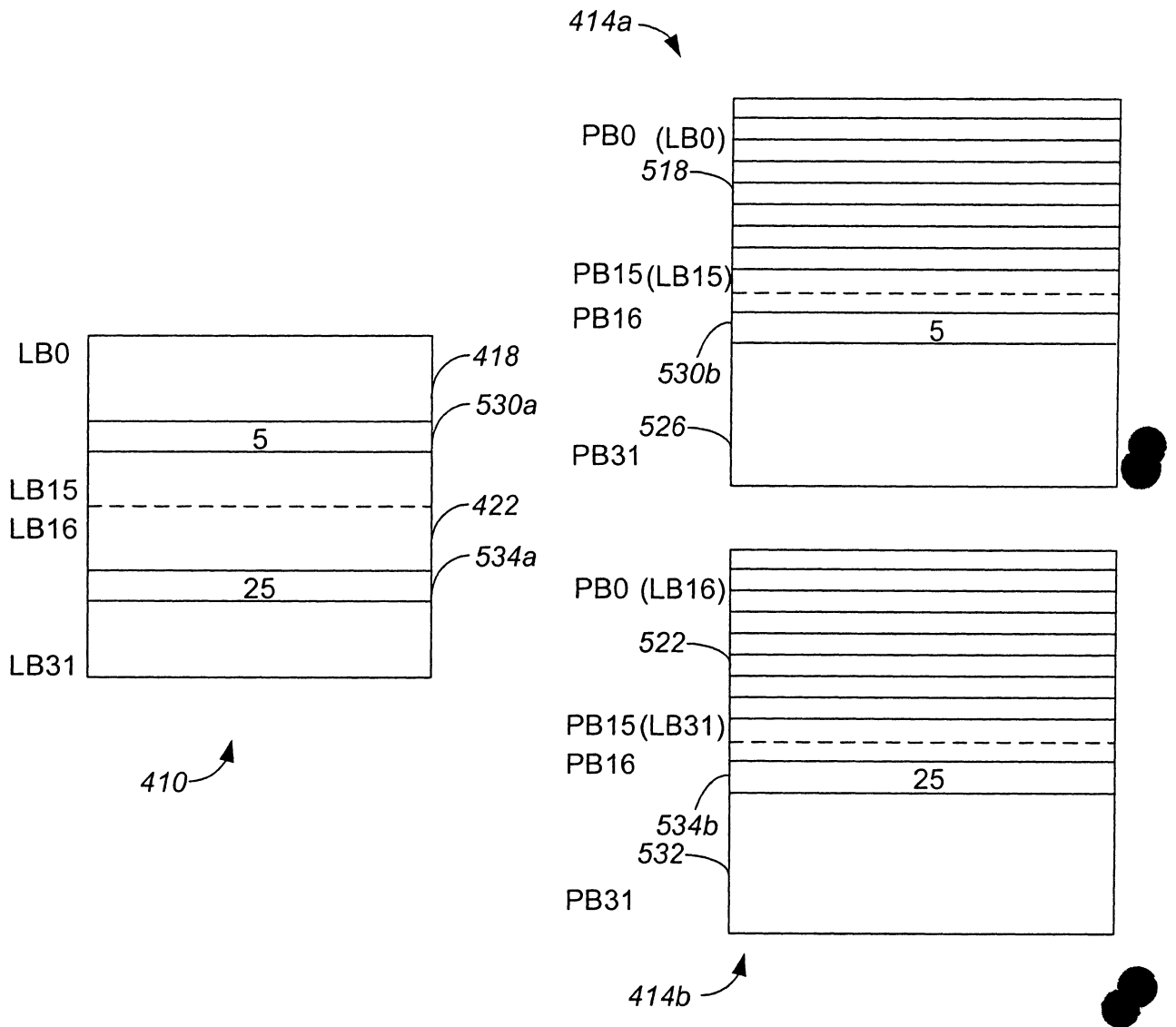
第 3 圖



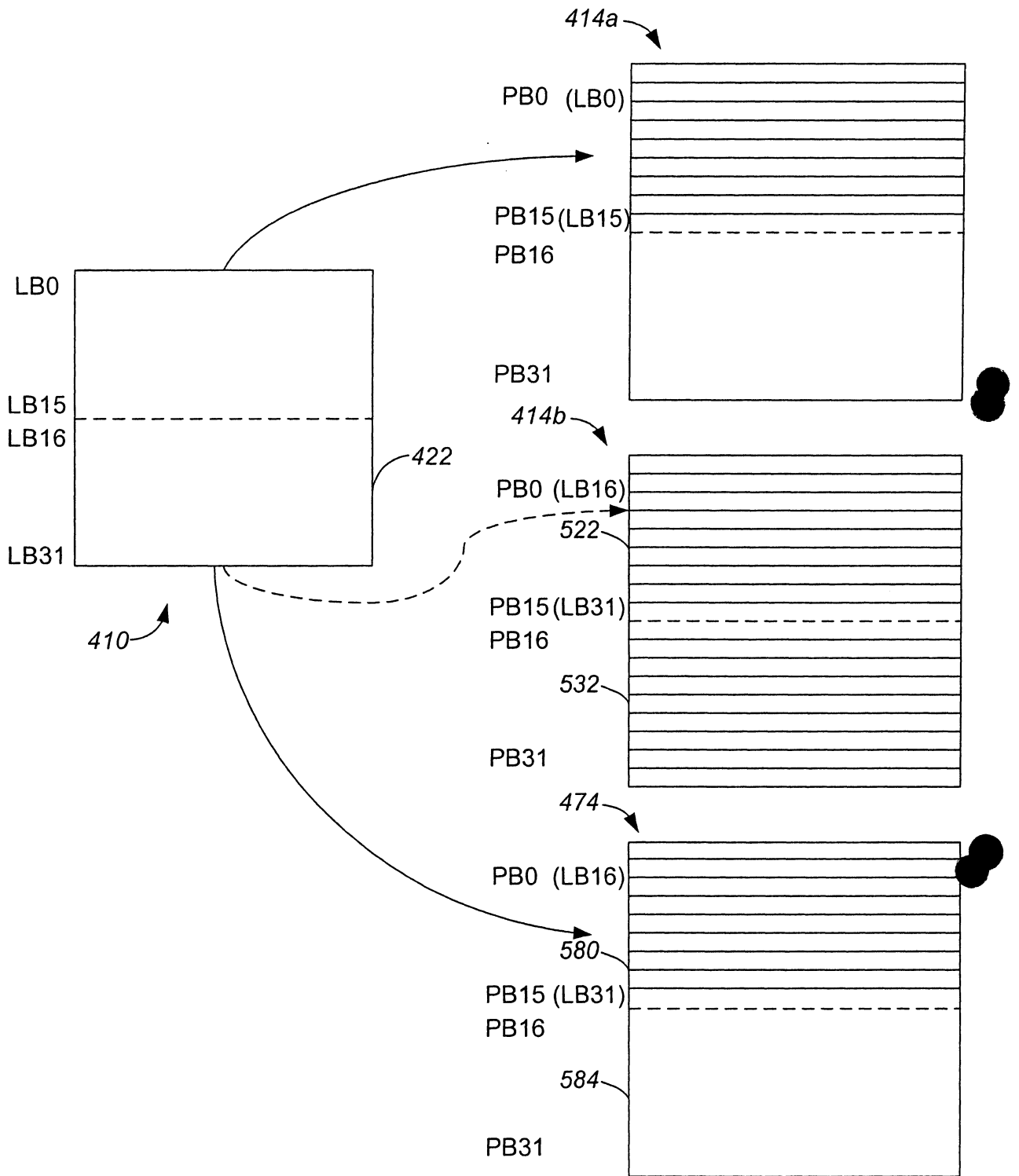
第 4 圖



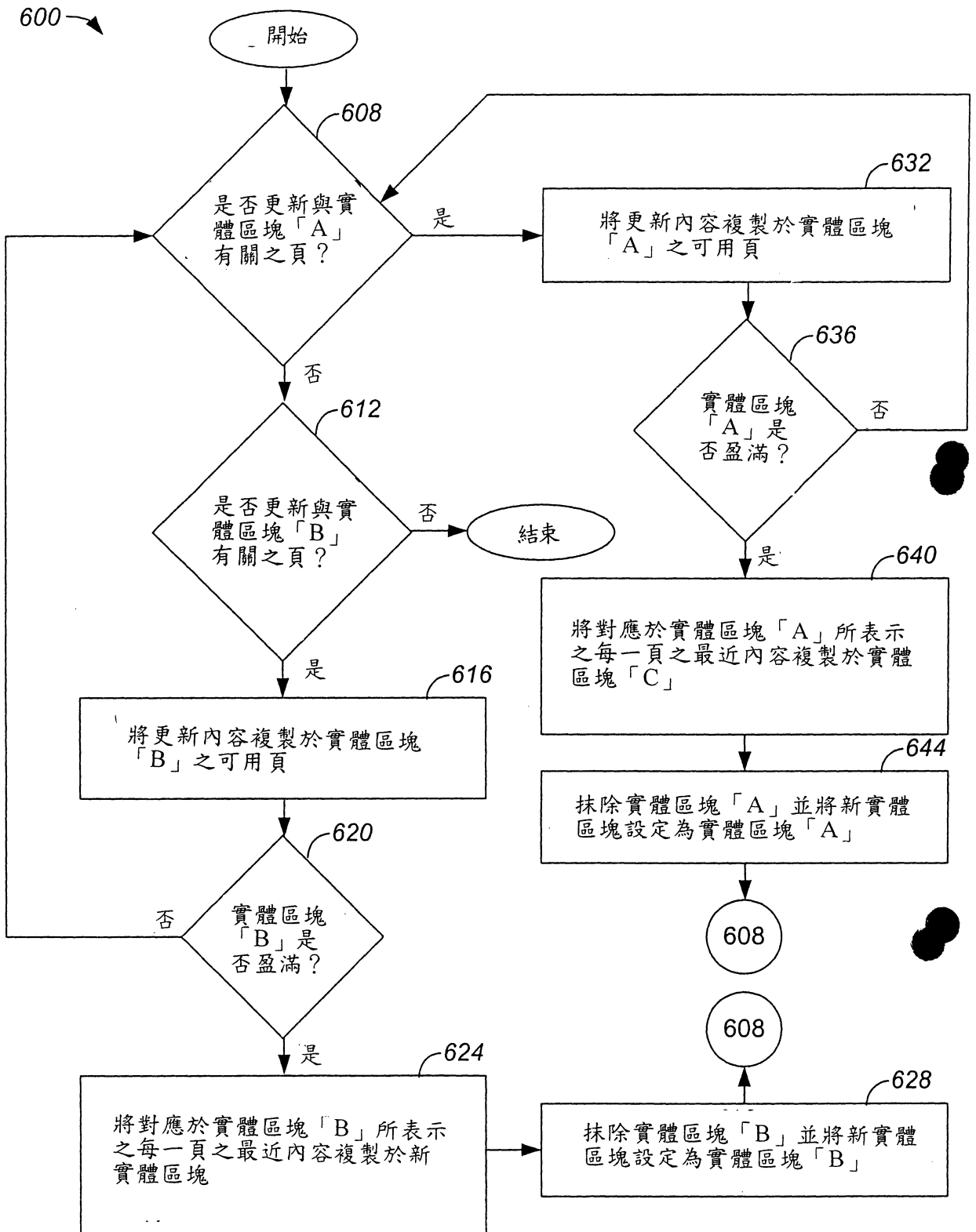
第 5a 圖



第 5b 圖

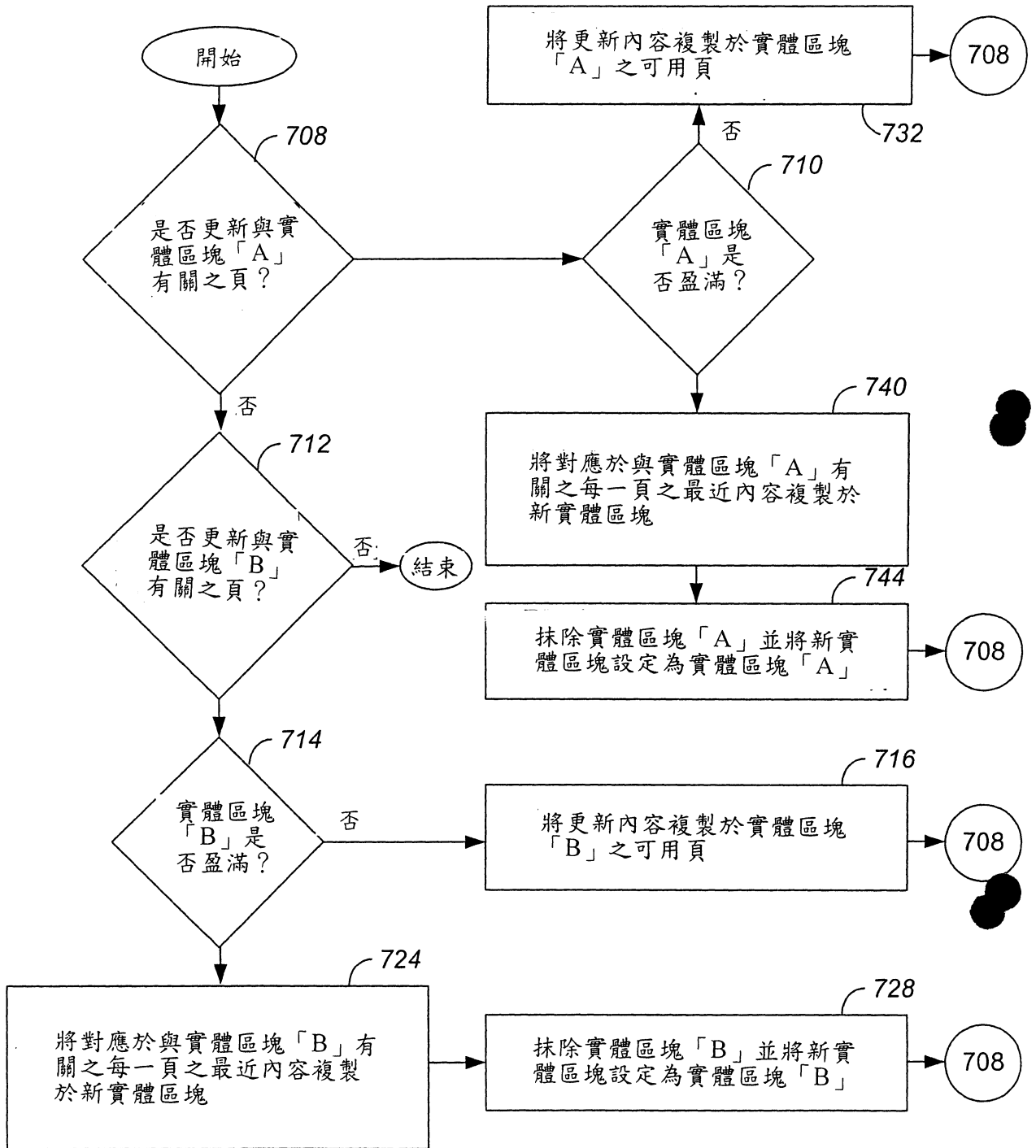


第5c圖

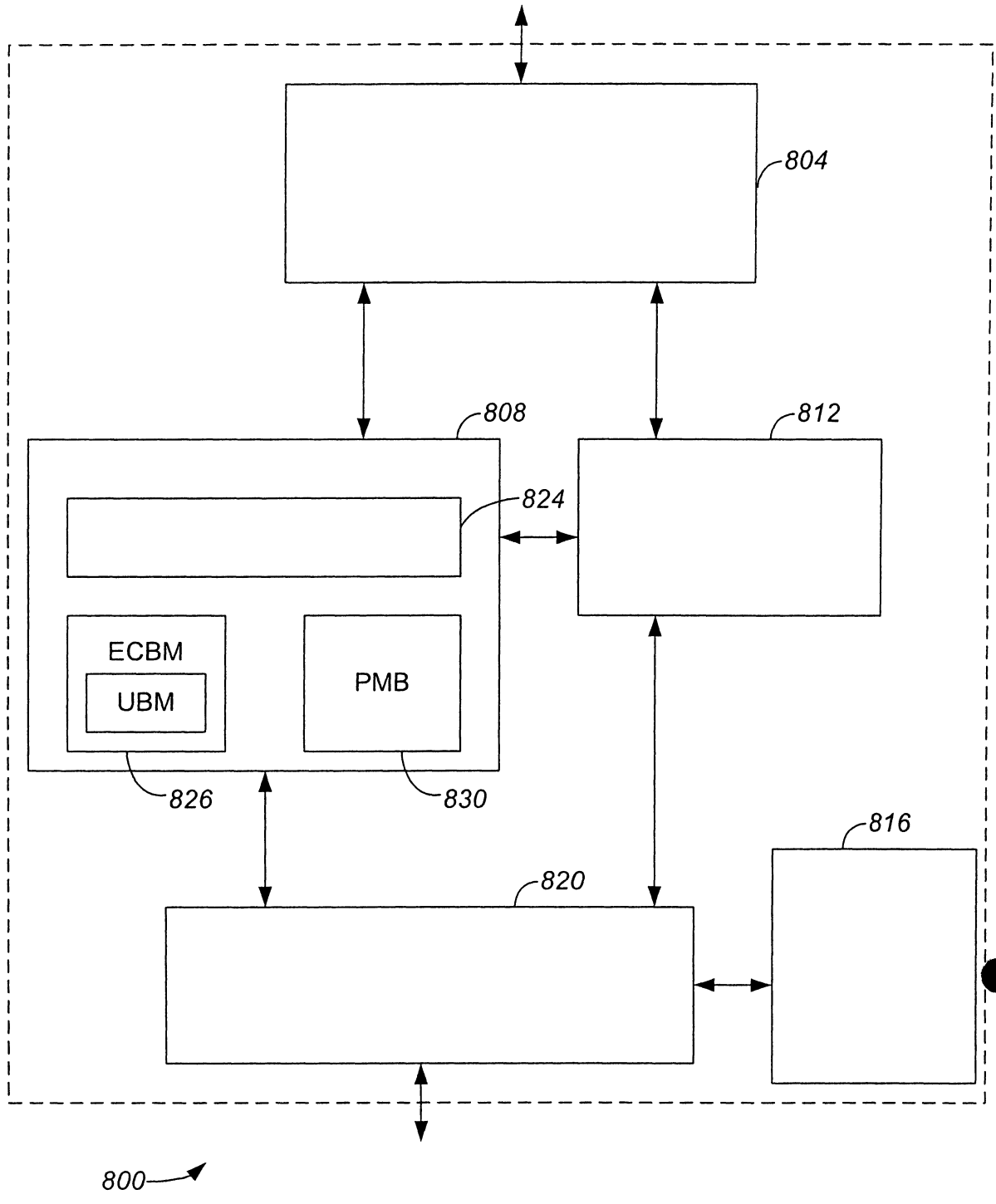


第 6 圖

700



第 7 圖



第 8 圖

**柒、指定代表圖：**

(一)本案指定代表圖為：第( 6 )圖。

(二)本代表圖之元件代表符號簡單說明：

600……邏輯區塊

608、612、616、620、624、628、632、636、

640、644……步驟

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**