

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-182475

(P2012-182475A)

(43) 公開日 平成24年9月20日 (2012.9.20)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/205 (2006.01)	H O 1 L 21/205	4 G O 7 7
C 3 O B 29/38 (2006.01)	C 3 O B 29/38 D	4 K O 3 O
C 3 O B 25/18 (2006.01)	C 3 O B 25/18	5 F O 4 5
C 2 3 C 16/34 (2006.01)	C 2 3 C 16/34	

審査請求 有 請求項の数 21 O L 外国語出願 (全 63 頁)

(21) 出願番号 特願2012-101472 (P2012-101472)
 (22) 出願日 平成24年4月26日 (2012.4.26)
 (62) 分割の表示 特願2004-371050 (P2004-371050)
 の分割
 原出願日 平成16年12月22日 (2004.12.22)
 (31) 優先権主張番号 60/531930
 (32) 優先日 平成15年12月22日 (2003.12.22)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 04447087.0
 (32) 優先日 平成16年4月2日 (2004.4.2)
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 591060898
 アイメック
 I M E C
 ベルギー、ペー-3001ルーヴァン、カ
 ペルドリーフ75番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (72) 発明者 グスターフ・ポルフス
 ベルギー、ペー-3010ルーヴァン、ペ
 ルフストラート70番

(特許庁注：以下のものは登録商標)

1. テフロン

最終頁に続く

(54) 【発明の名称】 シリコン基板上にIII族窒化物材料を成長させるための方法及びそのための装置

(57) 【要約】

【課題】シリコン基板上にIII族窒化物材料を成長させるための新規な方法を提供することを目的とする。

【解決手段】本発明は、ポーラス状の最上層を有するシリコン基板を含む基板と、

上記最上層上の、Ge材料からなる第2層と、

上記第2層上の、III族窒化物材料からなる別の層とを有する装置に関する。

さらに、本発明は、高品質のIII族窒化物層のエピタキシャル成長に非常に適した方法、中間層若しくはテンプレートデバイスに関する。

【選択図】 図3

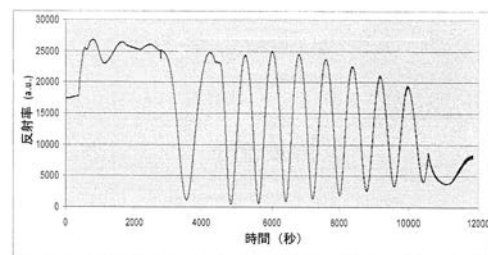


Fig. 3a

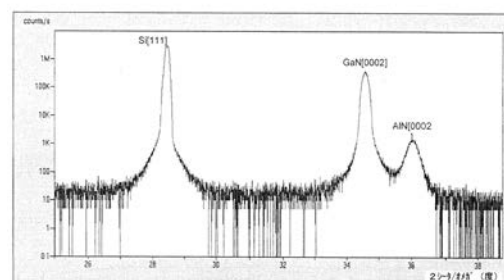


Fig. 3b

【特許請求の範囲】

【請求項 1】

ポーラス状の最上層を有するシリコン基板を含む基板と、
上記最上層の上に配置された、Ge材料からなる第2層と、
上記第2層上にあるIII族窒化物材料からなる別の層と、を有する装置。

【請求項 2】

上記第2層が少なくともSiGeを含む材料からなることを特徴とする請求項1記載の装置。

【請求項 3】

上記第2層がSiGe層であることを特徴とする請求項1又は2記載の装置。

10

【請求項 4】

上記第2層の組成が、濃度勾配を持っていることを特徴とする請求項1～3のいずれかに記載の装置。

【請求項 5】

上記第2層の材料中のGe濃度が、上記基板から離れる方向に増加していることを特徴とする請求項1～4のいずれかに記載の装置。

【請求項 6】

上記III族窒化物材料が、GaN若しくはAlNであることを特徴とする請求項1～5のいずれかに記載の装置。

【請求項 7】

上記第2層が、上記ポーラス状の最上層と直接接触していることを特徴とする請求項1～6のいずれかに記載の装置。

20

【請求項 8】

上記第2層と上記別の層との間に配置された第3層をさらに備えることを特徴とする請求項1～7のいずれかに記載の装置。

【請求項 9】

上記ポーラス状最上層が、少なくとも一部にバブル、ポイド、封入物若しくはマイクロポア等の閉口したポアを有することを特徴とする請求項1～8のいずれかに記載の装置。

【請求項 10】

上記ポーラス状最上層が、10～90%の間の空隙率を有することを特徴とする請求項1～9のいずれかに記載の装置。

30

【請求項 11】

上記ポーラス状最上層が、10nm～3μmの間の膜厚を有することを特徴とする請求項1～10のいずれかに記載の装置。

【請求項 12】

上記第2層が、1nm～1000nmの間の膜厚を有することを特徴とする請求項1～11のいずれかに記載の装置。

【請求項 13】

上記第2層が、1nm～20nm、好ましくは5～15nmの間の膜厚を有することを特徴とする請求項1～12のいずれかに記載の装置。

40

【請求項 14】

上記第2層がSiGe材料からなる層であり、さらに上記別の層がGaN層であることを特徴とする請求項1～13のいずれかに記載の装置。

【請求項 15】

上記ポーラス状最上層が、少なくとも一部に、バブル、ポイド、マイクロポア等の閉口したポアを含み、さらに上記第2層が、SiGe材料からなる層であり、上記別の層がGaN層であることを特徴とする請求項1～14のいずれかに記載の装置。

【請求項 16】

上記第2層が、Geからなる層であるか、若しくは濃度勾配の付いたSiGeからなる層であり、上記濃度勾配の付いたSiGe層内のGe濃度が、上記基板から離れる方向に

50

向かって増加しており、さらに上記別の層が G a N 層であることを特徴とする請求項 1 ~ 14 のいずれかに記載の装置。

【請求項 17】

請求項 1 ~ 16 のいずれかに記載の装置を含むことを特徴とする F E T、L E D、レーザダイオード、H E M T 若しくはヘテロ接合バイポーラトランジスタ。

【請求項 18】

電気回路が上記シリコン基板内に集積されていることを特徴とする請求項 1 ~ 17 のいずれかに記載の装置。

【請求項 19】

光学電子素子若しくは F E T が、III 族窒化物層上に形成されていることを特徴とする請求項 1 ~ 18 のいずれかに記載の装置。

10

【請求項 20】

シリコンの上に III 族窒化物材料を含む装置を作製する方法であって、ポーラス状の最上層(すでに定義している。)を含むシリコン基板を準備する工程と、上記ポーラス状の最上層を有するシリコン基板に G e 含有物質を接触させ、それにより上記最上層上に G e 材料の第 2 層を形成する工程と、

G e 材料の層を有するシリコン基板に III 族元素含有物質及び N 含有物質を接触させ、それにより上記第 2 層上に III 族窒化物材料からなる別の層を形成する工程と、を有することを特徴とする方法。

【請求項 21】

上記 G e 材料の層を有するシリコン基板に III 族元素含有物質及び N 含有物質を接触させ III 族窒化物材料の別の層を形成する工程の前に、上記 G e 材料の第 2 層を熱的にアニールする工程を含むことを特徴とする請求項 20 記載の方法。

20

【請求項 22】

上記熱的アニール工程が、500 ~ 1300 の間の温度で実行されることを特徴とする請求項 21 記載の方法。

【請求項 23】

上記熱的アニール工程が、500 ~ 1100 の間の温度で実行されることを特徴とする請求項 21 若しくは 22 記載の方法。

【請求項 24】

上記のポーラス状の最上層を有するシリコン基板に G e 含有物質を接触させる工程が、プラズマ気相成長法、熱蒸着、閉空間蒸気伝達法若しくは分子ビームエピタキシ法により実行されることを特徴とする請求項 20 ~ 23 のいずれかに記載の方法。

30

【請求項 25】

上記の最上層に第 2 層を形成する工程の後に、中間装置を保管することを特徴とする請求項 20 ~ 24 のいずれかに記載の方法。

【請求項 26】

上記の G e 材料の層を有するシリコン基板に III 族元素含有物質及び N 含有物質を接触させる工程が、有機金属化学気相成長プロセスにより実行されることを特徴とする請求項 20 ~ 25 のいずれかに記載の方法。

40

【請求項 27】

上記工程を 500 ~ 1300 の間の温度で実行することを特徴とする請求項 26 記載の方法。

【請求項 28】

上記工程を 1000 ~ 1100 の間の温度で実行することを特徴とする請求項 26 又は 27 記載の方法。

【請求項 29】

上記 III 族元素が G a であることを特徴とする請求項 20 ~ 28 のいずれかに記載の方法。

【請求項 30】

50

上記III族窒化物材料がGaNであることを特徴とする請求項20～29のいずれかに記載の方法。

【請求項31】

上記III族元素がAlであることを特徴とする請求項20～28のいずれかに記載の方法。

【請求項32】

上記III族窒化物材料がAlNであることを特徴とする請求項20～28のいずれか、若しくは請求項31に記載の方法。

【請求項33】

上記のポーラス状の最上層を有するシリコン基板にGe含有物質を接触させる工程と、上記のGe材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程との間に、AlN層等の中間層を形成する工程を備えることを特徴とする請求項20～32のいずれかに記載の方法。

10

【請求項34】

GaN層等のIII族窒化物層を成長させる工程が、500～1300の間の2つの異なる温度で実行されることを特徴とする請求項20～33のいずれかに記載の方法。

【請求項35】

上記成長工程の第1工程を400～800の間の温度で実行し、続いて800～1200の間の温度での工程を実行することを特徴とする請求項34記載の方法。

【請求項36】

III族窒化物材料を成長させるためのテンプレートデバイスを作製するための方法であって、

20

ポーラス状の最上層を有するシリコン基板を準備する工程と、

ポーラス状の最上層を有するシリコン基板にGe含有物質を接触させ、それにより上記最上層上にGe含有材料からなる第2層を形成する工程と、

続いて、Ge含有材料からなる層を熱的にアニールする工程と、を含むことを特徴とするテンプレートデバイス作製方法。

【請求項37】

好ましくはアニール工程の後、所定の時間の間、装置を保管する工程をさらに含むことを特徴とする請求項36記載のテンプレートデバイス作製方法。

30

【請求項38】

III族窒化物材料の成長のためのテンプレートデバイスであって、

ポーラス状の最上層を有するシリコン基板を含む基板を備え、上記最上層上にGe含有材料からなる第2層を備えるテンプレートデバイスの用途。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコン基板上にIII族窒化物材料を成長させる方法及びその方法により得られる装置に関する。また、本発明は品質が改善されたエピタキシャル層を有する装置に関する。

40

【背景技術】

【0002】

市販のGaN基板が不足しているため、今日GaNヘテロ構造を主にサファイア若しくはSiC上に成長させている。SiCは非常に魅力的な基板であるため、ますます大きな興味を示されている。その主な利点は、熱伝導率が許容範囲にあること(SiCの熱伝導率の半分である。)及び大きな体積及び大きなウエハサイズで入手することができることである。サファイア及びSiC基板と比較した場合、Siの最も重要な利点は、非常にコストが低いということである。

【0003】

Kuykendall(ナノレター2003,Vol.3,No.8,1063-10)は、例えば、MOCVDによりシ

50

リコン及びサファイア基板上にGaNナノワイヤを形成することを開示している。

【0004】

しかし、Si上に直接高品質のエピタキシャルGaN層を成長させることに関して直接的に記載されていない。

【0005】

Si及びGaN間の格子不整合が大きいことにより、GaN層の転位密度が高くなる。サファイア上でGaNを成長させるために開発された適切な成長方法を適用することにより、この高い転位密度を劇的に減少させることができる。

【0006】

GaNとSiとの間の熱膨張係数の大きな相違により、成長温度から室温まで冷却する間に、GaNフィルム内に大きな引張応力が誘発され、それによりGaN層にクラックが発生する。クラック現象は、1 μ m以上の膜厚を有する層にとって問題となり、これにより、光電子装置の性能に対して弊害をもたらす。

【0007】

Si基板上に直接GaNを成長させることに対する他の問題点は、Ga及びSiのいわゆるメルトバックエッチングプロセスである。高温において、Ga及びSiは、合金を形成する。この合金は、激しくて速いエッチング反応を起こし、このエッチング反応によりこの基板及びGaN層を破壊する。これにより非常に荒い表面となる。

【0008】

また、別の問題点は、Si基板上に酸化物が形成され、特別の注意、例えば、基板上にGaNを成長させるため、反応炉内にサンプルを導入する直前に注意深く洗浄すること等が必要となることである。

【0009】

Si上にGaNを成長させることに対する他の問題点は、基板が湾曲することである。GaNの層がSi上に形成された時、GaN層に発生した応力は、続いてSi基板にも応力を発生させる。このため、Si基板の変形若しくはいわゆる'湾曲'が発生することになる。

【0010】

特許出願WO03/054939号明細書において、Aixtronは、シリコン基板等の非III-V基板上にIII-V基板を成長させる方法を開示している。III-Vバッファ層若しくはIII-Vジャーミネーション層(III-V germination layer)をMOCVDにより基板上に成長させる。

【0011】

活性GaN層の成長のため、Boufaden等は薄いAlN層を使用して、GaN及びポーラスSi/Si基板間において濡れ特性(wetting)を改良することを提案している(マイクロエレクトロニクスジャーナル34(2003)843-848)。AlN層は、GaNとSiとの間の格子不整合を2.5%まで減少させる。また、Orita等は、ポーラスSi層(PS)及びGaNエピタキシャル層との間のAlNバッファ層をUS-A-6344375において提案している。

【0012】

クラック及び貫通転移(threading dislocation)を減少させる様々な方法を「Si層上のGaNベース装置(A.Krost,A.Dadgar,Phys.Stat.Sol.(a),Vol.194,Issue2,2002,pp.361-375)」において参照できる。

【0013】

上述の問題を解決するために提案された様々な手段を2つのカテゴリーに分類することができる。完全にin-situな成長方法を使用したもの、およびex-situなプロセス工程が必要なものである。このex-situなプロセスは、次の成長工程に続く。前者のグループは、応力工学に基づき、クラックを防止し、そして活性GaN層に存在する貫通転位密度をできるだけ多く減少させる。前者のグループは、適切なシード層、スーパー層、若しくは中間層を使用する。後者のグループは、熱クラック及び貫通転移欠陥の幾何分布を制御する

10

20

30

40

50

ことを目的とする。ELOG、ペンデオ(Pendeo)、カンチレバーエピタキシ(Cantilever Epitaxy)の全てにより高品質の領域とすることができ、一方他の方法は、応力を発生させる全ての貫通転移及び/又はクラックを一カ所に集中させる。

【特許文献1】W O 0 3 / 0 5 4 9 3 9

【特許文献2】U S - A - 6 3 4 4 3 7 5

【非特許文献1】ナノレター2003,Vol.3,No.8,1063-10

【非特許文献2】マイクロエレクトロニックジャーナル34(2003)843-848

【非特許文献3】Phys.Stat.Sol.(a),Vol.194,Issue2,2002,pp.361-375)

【発明の開示】

【発明が解決しようとする課題】

【0014】

本発明は、従来の解決手段の問題点を克服するための、シリコン基板上にIII族窒化物材料を成長させる新規な方法を提供することを目的とする。

【0015】

また、本発明は、高品質のIII族窒化物エピタキシャル層を備える装置を提供することを目的とする。

【0016】

さらに、本発明は、上記高品質のIII族窒化物エピタキシャル層の成長のための、適切な中間テンプレートデバイスを提供することを目的とする。

【課題を解決するための手段】

【0017】

第1発明では、

ポーラス最上層を有するシリコン基板を備える基板と、

上記最上層上に配置された、Ge材料からなる第2層と、

上記第2層の上のIII族窒化物材料からなる別の層とを備える装置を開示している。

【0018】

本明細書の「ポーラス状の最上層」という用語により、他の最上層の中で、基本的にポーラスシリコン(PS)からなる最上層だけでなく、サブマイクロオーダーでパターンニングされた2次元若しくは溝付きの(castellated)最上層などの人為的に作製されたポーラス材料からなる最上層をも意味する。

【0019】

そのような「ポーラス状の最上層」により、荒くて、ザラザラした(textured)、非平面的な、好ましくは3D構造の表面、さらにしなやかな骨格が与えられる。そのようなポーラス状の最上層の下にポイド、バブル、若しくは封入物(inclusion)が存在してもよい。ポーラス状の最上層の表面でポアを閉じ込めることにより、ポイド、バブル、封入物若しくはマイクロポア等を形成することができる。

【0020】

「ポーラス状の最上層」は、ポアの少なくとも一部(できれば略全部)が、上記最上層の表面において開口しているが、上記表面において上記ポアの少なくとも一部が閉じていてもよい。別の実施の形態では、全てのポアが閉じられ、ポイド、バブル、封入物若しくはマイクロポアが基板内に形成されていてもよい。

【0021】

第1発明のある実施の形態では、これ以前の実施の形態に記載された装置であって、上記ポーラス状最上層が、ポイド、封入物、バブル若しくはマイクロポア等の、少なくとも一部が閉じられたポアを有することを特徴とする装置を開示している。

【0022】

本発明の好ましい実施の形態に係るポーラス最上層に、空隙率の勾配が存在してもよい。ポアのサイズ及び/又はポアの量は、上記最上層の表面から離れる方向に増加することが好ましい。

【0023】

10

20

30

40

50

少なくとも2つの空隙率を有する最上層が好ましい。これは、本明細書において、異なる空隙率を有する少なくとも2つのサブ基板が上記最上層に存在することを意味する。この差異は、ポアのサイズ及び/又は量にある。

【0024】

高い空隙率と低い空隙率を有する積層体を有してもよい。高い空隙率を有する層と低い空隙率を有する層とを入れ替えてもよい。小さなサイズのポアが存在すること、及び/又は少量のポアが存在すること(低空隙率)と比較して、高い空隙率は、大きなポアが存在すること、及び/又は大量のポアが存在することを意味する。高い空隙率及び低い空隙率の層を作製する方法は、この技術分野において知られている。

【0025】

例えば、水素雰囲気における高温のアニールにより、高い空隙率のサブ基板の下に、シリコン基板に接触するように、分離した層を作製することが好ましい。この分離した層は、高い空隙率を有する層であり、機械的に非常に脆弱である。この層は、小さな機械的力により、即ち超音波処理若しくは引張り処理(pulling)により容易に破壊され得る(例えばEP1132952を参照のこと)。

【0026】

本発明に係るポーラス状最上層は、一般的に10%~90%の空隙率を有する。このポーラス状最上層は、一般的に10nm~10 μ m、10nm~3 μ mの間の膜厚を有する。

【0027】

本発明に係る「ポーラス状最上層」を、成長の後再び緩和させてもよい。さらに、応力解放によりエピタキシャル層をサブ基板から分離してもよい。

【0028】

「Ge材料からなる層」は、少なくともGeを含有する材料からなる層を意味する。

【0029】

第1発明の好ましい実施の形態では、それ以前の実施の形態に記載した装置であって、上記第2層が、SiGe材料(少なくともSiGeを含む材料)からなることを特徴とする装置を開示している。この第2層はSiGe層であってもよい。Ge材料、好ましくはSiGe材料からなる層の組成は任意ではあるが濃度勾配が付けられている。上記(濃度勾配の付いた)第2層の材料中のGe濃度は、基板から離れる方向に増加することが好ましい。

【0030】

第1発明の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載した装置であって、III族窒化物材料に少なくともGaNが含まれることを特徴とする装置を開示している。第1発明の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された装置であって、III族窒化物材料がGaNであることを特徴とする装置を開示している。

【0031】

別の実施の形態では、上記III族窒化物材料は、少なくともAlNを含んでいても良いし、若しくはAlNであってもよい。他に、例えば少なくともAlGaNを含有するIII族窒化物エピタキシャル層を成長させることも可能である。

【0032】

好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された装置であって、上記第2層が上記最上層と直接接触している装置を開示している。好ましい実施の形態では、それ以前の実施の形態に記載された装置であって、例えばGaN層等のIII族窒化物層が、上記第2層と直接接触している装置を開示している。

【0033】

第1発明のある実施の形態では、これ以前の実施の形態のいずれかに記載された装置であって、第2層(この第2層はSiGe等のGe材料からなる。)は、1nm~1000nm若しくは2000nmの間の膜厚を、好ましくは1nm~500nmの間の膜厚を、

10

20

30

40

50

さらに好ましくは1 nm ~ 300 nmの間の膜厚を、さらに好ましくは10 nm ~ 200 nmの膜厚を有する装置を開示している。

【0034】

Ge材料層の膜厚は、1 nm ~ 100 nm、1 nm ~ 50 nm、1 nm ~ 20 nm、1 nm ~ 15 nm、1 nm ~ 10 nmであることが好ましい。Ge材料を含有する層の膜厚は、好ましくは1 nm ~ 20 nm、より好ましくは5 nm ~ 15 nm、最も好ましくは6 nm ~ 12 nmである。

【0035】

本発明に係る好ましい実施の形態では、本発明に係る装置であって、上記最上層が、本発明に係るポーラス状最上層であり、上記第2層がSiGe材料(例えばSiGe層)からなり、さらに別の層がGaN層であることを特徴とする装置を開示している。SiGe材料からなる層(例えばSiGe層)は、上記最上層と直接接触していることが好ましい。また、上記GaN層は、この第2層と直接接触していることが好ましい。ここに記載された実施の形態の第2層の膜厚は、1 nm ~ 2 μm、1 nm ~ 1000 nm、1 nm ~ 500 nm、1 nm ~ 300 nm、10 nm ~ 200 nmの間にあることが好ましい。

10

【0036】

上記最上層内のポアは、開口したポアであっても良いし、若しくは閉口したポア及び開口したポアを組み合わせたものが存在してもよい。本発明に係る他の特定の好ましい実施の形態では、本発明に係るポーラス状最上層は、少なくとも一部に閉じたポアを含み、上記第2層がSiGe材料(例えばSiGe層)からなり、上記別の層はGaN層であることを特徴とする装置である。実質的に全てのポア(ポアの70%、80%、90%若しくは95%以上)は、閉口したポアであってもよい。

20

【0037】

閉口したポアの具体例として、バブル、封入物、ポイド若しくはマイクロポアが含まれるが、これらに限定されるものではない。ポーラス状のSi基板における初期のポアの直径と比較して、マイクロポアは、サイズが減少する小さな直径を有する。これは、例えば、III族窒化物層の成長の前のアニール工程のためである。アニール工程の温度は、III族窒化物材料を成長させる工程の温度より高い。GaNの成長温度は、500 ~ 1300、約1100、約1050である。一方、アニールのための温度は、1050以上、1100以上、好ましくは1100 ~ 1200である。

30

【0038】

本発明の好ましい実施の形態では、本発明に係る装置であって、第2層がGeからなる層であるか、若しくは濃度勾配の付いたSiGe層からなる層であり、さらに別の層がGaN層であることを特徴とする装置を開示している。濃度勾配の付いたSiGeにおけるGe濃度は、上記基板から離れる方向に増加することが好ましい。

【0039】

以前の実施の形態のいずれかに記載された装置は、さらに中間層(第3層)を備えることが好ましい。この中間層は、第2層(Ge材料からなる層、例えばSiGe材料等)とIII族窒化物層(別の層)との間に存在する。この中間層は、III族窒化物層の成長のためのベースとして、若しくはIII族窒化物層の成長が開始する層として機能するように配置されていることが好ましい。この中間層は、核形成層の一種であることが好ましい。中間層は、1 nm ~ 200 nm、1 nm ~ 100 nm、1 nm ~ 50 nmの間の範囲の膜厚を有する層であってもよい。この中間層は、平坦な連続する層であっても良いし、若しくは例えばアイランドを有する不連続層であってもよい。この中間層はAlN層であってもよい。

40

【0040】

本発明に係る他の実施の形態では、本発明に係る装置であって、上記第2層がGeからなる層であるか、若しくは濃度勾配の付いたSiGeからなる層であり、上記中間層はAlNからなる層であり、さらに上記別の層はGaN層であることを特徴とする装置を開示している。濃度勾配の付いたSiGeにおけるGe濃度は、上記基板から離れる方向に増

50

加することが好ましい。本発明の他の実施の形態では、上記第2層がSiGeからなる層であり、上記別の層がAlNであることを特徴とする装置を開示している。

【0041】

本発明は、これ以前の実施の形態のいずれかに記載された発明に係る装置を含む、FET、LED、レーザダイオード、HEMT（高電子移動度トランジスタ）若しくはヘテロ接合バイポーラトランジスタに関連する。

【0042】

第1発明の特定の実施の形態では、以前の実施の形態のいずれかに記載された装置であって、電子回路が上記シリコン基板上に集積された装置を開示している。上記装置には、III族窒化物層に形成された光学電子装置若しくはFETが含まれていても良い。

10

【0043】

第2発明は、シリコン上にIII族窒化物材料を含む装置を作製する方法であって、（定義されたような）ポーラス状の最上層を含むシリコン基板を準備する工程と、上記ポーラス状の最上層を有する上記シリコン基板にGe含有物質を接触させ、それにより上記最上層上にGe材料層（第2層）を形成する工程と、Ge材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させ、それにより上記第2層上にIII族窒化物材料からなる別の層を形成する工程とを含む方法に関する（図1参照）。

【0044】

第2発明の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された方法であって、上記方法が、Ge材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程より前に、Ge材料からなる層を熱的にアニールする工程（図1の任意の工程）を含むことを特徴とする方法を開示している。熱的にアニールする工程は、500～1300の間の温度で行うことが好ましく、500～1100の間の温度で行うことがさらに好ましい。

20

【0045】

ポーラス状の最上層を有するシリコン基板にGe含有物質を接触させる工程を、プラズマ気相成長法（PECVD）、熱蒸着、閉空間蒸気伝達法（close space vapour transport）、若しくは分子ビームエピタキシ法により実行することが好ましい。

【0046】

上記第2層の成長の後、予め決定された期間（即ち数時間、数週間、数ヶ月、数年）に亘って、この中間装置を保管してもよい。これは、保護雰囲気（N₂雰囲気等）の下この装置を保管する必要はない。これ以前の実施の形態のいずれかに記載された方法であって、上記最上層に第2層を形成する工程の後、中間装置が保管されることを特徴とする方法を開示している。

30

【0047】

Ge材料の層を含むシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程を有機金属化学気相成長法（MOCVD）プロセスにより実行することが好ましい。この工程は、一般的に500～1300の間の温度、1000～1100の間の温度で実行し、1050で実行することが好ましい。別の実施の形態では、Ge材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程を、分子ビームエピタキシ（MBE）若しくはハイドライド気相エピタキシー法（HVPE）により実行する。

40

【0048】

別の実施の形態では、Ge材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程に先行してアニール工程を行ってもよい。アニール工程により、安定な層を形成することができる。例えば、ポーラス状最上層及び第2層の構造体をアニール工程の間変化させてもよい。その結果として、Ge材料の層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程の間、下地層は、構造的な変化（これに限定されるわけではないが、例えばポア構造の変化）に対して影響を受けにくい。ま

50

た、アニール工程の後、第2層はSiGeからなる層となるであろう。

【0049】

第2発明の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された方法であって、III族元素がGaであることを特徴とする方法を開示している。最も好ましくは、III族窒化物はGaNである。III族窒化物材料はAlN若しくはAlGaNであってもよい。

【0050】

第2発明の他の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された方法であって、III族元素がAlであり、III族窒化物がAlNであることを特徴とする方法を開示している。

10

【0051】

第2発明の好ましい実施の形態では、これ以前の実施の形態のいずれかに記載された方法であって、上記方法が、上記のポーラス状最上層を有するシリコン基板にGe含有物質を接触させる工程と、上記のGe材料層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させる工程との間に、中間層を形成する工程を備えることを特徴とする方法を開示している。ここでは中間層AlN層を形成することが好ましい。

【0052】

MOCVDにより、MOCVD反応炉内において、900 ~ 1200 の間等の高温においてAlN層を成長させてもよい。別の実施の形態では、AlN層を、400 ~ 900 の間、500 ~ 800 の間等の低温で成長させ、その後、熱的アニール工程を行っても良い。

20

【0053】

第2発明の好ましい実施の形態では、GaN層等のIII族窒化物層の成長を500 ~ 1300 の間の異なる2つの温度で実行することを特徴とする方法を開示している。上記成長工程の第1工程は、より低温（例えば、400 ~ 800 の間の温度、400 ~ 700 の間の温度、400 ~ 600 の間の温度）で実行し、続いて、より高温（例えば、800 ~ 1200 の間の温度、800 ~ 1100 の間の温度、800 ~ 1000 の間の温度）で実行することが好ましい。

【0054】

第3発明は、上記の方法のいずれかにより得られる装置に関する。本発明に係る上述の方法のいずれかにより得られる上記装置の具体例を、第1発明に係る部分で挙げている。

30

【0055】

第4発明は、III族窒化物材料の成長のための中間テンプレートデバイスを作製するための方法であって、

ポーラス状の最上層を含むシリコン基板を準備する工程と、

ポーラス状の最上層を含む上記シリコン基板にGe含有物質を接触させ、それにより上記最上層上に、Ge含有材料からなる第2層を形成する工程と、

続いてGe含有の材料からなる上記第2層を熱的にアニールする工程とを有することを特徴とする方法に関する。

【0056】

異なる層を形成する方法、それらの組成及び膜厚に関する好ましい実施の形態を、本発明の第1から第3発明に係る部分に記載している。

40

【0057】

この方法により、III族窒化物材料の成長に最適のテンプレートデバイスとすることができる。上記テンプレートデバイスは、ポーラス状最上層、及び上記最上層上に第2層を有するシリコン基板を備え、上記第2層はGe含有材料からなることを特徴とする。上記最上層を、III族窒化物材料が上記第2層上に成長するように配置する。好ましい実施の形態では、最上層のポアの少なくとも一部が、閉口したポアであってもよい。さらに別の発明は、本発明に係るテンプレートデバイスを形成する方法により得られるテンプレートデバイスに関連する。

50

【 0 0 5 8 】

本発明の別の発明は、III族窒化物材料の成長のための中間テンプレートデバイスの用途に関する。上記テンプレートデバイスは、ポーラス状の最上層を含むシリコン基板、及び上記最上層上に形成された第2層を有し、上記第2層はGe含有材料からなる。III族窒化物材料が上記第2層上で成長するように上記最上層を配置することが好ましい。上記最上層のポアの少なくとも一部が、閉口したポアであっても良いし、若しくは直径が減少したポアであってもよい。可能性として考えられる膜厚及び/又は層の組成等は、第1発明及び第2発明の関連する部分に示した通りである。

【 発明を実施するための最良の形態 】

【 0 0 5 9 】

本発明を以下に詳細に説明している。しかし、当業者であれば、本発明を実行するためのいくつかの他の同様な実施の形態若しくは他の方法に想到することができることは明らかである。

【 0 0 6 0 】

この発明では、ある層が他の層若しくは基板の「上に」あるというときにはその層が直接当該他の層若しくは基板上にあることを意味し、ある層が他の層若しくは基板の「上方に」あるというときには中間層が存在することを意味する。ある層が他の層若しくは基板と「直接接触している」というときは、2つの層の間、若しくはその層と基板との間に中間層がないことを意味する。

【 0 0 6 1 】

この発明では、III族窒化物材料は、元素の周期表のIII族元素の窒化物を含む材料である。III族窒化物材料はGaNであっても良い。ここで、GaNは、AlN、AlGaN、InGaN、AlInGaN、GaAsPN、及び同様のもの（これらに限定されるものではない）等の少なくともGaNを含む材料であると理解されるべきである。この発明に記載された装置は、III族材料の代わりに、ダイヤモンド層を含んでいてもよい。

【 0 0 6 2 】

シリコン基板は、シリコンを含有する基板である。特定の実施の形態では、上記シリコン基板はシリコンウエハである。このシリコン基板は、本発明に係るポーラス状最上層（上述のように定義している。）を含んでいてもよい。

【 0 0 6 3 】

「溝付きの(castellated)」という用語により、主面における基板の断面が、急峻な丘部及び谷部により特徴付けられ、上記丘部の上面は平坦な台形表面部分を規定し、当該台形表面部分は谷部により形成されたギャップにより互いに離間されている。これらの台形部分のそれぞれは、台形の上面に沿った距離が、1µm以下、より好ましくは200以下、最も好ましくは100以下の最小横幅を有する。隣接する台形部は、少なくとも30、より好ましくは60の幅のギャップにより互いに離間されている。

【 0 0 6 4 】

「2次元的にサブミクロンでパターンニングされた」という用語により、表面が任意の形状の平坦な台形により特徴付けられ、それぞれの台形部分は、台形上面に沿った方向の最小横幅が1ミクロン以下の横幅を有し、溝部により形成されたギャップが台形部分の間に位置する。これは、Douglas等により記載されたナノメートルリソグラフィー（アプライドフィジックレター(1986),vol 48(10)676-678）等により得られる。

【 0 0 6 5 】

本明細書における「ポア」という用語は、上述のように、「ギャップ」、「谷部」若しくは「溝部」まで拡張される。本発明に係るポーラス状最上層における「ポア」は、開口ポア、閉口ポアであっても良く、開口ポア及び閉口ポアを組み合わせたものが存在してもよい。このポアは、バブル、封入物、ポイド若しくはマクロポア等である。

【 0 0 6 6 】

第1発明では、ポーラス状の最上層を有するシリコン基板を備える基板と、Ge材料からなる第2層と、

10

20

30

40

50

上記第2層上にIII族窒化物材料からなる別の層とを備える装置を開示している。

【0067】

上記第2層はSiGeを含んでいることが好ましい。III族窒化物材料は少なくともGaNを含むことが好ましい。III族窒化物材料はGaNであることが好ましい。別の実施の形態では、III族窒化物材料は少なくともAlNを含んでいてもよいし、AlNであってもよい。

【0068】

SiとIII族窒化物材料との間の格子不整合は非常に大きい。GeをSiに添加し、そしてアニール工程を実行することにより、より一層格子不整合の大きいSiGe層を形成する。

【0069】

また、2つの材料(SiとIII族窒化物材料)の間の熱膨張係数の相違は非常に大きく、そのためGaN成長後の冷却工程の間GaN層等のIII族窒化物層内における応力が過剰に大きくなる。

【0070】

Si及びIII族窒化物材料好ましくはGaNの間の熱応力の相違は、SiGe層がSiとIII族窒化物材料との間に形成された時減少するであろう。結果的に、III族窒化物材料内のクラックの発生が減少する。

【0071】

上述のように、Ge材料層は熱応力を劇的に減少させ、また格子不整合を発生させない。実際この熱応力は、Si上にGaN等のIII族窒化物材料を成長させることに対する主な障害である。

【0072】

GaN層等のIII族窒化物材料内においてなお転移が起こるかもしれない。この問題は、本発明に係る非常に柔軟性を有するポーラス状Si層を使用することにより解決することができる。本発明に係るポーラス状Si層により、この基板を、シリコンとIII族窒化物層との間の大きな格子不整合に適応させることができ、それにより後者の層における転移密度を減少させることができる。さらに、本発明に係る基板を使用することにより、装置の冷却の間、III族窒化物層のクラックを防止することができる。さらに別の利点は、基板の「湾曲」を防止することである。

【0073】

基板の選択(本発明に係るポーラス層を有するシリコン)に関しては直接事項ではない。ポーラス状のSiは熱的に不安定であり(それは高温において変形する可能性がある)、外気から湿気を吸収する可能性があるからである。

【0074】

Ge材料層を、300 ~ 800 の温度で、好ましくは500 の温度で成長させる。これは、この技術分野において標準的に使用されるAlN及びGaNの成長温度が高いのと対照的である。

【0075】

他方、Ge層は、主に本発明に係るポーラス状Siの酸化を防止するための保護層として機能する。その結果、ポーラス状Si層の構造的な変形を防止する。本発明に係るシリコン基板上に直接成長させたGaN層若しくはAlN層は、ポーラス状Si基板の酸化を防止することができない。

【0076】

さらに、Geの還元温度は、ポーラス状のSiを、ポイドを有するバルク状Siに再結晶化させる臨界温度より非常に低い。一方、Siの還元温度は、この遷移温度をかなり上回る。ここでポイドは、ポーラス状のSiにおけるマイクロポアと見なすことができる。

【0077】

Ge中間層によりSi基板の窒化が防止され、この界面においてアモルファスSiNx材料が全く形成されないか、若しくは少量しか形成されない。アモルファス状の薄いSi

10

20

30

40

50

N x 材料の形成は、装置の更なるエピタキシャル成長に対して最悪の欠点である。また Ge 中間層は Ga 及び Si の混合を減少させ、それによりメルトバックエッチングを防止する。

【0078】

本発明に係る Ge 材料からなる第 2 層の有利な効果は、Ge 含有の非常に薄い層を、本発明に係る最上層を有する Si 基板上に塗布する時に得られる。例えば、この最上層は、1 nm ~ 20 nm、5 nm ~ 15 nm、6 nm ~ 12 nm の間の膜厚を有する層である。

【0079】

本発明に係る方法により得られる装置は、高品質の装置である。

【0080】

本発明に係る最上層を有する Si 基板上の Ge 含有材料層により、高品質のワイドなバンドギャップを有する III 族窒化物半導体材料、特に GaN をエピタキシャル成長させるのに非常に適した表面を提供することができることが分かった。Ge 層のないポーラス状でない Si 基板上に成長させるのと比較して、結晶性が良好で、クラックが非常に少なく、湾曲部分が非常に減少した等の高品質のエピタキシャル層を得ることができた。

【0081】

本発明に係る好ましい装置を以下に記載している。

【0082】

その第 1 装置は、

ポーラス状の最上層を有するシリコン基板を備える基板と、
上記ポーラス状最上層上の、SiGe 含有の材料からなる第 2 層と、
この第 2 層上の GaN 層とを備える。

【0083】

上記ポーラス状層内のポアは、開口したポアであっても良いし、閉口したポアと開口したポアとを組み合わせたものであってもよい。

【0084】

本発明のある実施の形態では、SiGe 材料層（少なくとも SiGe を含有する材料）は、上記最上層と直接接触している。特定の実施の形態では、GaN 層は、SiGe 材料の層と直接接触している。上記第 2 層は SiGe 層であることが好ましい。

【0085】

ここに記載した実施の形態における SiGe 材料の層の膜厚は、1 nm ~ 2 μm、1 nm ~ 1000 nm、1 nm ~ 500 nm、1 nm ~ 300 nm、10 nm ~ 200 nm の間にある。

【0086】

他の好ましい装置は、

少なくとも一部に閉口したポアを備えるポーラス状最上層を有するシリコン基板を備える基板と、

上記ポーラス状最上層上の、SiGe 含有の材料からなる第 2 層と、

この第 2 層上の、別の GaN とを備える。第 2 層は SiGe 層であることが好ましい。

【0087】

少なくとも一部に閉口したポア、例えばポイドを有する最上層を備えるシリコン基板を持つ基板を、例えば GaN 層の成長と冷却の後に形成する。GaN の成長プロセスにおける第 1 工程（これはアニール工程である）の間、ポーラス状シリコン層を、ポイドを含むバルク状 Si に変換する。

【0088】

本発明は、III 族窒化物材料層及び基板を含む装置を開示している。ある実施の形態では、この装置は、

ポーラス状の最上層を有するシリコン基板を備える基板と、

上記ポーラス状最上層上の、Ge 層及び濃度勾配の付いた SiGe 層からなる第 2 層と

、

10

20

30

40

50

この第2層上のGaN層とを備える。

【0089】

Ge材料からなる第2層、例えばGe層若しくは濃度勾配の付いたSiGeからなる層等は、上記最上層に直接接触することが好ましい。上記濃度勾配の付いたSiGe内のGe濃度は、上記基板から離れる方向に増加することが好ましい。GaN層は、上記第2層と直接接触していることが好ましい。

【0090】

ポーラス状Si層及びGe層は拡がっており、その結果少なくともその層のより低い部分、即ちSi基板近くの部分に、SiGe層、可能性としては濃度勾配の付いたSiGe層が形成されることとなる。

10

【0091】

ここに記載された実施の形態におけるGe層若しくは濃度勾配の付いたSiGe層の膜厚は、1nm~1000nm、1nm~500nm、1nm~300nm、10nm~200nmの間にある。Ge層及び濃度勾配の付いたSiGe層の膜厚は、1nm~100nm、1nm~50nm、1nm~20nm、1nm~15nm、1nm~10nmの間にあることがさらに好ましい。

【0092】

本発明に係る基板の、上記実施の形態のいずれかに記載された基板は、高品質のワイドなバンドギャップを有するIII族窒化物半導体材料、特にGaNのエピタキシャル成長にとって非常に有益である。特に、アニール工程、及び/又は2つの工程(第1工程において低温で行われ、続いてより高温で成長させる。)においてIII族窒化物を成長させる工程を含む方法にしたがって準備された基板及び/又はGe層を含む基板は、これらの目的に対して非常に適当である。

20

【0093】

上述の装置の全ては、少なくともデバイス領域の一部であってもよい。この装置は、FET、LED、レーザダイオード、HEMT若しくはヘテロ接合バイポーラトランジスタの一部であってもよい。

【0094】

本発明の他の発明では、III族窒化物材料の成長のための例えばSi/pSi/SiGe基板の用途を開示している。ここで、pSiは本発明に係るポーラスSiを示す。テンプレートデバイスと呼ばれるSi/pSi/SiGe基板は、ポーラス状最上層と、上記最上層上のSiGe材料層(第2層)とを備えるシリコン基板を含む。「Si/pSi/SiGe基板」は、実際本発明において開示された全てのテンプレートデバイス、即ちGe材料(好ましくはSiGe層)からなる層を第2層として有するデバイスに係る。

30

【0095】

本発明に係るSi/pSi/SiGe基板を、III族窒化物材料の成長のために使用することにより、従来の課題に対する問題点を解決することができる。しかし、III族窒化物材料が成長するまで、好ましくはポアの少なくとも一部が閉じた、本発明のSi/pSi/SiGe基板を形成し保管してもよい。この保管は、数時間、数日、一ヶ月若しくはそれ以上の間であってもよい。

40

【0096】

さらに別の発明では、上述のテンプレートデバイスを作製するための方法を開示している。この方法は、

ポーラス状の最上層を備えるシリコン基板を準備する工程と、

上記ポーラス状最上層を有する上記シリコン基板を、Ge含有の物質に接触させ、それにより上記最上層上に、Ge含有の材料からなる第2層を形成する工程と、

続いて、Ge含有の材料からなる上記層を熱的にアニールする工程とを含む。

【0097】

シリコン基板を準備する工程、及び上記シリコン基板にGe含有物質を接触させる工程を実行し、さらに結果として得られる基板を保管してもよい。上記Ge材料層を有する上

50

記基板にIII族元素含有物質及びN含有物質を接触させる工程を、上記装置がさらに処理される必要があるとき実行してもよい。

【0098】

上記アニール工程を、Ge材料の層を有する上記シリコン基板にIII族元素含有物質及びN含有物質を接触させる工程の前に実行することが好ましい。ある好ましい実施の形態ではIII族元素はGaである。別の実施の形態ではIII族元素はAlであってもよい。

【0099】

Ge材料層にIII族元素(例えばGa)含有物質を接触させる工程の前の、Ge材料層を熱的にアニールする工程により、Ge層上に形成された酸化物を取り除くことができ、そしてポーラス状Si最上層上にSiGe材料層、可能性としては濃度勾配の付いたSiGe材料を形成することができる。熱的アニール工程は、500 ~ 1300、好ましくは500 ~ 1100の間の温度で実行することが好ましい。

10

【0100】

ポーラス状最上層を有するシリコン基板にGe含有物質を接触させる工程により、上記ポーラス状最上層上にSiO₂が形成されることを防止することができる。従来技術(「室温におけるポーラスシリコンの雰囲気内投入」Canham等、J.Appl.Phys.70(1),1991年7月,pp422-431)により、新たにエッチングされたシリコン基板の、汚染されていない、フッ素処理された水素化物表面が、長い時間外気に曝されている間、汚染された自然酸化物に変換され、その結果構造特性が連続的に変更されるということが知られている。

【0101】

本発明に係る方法は、さらにGe層を有する上記シリコン基板にIII族元素含有物質及びN含有物質を接触させ、それにより上記第2層上にIII族窒化物層を形成する工程を含んでいてもよい。

20

【0102】

本発明は、さらに上記Ge材料の第2層と、III族窒化物層(別の層)との間に中間(第3)層を形成する工程を含んでいてもよい。III族窒化物層の成長のためのベースとして、若しくはIII族窒化物層の成長が開始される層として機能するように中間層が配置されていることが好ましい。この中間層は、1nm~200nm、1nm~100nm、1nm~50nmの間の膜厚を有する層であってもよい。この中間層は、平坦な連続層若しくはアイランドを有する不連続な層であってもよい。この中間層は、AlN層であってもよい。

30

【0103】

中間層AlNは、AlN上に成長されたGaN層内に適度な圧縮応力を誘発する可能性がある。これは、ヘテロ構造体の冷却の間、熱的な不整合による大きな熱的引張り応力を相殺し、さらにクラックを防止する。

【0104】

AlN層の膜厚は、1nm~2μm、10nm~1000nm、10nm~500nmの間にある。AlN層は、500~900若しくは900~1100の間の温度で成長する。

【0105】

プラズマ気相成長法(PECVD)、熱蒸着、閉空間蒸気伝達法若しくは分子ビームエピタキシにより、ポーラス状の最上層を有するシリコン基板にGe含有物質を接触させる工程を実行してもよい。

40

【0106】

Ge層の成長は一般的に数分かかる。ポーラス状シリコン基板を準備する工程の後、本発明に係るポーラス状最上層を有するこの基板を数秒、数分、数時間(2時間まで)、保護雰囲気(N₂雰囲気等)の下保管してもよく、それ以降Ge材料層が成長する。

【0107】

上記Ge層にIII族含有物質及びN含有物質を接触させ、それによりIII族窒化物層を成長させる工程のために、このウエハを有機金属化学気相成長(MOCVD)炉内に投入す

50

ることが好ましい。また、このウエハを M B E 炉若しくは H V P R E 炉内に投入してもよい。成長の前に、例えば H₂ 雰囲気中で基板をアニールし、それにより酸化物を取り除く。このアニール工程の間、安定なエピタキシャル G e ケイ化物層を形成する。

【 0 1 0 8 】

III 族含有物質は T M G a (トリメチルガリウム) であっても良く、一方 N 含有物質は N H₃ であっても良い。ある実施の形態では、上記 G e 材料層に G 含有物質及び N 含有物質を接触させる工程を、 5 0 0 ~ 1 3 0 0 、好ましくは 1 0 0 0 ~ 1 1 0 0 の間の温度で実行しても良い。

【 0 1 0 9 】

別の実施の形態では、上記 G e 材料層に III 族含有物質及び N 含有物質を接触させる工程を、 5 0 0 ~ 1 3 0 0 の間の異なる 2 つの温度で実行しても良い。この工程の第 1 工程を、より低い温度 (例えば、 4 0 0 ~ 8 0 0 の間の温度) で実行し、続いてより高い温度 (例えば 8 0 0 ~ 1 2 0 0 の間の温度) で実行しても良い。

10

【 0 1 1 0 】

上記 G e 材料層に III 族含有物質及び N 含有物質を接触させる工程により、III 族窒化物材料層を形成することができる。好ましい実施の形態では、III 族窒化物材料層は、少なくとも G a N を含む材料である。別の実施の形態では、III 族窒化物材料層は、少なくとも A l N を含む材料であってもよい。

【 0 1 1 1 】

ある実施の形態では、S i ウエハから 出発して、当業者により知られた方法によりポーラス状に形成された基板を作製しても良い。

20

【 0 1 1 2 】

ある実施の形態では、この最上層を、例えば濃縮フッ酸 (H F) を用いて陽極酸化反応することによりポーラス状に形成しても良い。

【 実施例 1 】

【 0 1 1 3 】

2 つの電極の装置 (図 2 参照) を使用して、H F ベース溶液中で陽極酸化を行うことによりポーラス状の S i (p S i) を得る。この 2 つの電極は、シリコン作用電極 (2 4) 及びプラチナ対極 (2 3) を有する。界面活性剤として酢酸を添加し、それにより p S i 形成の間に発生した水素バブルを効果的に取り除き、より均質の p S i 層とすることができる。S i (1 1 1) 基板 (2 1) の陽極酸化の間、S i 元素の電気化学的な溶解は、すでに形成された p S i と S i 基板との間の界面近傍で起こる。そのため p S i 層の膜厚をエッチング時間で制御する。ポア形成のための適切なパラメータは、電流密度、基板のドーピングのタイプ、基板のドーピングレベル、電解液の濃度、見込まれるウエハの照度である。電極表面における正孔は、シリコンの溶解に必要とされるので、p 型シリコンは暗闇の中でも容易にエッチングすることができ、一方、n 型材料では照度を必要とする。1 0 % ~ 9 0 % の範囲にある空隙率を有し、1 0 n m ~ 数 μ m の範囲で変化するポーラス層を容易に得ることができる。このプロセスにより、大きなウエハ領域上に均質なポーラス層を形成することができる。図 2 は、p S i 形成のための設備を示している。2 1 はシリコン基板を、2 2 はテフロンピーカを、2 3 はプラチナ電極を、2 4 はシリコンアノードを、2 5 はバック接点を示す。ある特定のプロセス条件は、

30

膜厚 : 2 8 0 n m

抵抗率 : 0 . 0 1 W c m

化学溶液 : 2 フッ酸 / 3 酢酸

電流密度 : 7 5 m A / c m²

である。このプロセスにより、3 0 % 以下 の空隙率を有する 1 . 7 m m ポーラス S i 層となる。図 4 は、上述の方法により得られるポーラス状シリコン [0 0 1] に関連する。図 5 は、シリコン基板 (5 3)、低空隙率層 (5 1)、及び高空隙率層 (5 2) を備えるポーラス状シリコン [0 0 1] 基板を示している。図 6 a - f は、例えば E P 1 1 3 2 6 5 2 に記載された H F ベース溶液における陽極酸化反応によりシリコン [0 0 1] 基板上に

40

50

ポーラス状最上層を形成する様々な工程を示している。数字 6 1 はシリコン基板を、6 2 はポアを、6 3 は反応のポイントを、6 4 は水素分子を、6 5 はその分子により作用を受けた流体力 (hydrodynamic force) の方向を示している。

【0114】

p Si 形成の後、電解液の痕跡が残らなくなるまで、ウエハを D I ウォータ内で徹底的にリンスする。この基板をその後 N₂ で乾燥させ、直ぐに真空システム内に投入し、Ge 層を成長させる。これは、ポーラス状の Si の酸化を起こさないことを意味する。Ge を約 500 の適当な温度でプラズマ CVD システム内で成長させる。Ge は 10 ~ 100 nm の範囲の膜厚を有することとなる。PECVD Ge 層の XRD 分析から推測されるように、PECVD により、Si 基板の上面にエピタキシャル Ge 層が形成されている。図 3 は、反射率及び XRD 測定を示している。この XRD 測定は、p Si (111) の上面に GaN のエピタキシャル層が成長していることを示している。

10

【0115】

この工程に続いて 1125 で脱気及びアニール工程を行い、その結果 Si Ge 層を形成する。

【0116】

次の工程において、基板を、MOCVD 炉内で TMAI 及び NH₃ に接触させ、そして AlN の中間層を 1100 で形成する (率: 7.5 nm/min、膜厚 200 nm)。

【0117】

Ge 層を成長させた後、この基板を MOCVD 炉内に投入する。この基板を、1020 で TMGa 及び NH₃ と接触させる (率 10 nm/min、膜厚 1 μm)。結果として得られる反射率 (図 3 a) 及び XRD 測定 (図 3 b) は、滑らかな GaN エピタキシャル層がポーラス状 Si (111) の上面に形成されていることを示している。

20

【図面の簡単な説明】

【0118】

【図 1】図 1 は、本発明の (必須及び任意の) 工程を示したフローチャートを示している。任意の工程は点線で示している。

【図 2】図 2 は、p Si 形成の構成を示している。

【図 3】図 3 a は、時間を関数とした反射率を示している。図 3 b は XRD 測定を示している。

30

【図 4】図 4 は、低い空隙率から高い空隙率に勾配しているポーラス状シリコン基板を示している。

【図 5】図 5 は、シリコン基板 (53)、低空隙率を有する層 (51) 及び高空隙率を有する層 (52) を備えるポーラス状シリコン基板を示している。

【図 6】図 6 a - f は、例えば EP 1132952 に記載されたような HF ベースの溶液内で陽極酸化することにより、シリコン (001) 基板上にポーラス最上層を形成する場合における様々な工程を示している。数字 6 1 はシリコン基板を、6 2 はポアを、6 3 は反応ポイントを、6 4 は水素分子を、6 5 はその分子により作用する流体力の方向を示している。

【 図 1 】

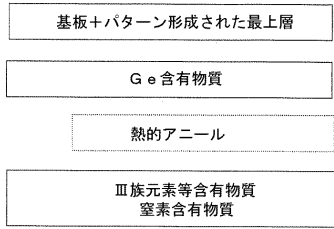


Fig.1

【 図 2 】

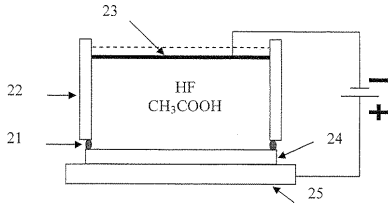


Fig.2

【 図 3 】

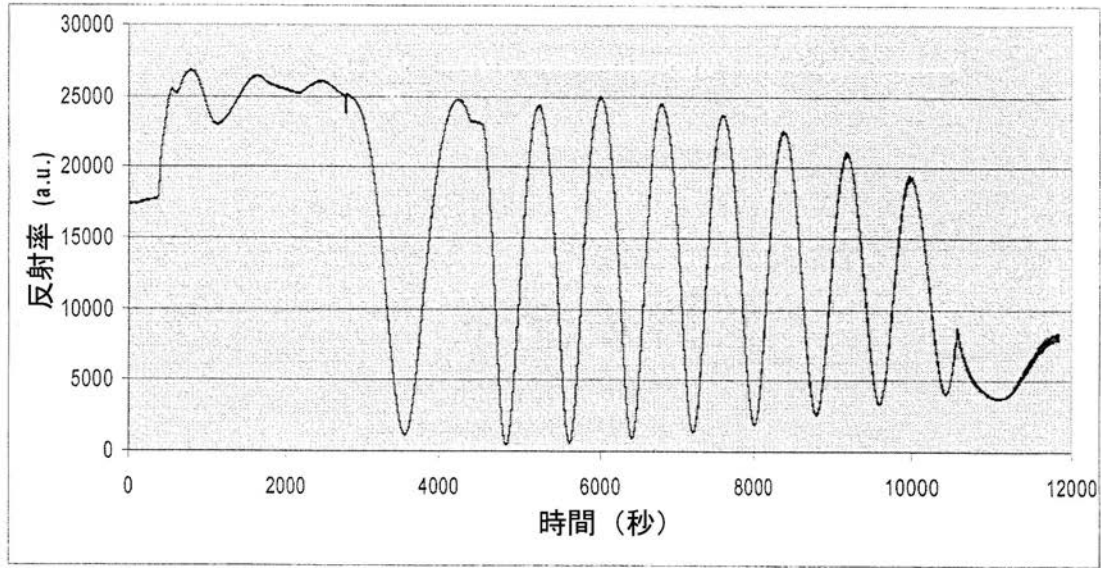


Fig.3a

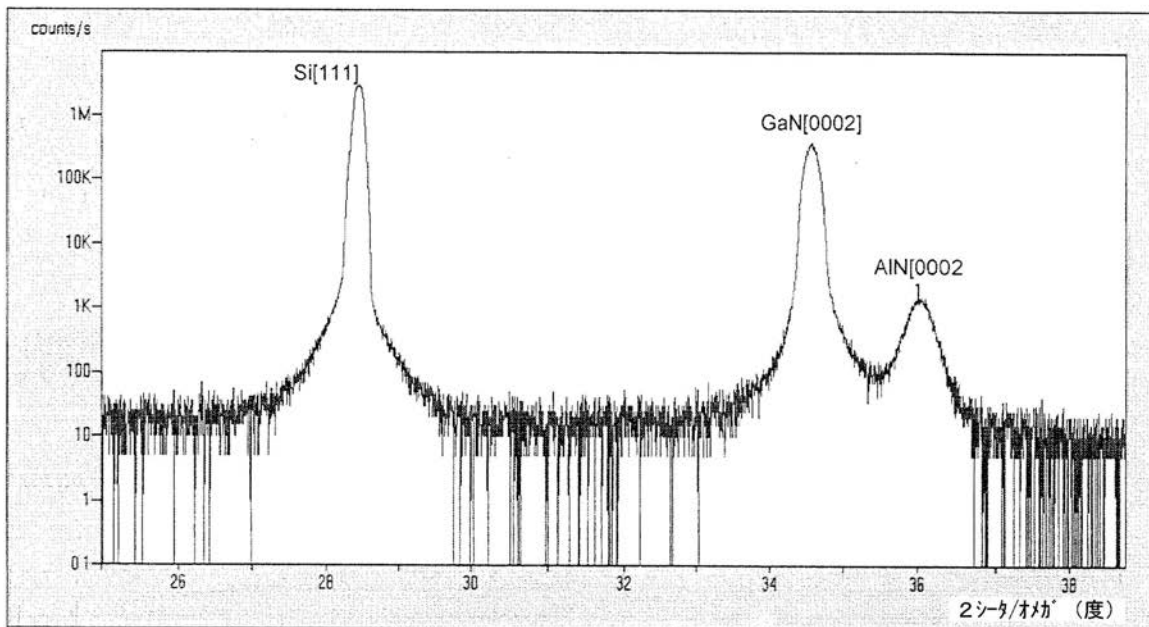


Fig.3b

【 図 4 】

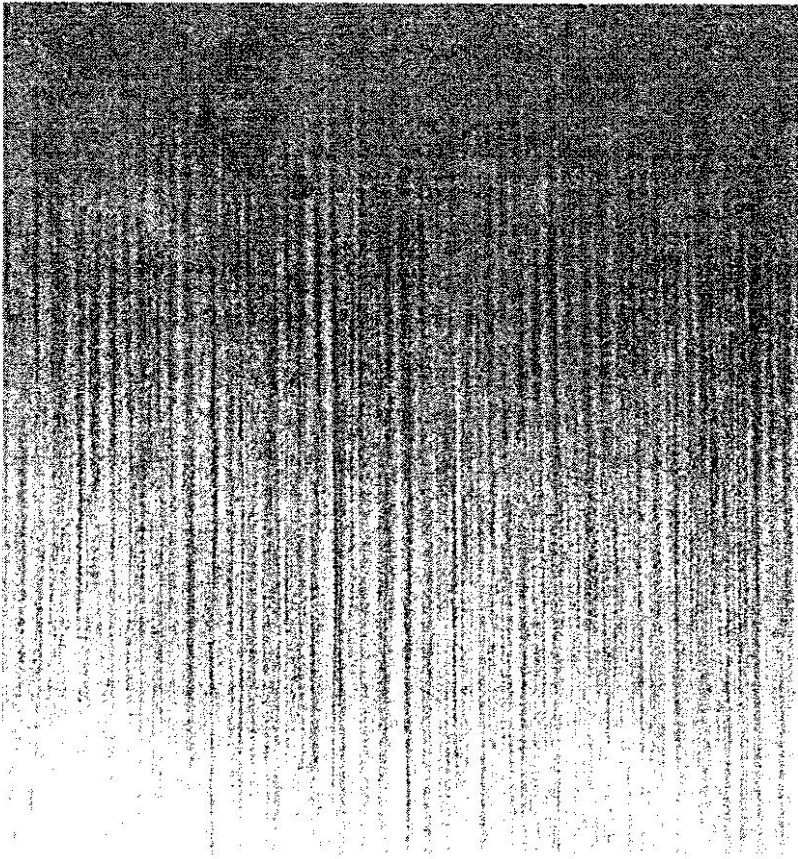


Fig.4

【 図 5 】

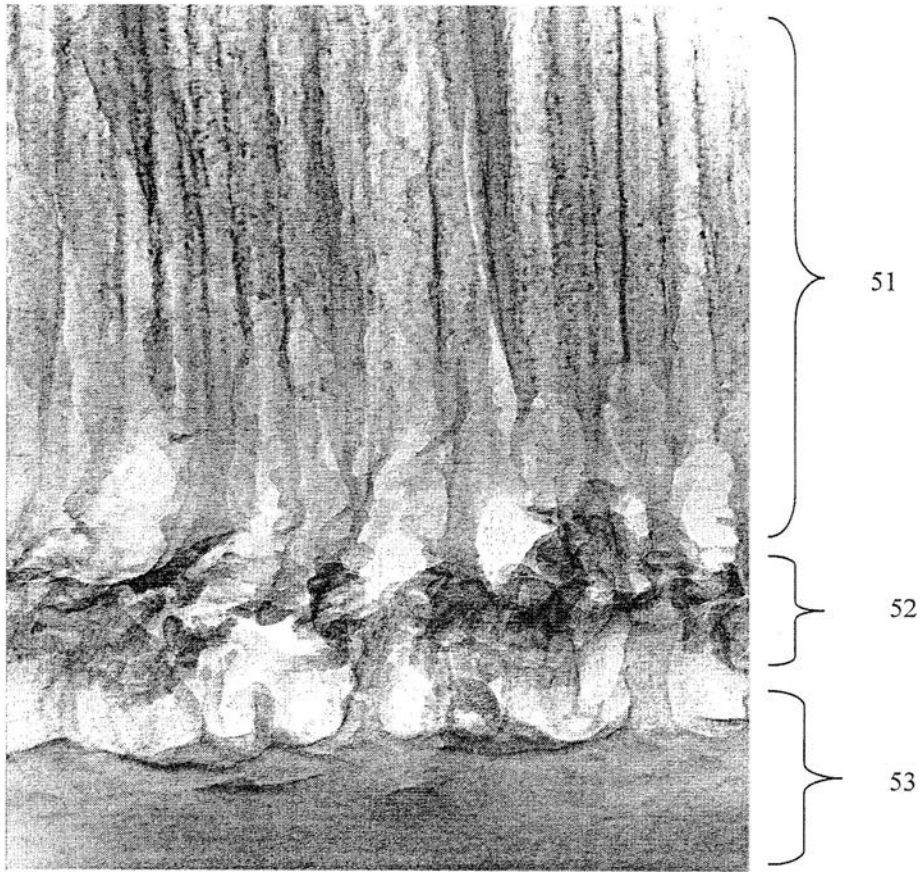
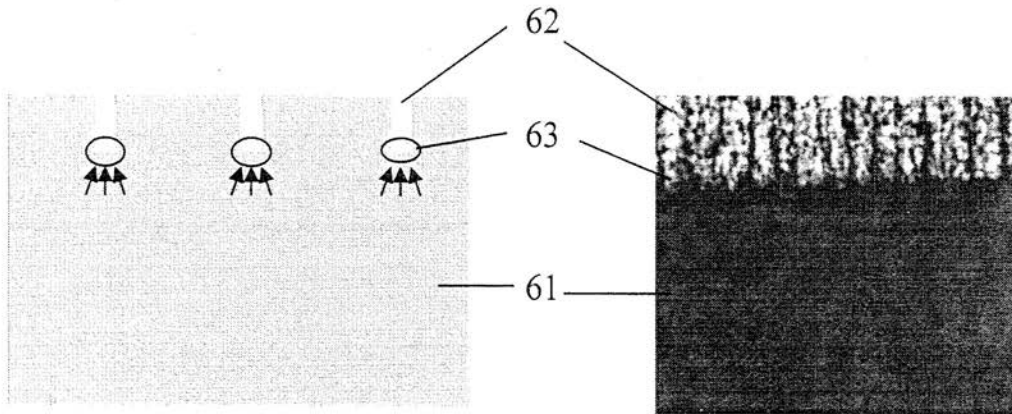
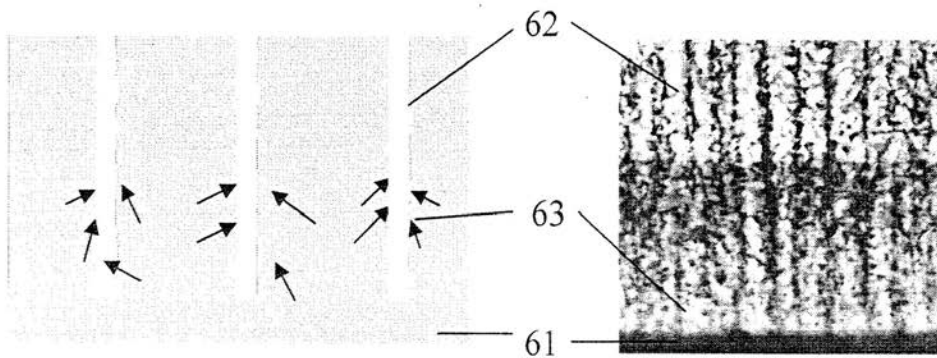
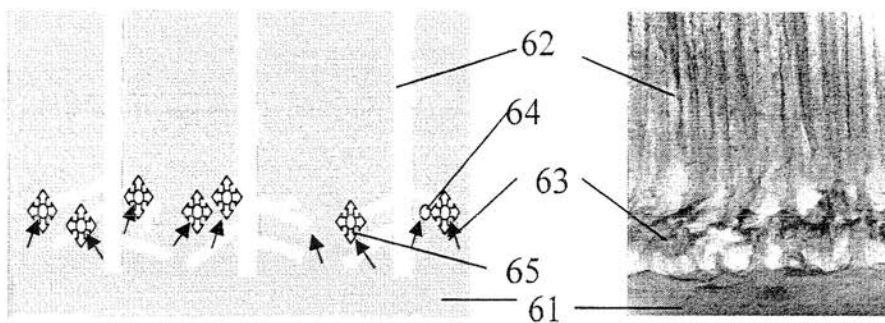


Fig.5

【 図 6 】

Fig. 6aFig. 6bFig. 6cFig. 6dFig. 6eFig. 6f

【 手続 補正書 】

【 提出日 】 平成24年5月14日 (2012.5.14)

【 手続 補正 1 】

【 補正対象書類名 】 特許請求の範囲

【 補正対象項目名 】 全文

【 補正方法 】 変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

ポーラス状の最上層を有するシリコン基板を含む基板と、
上記最上層の上に配置された、Ge又はSiGeからなる第2層と、

上記第2層上に配置された第3層と、

上記第3層上に配置された、III族窒化物からなる別の層と、を有する装置。

【請求項2】

上記第2層がSiGeからなることを特徴とする請求項1記載の装置。

【請求項3】

上記第2層のGeが、濃度勾配を有することを特徴とする請求項2に記載の装置。

【請求項4】

上記第2層の材料中のGe濃度が、上記基板から離れる方向に増加していることを特徴とする請求項2または3に記載の装置。

【請求項5】

上記III族窒化物が、GaN若しくはAlNであることを特徴とする請求項1～4のいずれかに記載の装置。

【請求項6】

上記第2層が、上記ポーラス状の最上層と直接接触していることを特徴とする請求項1～5のいずれかに記載の装置。

【請求項7】

上記ポーラス状の最上層が、少なくとも一部に、閉口したポアを有することを特徴とする請求項1～6のいずれかに記載の装置。

【請求項8】

上記ポーラス状の最上層が、10～90%の空隙率を有することを特徴とする請求項1～7のいずれかに記載の装置。

【請求項9】

上記ポーラス状の最上層が、10nm～3μmの膜厚を有することを特徴とする請求項1～8のいずれかに記載の装置。

【請求項10】

上記第2層が、1nm～1000nmの膜厚を有することを特徴とする請求項1～9のいずれかに記載の装置。

【請求項11】

上記第2層が、1nm～20nmの膜厚を有することを特徴とする請求項1～10のいずれかに記載の装置。

【請求項12】

上記第2層がSiGe材料からなり、さらに上記別の層がGaN層であることを特徴とする請求項1～11のいずれかに記載の装置。

【請求項13】

請求項1～12のいずれかに記載の装置を含むことを特徴とするFET、LED、レーザダイオード、HEMT若しくはヘテロ接合バイポーラトランジスタ。

【請求項14】

シリコンの上にIII族窒化物を含む装置を作製する方法であって、
ポーラス状の最上層を含むシリコン基板を準備する工程と、
上記ポーラス状の最上層を有するシリコン基板にGe含有物質を接触させ、それにより上記最上層上にGe又はSiGeからなる第2層を形成する工程と、
上記第2層上に中間層である第3層を形成する工程と、

上記第3層を有するシリコン基板にIII族元素含有物質及びN含有物質を接触させ、それにより上記第3層上にIII族窒化物からなる別の層を形成する工程と、を有することを特徴とする方法。

【請求項15】

上記第3層を形成する工程の前に、上記Ge又はSiGeからなる第2層を熱的にアニールする工程を含むことを特徴とする請求項14記載の方法。

【請求項16】

上記熱的アニール工程が、500～1300の温度で実行されることを特徴とする

請求項 1 5 記載の方法。

【請求項 1 7】

上記第 3 層を有するシリコン基板に III 族元素含有物質及び N 含有物質を接触させる工程が、有機金属化学気相成長プロセスにより実行されることを特徴とする請求項 1 4 ~ 1 6 のいずれかに記載の方法。

【請求項 1 8】

上記工程を 5 0 0 ~ 1 3 0 0 の温度で実行することを特徴とする請求項 1 7 記載の方法。

【請求項 1 9】

上記 III 族元素が Ga または Al であることを特徴とする請求項 1 4 ~ 1 8 のいずれかに記載の方法。

【請求項 2 0】

III 族窒化物からなる別の層を形成する工程が、5 0 0 ~ 1 3 0 0 の間の 2 つの異なる温度で実行されることを特徴とする請求項 1 4 ~ 1 9 のいずれかに記載の方法。

【請求項 2 1】

上記工程の第 1 工程を 4 0 0 ~ 8 0 0 の温度で実行し、続いて 8 0 0 ~ 1 2 0 0 の温度で実行することを特徴とする請求項 2 0 記載の方法。

フロントページの続き

(72)発明者 ステファン・デフローテ

ベルギー、ベ- 3 2 7 1 スヘルペンヘーフェル - ジシエム、ロッベンセストラート 1 8 5 番

(72)発明者 マリアヌヌ・ジェルマン

ベルギー、ベ- 4 0 0 0 リエージュ 1、リュ・ドンセル 2 番

Fターム(参考) 4G077 AA03 BE13 BE15 DB08 EA02 ED04 ED06 EE01 EF02 HA06
HA12 TB05 TC13 TC19 TK01 TK04
4K030 AA11 AA13 BA08 BA38 CA04 CA17 DA02 DA08 FA10
5F045 AA04 AB14 AC08 AC12 AD09 AD10 AD11 AD12 AD13 AD14
AD15 AD16 AF03 BB12 BB13 CA02 CA07 CA09 DA53

【外国語明細書】

1

METHOD FOR DEPOSITING A GROUP III-NITRIDE MATERIAL ON A
SILICON SUBSTRATE AND DEVICE THEREFOR

Field of the invention

5 [0001] The present invention is related to a method for depositing a Group III-nitride material on a silicon substrate and a device therefor. It also relates to devices with epitaxial layers of improved quality.

10 State of the art

[0002] Due to the lack of commercially available GaN substrates, GaN heterostructures are nowadays grown mainly on sapphire and SiC. Si is however a very attractive substrate, gaining more and more interest. Its main
15 advantages are : an acceptable thermal conductivity (half of that of SiC) and its availability in large quantities and large wafer sizes. The most important advantage of Si compared to sapphire and SiC is its very low cost.

[0003] Kuykendall (NanoLetters 2003, Vol. 3, No. 8,
20 1063-10) discloses for instance the formation of GaN nanowires on silicon and sapphire substrates by MOCVD.

[0004] However, the growth of high quality epitaxial GaN layers directly on Si is not straightforward.

[0005] The high lattice mismatch between Si and GaN
25 results in a high dislocation density in the GaN layer. This high dislocation density can be drastically decreased by adapting suitable growth recipes developed for the growth of GaN on sapphire.

[0006] The large difference in thermal expansion
30 coefficient between GaN and Si induces large tensile stress in the GaN film during cooling down from the growth temperature to room temperature, resulting in cracking of the GaN layer. The phenomenon of cracking becomes problematic for layers with a thickness of 1 micron and

more, and thus is detrimental for the performance of (opto)electronic devices.

[0007] Another problem for the growth of GaN directly on Si is the so-called meltback etching process of Ga and Si. At high temperatures, Ga and Si form an alloy, which initiates a strong and fast etching reaction destroying the substrate and the GaN layer. This results in a very rough surface.

[0008] Yet another problem relates to oxide formation on the Si substrate that requires specific attention, such as a careful cleaning just before loading samples in the reactor for the growth of GaN on the substrate.

[0009] A further problem for the growth of GaN on Si is the "bowing" of the substrate. When a layer of GaN is formed on Si, strain generated in the layer of GaN will consequently generate strain in the Si substrate. This results in deformation or the so-called 'bowing' of the Si substrate.

[0010] In patent application WO 03/054939 Aixtron discloses a method for depositing a III-V layer on a non III-V substrate, such as a silicon substrate. A III-V buffer layer or a III-V germination layer is deposited on the substrate by MOCVD.

[0011] For the growth of an active GaN layer, Boufaden et al. (Microelectronics Journal 34 (2003) 843-848) proposed to use a thin AlN layer to improve wetting between GaN and a porous Si/Si substrate. The AlN layer would reduce the lattice mismatch between GaN and Si to 2.5%. Also Orita et al. proposed in US-A-6344375 a buffer layer of AlN between a porous Si layer (PS) and a GaN epitaxial layer.

[0012] Different methods to reduce cracks and threading dislocations have been reviewed in 'GaN-Based

Devices on Si', A. Krost and A. Dadgar, *Phys.Stat.Sol.(a)*, Vol. 194, Issue 2, 2002, pp. 361-375.

[0013] The different approaches proposed to address the above-mentioned problems can be separated in two categories: those using a completely in-situ growth recipe and those requiring ex-situ processing steps followed by subsequent growth steps. The former group is based on strain engineering, using proper seed-, super- or interlayers, to avoid cracking and to reduce as much as possible the threading dislocation density existing in the active GaN layer. The latter group aims at controlling the geometrical distribution of the thermal cracks and of the threading dislocations. ELOG, Pendeo, Cantilever Epitaxy all lead to high quality areas, while other concentrates all the threading dislocations and/or cracks arising from the stress.

Aims of the invention

[0014] The present invention aims to provide a novel method for depositing a Group III-nitride material on a silicon substrate overcoming the problems of the prior art solutions.

[0015] Another aim is to provide devices with a high-quality Group III-nitride epitaxial layer.

[0016] Yet another aim is to provide suitable intermediate template devices for growth of such a high-quality epitaxial Group III-nitride layer.

Summary of the invention

[0017] In a first aspect of this invention a device is disclosed comprising

- a substrate comprising a silicon substrate having a porous top layer,

- a second layer on said top layer, said second layer made of a Ge material, and
- a further layer of a Group III-nitride material on said second layer.

5 [0018] By a "porous top layer" in the present context is meant amongst others a top layer consisting essentially of porous silicon (PS) but also an artificially created porous material, like a castellated or a two-dimensional submicron patterned top layer.

10 [0019] Such "porous top layers" provide a rough, textured, non-flat, preferably 3-D structured surface and a supple skeleton. Voids, bubbles or inclusions may be present under the surface of such porous top layer. The closure of pores at the surface of the porous top layer can
15 lead to the formation of voids, bubbles, inclusions, micropores etc.

[0020] "Porous top layer" means that at least part (possibly essentially all) of the pores are open at the surface of said top layer, but at least part of the pores
20 at the surface may be closed. Alternatively, all pores may be closed and voids, bubbles, inclusions or micropores can be formed in the substrate.

[0021] In an embodiment of the first aspect of this invention, a device as recited in any of the previous
25 embodiments is disclosed wherein the porous top layer comprises at least in part closed pores such as voids, inclusions, bubbles or micropores.

[0022] A gradient in porosity may exist in the porous top layer according to a preferred embodiment of the
30 invention. Preferably the pore size and/or amount of pores increases in a direction away from the surface of the top layer.

[0023] Top layers with at least a double porosity may be advantageous. Hereby is meant that at least two sublayers with different porosity are present in said top layer. The difference may again lay in the size of the pores and/or in the amount of pores.

[0024] It is also possible to have a stacking of layers with a high and low porosity, meaning that layers with a high and low porosity alternate. A high porosity refers to the presence of large pores and/or to the presence of a high amount of pores compared to the presence of small-sized pores and/or the presence of a lower amount of pores (low porosity). Ways of creating layers of high and low porosity are known in the art.

[0025] It may be advantageous to create a separation layer under a high porosity sublayer in contact with a silicon substrate, for instance by high temperature annealing in hydrogen. This separation layer is a highly porous layer and is mechanically very weak. It can easily be broken by little mechanical force, e.g. by ultrasonic treatment or pulling (see e.g. EP 1132952).

[0026] The porous top layer according to the invention typically has a porosity between 10 % and 90 %. It typically has a thickness of between 10 nm and 10 μm , between 10 nm and 3 μm .

[0027] "Porous top layers" according to the invention are able to relax strain after growth. Furthermore, the epitaxial layer can be separated from the substrate by stress release.

[0028] By a "layer made of a Ge material" is meant a layer made of a material that comprises at least Ge.

[0029] In a preferred embodiment of the first aspect of this invention, a device as recited in any of the previous embodiments is disclosed wherein the second layer is made of a SiGe material (a material comprising at least

SiGe). The second layer can be a SiGe layer. The composition of the layer made of a Ge material, preferably a SiGe material, is optionally graded. Advantageously the Ge concentration in said material of said second (graded)
5 layer is increased in a direction away from the substrate.

[0030] In a preferred embodiment of the first aspect of this invention, a device as recited in any of the previous embodiments is disclosed wherein the Group III-nitride material comprises at least GaN. In a preferred
10 embodiment of the first aspect of this invention, a device as recited in any of the previous embodiments is disclosed wherein the Group III-nitride material is GaN.

[0031] Alternatively, the Group III-nitride material may comprise at least AlN or may be AlN. Another
15 possibility is to grow for instance a Group III-nitride epitaxial layer comprising at least AlGaN.

[0032] Advantageously, a device as recited in any of the previous embodiments is disclosed wherein the second layer is in direct contact with said top layer.

20 Advantageously, a device as recited in any of the previous embodiments is disclosed wherein the Group III-nitride layer, for instance a GaN layer, is in direct contact with the second layer.

[0033] In an embodiment of the first aspect of this
25 invention, a device as recited in any of the previous embodiments is disclosed wherein the second layer (made of a Ge material such as SiGe) has a thickness between 1 nm and 1000 nm or 2000 nm, and more preferably between 1 nm and 500 nm, even more preferably between 1 nm and 300 nm,
30 between 10 nm and 200 nm.

[0034] The thickness of a layer of a Ge material preferably is between 1 nm and 100 nm, between 1 nm and 50 nm, between 1 nm and 20 nm, between 1 nm and 15 nm, between 1 nm and 10 nm. The thickness of a layer comprising a Ge

material preferably is between 1 nm and 20 nm, more preferably between 5 and 15 nm, most preferably between 6 and 12 nm.

[0035] In a preferred embodiment of the invention, a device according to the invention is disclosed wherein the top layer is a porous top layer according to the invention, the second layer is made of a SiGe material (e.g. a SiGe layer) and wherein the further layer is a GaN layer. Advantageously the layer of a SiGe material, such as a SiGe layer, is in direct contact with said top layer. Advantageously the GaN layer is in direct contact with this second layer. The thickness of the second layer in the here described embodiment is preferably between 1 nm and 2 micrometer, between 1 nm and 1000 nm, between 1 nm and 500 nm, between 1 nm and 300 nm and between 10 nm and 200 nm.

[0036] Pores in the top layer may be open pores or may present a combination of closed and open pores. As such, another particularly preferred device according to the invention is one wherein the porous top layer according to the invention comprises at least in part closed pores, wherein the second layer is made of a SiGe material (e.g. a SiGe layer) and wherein the further layer is a GaN layer. Substantially all pores (over 70 %, 80% or 90% or 95 % of the pores) may be closed pores.

[0037] Examples of closed pores include but are not limited to bubbles, inclusions, voids or micropores. Micropores have a small diameter of reduced size (compared to the diameter of the initial pores in the porous Si substrate) as a consequence of for instance an annealing step before deposition of a Group III-nitride layer. The temperature of the annealing step is higher than the temperature of the step of depositing the group III-nitride material. The deposition temperatures for GaN is between 500 and 1300 °C, about 1100 °C, about 1050 °C while the

annealing temperature is higher than 1050 °C, higher than 1100 °C , and preferably between 1100°C and 1200°C

[0038] In a preferred embodiment of the invention, a device according to the invention is disclosed wherein the second layer is a layer made of Ge or is a layer made of graded SiGe, and wherein the further layer is a GaN layer. Advantageously the Ge concentration in the graded SiGe increases in a direction away from said substrate.

[0039] The device as recited in any of the previous embodiments can further advantageously comprise an intermediate (third) layer. The intermediate layer is between the second layer (the layer made of a Ge material, like a SiGe material) and the Group III-nitride layer (the further layer). The intermediate layer advantageously is arranged such that it can serve as a basis for the growth of the Group III-nitride layer or as layer from which the growth of the Group III-nitride layer starts. It can advantageously be is kind of a nucleation layer. The intermediate layer, can be a layer with a thickness in the range between 1 nm and 200 nm, between 1 nm and 100 nm and between 1 nm and 50 nm. The intermediate layer can be a flat continuous layer or can be a discontinuous layer comprising for instance islands. The intermediate layer can be an AlN layer.

[0040] In another embodiment of the invention, a device according to the invention is disclosed wherein the second layer is a layer made of Ge or is a layer made of graded SiGe, wherein the intermediate layer is a layer made of AlN, and wherein the further layer is a GaN layer. Advantageously the Ge concentration in the graded SiGe increases in a direction away from said substrate.

In another embodiment of the invention, a device according to the invention is disclosed wherein the second layer a

layer made of SiGe, and wherein the further layer is an AlN layer.

[0041] The invention also relates to a FET, a LED, a laser diode, a HEMT (high electron mobility transistor) or
5 a heterojunction bipolar transistor comprising a device according to the invention recited in any of the previous embodiments of the invention.

[0042] In a specific embodiment of the first aspect of this invention, a device as recited in any of the
10 previous embodiments is disclosed wherein an electronic circuitry is integrated in the silicon substrate. The device may also comprises an optoelectronic element or a FET formed in the Group III-nitride layer.

[0043] A second aspect of this invention relates to
15 a method for forming a device comprising a Group III-nitride material on silicon, comprising the steps of (see Figure 1):

- providing a silicon substrate comprising a porous top layer (as defined),
- 20 - subjecting said silicon substrate with said porous top layer to a Ge comprising substance, thereby forming a (second) layer of a Ge material on said top layer,
- subjecting the silicon substrate with the layer of a Ge material to a substance comprising a Group III
25 element and a substance comprising N, thereby forming a further layer of a Group III-nitride material on said second layer.

[0044] In a preferred embodiment of the second aspect of this invention, a method as recited in any of the
30 previous embodiments is disclosed wherein the method further comprises the step of thermally annealing the layer made of a Ge material prior to the step of subjecting the silicon substrate with said layer of a Ge material to a

substance comprising a Group III element and a substance comprising N (optional step in Figure 1). Advantageously the step of thermally annealing is performed at a temperature between 500°C and 1300°C and more
5 advantageously between 500°C and 1100°C.

[0045] Preferably the step of subjecting the silicon substrate with the porous top layer to a substance comprising Ge is performed by plasma enhanced chemical vapour deposition (PECVD), thermal evaporation, close space
10 vapour transport or molecular beam epitaxy.

[0046] Advantageously after deposition of the second layer, the (intermediate) device may be stored for a predetermined period, id est for hours, weeks, months or even years, without the necessity of having to store the
15 device under a protective atmosphere (like a N₂ atmosphere). As such, advantageously, a method as recited in any of the previous embodiments is disclosed wherein an intermediate device is stored after the step of forming the second layer on said top layer., [0047] Preferably the step
20 of subjecting the silicon substrate with the layer of a Ge material to a substance comprising a Group III element and a substance comprising N is performed by a metal organic chemical vapour deposition (MOCVD) process. This step is typically performed at a temperature between 500°C and
25 1300°C, between 1000 and 1100 °C, and preferably at 1050°C. In another embodiment, the step of subjecting the silicon substrate with the layer of a Ge material to a substance comprising a Group III element and a substance comprising N is performed by a molecular beam epitaxy (MBE) or Hydride
30 vapour phase epitaxy (HVPE).

In another embodiment, the step of subjecting the silicon substrate with the layer of a Ge material to a substance comprising a Group III element and a substance comprising N is preceded by an annealing step. The annealing step

results in the formation of a stable layer. For example, the structure of the porous top layer and the second layer can change during the annealing step. Consequently, the underlying layers will be less susceptible for structural changes (such as, but not limited hereto, changing of the pores structure)during the step of subjecting silicon substrate with the layer of a Ge material to a substance comprising a Group III element and a substance comprising N. Also, after the annealing step, the second layer will be a layer made SiGe.

[0048] In a preferred embodiment of the second aspect of this invention, a method as recited in any of the previous embodiments is disclosed, wherein the Group III element is Ga. Most preferably the Group III-nitride is GaN. The Group III nitride material can also be Al N or AlGaN.

[0049] In another preferred embodiment of the second aspect of this invention, a method as recited in any of the previous embodiments is disclosed, wherein the Group III element is Al, and the Group III-nitride AlN.

[0050] In a preferred embodiment of the second aspect of this invention, a method as recited in any of the previous embodiments is disclosed, wherein said method further comprises the step of forming an intermediate layer between the step of subjecting said silicon substrate with said porous top layer to a substance comprising Ge and the step of subjecting said silicon substrate with said layer of a Ge material to a substance comprising a Group III element and a substance comprising N. Advantageously an intermediate AlN layer is hereby formed.

[0051] The AlN layer can be deposited by MOCVD in the MOCVD reactor at high temperature such as between 900° C and 1200°. Alternatively, the AlN layer can be grown at low temperature such as between 400° C and 900°C, between

500° C and 800°C, followed y a thermal anneal step. [0052]

In a preferred embodiment of the second aspect of this invention, a method as recited in any of the previous embodiments is disclosed, wherein the deposition
5 of a Group III-nitride layer, such as a GaN layer, is performed at two different temperatures between 500°C and 1300°C. Advantageously, the first part of said deposition step is performed at a lower temperature, (e.g. a temperature of between 400°C and 800°C, of between 400°C
10 and 700°C, of between 400°C and 600°C) followed by a step at higher temperature (e.g. a temperature of between 800°C and 1200°C, of between 800°C and 1100°C, of between 800 and 1000°C).

[0053] A third aspect of the invention relates to a
15 device obtainable by any of the above described methods. Examples of such devices, obtainable by any of the above disclosed methods according to the invention, are given in the section related to the first aspect of the invention.

[0054] A fourth aspect of this invention relates to
20 a method for forming an (intermediate) template device for the deposition of a Group III-nitride material, said method comprising the steps of

- providing a silicon substrate comprising a porous top layer,
- 25 - subjecting said silicon substrate with porous top layer to a substance comprising Ge, thereby forming on said top layer a second layer, said second layer made of a material comprising Ge,
- optionally followed by the step of thermally annealing
30 said (second) layer made of a material comprising Ge.

[0055] Preferred embodiments with respect to ways of forming the different layers, their composition and

thickness have been described in the sections related to aspects 1 to 3 of the present invention.

[0056] This method results in a template device highly suitable for the deposition of a Group III-nitride material, said template device comprising a substrate that comprises a silicon substrate having a porous top layer, and on said top layer a second layer, said second layer made of a material comprising Ge. Advantageously, said top layer is arranged such that a Group III-nitride material can be deposited on said second layer. Advantageously at least part of the pores of the top layer may be closed pores. Still a further aspect of the invention relates to template devices obtainable by a method of forming such template device according to the invention.

[0057] Yet a further aspect of the present invention relates to the use of an (intermediate) template device for the deposition of a Group III-nitride material, said template device comprising a substrate that comprises a silicon substrate having a porous top layer, and a second layer on said top layer, said second layer made of a material comprising Ge. Advantageously, said top layer is arranged such that a Group III-nitride material can be deposited on said second layer. Advantageously at least part of the pores of the top layer may be closed pores or pores with reduced diameter. Possible thickness and/or layer composition, etc are as indicated in the sections related to the first and second aspect of the present invention.

30 Short description of the drawings

[0058] Fig. 1 represents a flow chart showing the (mandatory and optional) steps of the method. Optional steps are indicated by a dotted line.

[0059] Fig. 2 represents a pSi formation set up.

[0060] Fig. 3a represents the reflectivity as a function of time. Fig. 3b represents XRD measurements.

[0061] Figure 4 represents a porous silicon substrate with a gradient in porosity, from low to high
5 porosity.

[0062] Figure 5 represents a porous silicon substrate, comprising a silicon substrate (53), a layer of low (51) and high (52) porosity.

[0063] Figures 6a-f represent different steps in the
10 formation of a porous top layer on a silicon [001] substrate by way of anodisation in a HF-based solution as described for instance in EP 1132952. The numeral 61 indicates the silicon substrate, 62 indicates pores, 63 indicates the point of reaction, 64 indicates a hydrogen
15 molecule and 65 is the direction of the hydrodynamic force exerted by the molecule.

Detailed description of the invention

[0064] The present invention is described in detail
20 in the sequel. It is apparent however that a person skilled in the art can imagine several other equivalent embodiments or other ways of executing the present invention.

[0065] For the purpose of this invention, when a layer is referred to as being "on" or "over" another layer
25 or substrate, it is meant that the layer is directly on the other layer or substrate or that an intermediate layer is present. When a layer is referred to as being "in direct contact with" another layer or substrate, it is meant that there is no intermediate layer present between the two
30 layers or between the layer and the substrate.

[0066] For the purpose of this invention, a Group III-nitride material is a material comprising a nitride of an element of Group III of the periodic table of elements. A Group III-nitride material can be GaN, whereby GaN is to

be understood as a material comprising at least GaN, such as, but not limited hereto, AlN, AlGa_n, InGa_n, AlInGa_n, GaAsPN and the like. The device as recited in this invention can also comprise a diamond layer instead of a
5 Group III-nitride material.

[0067] A silicon substrate is a substrate comprising silicon. In a specific embodiment the silicon substrate is a silicon wafer. The silicon substrate can comprise a porous top layer according to the invention (as defined
10 above).

[0068] By "castellated" is meant that the cross section of the substrate at the major surface is characterized by steep hills and valleys, the tops of the hills defining flat plateau surface portions that are
15 mutually separated from one another by gaps formed by the valleys. Advantageously, each of the plateaus has a maximum lateral extent of less than a micron, preferably of less than 200 Angstrom and most preferably of less than 100 Angstrom, with respect to any direction along the top
20 surface of the plateau. Preferably, neighbouring plateaus are separated from one another by gaps of at least 30 Angstrom, more preferably of at least 60 Angstrom wide.

[0069] By "two-dimensionally submicron patterned" is meant that the surface is characterized by flat plateaus of
25 any arbitrary shape, each plateau having a maximum lateral extent with respect to any direction along the top surface of the plateau of less than a micron, with gaps formed by grooves located between the plateaus, for example, as obtained by nanometer lithography described by Douglas et
30 al. (Applied Physics Letters (1986), vol 48 (10) 676-678) (~~see US-A-4806996~~).

[0070] The term "pores" in the present context extends to the "gaps", "valleys" or "grooves" as described above. The "pores" in the porous top layer according to the

invention may be open pores , closed pores or may present a combination of open and closed pores such as bubbles, inclusions, voids or micropores.

[0071] In a first aspect of this invention, a device
5 is disclosed, the device comprising

- a substrate comprising a silicon substrate having a porous top layer, said second layer made of a Ge material, and
- a further layer of a Group III-nitride material on
10 said second layer.

[0072] Preferably, the second layer comprises SiGe. The Group III-nitride material preferably comprises at least GaN. Preferably the Group III-nitride material is GaN. Alternatively, the Group III-nitride material may comprise
15 at least AlN or be AlN.

[0073] The lattice mismatch between Si and a Group III nitride material is very high. By adding Ge to Si and performing an annealing step a layer of SiGe is formed, having an even higher lattice mismatch.

20 [0074] Also the difference in thermal expansion coefficient between the two materials (Si and a Group III-nitride material) is very high, resulting in extra stress in the Group III-nitride layer such as a GaN layer during cooling down after the GaN deposition.

25 [0075] The difference in thermal stress between Si and the group III nitride material, preferably GaN, will decrease when a SiGe layer is formed between Si and the Group III-nitride material. Consequently, the occurrence of cracks in the group III nitride material layer is decreased.

30 [0076] On one hand, the layer of a Ge material thus drastically reduces thermal stress, which in fact appears to be the major bottleneck for growth of a Group III-

nitride material such as GaN on Si and not the lattice mismatch.

[0077] Dislocations in the Group III-nitride material such as GaN layer may still occur. This problem
5 can be solved by the use of a porous Si layer according to the invention, which is very flexible. The porous Si layer according to the invention will allow the substrate to accommodate to the large lattice mismatch between silicon and the Group III-Nitride layer, and thus reduces the
10 dislocation density in the latter layer. Moreover, use of the substrate according to the invention will avoid cracks of the Group III-nitride layer during cooling of the device. A further advantage is the fact that "bowing" of the substrate is avoided.

15 [0078] The substrate choice (silicon with a porous layer according to the invention) is not straightforward : Porous Si is thermally instable (it can deform at high temperatures) and can absorb moisture from the environment.

[0079] The layer of a Ge material is deposited at a
20 temperature 300 °C and 800 °C, preferably at 500 °C, in contrast to the high depositions temperatures for AlN and GaN standardly used in the art.

[0080] On the other hand, a Ge layer thus mainly acts as a protective layer to avoid oxidation of the porous
25 Si according to the invention. Consequently the structural modification of the porous Si layer is avoided. GaN layers or AlN layers grown directly on a silicon substrate according to the invention would not prevent oxidation of the porous Si substrate. [0081] In addition, the
30 deoxidation temperature of Ge is much lower than the critical temperature at which porous Si recrystallises into (bulk) Si with voids, whereas the deoxidation temperature of Si is well above this transition temperature. Voids can be considered as micropores in the porous Si.

[0082] The Ge interlayer will also prevent nitridation of the Si substrate so that no or a minimal amount of amorphous SiNx compounds can be formed at the interface. Formation of amorphous thick SiNx materials is highly disadvantageous with respect to further epitaxial growth of the device. The Ge interlayer also reduces the intermixing of Ga and Si and thus prevents meltback etching.

[0083] The advantageous effects of a second layer made of a Ge material according to the invention are obtained already when a very thin layer of a material comprising Ge is applied on top of a Si substrate with a top layer according to the invention, for instance a layer with a thickness of between 1 and 20 nm, 5 and 15 nm, 6 and 12 nm.

[0084] A device as obtainable by a method according to the invention is a device of high quality.

[0085] It was found that a layer of a Ge comprising material on a Si substrate having a top layer according to the invention provides a surface that is highly suited for the epitaxial growth of high-quality wide band gap Group III-nitride semiconductor materials, in particular for the growth of GaN. Epitaxial layers of high quality were obtained as such, with excellent crystallinity, very few cracks and reduced bowing compared to growth on a non-porous Si substrate without Ge layer.

[0086] Below some preferred devices according to the invention are described:

[0087] A first such device is one that comprises :

- a substrate comprising a silicon substrate having a porous top layer,
- on said porous top layer a second layer, said second layer made of material comprising SiGe, and
- a GaN layer on this second layer.

[0088] Pores in said porous layer may be open pores, or may be a combination of closed and open pores.

[0089] In an embodiment of the invention the layer of a SiGe material (a material comprising at least SiGe) is
5 in direct contact with said top layer. In a specific embodiment the GaN layer is in direct contact with the layer of a SiGe material. The second layer advantageously is a SiGe layer.

[0090] The thickness of the layer of a SiGe material
10 in the here described embodiment is between 1nm and 2 micrometer, between 1 nm and 1000 nm, between 1 nm and 500 nm, between 1 nm and 300 nm and between 10 nm and 200 nm.

[0091] Another preferred device is one that comprises :

- 15 - a substrate comprising a silicon substrate having a porous top layer comprising at least in part closed pores,
- on said top layer a second layer, said second layer made of material comprising SiGe, and
20 - a further GaN layer on this second layer.

The second layer advantageously is a SiGe layer.

[0092] The substrate comprising a silicon substrate having a top layer comprising at least in part closed pores, for instance voids, is for instance formed after deposition
25 of the GaN layer and cooling down. During the first step in the deposition process of GaN (this is the annealing step) the porous silicon layer is transformed into bulk Si comprising voids.

[0093] The invention also discloses a device
30 comprising a substrate and a layer of a Group III-nitride material. In an embodiment the device comprises :

- a substrate comprising a silicon substrate having a porous top layer,

- on said top layer a second layer, said second layer being a Ge layer or a graded SiGe layer, and
- a GaN layer on said second layer.

[0094] Advantageously, the second layer made of Ge material, like a Ge layer or a layer made of graded SiGe, is in direct contact with said top layer. Advantageously, the Ge concentration in said graded SiGe increases in a direction away from said substrate. Advantageously the GaN layer is in direct contact with the second layer.

5 [0095] The porous Si layer and the Ge layer will diffuse, resulting in the formation of a SiGe layer, possibly a graded SiGe layer, at least in the lower part of the layer, id est the part near the Si substrate.

[0096] The thickness of the Ge layer or of the graded SiGe layer in the here described embodiment is between 1 nm and 1000 nm, between 1 nm and 500 nm, between 1 nm and 300 nm and between 10 nm and 200 nm. More preferably, the thickness of the Ge layer or of the graded SiGe layer is between 1 and 100 nm, between 1 and 50 nm, between 1 and 20 nm, between 1 and 15 nm, between 1 and 10 nm.

[0097] The substrates according to the invention, disclosed in any of the above embodiments, are very useful for the epitaxial growth of high-quality wide band gap Group III-nitride semiconductor materials, in particular for the growth of GaN. In particular, substrates prepared according to a method comprising an annealing step and/or comprising a Group III-nitride deposition in two steps (a first step at a lower temperature, followed by further growth at higher temperatures) and/or with a Ge layer are highly suitable for these purposes.

[0098] All of the above described devices can be at least a portion of a device region. The device can be part

of a FET, a LED, a laser diode, a HEMT or a heterojunction bipolar transistor.

[0099] In another aspect of the invention the use of e.g. a Si/pSi/SiGe substrate for the growth of a Group III-nitride material is disclosed, where pSi denotes porous Si according to the invention. The Si/pSi/SiGe substrate, also referred to as template device, comprises a silicon substrate having a porous top layer and a layer of a SiGe material (second layer) on said top layer. The term "Si/pSi/SiGe substrate" in fact refers to all template devices disclosed in the present invention, id est devices with a layer made of a Ge material (preferably a SiGe layer) as second layer.

[0100] By using the Si/pSi/SiGe substrate according to the invention for the growth of Group III-nitride materials, the problems of the prior art solutions are solved. Moreover, the Si/pSi/SiGe substrate of the invention, preferably with at least part of the pores closed, can be formed and stored until deposition of the Group III-nitride material. The storage can be for a few hours, a few days, a month or even longer.

[0101] In a further aspect of this invention, a method for forming a template device as described above is disclosed. The method comprises the steps of :

- 25 - providing a silicon substrate comprising a porous top layer,
- subjecting said silicon substrate with said porous top layer to a substance comprising Ge, thereby forming on said top layer a second layer, said second layer made of a material comprising Ge, preferably
- 30 - followed by the step of thermally annealing said layer made of a material comprising Ge.

[0102] The step of providing a silicon substrate and the step of subjecting said silicon substrate to a Ge comprising substance can be performed and the resulting substrate can be stored. The step of subjecting said
5 substrate with said layer of a Ge material to a Group III element comprising substance and an N comprising substance can be performed when the device needs to be further processed.

[0103] Advantageously said annealing step is
10 performed prior to subjecting said silicon substrate with said layer of a Ge material to a Group III element comprising substance and an N comprising substance. In a preferred embodiment the Group III element is Ga. Alternatively the Group III element may be Al.

15 [0104] The step of thermally annealing said layer of a Ge material prior to the step of subjecting said layer to a Group III (e.g. Ga) comprising substance results in the removal of the oxide (formed on the Ge layer) and the formation of a layer of a SiGe material, possibly a graded
20 SiGe material, on the porous Si top layer. The thermally annealing step is advantageously performed at a temperature between 500°C and 1300°C, preferably between 500°C and 1100°C.

[0105] The step of subjecting the silicon substrate
25 with the porous top layer to a Ge comprising substance avoids the formation of SiO₂ on the porous top layer. From the prior art (see '*Atmospheric impregnation of porous silicon at room temperature*', Canham et al., *J. Appl. Phys.* 70(1), July 1991, pp. 422-431), it is known that a clean
30 fluorinated hydride surface of freshly etched silicon substrates is converted to a contaminated native oxide during the exposure to ambient air for longer time, resulting in a continuous modification of the structural properties.

[0106] The method of the invention may further comprise the step of subjecting said silicon substrate with said Ge layer to a Group III element comprising substance and an N comprising substance, thereby forming a Group III-nitride layer on the second layer.

[0107] The method can further comprise the step of forming an intermediate (third) layer between the second layer of a Ge material and the Group III-nitride layer (the further layer). The intermediate layer advantageously is arranged such that it can serve as a basis for the growth of the Group III-nitride layer or as layer from which the growth of the Group III-nitride layer starts. The intermediate layer can be a layer with a thickness in the range between 1 nm and 200 nm, between 1 nm and 100 nm and between 1 nm and 50 nm. The intermediate layer can be a flat continuous layer or a discontinuous layer comprising islands. The intermediate layer can be an AlN layer.

[0108] The intermediate AlN layer can introduce reasonable compressive stress in the GaN layers grown over it, which during cooling down of the heterostructures compensate large thermal tensile stress due to thermal mismatch and further reduce cracking.

The thickness of the AlN layer is between 1 nm and 2 micrometer, between 10 nm and 1000 nm, between 10 nm and 500 nm. The AlN layer is grown at a temperature between 500C and 900C or between 900C and 1100C.

[0109] The step of subjecting the silicon substrate with the porous top layer to a Ge comprising substance can be performed by plasma enhanced chemical vapour deposition (PECVD), thermal evaporation, close space vapour transport or molecular beam epitaxy.

[0110] Deposition of a Ge layer typically takes a few seconds. After the process of preparing a porous silicon substrate, this substrate with porous top layer

according to the invention may be stored for a few seconds, for minutes or a few hours (up to 2 hours) under a protective atmosphere (like an N₂ atmosphere), whereafter the layer of a Ge material is then deposited.

5 [0111] For the step of subjecting said Ge layer to a Group III element comprising substance and a N comprising substance to grow a Group III-nitride layer, the wafer is preferably loaded in a metal organic chemical vapour deposition (MOCVD) reactor. The wafer can also be loaded
10 in an MBE reactor or a HVPRE reactor. Prior to deposition the substrate is annealed in H₂ atmosphere for instance to remove the oxide. During this annealing step a stable epitaxial Ge-silicide layer is formed.

[0112] The substance comprising a Group III element
15 can be TMGa (trimethyl Gallium) while the N comprising substance can be NH₃. In an embodiment the step of subjecting said layer of a Ge material to a Group III element comprising substance and a N comprising substance can be performed at a temperature between 500°C and 1300°C,
20 preferably between 1000°C and 1100°.

[0113] Alternatively the step of subjecting said
layer of a Ge material to a Group III element comprising substance and a substance comprising N can be performed at two different temperatures between 500°C and 1300°C. The
25 first part of the step may be performed at a lower temperature, (e.g. a temperature of between 400°C and 800°C) followed by a step at higher temperature (e.g. a temperature of between 800°C and 1200°C).

[0114] The step of subjecting said layer of a Ge
30 material to a substance comprising a Group III element and a substance comprising N results in the formation of a layer of Group III-nitride material. Advantageously the layer of Group III-nitride material is a material comprising at least GaN. Alternatively, the layer of Group

III-nitride material may be a material comprising at least AlN.

[0115] In an embodiment, the substrate can be formed starting from a Si wafer, of which the top layer is made porous by a method known to a person skilled in the art. In an embodiment the top layer can be made porous for instance by an anodic reaction with concentrated hydrofluoric (HF) acid.

10 Example :

[0116] Porous Si (pSi) is obtained by anodisation in a HF-based solution, using a two-electrode configuration (see figure 2) with a silicon working electrode (24) and a platinum counter electrode (23). Acetic acid is added to the HF as a surfactant to allow an efficient removal of the hydrogen bubbles formed during the pSi formation and results in a more homogeneous pSi layer. During the anodisation of the Si(111) substrate (21), the electrochemical dissolution of the Si atoms occurs in the vicinity of the interface between the already formed pSi layer and the Si substrate. Therefore the thickness of the pSi layer is controlled by the etching time. The relevant parameters for the pore formation are the current density, the doping type and level of the substrate, the electrolyte concentration and the possible illumination of the wafer. Since holes at the electrode surface are required for the dissolution of silicon, p-type silicon is readily etched in the dark, while with n-type material illumination is required. Porous layers with a porosity ranging from 10% to 90% and a thickness varying from 10 nm to a few micrometers can easily be achieved. This process results in homogenous porous layers over large wafer areas. Fig.2 shows a pSi formation set up. 21 refers to the silicon substrate, 22 refers to the Teflon beaker, 23 to the Platinum electrode, 24

to the silicon anode and 25 refers to the back contact.
The specific process conditions are :

anodisation 2" p-Si(111)

thickness : 280 nm

5 resistivity : 0.01 Ωcm

chemical solution : 2 HF / 3 Acetic Acid

current density : 75 mA/cm^2

This process results in 1.7 μm porous Si layer with a porosity of ~30%.

10 Figure 4 refers to a porous Si [001] substrate obtained by the method as described above.

Figure 5 represents a porous silicon [001] substrate, comprising a silicon substrate (53), a layer of low (51) porosity and a layer of high (52) porosity.

15 Figures 6a-f represent different steps in the formation of a porous top layer on a silicon [001] substrate by way of anodisation in a HF-based solution as described for instance in EP 1132952. The numeral 61 indicates the silicon substrate, 62 indicates pores, 63 indicates the
20 point of reaction, 64 indicates a hydrogen molecule and 65 is the direction of the hydrodynamic force exerted by the molecule.

[0117] After the pSi formation the wafer is thoroughly rinsed in DI-water until no traces of the
25 electrolyte remain. The substrate is subsequently dried with N_2 and immediately loaded in a vacuum system to deposit the Ge layer. Immediately meaning that no oxidation of the porous Si occurs. The Ge is deposited in a Plasma Enhanced CVD system at a moderate temperature of about
30 500°C and has a thickness in the range of 10 to 100 nm. PECVD results in the formation of epitaxial Ge layers on top of the Si substrate, as can be concluded from XRD analysis of the PECVD Ge layer. Fig.3 shows a reflectivity

and XRD measurement illustrating the growth of an epitaxial layer of GaN on top of the pSi (111).

[0118] This step is followed by a degassing and annealing step at 1125 degrees C, resulting in the
5 formation of a SiGe layer.

[0119] In a next step, the substrate is subjected to TMAI and NH₃ in an MOCVD reactor and an intermediate layer of AlN is formed at 1100 degrees C (rate : 7.5 nm/min, thickness 200 nm).

10 [0120] After depositing the Ge layer, the substrate is loaded in a MOCVD reactor. The substrate is subjected to TMGa and NH₃ at 1020 degrees C (rate 10 nm/min, thickness 1 μm). The resulting reflectivity (fig. 3a) and XRD measurements (Fig. 3b) show that a smooth epitaxial GaN
15 layer is formed on top of the porous Si(111).

CLAIMS

1. A device comprising

- a substrate comprising a silicon substrate having a porous top layer,
- 5 - a second layer on said top layer, said second layer made of a Ge material, and
- a further layer of a Group III-nitride material on said second layer.

2. A device as in claim 1, wherein said
10 second layer is made of material comprising at least SiGe.

3. A device as in any of the previous claims, wherein said second layer is a SiGe layer.

4. A device as in any of the previous claims, wherein the composition of said second layer is graded.

15 5. A device as in any of the previous claims, wherein the Ge concentration in said material of said second layer is increased in a direction away from said substrate.

6. A device as in any of the previous claims,
20 wherein said Group III-nitride material is GaN or AlN.

7. A device as in any of the previous claims, wherein said second layer is in direct contact with said porous top layer.

8. A device as in any of the previous claims,
25 further comprising a third layer positioned between said second layer and said further layer.

9. A device as in any of the previous claims, wherein said porous top layer comprises at least in part closed pores such as bubbles, voids, inclusions or
30 micropores.

10. A device as in any of the previous claims, wherein said porous top layer has a porosity of between 10 and 90 %.

11. A device as in any of the previous claims, wherein said porous top layer has a thickness of between 10 nm and 3 μm .

5 12. A device as in any of the previous claims, wherein said second layer has a thickness of between 1 nm and 1000 nm.

13. A device as in any of the previous claims, wherein said second layer has a thickness of between 1 nm and 20 nm, preferably of between 5 and 15 nm.

10 14. A device as in any of the previous claims, wherein the second layer is a layer made of a SiGe material and wherein the further layer is a GaN layer.

15 15. A device as in any of claims 1 to 14, wherein the porous top layer comprises at least in part closed pores, such as bubbles, voids or micropores, wherein the second layer is a layer made of a SiGe material and wherein the further layer is a GaN layer.

20 16. A device as in any of claims 1 to 14, wherein the second layer is a layer made of Ge or is a layer made of graded SiGe, the Ge concentration in said graded SiGe increasing in a direction away from said substrate; and wherein the further layer is a GaN layer.

25 17. A FET, a LED, a laser diode, a HEMT or a heterojunction bipolar transistor comprising a device as in any of the previous claims.

18. A device as in any of the previous claims, wherein an electronic circuitry is integrated in said silicon substrate.

30 19. A device as in any of the previous claims, wherein an optoelectronic element or a FET is formed in the Group III-nitride layer.

20. Method for forming a device comprising a Group III-nitride material on silicon, comprising the steps of

- providing a silicon substrate comprising a porous top layer (as defined),
- subjecting said silicon substrate with said porous top layer to a Ge comprising substance, thereby forming a
5 (second) layer of a Ge material on said top layer,
- subjecting the silicon substrate with the layer of a Ge material to a substance comprising a Group III element and a substance comprising N, thereby forming
10 a further layer of a Group III-nitride material on said second layer.

21. Method as in claim 20, further comprising the step of thermally annealing said second layer of a Ge material prior to the step of subjecting said silicon substrate with said layer of a Ge material to a substance
15 comprising a Group III element and a substance comprising N to form a further layer of a Group III-nitride material.

22. Method as in claim 21, wherein said step of thermally annealing is performed at a temperature between 500°C and 1300°C.

20 23. Method as in claim 21 or 22, wherein said step of thermally annealing is performed at a temperature between 500°C and 1100°C.

24. Method as in any of claims 20 to 23, wherein the step of subjecting said silicon substrate with
25 said porous top layer to a substance comprising Ge is performed by plasma enhanced chemical vapour deposition, thermal evaporation, close space vapour transport or molecular beam epitaxy.

25. Method as in any of claim 20 to 24
30 wherein an intermediate device is stored after the step of forming the second layer on said top layer, this step of storing preferably preceded by an annealing step.

26. Method as in any of claims 20 to 25, wherein the step of subjecting said silicon substrate with said layer of a Ge material to a substance comprising a Group III element and a substance comprising N is performed
5 by a metal organic chemical vapour deposition process.

27. Method as in claim 26, wherein said step is performed at a temperature between 500°C and 1300°C.

28. Method as in claim 26 or 27, wherein said step is performed at a temperature between 1000°C and
10 1100°C.

29. Method as in any of claims 20 to 28, wherein said Group III element is Ga.

30. Method as in any of claims 20 to 29, wherein said Group III-nitride material is GaN.

31. Method as in any of claims 20 to 28, wherein said Group III element is Al.
15

32. Method as in any of claims 20 to 28 or 31, wherein said Group III-nitride material is AlN.

33. Method as in any of claims 20 to 32
20 further comprising the step of forming an intermediate layer, such as an AlN layer, between the step of subjecting said silicon substrate with said porous top layer to a substance comprising Ge and the step of subjecting said silicon substrate with said layer of a Ge material to a
25 substance comprising a Group III element and a substance comprising N.

34. Method as in any of claims 20 to 33, wherein the deposition of a Group III-nitride layer, such as a GaN layer, is performed at two different temperatures
30 between 500°C and 1300°C.

35. Method as in claim 34 wherein the first part of said deposition step is performed at a temperature of between 400°C and 800°C followed by a step at temperature of between 800°C and 1200°C).

36. A method for forming a template device for the deposition of a Group III-nitride material, said method comprising the steps of

- 5 - providing a silicon substrate comprising a porous top layer,
- subjecting said silicon substrate porous top layer to a substance comprising Ge, thereby forming on said top layer a second layer, said second layer made of a material comprising Ge,
- 10 - followed by the step of thermally annealing said layer made of a material comprising Ge.

37. Method as in claim 36 further comprising the step of storing the device for a predetermined time, preferably after the annealing step.

- 15 38. Use of a template device for the deposition of a Group III-nitride material, said template device comprising a substrate that comprises a silicon substrate having a porous top layer, and on said top layer a second layer, said second layer made of a material
- 20 comprising Ge.

ABSTRACTMETHOD FOR DEPOSITING A GROUP III-NITRIDE MATERIAL ON A
SILICON SUBSTRATE AND DEVICE THEREFOR

5

The present invention is related to a device comprising

- a substrate comprising a silicon substrate having a porous top layer,
- 10 - a second layer on said top layer, said second layer made of a material comprising Ge, and
- a further layer of a Group III-nitride material on the second layer.

15

The present invention further is related to methods of production and to intermediate or template devices highly suitable for the epitaxial growth of a high quality Group III-nitride layer.

20

(Figure 3)

- substrate + patterned top layer
- substance comprising Ge
- thermal annealing
- substance comprising groupIII el.
substance comprising N

Fig.1

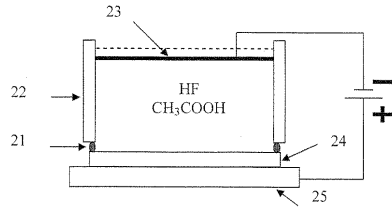


Fig.2

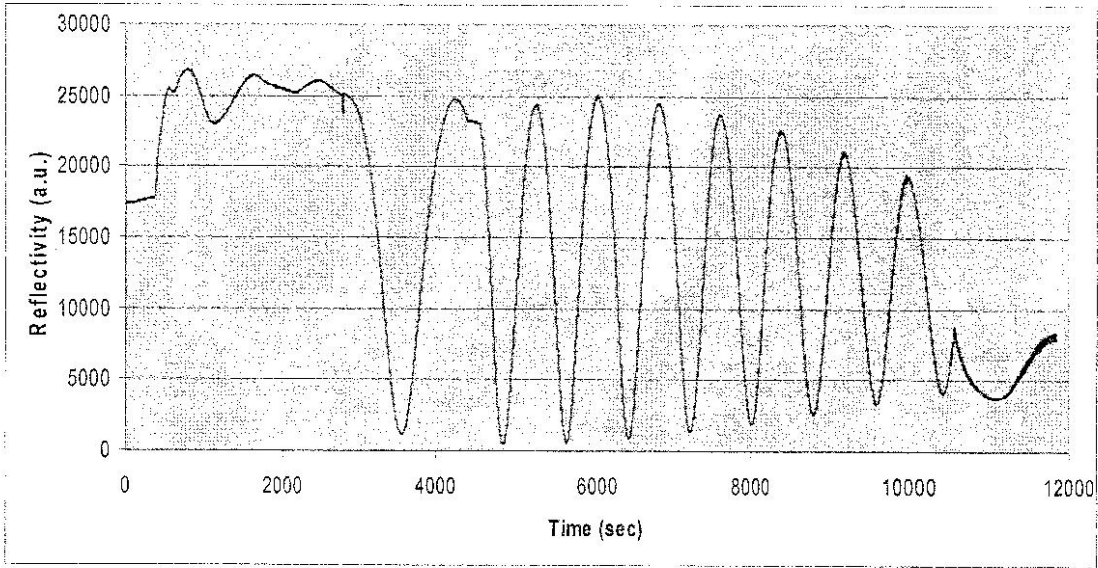


Fig. 3a

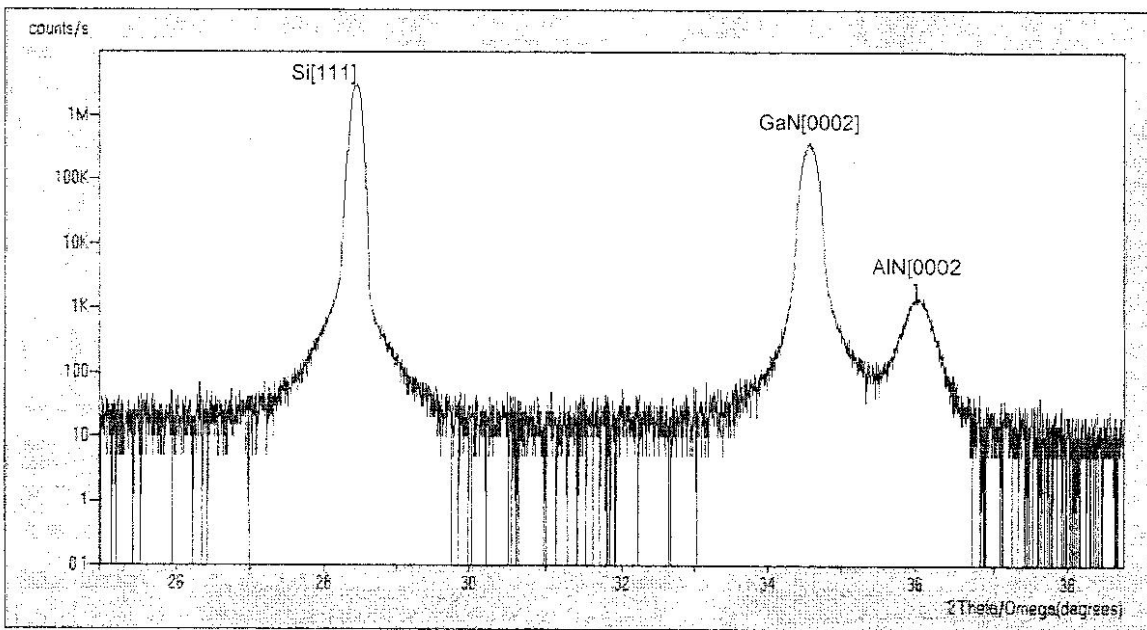


Fig. 3b

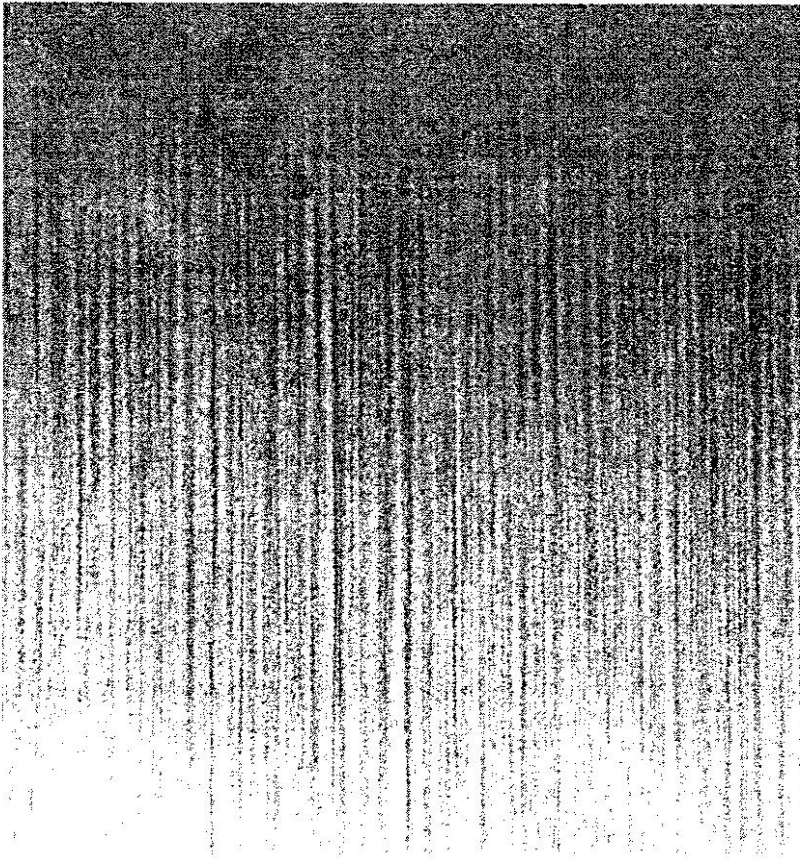


Fig.4

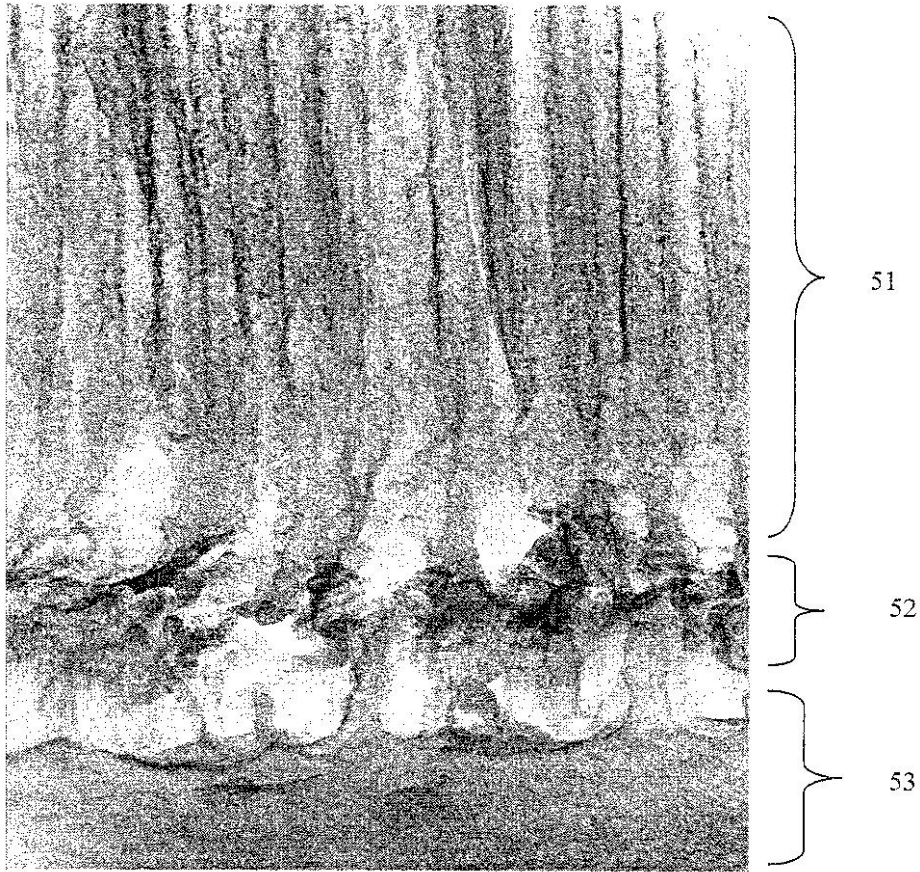


Fig.5

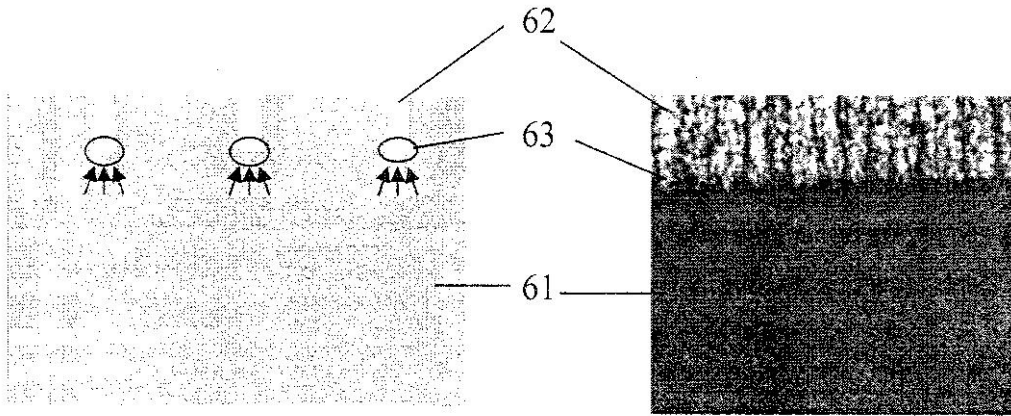


Fig. 6a

Fig. 6b

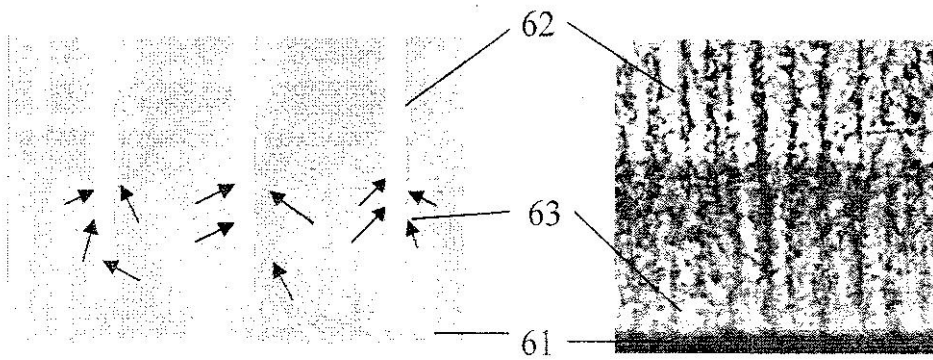


Fig. 6c

Fig. 6d

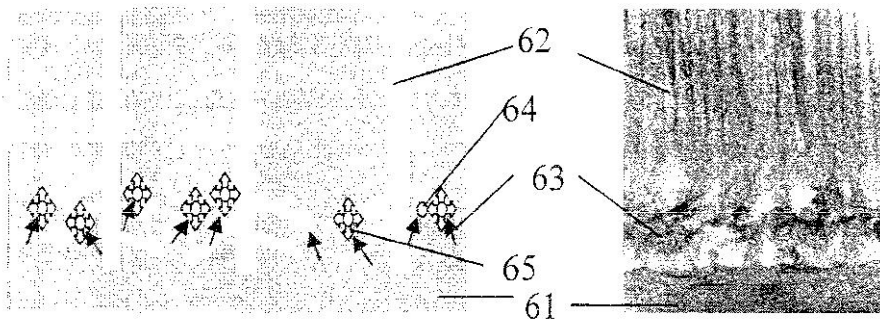


Fig. 6e

Fig. 6f