

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 29 日 (29.11.2018)



(10) 国际公布号
WO 2018/214645 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2018/081094
- (22) 国际申请日: 2018 年 3 月 29 日 (29.03.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710364266.8 2017年5月22日 (22.05.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号, Beijing
100015 (CN)。鄂尔多斯市源盛光电有限责任
公司 (ORDOS YUANSHEG OPTOELECTRONICS
CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔
多斯市东胜区鄂尔多斯装备制造基地,
Inner Mongolia 017020 (CN)。
- (72) 发明人: 张伟(ZHANG, Wei); 中国北京市北京经
济技术开发区地泽路9号, Beijing 100176 (CN)。
李慧(LI, Hui); 中国北京市北京经济技术开发区

地泽路9号, Beijing 100176 (CN)。石天雷(SHI,
Tianlei); 中国北京市北京经济技术开发区地
泽路9号, Beijing 100176 (CN)。郭钟旭(KWAK,
Jonguk); 中国北京市北京经济技术开发区地
泽路9号, Beijing 100176 (CN)。方业周(FANG,
Yezhou); 中国北京市北京经济技术开发区地
泽路9号, Beijing 100176 (CN)。张文龙(ZHANG,
Wenlong); 中国北京市北京经济技术开发区地泽
路9号, Beijing 100176 (CN)。张绪(ZHANG, Xu);
中国北京市北京经济技术开发区地泽路9号,
Beijing 100176 (CN)。牛志军(NIU, Zhi jun); 中
国北京市北京经济技术开发区地泽路9号, Beijing
100176 (CN)。姜瑞泽(JIANG, Ruize); 中国北京
市北京经济技术开发区地泽路9号, Beijing 100176
(CN)。任艳伟(REN, Yanwei); 中国北京市北京经
济技术开发区地泽路9号, Beijing 100176 (CN)。
刘宇(LIU, Yu); 中国北京市北京经济技术开发
区地泽路9号, Beijing 100176 (CN)。

(54) Title: ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING SAME, AND DISPLAY DEVICE

(54) 发明名称: 一种阵列基板及其制造方法、显示装置

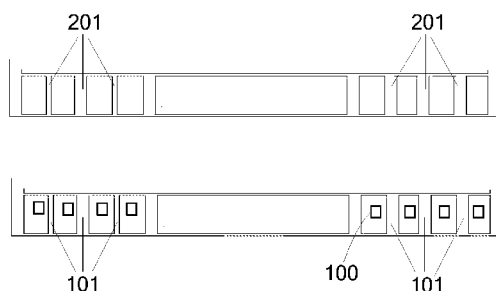


图 3

(57) Abstract: Provided is an array substrate comprising multiple terminals (100) and at least comprising a first conductive layer and a second conductive layer, an insulating layer being contained between the first conductive layer and the second conductive layer, wherein multiple first electrode plates (101) and multiple second electrode plates (201) constituting a capacitive structure are respectively formed on the first conductive layer and the second conductive layer, one first electrode plate (101) and one second electrode plate (201) that are mutually parallel and opposite to each other form a capacitive structure, one capacitive structure at least corresponds to one terminal (100), the terminals (100) and the first conductive layer and the second conductive layer are in the same layer, or the terminals (100) are in a third conductive layer between the first conductive layer and the second conductive layer. Further provided are a method for manufacturing the array substrate, and a display device. By adding the capacitance structures at the terminals, the anti-ESD capability of a product is increased, improving the problem of product damage caused by importing through the terminals (100), thereby protecting the terminals (100) and avoiding electrostatic damage.

(74) 代理人: 北京市中咨律师事务所(ZHONGZI LAW OFFICE); 中国北京市西城区平安里西大街26号新时代大厦7层, Beijing 100034 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种阵列基板包括多个端子(100)和至少包括第一导电层和第二导电层, 第一导电层和第二导电层之间包括绝缘层, 其中, 第一导电层和第二导电层上分别形成有组成电容结构的多个第一电极板(101)和多个第二电极板(201), 相互平行且相对的一个第一电极板(101)和一个第二电极板(201)构成一个电容结构, 一个电容结构至少对应一个端子(100), 端子(100)与第一导电层或与第二导电层处于同一层, 或者端子(100)处于第一导电层与第二导电层之间的第三导电层。还提供一种阵列基板的制造方法和显示装置。通过在端子增加电容结构, 增加产品抗ESD能力, 改善从端子(100)导入引起产品损坏的不良问题, 以防护端子(100), 避免静电损伤。

一种阵列基板及其制造方法、显示装置

本申请要求于 2017 年 5 月 22 日递交的中国专利申请第 201710364266.8 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开涉及但不限于显示技术领域，尤其涉及一种阵列基板及其制造方法、显示装置。

背景技术

随着液晶显示屏的发展和应用，静电放电（Electrostatics Discharge，简称 ESD）问题越来越成为高端液晶显示屏的技术难题：一方面在器件制造过程中，由于其工艺特点，极易产生静电并造成产品损失；另一方面液晶模块（Liquid Crystal Module，简称 LCM）中的集成电路（IC）等元器件及电子线路也易于受到静电冲击的干扰。因此，对于液晶器件特别是具有液晶器件的信息通讯产品，抗静电冲击已经成为必检项目。

液晶显示屏在对盒（Cell）工艺中，模组工艺和信赖性有意无意都在经历 ESD，例如在产品点灯的过程中，因瞬间的大电流，环境静电和设备静电的原因对面板（Panel）造成不可逆的损坏，影响产品良率，大大增加产品成本。此外，在产品进行测试的过程中，经常会对产品测试端子（ET Pad）造成静电击穿，造成产品显示异常、色彩异常等不良。

发明内容

本公开的实施例提供一种阵列基板及其制造方法、显示装置。

在本公开的实施例的第一方面中，提供了一种阵列基板。阵列基板包括多个端子、第一导电层和第二导电层，所述第一导电层和所述第二导电

层之间包括绝缘层，其中，

所述第一导电层和所述第二导电层中分别形成有多个第一电极板和多个第二电极板，所述第一电极板和所述第二电极板彼此相对以构成电容结构，

所述端子与所述第一导电层或与所述第二导电层同层设置，或者所述端子于所述第一导电层和所述第二导电层之间的第三导电层同层设置。

可选地，所述端子与所述第一导电层或与所述第二导电层同层设置时，所述第一电极板或所述第二电极板与所述端子交替相间布置，所述端子与所述第一电极板或所述第二电极板之间填充有绝缘材料。

可选地，所述阵列基板还包括第四导电层，其中，所述端子的引线在所述第四导电层中，并通过过孔与所述端子连接。

可选地，所述端子与所述第一导电层和所述第二导电层之间的第三导电层同层设置，所述端子的引线形成在所述第三导电层中。

可选地，所述端子之上的各个层在与所述端子对应的位置处形成有通孔，以暴露所述端子。

可选地，所述通孔在所述阵列基板的衬底基板上的正投影至少部分覆盖所述端子。

可选地，所述阵列基板包括衬底基板、缓冲层、TFT 晶体管、平坦层、阳极金属层、像素限定层、有机发光层、阴极，其中，所述 TFT 晶体管包括源极电极、漏极电极、栅极、有源层、栅绝缘层，其中，所述第一导电层、所述第二导电层以及所述第三导电层选自以下中的任意一层：形成所述源极电极或所述漏极电极的层、形成所述栅极的层、所述有源层、所述阳极金属层、所述有机发光层、形成所述阴极的层。

在本公开的实施例的第二方面中，提供了一种显示装置。显示装置包括在本公开的第一方面中描述的任意一种阵列基板。

在本公开的实施例的第三方面中，提供了一种阵列基板的制造方法。阵列基板的制造方法包括：

在第一导电层中形成多个第一电极板；

在第二导电层中形成分别与所述第一电极板相对的多个第二电极板，其中，所述第一电极板和所述第二电极板构成电容结构；

在所述第一导电层或所述第二导电层中形成多个端子，或者在所述第一导电层和所述第二导电层之间的第三导电层中形成多个端子。

可选地，在所述第一导电层或所述第二导电层中形成多个端子，所述第一电极板或所述第二电极板与所述端子交替相间布置，所述端子与所述第一电极板或与所述第二电极板之间填充有绝缘材料。

可选地，所述方法还包括：

在第四导电层中形成所述端子的引线，所述端子的引线以过孔的方式与所述端子连接。

可选地，

在所述第一导电层和所述第二导电层之间的第三导电层中形成多个端子，还包括：

在所述第三导电层中形成所述端子的引线。

附图说明

图 1 示出了相关的阵列基板的结构示意图。

图 2 示出了根据本公开的实施例的阵列基板的制造方法的流程图。

图 3 示出了根据本公开的实施例的阵列基板的示意图。

图 4 示出了根据本公开的另一实施例的阵列基板的示意图。

图 5 示出了根据本公开的又一实施例的阵列基板的示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

本发明中描绘的流程图仅仅是一个例子。在不脱离本发明精神的情况下，可以存在该流程图或其中描述的步骤的很多变型。例如，所述步骤可以以不同的顺序进行，或者可以添加、删除或者修改步骤。这些变型都被认为是所要求保护的方面的一部分。

除非上下文中另外明确地指出，否则在本文和所附权利要求中所使用的词语的单数形式包括复数，反之亦然。因而，当提及单数时，通常包括相应术语的复数。相似地，用语“包含”、“包括”、“含有”和“具有”及其语法变型旨在包括性的并且表示可以存在除所列要素之外的另外的要素。在本文中使用术语“示例”之处，特别是当其位于一组术语之后时，所述“示例”仅仅是示例性的和阐述性的，且不应当被认为是独占性的或广泛性的。术语“第一”、“第二”、“第三”等仅用于描述的目的，而不能理解为指示或暗示相对重要性及形成顺序。

随着液晶显示屏的发展和应用，从外挂触摸（GFF）产品到内嵌式（In Cell）产品需要增加静电放电（ESD）能力，从而减少产品损伤。在本公开的实施例中，利用阵列工艺（Array）在端子的上下膜层增加电路走线，形成电容结构，从而保护端子，避免静电损伤，提升产品的良率，增加收益，提升产品测试端子（ET Pad）处的抗 ESD 能力。

根据本公开的技术方案，可以在阵列基板中的任意两个导电层中形成电容结构，端子可以与电容结构的电极板在同一层导电层中形成，也可以在电容结构之间的导电层中形成。

ESD 通常都是环境以及摩擦引起的，形成电容结构后，ESD 优先通过该电容结构进行放电，而不是在 ET pad 等的端子上进行放电。静电再通过电容释放到 GND 上，这样产品就不会受到损坏。在同一层上设计的原理是一样的，如果在同一层设计时，因电容结构连接到 GND，静电更容易在电容上放电而不在 ET pad 放电。

本公开实施例的阵列基板可包括多个端子、第一导电层和第二导电层，第一导电层和第二导电层之间可包括绝缘层，第一导电层和第二导电层中

分别形成有构成电容结构的多个第一电极板和多个第二电极板，第一电极板和第二电极板彼此相对以构成电容结构。该电容结构至少对应一个端子，即该端子邻近电容结构，该电容结构可以保护端子以避免静电放电的影响。端子可与第一导电层或与第二导电层同层设置，或者端子可与第一导电层与第二导电层之间的第三导电层同层设置。应理解，在本文中，术语“同层设置”表示由同一膜层形成。

图 1 示出了相关的阵列基板的结构示意图。如图 1 所示，阵列基板一般包括：衬底基板 1、缓冲层 2、TFT 晶体管 5、平坦层 6、阳极金属层 7、像素限定层 8、有机发光层 9、阴极 10。TFT 晶体管 5 可包括源极电极 51、漏极电极 52、栅极 53、有源层 54、栅绝缘层 55。阵列基板还可包括栅隔离层 56。可在阳极金属层 7 中形成阳极和遮挡层。当然对于不同的阵列基板，不局限于上述的结构。

本公开的实施例中提到的导电层可以是以下的任意层：形成源极电极 51 的层、形成漏极电极 52 的层、形成栅极 53 的层、有源层 54、阳极金属层 7、有机发光层 9、形成阴极 10 的层。

本公开的实施例还提供一种阵列基板的制造方法，图 2 示出了根据本公开的实施例的阵列基板的制造方法的流程图。如图 2 所示，制造方法可以包括以下步骤：

步骤 S201、在第一导电层中形成多个第一电极板，例如，构图第一导电层形成第一电极板；

步骤 S202、在第二导电层中形成分别与第一电极板彼此相对的多个第二电极板，其中，第一电极板和第二电极板可构成电容结构，例如，构图第二导电层形成第二电极板；

步骤 S203、在第一导电层或第二导电层中形成多个端子，或者在第一导电层与第二导电层之间的第三导电层中形成多个端子，该电容结构至少对应一个端子，例如构图第一导电层、第二导电层和第三导电层形成端子。

上述制造方法的步骤不限定执行的先后顺序。

以下以实施例对本公开的阵列基板进行详细的说明。

图 3 示出了根据本公开的实施例的阵列基板的示意图，如图 3 所示，在本实施例中，端子 100 与构成电容结构的电极板 101 在同层设置，例如可在形成源极电极 51 的层中形成端子 100 和电极板 101。如图 3 所示，端子 100 与电极板 101 交替相间布置，为了避免端子 100 与电极板 101 之间发生短路，在端子 100 与电极板 101 之间可填充有绝缘材料。

电极板 201 与电极板 101 相对，构成电容结构。例如，可在阳极金属层 7 中形成多个电极板 201。

在本实施例中，端子 100 的引线在其它的导电层中形成，可以避免端子 100 的引线 with 电容结构发生短路。例如，端子 100 的引线 with 有源层 54 同层设置，穿过有源层 54 与形成源极电极 51 的层之间的各层形成过孔（未示出），端子 100 的引线通过过孔与端子 100 连接。

在本实施例中，以衬底基板 1 为最底层向上看，在端子 100 之上的各个层中，在与端子 100 对应的位置处形成有通孔，通孔用于暴露出端子 100，以使外界的引脚能接触到端子 100。

在本实施例中，通孔在衬底基板 1 上的正投影至少部分覆盖端子 100，通孔的大小不作限定，只要能暴露出端子 100 即可。

制造图 3 所示的阵列基板的方法，可包括以下步骤：

在衬底基板 1 上形成缓冲层 2、在缓冲层 2 上形成 TFT 晶体管 5，在 TFT 晶体管 5 的有源层 54 中形成端子 100 的引线，在形成 TFT 晶体管 5 的源极电极 51 的层中形成多个电极板 101 和多个端子 100；并在 TFT 晶体管 5 的上方或下方相对的位置形成遮挡层（未示出）；在形成 TFT 晶体管 5 后的衬底基板 1 上依次形成阳极、有机发光层 9 和阴极 10。在形成阳极的阳极金属层 7 中形成与电极板 101 相对的多个电极板 201。

图 4 示出了根据本公开的另一实施例的阵列基板的示意图。图 4 所示的阵列基板与图 3 所示的阵列基板的区别在于，端子 100 与电极板 201 同层设置。

在本实施例中，可在有源层 54 中形成多个电极板 101，在阳极金属层 7 中形成端子 100 的引线，在形成阴极 10 的层中形成多个端子 100 和多个与电极板 101 相对的电极板 201。电极板 101 与相对的电极板 201 构成一个电容结构。

端子 100 与电极板 201 交替相间布置，为了避免端子 100 与电极板 201 之间发生短路，在端子 100 与电极板 201 之间填充有绝缘材料。

穿过在阳极金属层 7 与该形成阴极 10 的层之间的各层形成过孔，端子 100 的引线通过过孔与端子 100 连接。

在本实施例中，以衬底基板 1 为最底层向上看，在端子 100 之上的各个层中，在与端子 100 对应的位置处形成有通孔，以暴露出端子 100。

通孔在衬底基板 1 上的正投影至少部分覆盖端子 100，通孔的大小不作限定，只要能暴露出端子 100 即可。

制造图 4 所示的阵列基板的方法，可包括以下步骤：

在衬底基板 1 上形成缓冲层 2、在缓冲层 2 上形成 TFT 晶体管 5，在形成 TFT 晶体管 5 的有源层 54 中形成多个电极板 101；并在 TFT 晶体管 5 的上方或下方相对的位置形成遮挡层（未示出）；在形成 TFT 晶体管 5 后的衬底基板 1 上依次形成阳极、像素限定层 8、有机发光层 9 和阴极 10。在形成阳极的阳极金属层 7 中形成端子 100 的引线，在形成阴极 10 的层中形成多个端子 100 和多个与电极板 101 相对的电极板 201。

本公开的实施例中的端子还可形成在电容结构的两电极板之间的导电层中。

图 5 示出了根据本公开的又一实施例的阵列基板的示意图。如图 5 所示，在本实施例中，可在有源层 54 中形成有多个电极板 101，在形成栅极 53 的层中形成多个端子 100 和端子 100 的引线，在阳极金属层 7 中形成多个与电极板 101 相对的电极板 201，电极板 101 与相对的电极板 201 构成电容结构。

在本实施例中，以衬底基板 1 为最底层向上看，在端子 100 之上的各

个层中，在与端子 100 对应的位置处形成有通孔，以暴露出端子 100。

通孔在衬底基板 1 上的正投影至少部分覆盖端子 100，通孔的大小不作限定，只要能暴露出端子 100 即可。

制造图 5 所示的阵列基板的方法，可包括以下步骤：

在衬底基板 1 上形成缓冲层 2、在缓冲层 2 上形成 TFT 晶体管 5，在形成 TFT 晶体管 5 的有源层 54 中形成多个电极板 101；在形成栅极 53 的层中形成多个端子 100 和端子 100 的引线，并在 TFT 晶体管 5 的上方或下方相对的位置形成遮挡层（未示出）；在形成 TFT 晶体管 5 后的衬底基板 1 上依次形成阳极、像素限定层 8、有机发光层 9 和阴极 10。在形成阳极的阳极金属层 7 中形成多个电极板 201，电极板 201 与电极板 101 相对。

以上实施例仅是示例的，电容结构的两个电极板可以在阵列基板上的任意两个可导电的层中形成。

本领域普通技术人员可以理解上述方法中的全部或部分步骤可通过程序来指令相关硬件完成，所述程序可以存储于计算机可读存储介质中，如只读存储器、磁盘或光盘等。可选地，上述实施例的全部或部分步骤也可以使用一个或多个集成电路来实现。相应地，上述实施例中的各模块/单元可以采用硬件的形式实现，也可以采用软件功能模块的形式实现。本公开不限制于任何特定形式的硬件和软件的结合。

以上仅为本公开的优选实施例，当然，本公开还可有其他多种实施例，在不背离本公开精神及其实质的情况下，熟悉本领域的技术人员可根据本公开作出各种相应的改变和变形，但这些相应的改变和变形都应属于本公开所附的权利要求的保护范围。

权利要求

1、一种阵列基板，包括多个端子、第一导电层和第二导电层，所述第一导电层和所述第二导电层之间包括绝缘层，其中，

所述第一导电层和所述第二导电层中分别形成有多个第一电极板和多个第二电极板，所述第一电极板和所述第二电极板彼此相对以构成电容结构

所述端子与所述第一导电层或与所述第二导电层同层设置，或者所述端子与所述第一导电层和所述第二导电层之间的第三导电层同层设置。

2、如权利要求 1 所述的阵列基板，其中，

所述端子与所述第一导电层或与所述第二导电层同层设置，所述第一电极板或所述第二电极板与所述端子交替相间布置，所述端子与所述第一电极板或与所述第二电极板之间填充有绝缘材料。

3、如权利要求 2 所述的阵列基板，所述阵列基板还包括第四导电层，其中，所述端子的引线形成在所述第四导电层中，并通过过孔与所述端子连接。

4、如权利要求 1 所述的阵列基板，其中，

所述端子与所述第一导电层和所述第二导电层之间的第三导电层同层设置，所述端子的引线形成在所述第三导电层中。

5、如权利要求 1-4 任一项所述的阵列基板，其中，

所述端子之上的各个层在与所述端子对应的位置处形成有通孔，以暴露所述端子。

6、如权利要求 5 所述的阵列基板，其中，

所述通孔在所述阵列基板的衬底基板上的正投影至少部分覆盖所述端子。

7、如权利要求 6 所述的阵列基板，其中，所述阵列基板包括衬底基板、缓冲层、TFT 晶体管、平坦层、阳极金属层、像素限定层、有机发光层、阴极，其中，所述 TFT 晶体管包括源极电极、漏极电极、栅极、有源

层、栅绝缘层，其中，所述第一导电层、所述第二导电层以及所述第三导电层选自以下中的任意一层：形成所述源极电极或所述漏极电极的层、形成所述栅极的层、所述有源层、所述阳极金属层、所述有机发光层、形成所述阴极的层。

8、一种显示装置，包括如权利要求 1-7 任一项所述的阵列基板。

9、一种阵列基板的制造方法，包括：

在第一导电层中形成多个第一电极板；

在第二导电层中形成分别与所述第一电极板相对的多个第二电极板，其中，所述第一电极板和所述第二电极板构成电容结构；

在所述第一导电层或所述第二导电层中形成多个端子，或者在所述第一导电层和所述第二导电层之间的第三导电层中形成多个端子。

10、如权利要求 9 所述的制造方法，其中，

在所述第一导电层或所述第二导电层中形成多个端子，所述第一电极板或所述第二电极板与所述端子交替相间布置，所述端子与所述第一电极板或与所述第二电极板之间填充有绝缘材料

11、如权利要求 8 所述的制造方法，所述方法还包括：

在第四导电层中形成所述端子的引线，所述端子的引线以过孔的方式与所述端子连接。

12、如权利要求 9 所述的制造方法，其中，在所述第一导电层和所述第二导电层之间的第三导电层中形成多个端子，还包括：

在所述第三导电层中形成所述端子的引线。

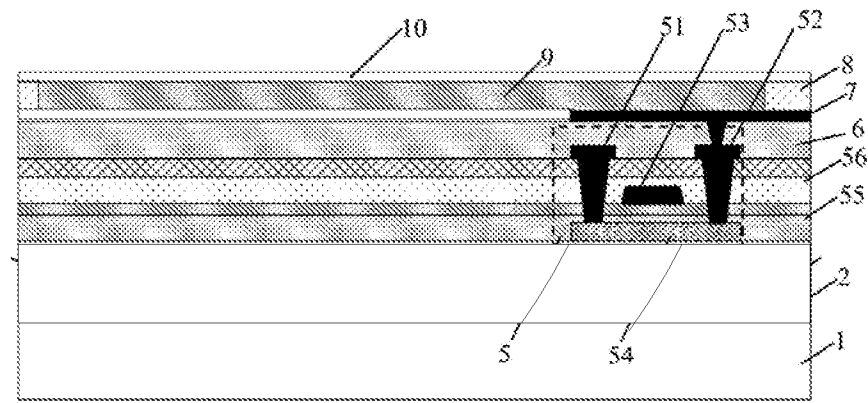


图 1

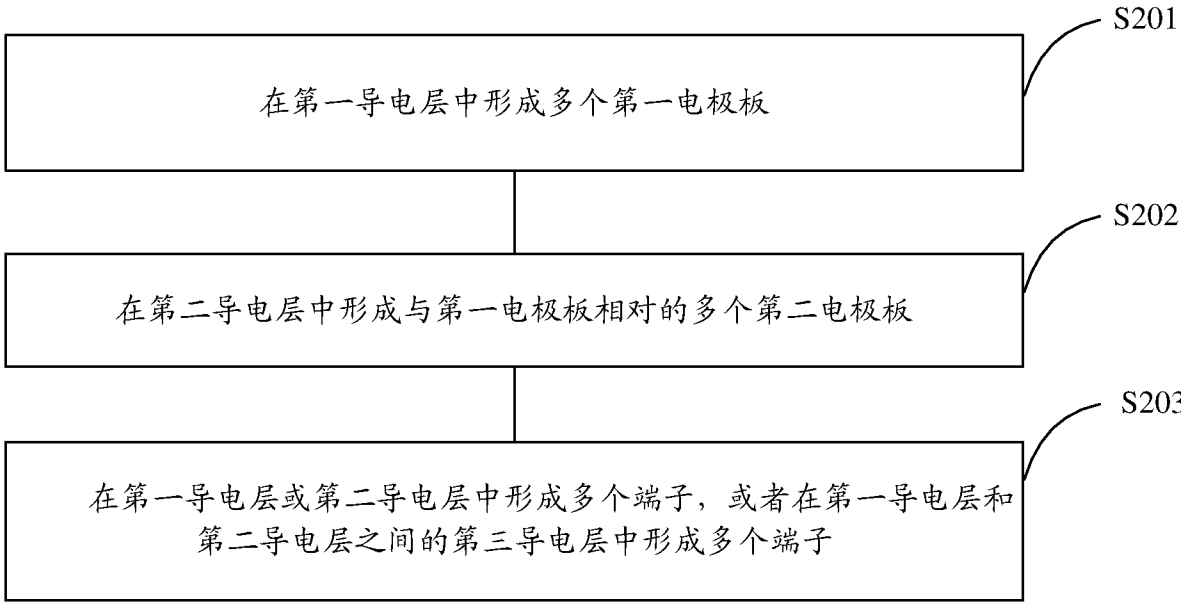


图 2

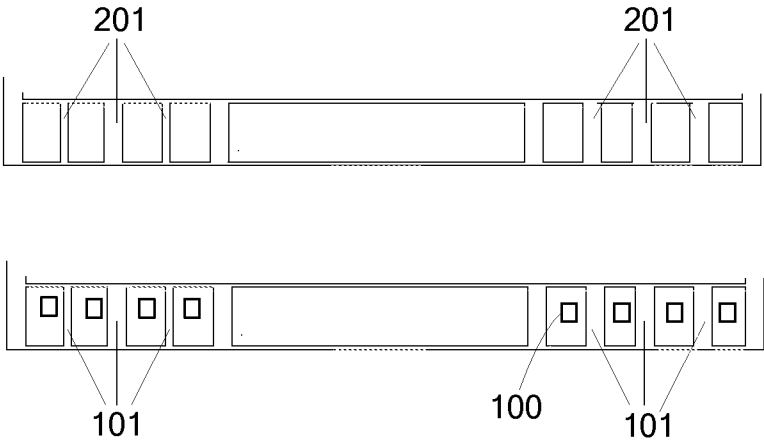


图 3

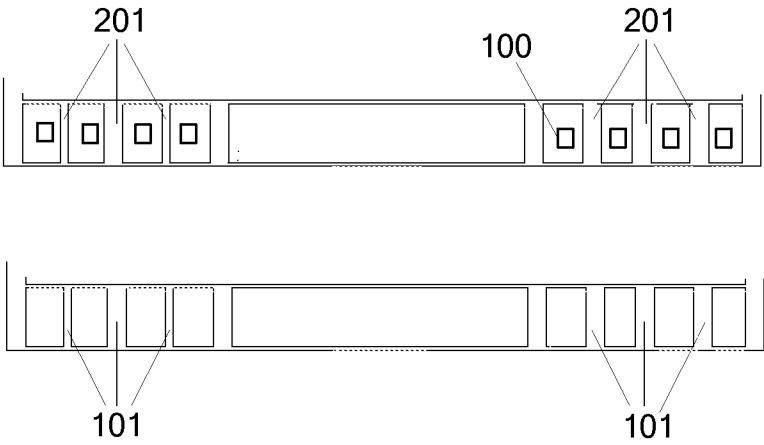


图 4

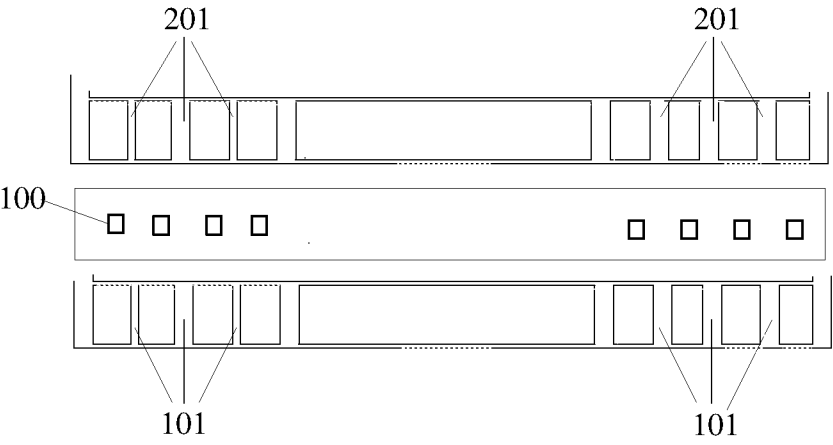


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/081094

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F, G09G, G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; VEN: 端子, 电容, 除, conduct+, discharg+, 测试, 垫, releas+, 避免, 减, 防, 释放, ESD, 抗, 放电, +static, transmit+, 导, 传导, 静电, capacitor?, 导出

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102967978 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 March 2013 (13.03.2013), description, paragraphs [0092]-[0112], and figures 2-8	1-12
PX	CN 107315293 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 November 2017 (03.11.2017), entire document	1-12
A	CN 105388648 A (SHANGHAI CHUANGGONG COMMUNICATION TECHNOLOGY CO., LTD.) 09 March 2016 (09.03.2016), entire document	1-12
A	JP 2008111924 A (SEIKO EPSON CORPORATION) 15 May 2008 (15.05.2008), entire document	1-12
A	US 2006038181 A1 (AU OPTRONICS CORP.) 23 February 2006 (23.02.2006), entire document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 29 June 2018	Date of mailing of the international search report 27 July 2018
---	--

Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer ZHANG, Fan Telephone No. (86-10) 62089309
---	--

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/081094

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102967978 A	13 March 2013	US 2014168559 A1	19 June 2014
		US 9229286 B2	05 January 2016
		CN 102967978 B	26 August 2015
CN 107315293 A	03 November 2017	None	
CN 105388648 A	09 March 2016	None	
JP 2008111924 A	15 May 2008	None	
US 2006038181 A1	23 February 2006	US 6537840 B2	25 March 2003
		US 2002052058 A1	02 May 2002
		US 2003136991 A1	24 July 2003
		US 6956626 B2	18 October 2005
		TW I220029 B	01 August 2004

国际检索报告

国际申请号

PCT/CN2018/081094

A. 主题的分类 G02F 1/1362(2006.01) i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G02F, G09G, G06F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;VEN:端子, 电容, 除, conduct+, discharg+, 测试, 垫, releas+, 避免, 减, 防, 释放, ESD, 抗, 放电, +static, transmit+, 导, 传导, 静电, capacitor?, 导出																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 102967978 A (京东方科技集团股份有限公司 等) 2013年 3月 13日 (2013 - 03 - 13) 说明书第[0092]-[0112]段, 图2-8</td> <td>1-12</td> </tr> <tr> <td>PX</td> <td>CN 107315293 A (京东方科技集团股份有限公司 等) 2017年 11月 3日 (2017 - 11 - 03) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>CN 105388648 A (上海创功通讯技术有限公司) 2016年 3月 9日 (2016 - 03 - 09) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>JP 2008111924 A (SEIKO EPSON CORP) 2008年 5月 15日 (2008 - 05 - 15) 全文</td> <td>1-12</td> </tr> <tr> <td>A</td> <td>US 2006038181 A1 (AU OPTRONICS CORP) 2006年 2月 23日 (2006 - 02 - 23) 全文</td> <td>1-12</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 102967978 A (京东方科技集团股份有限公司 等) 2013年 3月 13日 (2013 - 03 - 13) 说明书第[0092]-[0112]段, 图2-8	1-12	PX	CN 107315293 A (京东方科技集团股份有限公司 等) 2017年 11月 3日 (2017 - 11 - 03) 全文	1-12	A	CN 105388648 A (上海创功通讯技术有限公司) 2016年 3月 9日 (2016 - 03 - 09) 全文	1-12	A	JP 2008111924 A (SEIKO EPSON CORP) 2008年 5月 15日 (2008 - 05 - 15) 全文	1-12	A	US 2006038181 A1 (AU OPTRONICS CORP) 2006年 2月 23日 (2006 - 02 - 23) 全文	1-12
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 102967978 A (京东方科技集团股份有限公司 等) 2013年 3月 13日 (2013 - 03 - 13) 说明书第[0092]-[0112]段, 图2-8	1-12																		
PX	CN 107315293 A (京东方科技集团股份有限公司 等) 2017年 11月 3日 (2017 - 11 - 03) 全文	1-12																		
A	CN 105388648 A (上海创功通讯技术有限公司) 2016年 3月 9日 (2016 - 03 - 09) 全文	1-12																		
A	JP 2008111924 A (SEIKO EPSON CORP) 2008年 5月 15日 (2008 - 05 - 15) 全文	1-12																		
A	US 2006038181 A1 (AU OPTRONICS CORP) 2006年 2月 23日 (2006 - 02 - 23) 全文	1-12																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2018年 6月 29日		国际检索报告邮寄日期 2018年 7月 27日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 张帆 电话号码 62089309																		

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/081094

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102967978	A	2013年 3月 13日	US	2014168559	A1	2014年 6月 19日
				US	9229286	B2	2016年 1月 5日
				CN	102967978	B	2015年 8月 26日
CN	107315293	A	2017年 11月 3日	无			
CN	105388648	A	2016年 3月 9日	无			
JP	2008111924	A	2008年 5月 15日	无			
US	2006038181	A1	2006年 2月 23日	US	6537840	B2	2003年 3月 25日
				US	2002052058	A1	2002年 5月 2日
				US	2003136991	A1	2003年 7月 24日
				US	6956626	B2	2005年 10月 18日
				TW	I220029	B	2004年 8月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)