



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0028019
(43) 공개일자 2010년03월11일

(51) Int. Cl.

G11C 16/10 (2006.01) *G11C 16/12* (2006.01)*G11C 11/56* (2006.01)

(21) 출원번호 10-2009-7021264

(22) 출원일자 2008년04월09일

심사청구일자 없음

(85) 번역문제출일자 2009년10월12일

(86) 국제출원번호 PCT/US2008/059740

(87) 국제공개번호 WO 2008/124760

국제공개일자 2008년10월16일

(30) 우선권주장

11/733,694 2007년04월10일 미국(US)

11/733,706 2007년04월10일 미국(US)

(71) 출원인

샌디스크 코포레이션

미합중국, 캘리포니아주 95035, 밀피타스, 맥카시
볼레바드 601

(72) 별명자

세르네아, 라울-애드리안

미국, 캘리포니아 95054, 산타 클라라, 애그뉴 로
드 889

(74) 대리인

박경재, 송범엽

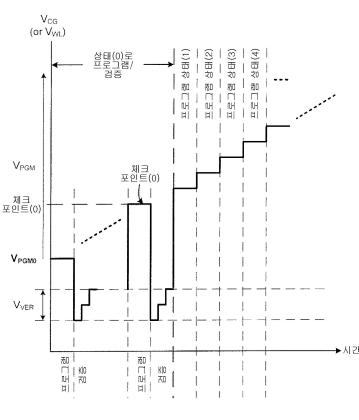
전체 청구항 수 : 총 36 항

(54) 비휘발성 메모리 및 예측 프로그래밍 방법

(57) 요약

메모리 셀 어레이를 구비하는 비휘발성 메모리에서, 상기 메모리 셀은 개별적으로 소정 범위의 임계 전압 레벨들 중 하나에 프로그래밍될 수 있으며, 소정의 메모리 셀을 소정의 목표 임계 전압 레벨로 프로그래밍하기 위해서 인가될 필요가 있는 프로그래밍 전압 레벨을 예측하는 소정의 함수를 제공한다. 이런 방식에서는, 검증 동작을 수행할 필요가 없기 때문에, 상기 프로그래밍 동작의 성능을 크게 향상시킬 수 있다. 바람직한 실시예에서, 상기 소정의 함수는 선형이며, 하나 이상의 체크 포인트에 의해 프로그래밍 중인 각 메모리 셀에 대하여 조정된다. 상기 체크 포인트는 문제가 되는 상기 메모리 셀을 검증된 지정 임계 전압 레벨로 프로그래밍하는 실제 프로그래밍 전압이다.

대 표 도 - 도11



상태(0)에 대한 프로그램/검증: 보다 높은 상태에 대한 예측 프로그래밍

특허청구의 범위

청구항 1

일련의 메모리 셀을 구비한 비휘발성 메모리에서, 상기 메모리 셀은 임계 전압 레벨들 범위 중의 하나로 개별적으로 프로그래밍 가능하며, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법에 있어서,

프로그래밍 중인 메모리 셀에 대해 소정의 함수를 제공하는 단계로서, 상기 함수는, 메모리 셀이 프로그래밍 되도록 정해진 임계 전압 레벨의 함수로서 프로그래밍 전압값을 산출하는, 함수를 제공하는 단계와,

진폭이 증가하는 프로그래밍 전압으로 상기 메모리 셀을 상기 목표 임계 저압 레벨로 프로그래밍하는 단계와,

상기 프로그래밍 전압이 상기 목표 임계 전압 레벨에서 평가된 소정의 함수에 의해 결정된 값에 거의 도달한 후 상기 메모리 셀의 프로그래밍을 중단하는 단계를

포함하는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 2

제 1항에 있어서, 상기 점점 증가하는 진폭을 갖는 프로그래밍 전압은 일련의 전압 펄스인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 3

제 1항에 있어서, 상기 소정의 함수는 거의 선형 함수인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 4

제 1항에 있어서, 상기 소정의 함수를 제공하는 단계는,

해당 체크 포인트 프로그래밍 임계 전압값에 의해 프로그래밍 가능한 지정된 체크 포인트 임계 전압 레벨로서 함수의 체크 포인트를 지정하고,

상기 체크 포인트 임계 전압 레벨의 프로그래밍이 검증될 때까지 교번적으로 프로그래밍 및 검증 동작을 수행하여 상기 해당 체크 포인트 프로그래밍 전압값을 결정하며,

상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값을 결정하기 위해 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위해 상기 소정의 함수를 조정하는 것을

포함하는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 5

제 4항에 있어서, 상기 목표 임계 전압 레벨은 상기 체크 포인트 임계 전압 레벨로부터 소정의 전압 미만인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 6

제 4항에 있어서, 하나 이상의 체크 포인트 임계 전압 레벨은 임계 전압 레벨 중에서 지정되는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 7

제 4항에 있어서, 상기 소정의 함수는 선형이고 추정된 기울기 및 체크 포인트에 의해 정의되는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 8

제 4항에 있어서, 상기 소정의 함수는 거의 선형이고 적어도 2개의 체크 포인트들에 의해 정의되는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 9

제 1항에 있어서, 상기 비휘발성 메모리는 1비트 이상의 데이터를 개별적으로 저장하는 메모리 셀을 구비하는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 10

제 1항에 있어서, 상기 비휘발성 메모리는 전하 저장 소자로 프로그래밍된 전하량으로서 데이터를 개별적으로 저장하는 메모리 셀을 구비하는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 11

제 1항에 있어서, 상기 전하 저장 소자가 전계 효과 트랜지스터의 플로팅 게이트인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 12

제 1항에 있어서, 상기 전하 저장 소자가 전계 효과 트랜지스터에서 유전체층인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 13

제 1항에 있어서, 상기 비휘발성 메모리는 NAND 구조를 가지는 메모리 셀을 구비하는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 14

제 1항에 있어서, 상기 비휘발성 메모리는 플래시 EEPROM인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 15

제 1항에 있어서, 상기 비휘발성 메모리는 메모리 카드로 구현되는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 16

제 1항에 있어서, 상기 비휘발성 메모리는 컴퓨터 장치에 내장되는, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 17

제 1항 내지 제 16항 중 어느 한 항에 있어서, 상기 메모리 셀은 함께 프로그래밍된 하나의 그룹의 메모리 셀 중 하나인, 메모리 셀을 목표 임계 전압 레벨로 프로그래밍하는 방법.

청구항 18

비휘발성 메모리에 있어서,

메모리 셀 어레이로서, 상기 메모리 셀은 임계 전압 레벨의 범위 중 하나로 개별적으로 프로그래밍 가능한, 메모리 셀 어레이와,

한 페이지의 메모리 셀을 병렬로 판독 및 프로그래밍하는 판독/기록 회로와,

상기 판독/기록 회로를 포함하는 비휘발성 메모리의 동작을 제어하는 상태 머신을 포함하고,

상기 상태 머신은,

프로그래밍중인 메모리 셀에 대한 소정의 함수를 제공하며, 상기 함수는 메모리 셀이 해당 레벨로 프로그래밍되는 임계 전압 레벨의 함수로서 프로그래밍 전압값을 산출하고,

진폭이 증가하는 프로그래밍 전압으로 상기 메모리 셀을 상기 목표 임계 저압 레벨로의 프로그래밍을 제어하며, 상기 프로그래밍된 전압이 상기 목표 임계 전압 레벨에서 평가된 상기 소정의 함수에 의해 결정된 값에 거의 도달한 후 상기 메모리 셀의 프로그래밍을 중단하는, 비휘발성 메모리.

청구항 19

제 18항에 있어서, 상기 증가하는 진폭을 갖는 프로그래밍 전압은 일련의 전압 펄스인, 비휘발성 메모리.

청구항 20

제 18항에 있어서, 상기 소정의 함수는 거의 선형 함수인, 비휘발성 메모리.

청구항 21

제 18항에 있어서, 소정의 함수를 제공하는 상기 상태 머신은,

해당 체크 포인트 프로그래밍 전압값에 의해 프로그래밍 가능한 지정된 체크 포인트 임계 전압 레벨로서 함수의 체크 포인트를 지정하고,

상기 체크 포인트 임계 전압 레벨의 프로그래밍이 검증될 때까지 교번적으로 프로그래밍 및 검증 동작을 수행하여 상기 해당 체크 포인트 프로그래밍 전압값을 결정하며,

상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값을 결정하기 위해 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위해 상기 소정의 함수를 조정하는 것을

더 포함하는, 비휘발성 메모리.

청구항 22

제 21항에 있어서, 상기 목표 임계 전압 레벨은 상기 체크 포인트 임계 전압 레벨로부터 소정의 전압 미만인, 비휘발성 메모리.

청구항 23

제 21항에 있어서, 하나 이상의 체크 포인트 임계 전압 레벨은 임계 전압 레벨 중에서 지정되는, 비휘발성 메모리.

청구항 24

제 21항에 있어서, 상기 소정의 함수는 선형이고 추정된 기울기 및 체크 포인트에 의해 정의되는, 비휘발성 메모리.

청구항 25

제 21항에 있어서, 상기 소정의 함수는 선형이고 추정된 기울기 및 적어도 두 개의 체크 포인트에 의해 정의되는, 비휘발성 메모리.

청구항 26

제 18항에 있어서, 상기 비휘발성 메모리는 1비트 이상의 데이터를 개별적으로 저장한 메모리 셀을 구비하는, 비휘발성 메모리.

청구항 27

제 18항에 있어서, 상기 비휘발성 메모리는 전하 저장 소자로 프로그래밍된 전하량으로서 데이터를 개별적으로 저장하는 메모리 셀을 구비하는, 비휘발성 메모리.

청구항 28

제 18항에 있어서, 상기 전하 저장 소자가 전계 효과 트랜지스터의 플로팅 게이트인, 비휘발성 메모리.

청구항 29

제 18항에 있어서, 상기 전하 저장 소자는 전계 효과 트랜지스터에서 유전체충인, 비휘발성 메모리.

청구항 30

제 18항에 있어서, 상기 비휘발성 메모리는 NAND 구조를 가지는 메모리 셀을 구비하는, 비휘발성 메모리.

청구항 31

제 18항에 있어서, 상기 비휘발성 메모리는 플래시 EEPROM인, 비휘발성 메모리.

청구항 32

제 18항에 있어서, 상기 비휘발성 메모리는 메모리 카드로 구현되는, 비휘발성 메모리.

청구항 33

제 18항에 있어서, 상기 비휘발성 메모리는 컴퓨터 장치에 내장되는, 비휘발성 메모리.

청구항 34

비휘발성 메모리로서,

메모리 셀 어레이로서, 상기 메모리 셀은 임계 전압 레벨들의 범위 중 하나로 개별적으로 프로그래밍 가능한, 메모리 셀 어레이와,

프로그래밍중인 메모리 셀에 대한 소정의 함수를 제공하는 수단으로서, 상기 함수는, 메모리 셀이 프로그래밍되도록 정해진 임계 전압 레벨의 함수로서 프로그래밍 전압값을 산출하는, 수단과,

진폭이 증가하는 프로그래밍 전압으로 상기 메모리 셀을 상기 목표 임계 저압 레벨로의 프로그래밍을 제어하는 수단과,

상기 프로그래밍이 상기 목표 임계 전압 레벨에서 평가된 상기 소정의 함수에 의해 결정된 값에 거의 도달한 후 상기 메모리 셀의 프로그래밍을 중단하는 수단을

포함하는, 비휘발성 메모리.

청구항 35

제 34항에 있어서,

해당 체크 포인트 프로그래밍 전압값에 의해 프로그래밍 가능한 지정된 체크 포인트 임계 전압 레벨로서 함수의 체크 포인트를 지정하는 수단과,

상기 체크 포인트 임계 전압 레벨의 프로그래밍이 검증될 때까지 교번적으로 프로그래밍 및 검증 동작을 수행하여 상기 해당 체크 포인트 프로그래밍 전압값을 결정하는 수단과,

상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값을 결정하기 위해 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위해 상기 소정의 함수를 조정하는 수단을

더 포함하는, 비휘발성 메모리.

청구항 36

제 18항 내지 제 36항 중 어느 한 항에 있어서, 상기 메모리 셀은 함께 프로그래밍된 하나의 그룹의 메모리 셀 중 하나인, 비휘발성 메모리.

명세서**기술분야**

[0001] 본 발명은, 전기적으로 삭제 및 프로그래밍 가능한 읽기 전용 메모리 (EEPROM) 및 플래시 EEPROM과 같은 비휘발성 반도체 메모리에 관한 것으로, 보다 구체적으로는 프로그램-검증 동작 횟수가 최소화되는 메모리 및 프로그래밍 동작에 관한 것이다.

배경기술

[0002] 최근에는, 특히 소형 카드로서 패키징된 EEPROM 및 플래시 EEPROM의 형태로 전하의 비휘발성 저장이 가능한 고체 상태 메모리는 다양한 이동성 휴대용 장치, 정보 가전 및 소비 가전 제품에서 선택된 기억 장치가 된다. 고체 상태 메모리인 랜덤 액세스 메모리(RAM)와 달리, 플래시 메모리는 비휘발성이며 전원이 턴오프된 이후에도 저장된 데이터를 보유한다. 더 높은 비용에도 불구하고, 플래시 메모리는 대용량 저장 애플리케이션에서 점점 더 사용되고 있다. 하드 드라이브 및 플로피 디스크와 같은 회전 자기 매체에 기반한 기존 대용량 스토리지는 상기 모바일 및 휴대 환경에는 적합하지 않다. 이것은 디스크 드라이브가 부피가 큰 경향이 있으며 기계적 결함이 발생하기 쉽고 잊은 지연 및 높은 전원을 필요로 하기 때문이다. 이런 바람직하지 않은 속성은 디스크 기반 스토리지를 대부분의 이동성 휴대용 애플리케이션에서 비실용적이게 만든다. 다른 한편, 매립형 및 이동식 카드 형태의 플래시 메모리는 그것의 소형 크기, 저전력소비, 고속 및 높은 신뢰성 특성 때문에 상기 이동성 및 휴대 환경에 이상적으로 적합하다.

[0003] EEPROM 및 전기적으로 프로그래밍 가능한 읽기 전용 메모리(EPROM)은 삭제 가능하며 자신들의 메모리 셀에 쓰여지거나 프로그래밍된 새로운 데이터를 가질 수 있는 비휘발성 메모리이다. 양측은 전계 효과 트랜지스터 구조로서 소스 영역과 드레인 영역사이에서 반도체 기판의 채널 영역 상에 위치하는 플로팅 (미연결) 도전성 게이트를 채택하고 있다. 이 때, 제어 게이트는 상기 플로팅 게이트상에 제공된다. 상기 트랜지스터의 임계 전압 특성은 상기 플로팅 게이트상에 유지된 전하량에 의해 제어된다.

[0004] 즉, 상기 플로팅 게이트상의 소정 레벨의 전하에 대해서, 상기 트랜지스터의 소스 영역 및 드레인 영역사이에 전도가 이루어지도록, 상기 트랜지스터가 턴온되기 전에 상기 제어 게이트에 인가되어야 하는 해당 전압(임계)이 존재한다.

[0005] 상기 플로팅 게이트는 일정 범위의 전하량을 보유할 수 있어, 임계 전압 창 내에 소정의 임계 전압 레벨로 프로그래밍될 수 있다. 상기 임계 전압 창의 크기는 상기 플로팅 게이트로 프로그래밍될 수 있는 상기 범위의 전하량에 순서대로 해당하는 상기 장치의 최소 및 최대 임계 전압 레벨에 의해 한정되지 않는다. 일반적으로 상기 임계 창은 상기 메모리 장치의 특성, 동작 조건 및 이력에 따른다. 상기 창내의 각각의 명확한 변형가능 임계 전압 레벨 범위는 원칙적으로 상기 셀의 일정한 메모리 상태를 지정하는데 사용될 수 있다. 상기 임계 전압은 두 개의 명확한 영역으로 분할되며, 각각의 메모리 셀은 1비트의 데이터를 저장할 수 있을 것이다. 유사하게, 상기 임계 전압 창이 두 개 이상의 일정 영역으로 분할되며, 각 메모리 셀은 1비트 이상의 데이터를 저장할 수 있을 것이다.

[0006] 상기 일반적인 2-상태 EEPROM 셀에서, 상기 도전 창을 두 개의 영역으로 분할하기 위해서, 적어도 하나의 전류 브레이크 포인트 레벨이 설정된다. 소정의 고정 전압을 인가하여 셀이 해독되는 경우에, 그것의 소스/드레인 전류는 상기 브레이크포인트 레벨(또는 기준 전류 IREF)와 비교하여 메모리 상태로 변형된다. 상기 전류 지정값이 상기 브레이크포인트 레벨의 전류 지정값보다 높은 경우에, 상기 셀은 하나의 논리 상태(예를 들어, “제로” 상태)라고 판단된다. 한편, 상기 전류가 상기 브레이크포인트 레벨 미만인 경우에, 상기 셀은 다른 논리 상태(예를 들어, “1” 상태)라고 판단된다. 그리하여, 그런 2-상태 셀은 1비트의 디지털 정보를 저장한다. 외부에서 프로그래밍 가능한 기존 전류 소스는 종종 메모리 시스템의 일부로서 제공되어, 상기 브레이크포인트 레벨 전류를 생성한다.

[0007] 메모리 용량을 증가시키기 위해, 상기 반도체 기술의 상태가 발달함에 따라 플래시 EEPROM 장치는 점점 더 높은 밀도로 제작된다. 스토리지 용량을 증가시키기 위한 다른 방법은 각 메모리 셀이 두 개 이상의 상태를 저장하게 하는 것이다.

[0008] 다중 상태 또는 다중 레벨의 EEPROM 메모리 셀의 경우에, 상기 도전 창이 하나 이상의 브레이크포인트에 의해 두 개 이상의 영역으로 분할되어, 각 셀은 1비트 이상의 데이터를 저장할 수 있다. 따라서, 소정의 EEPROM 어레이가 저장할 수 있는 이런 정보는 각 셀이 저장할 수 있는 상태 개수에 따라 증가한다. 다중 상태 또는 다중 레벨의 메모리 셀을 구비한 EEPROM 또는 플래시 EEPROM은 미국 특허 No. 5,172,338에 개시되어 있다.

[0009] 메모리 셀로서 기능하는 상기 트랜지스터는 일반적으로 두 메커니즘 중 하나에 의해 “프로그래밍된” 상태로 프로그래밍된다. “고온 전자 주입” 과정에서, 상기 드레인에 인가된 고전압은 상기 기판 채널 영역을 가로지르는

전자들을 가속화한다. 동시에, 상기 제어 게이트에 인가된 고전압은 상기 고온 전자를 박막 게이트 유전체를 통해 상기 플로팅 게이트로 당긴다. “터널링 주입” 과정에서, 고전압이 상기 기판에 대응하는 상기 제어 게이트에 인가된다. 이런 방식으로, 전자들은 상기 기판으로부터 상기 중간 플로팅 게이트로 당겨진다.

[0010] 상기 메모리 장치는 수 많은 매커니즘에 의해 삭제될 수 있다. EEPROM의 경우에, 상기 메모리는 자외선 방사에 의해 상기 플로팅 게이트로부터 전하를 제거하여 대량으로 삭제 가능하다. EEPROM의 경우에, 박막 산화물을 통과한 상기 플로팅 게이트의 전자들을 상기 기판 채널 영역(예를 들어, Fowler_Nordheim 터널링)으로 유도하기 위해서, 메모리 셀은 상기 제어 게이트에 대응하는 기판에 고전압을 인가하여 전기적으로 삭제 가능하다. 일반적으로, 상기 EEPROM은 바이트 단위로 삭제 가능하다. 플래시 EEPROM의 경우에, 상기 메모리는 한번에 모두 또는 한번에 하나 이상의 블록을 전기적으로 삭제할 수 있으며, 상기 블록은 512 바이트 이상의 메모리로 구성될 수 있다.

[0011] 일반적으로, 상기 메모리 장치는 카드에 탑재될 수 있는 하나 이상의 메모리 칩을 포함한다. 각 메모리 칩은 디코더와 같은 주변 회로 및 삭제, 쓰기, 및 읽기 회로에 의해 지지되는 일련의 메모리 셀을 포함한다. 상기 더욱 복잡해진 메모리 장치들은 지능화되고 더 높은 레벨의 메모리 동작 및 인터페이싱을 수행하는 외부 메모리 제어 기와 함께 동작한다.

[0012] 오늘날 상업적으로 성공한 수 많은 비휘발성 고체 상태 메모리 장치가 사용되고 있다. 이런 메모리 장치들은 플래시 EEPROM일 수 있고 다른 형태의 비휘발성 메모리 셀일 수도 있다. 플래시 메모리 및 시스템 그리고 그것들을 제조하는 예들은, 미국 특히 Nos. 5,070,032, 5,095,344, 5,315,541, 5,343,063, and 5,661,053, 5,313,421, 6,222,762에 예시되어 있다. 특히, NAND 스트리밍 구조의 플래시 메모리 장치는 미국 특히 Nos. 5,570,315, 5,903,495, 6,046,935에 개시되어 있다. 또한, 비휘발성 메모리 장치는 전하를 저장하기 위한 유전체층을 갖춘 메모리 셀로 제조된다. 상기 기술된 도전성 플로팅 게이트 소자 대신에, 유전체층이 사용된다. 유전체 스토리지 소자를 사용하는 이러한 메모리 장치는 Eitan 등에 의해 저술된 ‘“NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell,” IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545’에 기술되어 있다. ONO 유전체층은 소스 및 드레인 확산 사이에서 상기 채널을 통해 연장된다. 하나의 데이터 비트에 대한 전하는 상기 드레인에 인접한 유전체층에 한정되며 다른 하나의 데이터 비트에 대한 전하는 상기 소스에 인접한 유전체층에 한정된다. 예를 들어, 미국 특히 5,768,192 및 6,011,725는 두 개의 이산화규소층 사이에 끼워진 트래핑 유전체를 구비한 비휘발성 메모리 셀을 개시한다. 다중 상태 데이터 스토리지는 상기 유전체 내 공간적으로 분리된 전하 저장 영역의 바이너리 상태를 개별적으로 판독하여 구현된다.

[0013] 읽기 및 프로그램 성능을 향상시키기 위해서, 일렬로 배열된 다중 전하 저장 소자 또는 메모리 트랜지스터는 병렬로 읽거나 프로그래밍된다. 그리하여, 메모리 소자의 “페이지”도 함께 읽거나 프로그래밍된다. 기존 메모리 구조의 경우에, 행은 일반적으로 몇 개의 상호 배치된 페이지를 포함하거나 하나의 페이지를 구성할 수 있다. 페이지의 모든 메모리 소자들은 함께 읽거나 프로그래밍된다.

[0014] 일련의 교번적 프로그램/검증 사이클을 사용하는 종래 프로그래밍 기술은 셀의 임계 전압이 상대적으로 큰 vpgm의 변동에 따라 초기에 빠르게 증가하는 프로그래밍 공정에서의 불확실성을 다룬다. 그러나, 상기 플로팅 게이트로 프로그래밍된 전하가 상기 전하를 상기 플로팅 게이트로 더욱 통과시키기 위해서 유효 전계를 감소시키는 차단막으로서 기능함에 따라, 상기와 같은 증가는 약해지며 결국에는 멈추게 된다. 상기 공정은 매우 비선형으로 나타나기 때문에, 시행착오적 접근이 채택된다.

[0015] 상기 프로그램/검증 프로그래밍 기술의 단점은 상기 검증 사이클이 시간을 소요하며 성능에 영향을 미친다는 것이다. 상기 문제점은 다중 비트를 저장할 수 있는 메모리 셀들의 구현을 통해 악화된다. 메모리 셀의 가능한 다중 상태 각각에 대해 반드시 검증이 필요하다. 16개의 가능한 메모리 상태의 메모리의 경우에, 이것은 각 검증 단계가 적어도 16개의 감지 동작을 유도할 것이다. 일부 다른 방식에서, 더 많은 검증이 필요할 수 있다. 따라서, 다중레벨 메모리 셀("MLC")에서 구별 가능한 상태 레벨의 수가 증가함에 따라, 상기 프로그램/검증 방식의 검증 사이클은 점점 더 시간을 소요하게 된다.

[0016] 2006년 9월 12일에 Loc Tu등에 의해 출원된 “초기 프로그래밍 전압의 선형 계산을 이용한 비휘발성 메모리에 대한 방법”이란 제목의 미국 특허 출원 No. 11/531,227은 선형 계산법에 의한 초기 프로그래밍 전압 계산 방법을 개시하고 있다. 비휘발성 메모리에 대한 양호한 프로그래밍 성능을 얻기 위해서, 상기 초기 프로그래밍 전압(V_{PGM0}) 및 상기 스텝 크기는 공장에서 최적으로 선택되어야 한다. 이것은 메모리 셀의 각 페이지를 테스트하여 이루어진다. 선택된 페이지에 결합된 워드 라인은 상기 페이지가 지정된 패턴으로 검증될 때까지 펄스사이에서 검증을 통해 계단 형태 과정의 일련의 전압 펄스에 의해 연속적으로 프로그래밍된다. 상기 페이지의 프로그래밍

시 검증된 프로그래밍 전압은 상기 페이지에 대한 시작 프로그래밍 전압의 초기값으로 선형으로 축소시켜 계산하는데 사용될 것이다. 이런 계산은 제 2 패스에서 제 1 패스로부터의 계산을 사용하여 더욱 정밀해 질 수 있다. 따라서, 종래 교번적 프로그래밍 및 검증은 페이지를 성공적으로 프로그래밍하기 위한 최종 프로그래밍 전압을 설정하는데 사용된다. 그 후, 상기 최종 프로그래밍 전압은 상기 페이지에 대한 계산된 초기 프로그래밍 전압에 도달하도록 선형으로 축소된다. 이런 형태의 축소는 페이지 레벨에서 대규모로 이루어지며, 셀 단위를 기준으로 현장에서의 종래 메모리를 프로그래밍 및 검증하는데 있어서 단점을 처리하지는 않는다.

[0017] 따라서, 고용량 및 고성능 비휘발성 메모리가 일반적으로 필요하다. 특히, 상기 단점이 최소화되는 향상된 프로그래밍 성능을 갖춘 고용량 비휘발성 메모리를 구비할 필요가 있다.

발명의 상세한 설명

[0018] 본 발명의 한 가지 일반적인 양상에 따라, 일련의 메모리 셀을 구비한 비휘발성 메모리에서, 상기 메모리 셀은 개별적으로 소정 범위의 임계 전압 레벨들 중 하나에 프로그래밍될 수 있으며, 소정의 메모리 셀을 소정의 목표 임계 전압 레벨로 프로그래밍하기 위해서 인가될 필요가 있는 프로그래밍 전압 레벨을 예측하는 소정의 함수를 제공한다. 이런 방식에서는, 검증 동작을 수행할 필요가 없기 때문에, 상기 프로그래밍 동작의 성능을 크게 향상시킬 수 있다.

[0019] 일 실시예에서, 상기 소정의 함수는 소정의 목표 임계 전압 레벨을 위하여 프로그래밍 전압 레벨을 비례적으로 산출하는 선형 함수과 유사하다. 상기 선형 함수는 상기 메모리 어레이의 셀들의 적용가능한 소정의 평균값에 의해 주어진 기울기를 갖는다. 상기 선형 함수는 소정의 메모리 셀에 대해 선형 함수에 체크 포인트를 기결정하여 상기 소정의 메모리 셀에 대해 유일하게 결정된다. 상기 체크 포인트는 상기 메모리 셀을 지정된 임계 전압 레벨로 프로그래밍하는 실제 프로그래밍 전압에 기반을 둔다. 상기 체크 포인트는 바람직하게 상기 메모리 셀의 최저 프로그램 상태중 하나에 대응된다. 상기 메모리 셀은 우선 상기 체크 포인트로 프로그래밍되며, 예를 들어, 종래 프로그램/검증 프로그래밍 기법에 의해 검증된다. 이런 방식으로, 상기 메모리 셀을 상기 지정된 메모리 상태로 프로그래밍하는 데 필요한 실제 프로그래밍 전압의 체크 포인트 값이 결정된다. 따라서, 상기 소정의 함수는 상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값으로 결정하는 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위해 조정된다.

[0020] 다른 실시예에서, 복수의 체크 포인트들은 상기 메모리 셀들에 의해 지지되는 가능한 임계 전압 레벨들의 범위에서 지정된다. 각 체크 포인트는 각 체크 포인트 주변의 소정의 부분적인 함수를 조정하는데 사용된다. 상기 소정의 부분적인 함수는 관련 체크 포인트 주변에서 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압 레벨을 예측하는데 사용된다.

[0021] 상기 예측 프로그래밍 기법은 목표 상태로의 프로그래밍이 검증 동작을 필요로 하지 않는다는 점에서 장점이 있다. 검증 동작은 일반적으로 가능한 메모리 상태들의 개수보다 훨씬 적은 체크 포인트를 결정하는 경우에만 필요하다.

[0022] 상기 예측 프로그래밍이 잘못된 결과를 오류가 발생한 결과를 가져오는 변동이 있으나, 이런 변동은 적절한 에러 정정 코드(“ECC”)에 의해 처리할 수 있는 통계적으로 예측가능한 오류이다.

[0023] 본 발명의 추가적인 특징 및 장점은 바람직한 실시예들의 다음 설명을 통해 이해될 것이며, 상기 설명은 첨부된 도면을 참조하여 이루어져야 한다.

실시예

메모리 시스템

[0041] 도 1 내지 도 5는 본 발명의 다양한 양상들이 구현될 수 있는 예시적인 메모리 시스템을 도시한다.

[0042] 도 6은 종래 프로그래밍 기법을 도시한다.

[0043] 도 7 내지 16은 본 발명의 다양한 양상 및 실시예들을 도시한다.

[0044] 도 1은 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 함수 블록을 개략적으로 도시한다. 상기 메모리 칩 (100)은 2차원 배열의 메모리 셀들(200), 제어 회로(210), 및 디코더, 판독/기록 회로 및 멀티플렉서와 같은 주변 회로를 포함한다.

- [0046] 상기 메모리 어레이(200)은 로우 디코더(230)(230A 및 230B로 분할)을 경유하는 워드 라인 그리고 컬럼 디코더(260)(260A 및 260B로 분할)을 경유한 비트 라인에 의해 지정가능하다 (도 4 및 5 참조). 상기 판독/기록 회로(270)(270A 및 270B로 분할)은 1페이지의 메모리 셀을 병렬로 읽거나 프로그래밍할 수 있게 한다. 데이터 I/O 버스(231)은 상기 판독/기록 회로(270)에 결합된다.
- [0047] 바람직한 실시예에서, 페이지는 상기 동일한 워드 라인을 공유한 인접하는 일련의 메모리 셀들로 구성된다. 일련의 메모리 셀들이 다수의 페이지들로 분할되는 다른 실시예에서, 블록 멀티플렉서들(250)(250A 및 250B로 분할)은 상기 판독/기록 회로(270)을 상기 개별 페이지들로 다중화하기 위해서 제공된다. 예를 들어, 메모리 셀의 짹수 및 홀수 열에 의해 각각 형성된 두 개의 페이지는 상기 판독/기록 회로로 다중화된다.
- [0048] 도 1은 상기 다양한 주변 회로들에 의한 상기 메모리 어레이(200)에 접근은 상기 어레이의 반대편에서 대칭적으로 구현되어, 각 측면에서 접근 라인 및 회로의 밀도는 반으로 감소하게 된다. 그리하여, 상기 로우 디코더는 로우 디코더들(230A 및 230B)로 분할되며 상기 컬럼 디코더는 컬럼 디코더들(260A 및 260B)로 분할된다. 일련의 메모리 셀들이 복수의 페이지로 분할되는 본 실시예에서, 상기 페이지 멀티플렉서(250)은 페이지 멀티플렉서들(250A 및 250B)로 분할된다. 유사하게, 상기 판독/기록 회로(270)은 상기 어레이(200)의 상부로부터 비트라인으로 연결하는 판독/기록 회로(270A)와 하부로부터 비트 라인에 연결되는 판독/기록 회로(270B)로 분할된다. 이런 방식으로 판독/기록 모듈들의 밀도 및 감지 모듈들(380)의 밀도는 필연적으로 반으로 감소한다.
- [0049] 제어 회로(110)은 상기 메모리 어레이(200)상에 메모리 동작을 수행하기 위해서 상기 판독/기록 회로(270)과 협력하는 온칩 제어기이다. 상기 제어 회로(110)은 상태 머신(112) 및 온칩 어드레스 디코더 및 전원 제어 모듈(미도시)와 같은 기타 회로들을 크게 포함한다. 상기 상태 머신(112)는 메모리 동작의 칩레벨 제어를 제공한다. 상기 제어 회로는 외부 메모리 제어기를 통해 호스트와 통신한다.
- [0050] 상기 메모리 어레이(200)은 일반적으로 행과 열에 배열된 2차원 배열의 메모리 셀들로서 구성되고 워드라인 및 비트라인으로 어드레스될 수 있다. 상기 어레이에는 NOR 타입 또는 NAND 타입 구조에 따라 형성될 수 있다.
- [0051] 도 2는 비휘발성 메모리 셀을 개략적으로 도시한다. 메모리 셀(10)은 플로팅 게이트 또는 유전체층과 같은 전하 저장부(20)를 구비한 전계 효과 트랜지스터에 의해 구현될 수 있다. 상기 메모리 셀(10)은 또한 소스(14), 드레인(16), 및 제어 게이트(30)을 포함한다.
- [0052] 오늘날 상업적으로 성공한 수 많은 비휘발성 고체 상태 메모리 장치가 사용되고 있다. 이런 메모리 장치는 다른 형태의 메모리 셀을 채택할 수도 있으며, 각 형태의 메모리 셀은 하나 이상의 전하 저장 소자를 구비한다.
- [0053] 일반적인 비휘발성 메모리 셀은 EEPROM 및 플래시 EEPROM을 포함한다. EEPROM 셀들 및 그것들을 제조하는 방법의 예들은 미국 특허 No. 5,595,924에 기술되어 있다. 플래시 EEPROM 셀들, 메모리 시스템에서의 그것들의 용도, 및 그것들을 제조하는 방법의 예들은 미국 특허 No. 5,070,032, 5,095,344, 5,315,541, 5,343,063, 5,661,053, 5,313,421, 6,222,762에 기술되어 있다. 특히, NAND 셀 구조를 갖는 메모리 장치의 예는, 미국 특허 Nos. 5,570,315, 5,903,495, 6,046,935에 개시되어 있다. 또한, 유전체 저장 소자를 사용하는 메모리 장치들의 예들은 Eitan 등에 의해 저술된 ‘‘NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell,’’ IEEE Electron Device Letters, vol. 21, no. 11, November 2000, pp. 543-545’’ 그리고 미국 특허 Nos. 5,768,192, 6,011,725에 기술되어 있다.
- [0054] 실제로, 기준 전압이 상기 제어 게이트에 인가될 때, 셀의 메모리 상태는 상기 셀의 소스 전극 및 드레인 전극을 가로지르는 도전성 전류를 감지하여 일반적으로 판독된다. 그리하여, 셀의 플로팅 게이트 상의 각각의 소정의 전하량별로, 고정된 기준 제어 게이트 전압에 대해 해당 도전성 전류가 탐지될 수 있다. 유사하게, 상기 플로팅 게이트로 프로그래밍 가능한 전하량의 범위는 해당 임계 전압 창 또는 해당 전도성 전류 창을 정의한다.
- [0055] 또는, 분할된 전류 창 중에서 상기 전도성 전류를 탐지하는 대신에, 상기 제어 게이트에서 테스트시 소정의 메모리 상태에 대한 임계 전압을 설정하고 상기 전도성 전류가 임계 전압보다 낮거나 높은지 여부를 탐지할 수 있다. 임계 전류에 대응하는 상기 전도성 전류의 탐지는 상기 판단을 검토하여 이루어지는 일 실시예에서, 상기 전도성 전류는 상기 비트 라인의 캐피시턴스를 통해 방전된다.
- [0056] 도 3은 플로팅 게이트가 선택적으로 어느 한 번에 저장할 수 있는 4개의 다른 전하량 Q1 내지 Q4에 대한 소스-드레인 전류(I_D) 및 제어 게이트 전압(V_{CG}) 사이의 관계를 도시한다. 4개의 솔리드 $I_D - V_{CG}$ 곡선은 4개의 가능한 메모리 상태들에 각각 대응하는 메모리 셀의 플로팅 게이트에 프로그래밍될 수 있는 4개의 가능한 전하량 레벨을 나타낸다. 일례로서, 소정의 셀들의 임계 전압 창의 범위는 0.5V 내지 3.5V이다. 각각이 하나의 삭제된 상태

및 6개의 프로그래밍된 상태들을 각각 나타내는 7개의 가능한 메모리 상태들 "0", "1", "2", "3", "4", "5", "6"이 0.5V의 간격으로 상기 임계 창을 5개의 영역으로 분할하여 구별될 수 있다. 예를 들어, 도시된 바와 같이, $2\mu A$ 의 기준 전류(IREF)가 사용되면, Q1으로 프로그래밍된 셀은 그것의 곡선이 $V_{CG} = 0.5V$ 및 $1.0V$ 에 의해 구별된 임계 창의 영역에서 I_{REF} 와 교차하기 때문에, 메모리 상태 "1"에 있다고 판단될 수 있다. 유사하게, Q4는 메모리 상태 "5"를 유지한다. 상기 설명에서 알 수 있는 바와 같이, 메모리 셀의 저장되는 상태가 증가 할수록, 임계 창은 더욱 분명하게 분할된다. 예를 들어, 메모리 장치는 $-1.5V$ 내지 $5V$ 의 범위의 임계 창을 갖춘 메모리 셀을 구비할 수 있다. 이것은 $6.5V$ 의 최대 폭을 제공한다. 상기 메모리 셀이 16개의 상태를 저장할 경우에, 각 상태는 상기 임계 창에서 $200mV$ 에서 $300mV$ 까지의 범위를 차지한다. 이것은 요구된 해결책을 달성하기 위해서 프로그래밍 및 읽기 동작에서 더 높은 정밀성을 요구한다.

[0057] 도 4는 NOR 어레이 메모리 셀의 예를 도시한다. 상기 메모리 어레이(200)에서, 각 행의 메모리 셀은 데이지 체인 방식으로 자신들의 소스(14) 및 드레인(16)에 의해 연결된다. 이 디자인은 때때로 가상 접지 설계로 불린다. 행에 배열된 셀들(10)은 워드 라인(42)과 같은 워드 라인에 연결된 자신들의 제어 게이트들(30)을 포함한다. 열에 배열된 셀은 비트 라인들(34,36)과 같은 선택된 비트 라인들에 각각 연결된 자신들의 소스들 및 드레인들을 포함한다.

[0058] 도 5(a)는 NAND 스트링으로 구성된 일련의 메모리 셀을 개략적으로 도시한다. NAND 스트링(50)은 상기 소스들 및 드레인들에 의해 데이지 체인방식으로 연결된 일련의 메모리 트랜지스터들(M1, M2, ..., Mn)(예를 들어, $n=4, 8, 16$ 또는 그 이상)로 구성된다. 한 쌍의 선택된 트랜지스터들(S1,S2)은 NAND 스트링의 소스 단자(54) 및 드레인 단자(56)을 각각 경유하여 외부로 메모리 트랜지스터 체인 연결을 제어한다. 메모리 어레이에서, 상기 소스 선택 트랜지스터(S1)이 턴온되면, 상기 소스 단자는 소스 라인에 결합된다(도 5(b) 참고). 유사하게, 상기 드레인 선택 트랜지스터(S2)가 턴온되면, 상기 NAND 스트링의 드레인 단자는 상기 메모리 어레이의 비트 라인에 결합된다. 체인 연결된 각 메모리 트랜지스터(10)은 메모리 셀의 역할을 수행한다. 그것은 의도된 메모리 상태를 나타내기 위해서 소정의 전하량을 저장하는 전하 저장 소자(20)을 구비한다. 각 메모리 트랜지스터의 제어 게이트(30)은 읽기 및 쓰기 동작들에 대한 제어를 가능하게 한다. 도 5(b)에서 알 수 있는 바와 같이, 행으로 배열된 NAND 스트링의 해당 메모리 트랜지스터들의 제어 게이트들(30)은 모두 상기 동일한 워드 라인에 연결된다. 유사하게, 선택 트랜지스터들(S1,S2) 각각의 제어 게이트(32)는 각각 소스 단자(54) 및 드레인 단자(56)을 통해 상기 NAND 스트링으로의 접속 제어를 제공한다. 이와 같이, 행으로 배열된 NAND 스트링의 해당 선택 트랜지스터들의 제어 게이트들(32)은 모두 상기 동일한 선택 라인에 연결된다.

[0059] NAND 스트링내 어드레스된 메모리 트랜지스터(10)가 프로그래밍 과정에서 판독되거나 검증되면, 제어 게이트(30)은 적당한 전압을 공급받는다. 동시에, 상기 NAND 스트링(50)의 나머지 비어드레스된 메모리 트랜지스터들은 그것들의 제어 게이트상에 충분한 전압을 인가하여 완전히 턴온된다. 이런 방식으로, 도전성 경로는 상기 개별 메모리 트랜지스터의 소스로부터 상기 NAND 스트링의 소스 단자(54)로 효과적으로 생성되고, 이와 마찬가지로, 상기 개별 메모리 트랜지스터의 드레인으로부터 상기 셀이 드레인 단자(56)로 생성된 도전성 경로가 생성된다. 그런 NAND 스트링 구조의 메모리 장치들은 미국 특허 Nos. 5,570,315, 5,903,495, 6,046,935에 개시되어 있다.

[0060] 도 5B는 도 5(a)에 도시된 것과 같은 NAND 스트링들(50)로 구성된 메모리 셀의 NAND 어레이(200)의 예를 도시한다. NAND 스트링의 각 열을 따라, 비트 라인(36)과 같은 비트 라인이 각 NAND 스트링의 드레인 단자(56)에 결합된다. NAND 스트링의 각 뱅크를 따라, 소스 라인(34)과 같은 소스 라인이 각 NAND 스트링의 소스 단자(54)에 결합된다. 또한, 뱅크로 배열된 NAND 스트링들의 행으로 배열된 메모리 셀을 따라 제어 게이트들이 워드 라인(42)과 같은 워드 라인에 연결된다. 뱅크로 배열된 NAND 스트링의 행으로 배열된 선택 트랜지스터들을 따라 제어 게이트들이 선택 라인(44)과 같은 선택 라인에 연결된다. 뱅크로 배열된 NAND 스트링의 행으로 배열된 메모리 셀들 전체는 뱅크로 배열된 NAND 스트링의 워드 라인들 및 선택 라인들에 적절한 전압을 인가하여 어드레스될 수 있다. NAND 스트링내 메모리 트랜지스터가 판독되면, 상기 스트링내 잔존하는 메모리 트랜지스터들은 그것들의 관련 워드 라인들을 통해 턴온되어 상기 스트링을 통해 흐르는 전류는 필연적으로 판독된 셀에 저장된 전하량에 따른다.

[0061] 도 6은 메모리 셀을 목표 메모리 상태로 프로그래밍하기 위한 종래 기술을 도시한다. 프로그래밍 전압(V_{PGM})은 결합된 워드 라인을 통해 상기 메모리 셀의 제어 게이트에 인가된다. 상기 V_{PGM} 은 초기 전압 레벨(V_{PGMO})로부터 시작되는 계단 형상의 파형의 형태로 일련의 프로그래밍 전압 펄스들이다. 프로그래밍중인 셀은 증가하는 전하량을 상기 플로팅 게이트에 더하는 시도를 할 때마다, 이런 일련의 프로그래밍 전압 펄스를 인가받는다. 프로그래

밍 펄스들 사이에서, 상기 셀은 브레이크포인트 레벨에 해당하는 소스-드레인 전류를 결정하도록 재판독되거나 검증된다. 상기 재판독 공정은 하나 이상의 감지 동작을 포함할 수 있다. 상기 셀이 목표 상태에 도달한 것으로 검증되면, 상기 셀에 대한 프로그래밍은 중단된다. 사용된 프로그래밍 펄스 트레イン은 상기 메모리 셀의 전하 저장부로 프로그래밍되는 축적되는 전자들을 방해하기 위해서 증가하는 기간 또는 진폭을 가질 수 있다. 프로그래밍 회로들은 일반적으로 일련의 프로그래밍 펄스들을 선택된 워드 라인으로 인가한다. 이런 방식으로, 제어 게이트들이 상기 워드 라인에 결합된 한 페이지의 메모리 셀은 동시에 프로그래밍될 수 있다. 상기 페이지의 메모리 셀은 그것의 목표 상태로 프로그래밍될 때마다, 상기 페이지의 모든 셀들의 프로그래밍이 검증될 때까지 다른 셀들이 계속해서 프로그래밍되는 동안 그것의 프로그래밍이 금지된다.

[0062] 일련의 교번적 프로그램/검증 사이클을 사용하는 종래 프로그래밍 기술은 셀의 임계 전압이 상대적으로 큰 VPGM의 변동에 따라 초기에 빠르게 증가하는 프로그래밍 공정에서의 불확실성을 다룬다. 그러나, 상기 플로팅 게이트로 프로그래밍된 전하가 상기 전하를 상기 플로팅 게이트로 더욱 통과시키기 위해서 유효 전계를 감소시키는 차단막으로서 기능함에 따라, 상기와 같은 증가는 약해지며 결국에는 면추게 된다. 상기 공정은 매우 비선형으로 나타나기 때문에, 시행착오적 접근이 채택된다.

[0063] 상기 프로그램/검증 프로그래밍 기술의 단점은 상기 검증 사이클이 시간을 소요하며 성능에 영향을 미친다는 것이다. 상기 문제점은 다중 비트를 저장할 수 있는 메모리 셀들의 구현을 통해 악화된다. 메모리 셀의 가능한 다중 상태 각각에 대해 반드시 검증이 필요하다. 16개의 가능한 메모리 상태의 메모리의 경우에, 이것은 각 검증 단계가 적어도 16개의 감지 동작을 유도하는 것을 의미한다. 일부 다른 방식에서, 더 많은 검증이 필요할 수 있다. 따라서, 다중레벨 메모리 셀(“MLC”)에서 상태 레벨의 수가 증가함에 따라, 상기 프로그램/검증 방식의 검증 사이클은 점점 더 시간을 소요하게 된다.

[0064] 그리하여, 상기 단점이 최소화되는 향상된 프로그래밍 성능을 갖춘 메모리 장치가 필요하다.

예측 프로그래밍 기법

[0066] 본 발명의 실시형태에 따라, 일련의 메모리 셀을 구비한 비휘발성 메모리에서, 상기 메모리 셀은 개별적으로 소정 범위의 임계 전압 레벨들 중 하나에 프로그래밍될 수 있으며, 소정의 메모리 셀을 소정의 목표 임계 전압 레벨로 프로그래밍하기 위해서 인가될 필요가 있는 프로그래밍 전압 레벨을 예측하는 소정의 기능을 제공한다. 이런 방식에서는, 검증 동작을 수행할 필요가 없기 때문에, 상기 프로그래밍 동작의 성능을 크게 향상시킬 수 있다.

[0067] 일 실시예에서, 상기 소정의 함수는 소정의 목표 임계 전압 레벨을 위하여 프로그래밍 전압 레벨을 비례적으로 산출하는 선형 함수과 유사하다. 상기 선형 함수는 상기 메모리 어레이의 셀들의 적용가능한 소정의 평균값에 의해 주어진 기울기를 갖는다. 상기 선형 함수는 소정의 메모리 셀에 대해 선형 함수에 체크 포인트를 기결정하여 상기 소정의 메모리 셀에 대해 유일하게 결정된다. 상기 체크 포인트는 상기 메모리 셀을 지정된 임계 전압 레벨로 프로그래밍하는 실제 프로그래밍 전압에 기반을 둔다. 상기 체크 포인트는 바람직하게 상기 메모리 셀의 최저 프로그램 상태 중 하나에 대응된다. 상기 메모리 셀은 우선 상기 체크 포인트로 프로그래밍되며, 예를 들어, 종래 프로그램/검증 프로그래밍 기법에 의해 검증된다. 이런 방식으로, 상기 메모리 셀을 상기 지정된 메모리 상태로 프로그래밍하는 데 필요한 실제 프로그래밍 전압의 체크 포인트 값이 결정된다. 따라서, 상기 소정의 함수는 상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값으로 결정하는데 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위해 조정된다.

[0068] 다른 실시예에서, 복수의 체크 포인트들은 상기 메모리 셀들에 의해 지지되는 가능한 임계 전압 레벨들의 범위에서 지정된다. 각 체크 포인트는 각 체크 포인트 주변의 소정의 부분적인 함수를 조정하는데 사용된다. 상기 소정의 부분적인 함수는 관련 체크 포인트 주변에서 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압 레벨을 예측하는데 사용된다.

[0069] 상기 예측 프로그래밍 기법은 목표 상태로의 프로그래밍이 검증 동작을 필요로 하지 않는다는 점에서 장점이 있다. 검증 동작은 일반적으로 가능한 메모리 상태들의 개수보다 훨씬 적은 체크 포인트를 결정하는 경우에만 필요하다.

[0070] 상기 예측 프로그래밍이 오류가 발생한 결과를 가져오는 변동이 있으나, 이런 변동은 적절한 예러 정정 코드(“ECC”)에 의해 처리할 수 있는 통계적으로 예측가능한 오류이다.

[0071] 도 7은 소정의 메모리 장치의 다양한 메모리 셀 그리고 인가된 프로그래밍 전압 및 임계 전압 레벨 사이의 상기

관찰된 관계를 프로그래밍한 예를 도시한다. 개별 메모리 셀에 대한 프로그래밍 동작은 상기 임계 창의 실제적인 범위를 가로지름에도 놀랍게도 선형인 것을 알 수 있다. 어레이내 개별 셀은 프로그래밍된 임계 전압이 프로그래밍 전압 레벨의 변화에 실질적으로 비례하는 동일한 방식으로 동작한다. 상기 개별 셀이 매우 깊게 삭제됨에 따라, 그리고 기타 요인들로 인해, 상기 개별 셀들인 지정된 체크 포인트에 도달하는 프로그래밍 펄스의 개수가 다를 수 있으나, 이러한 각각의 개별 셀에 대한 소정의 함수는 거의 유사한 기울기를 갖는다. 도 7은 중간 비율의 프로그래밍 셀들(솔리드 라인들)의 일부 예를 뿐만 아니라, 저속 프로그래밍 셀 및 고속 프로그래밍 셀 각각의 예를 도시한다. 상기 다른 예를 사이의 기울기의 차이는 미미하다는 것을 알 수 있다.

[0072] 도 8은 소정의 메모리 장치에서 메모리 셀의 샘플에 대한 도 7에 도시된 기울기 분포를 개략적으로 도시한다. 상기 분포는 필연적으로 대략 0.9 정도의 평균 기울기와 대략 0.1의 표준 편차를 갖는 정상적인 분포를 나타낸다. 상기 실제 프로그래밍은 두 개의 다른 포르그래밍 전압 스텝 크기들을 선택한다. 양 스텝 크기들은 유사한 분포 및 평균 기울기를 산출하는 것을 알 수 있다.

[0073] 도 9는 상기 메모리 셀을 목표 임계 전압 레벨로 프로그래밍할 필요가 있는 상기 프로그래밍 전압을 제공하기 위해 사용된 소정의 함수의 바람직한 실시예를 도시한다. 상기 소정의 함수는 하기의 관계에 의해 상기 목표 임계 레벨(V_T)가 상기 프로그래밍 전압(V_{PGM})의 함수로서 주어지는 선형 함수과 유사하다.

$$V_T(V_{PGM}) = \langle \text{기울기} \rangle V_{PGM} + V_T(0) \quad \text{식(1)}$$

$$\{\text{여기서, } \langle \text{기울기} \rangle = \Delta V_T / \Delta V_{PGM}\}$$

[0076] 반대로,

$$V_{PGM}(V_T) = 1/\langle \text{기울기} \rangle [V_T - V_T(0)] \quad \text{식(2)}$$

[0078] 상기 바람직한 실시예에서, 평균 <기울기>는 공장에서 유사한 생산 배치로부터 샘플들을 테스트하여 선결정될 수 있다. 예를 들어, 상기 테스트에서는 <기울기>는 0.9로 산출될 수 있다. $V_T(0)$ 은 셀의 의존적이며, 각 셀의 예측 프로그래밍 이전에 각 메모리 셀로부터 체크 포인트에 의해 선결정된다. 일단 <Slope> 및 $V_T(0)$ 은 주어지며, 상기 메모리 셀에 대한 소정의 함수가 정의되며, 식(2)는 목표 임계 전압 레벨로 프로그래밍되는데 필요한 프로그래밍 전압 레벨을 얻는데 사용될 수 있다.

[0079] 도 10은 본 발명의 일 실시예에 따른 예측 프로그래밍을 도시하는 흐름도이다.

[0080] 단계 300: 프로그래밍중인 메모리 셀에 대한 소정의 함수를 제공하는 단계로서, 상기 함수는, 메모리 셀이 프로그래밍되도록 정해진 임계 전압 레벨의 함수로서 프로그래밍 전압값을 산출하는, 소정의 함수를 제공하는 단계.

[0081] 단계 310: 진폭이 증가하는 프로그래밍 전압으로 상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍한다. 상기 프로그래밍 전압은 결합된 워드 라인을 통해 상기 메모리 셀의 제어 게이트로 인가된다.

[0082] 단계 320: 상기 프로그래밍 전압이 상기 목표 임계 전압 레벨에서 판단된 상기 소정의 함수에 의해 결정된 값에 거의 도달한 후, 상기 메모리 셀의 프로그래밍을 중단한다. 일반적으로, 상기 동일한 워드 라인에 결합된 한 페이지의 메모리 셀은 동시에 프로그래밍된다. 상기 문제의 메모리 셀이 상기 목표 임계 전압 레벨에서 판단된 소정의 함수에 의해 결정된 값을 수신하면, 상기 페이지의 다른 메모리 셀들에 대한 워드 라인에 가능한 추가적인 프로그래밍 펄스에도 불구하고 더 이상의 프로그래밍의 진행이 금지된다.

[0083] 일반적으로, 상기 소정의 함수는 선형 함수과 유사할 필요는 없다. 상기 소정의 함수가 광범위한 임계 전압 레벨을 정확하게 덮는 경우에, 상기 함수는 일부 적당한 함수에 의해 모델화된 공장의 생산 배치를 테스트하여 결정될 수 있다.

[0084] 일반적으로, 상기 프로그래밍중인 메모리 셀은 동시에 프로그래밍중인 한 페이지의 유사한 메모리 셀들 중의 하나이다. 상기 페이지의 각 메모리 셀에 대해 제공된 소정의 함수일 것이다. 상기 페이지의 모든 메모리 셀들이 동일한 워드 라인을 공유하기 때문에, 일단 상기 페이지의 메모리 셀이 상기 예측 프로그래밍 전압에 의해 프로그래밍되면 더 이상의 프로그래밍의 진행은 금지된다.

[0085] 도 10에 도시된 상기 예측 프로그래밍 모드는 상기 메모리 어레이(200)의 메모리 동작을 제어하는 제어 회로(110)의 상태 머신(112)(도 1 참조)에서 바람직하게 구현된다.

[0086] 도 11은 예측 프로그래밍 모드에서 적용에 따른 도 9에 도시된 소정의 함수의 조정에 따른 상기 프로그래밍 전

압을 도시한다.

[0087] 초기 단계에서, 상기 메모리 셀에 대한 체크 포인트(0)는 상기 삭제 상태와 관련된 것으로 간주되는 것보다 다소 높은 임계 전압 레벨(체크 포인트 임계 전압 레벨)에 있는 것으로 지정된다. 일련의 증가하는 프로그래밍 전압 펄스들은 상기 메모리 셀을 상기 체크 포인트 임계 전압 레벨로 프로그래밍하기 위해 인가된다. 상기 프로그래밍 모드는 상기 체크 포인트 임계 전압 레벨의 프로그래밍이 겹증될 때까지 교번적으로 프로그래밍 및 겹증 동작을 수행하는 종래의 모드일 수 있다. 일단 체크 포인트(0)에 대한 한 세트의 좌표들[V_{PGM} , V_T]checkpoint(0)이 주어지고, 식(2)의 형태의 상기 소정의 함수(도 9 참조)는 $V_T(0)$ 에 대하여 해결되며, 완전히 설명될 수 있다.

[0088] 상기 식(2)의 형태의 소정의 함수가 설명된 후에, 상기 메모리 셀은 목표 임계 전압 레벨 또는 목표 메모리 상태에 대해 계산된 프로그래밍 전압 레벨을 제공하는 상기 소정의 함수를 사용하는 예측 모드에서 프로그래밍될 수 있다. 바람직한 실시예에서, 상기 프로그래밍 전압 스텝 크기는 조정되어 각 추가적인 펄스는 상기 메모리 셀을 다음 메모리 상태로 프로그래밍한다. 16개의 가능한 메모리 상태를 갖는 메모리 셀의 예로, 상기 펄스 크기는 300mV일 수 있다. 이런 방식으로, 하나의 추가 펄스는 메모리를 상태(1)로 프로그래밍하고, 다른 추가 펄스는 상기 메모리를 상태(2)로 프로그래밍한다. 그리하여, 소정의 메모리 상태로의 프로그래밍은 상태(0)로부터 상태의 개수를 카운트하고 동일한 수의 펄스들을 공급하도록 감소된다. 예를 들어, 일단 플래그가 상태(0)로 설정된 후에, 상기 메모리 셀은 상태 개수와 동일한 펄스 개수에 의해 프로그래밍 될 수 있기 때문에, 상기 대상 상태는 상태(0)을 벗어나게 된다.

[0089] 기타 프로그래밍 펄스 크기들도 가능하다. 예를 들어, 16개의 가능한 메모리 상태를 갖는 메모리 셀에 대하여, 상기 펄스 크기는 150mV일 수 있다. 이 경우에, 한 메모리 상태로부터 다음 근접한 메모리 상태로 프로그래밍하는데 두 개의 펄스가 소요된다. 이것은 상기 목표 임계치로부터의 마진을 사용하는 일부 실시예에서 유용한 프로그래밍에서 더욱 세부적인 해결책을 제공한다.

[0090] 도 12는 도 11에 도시된 프로그래밍 과정에서 1페이지의 메모리 셀들의 다양한 메모리 상태의 분포를 개략적으로 도시한다. 상기 페이지의 메모리 셀은 낮은 임계 전압 레벨중 어느 하나를 유지할 수 있는 삭제 상태의 모든 메모리 셀들로부터 시작한다. 상기 초기 프로그래밍 단계 동안에, 일련의 프로그램/겹증 사이클(예를 들어, x 프로그램 펄스들의 총합 + n*x 겹증 단계)은 상기 메모리 셀을 상기 삭제 상태로부터 상태(0)로 프로그래밍할 것이다. 일반적으로, 각 메모리 셀에 대한 x는 서로 독립적이다. 일단 메모리 셀이 상태(0)을 유지하면, 예측 프로그래밍 모드가 시작되고 각 추가적인 펄스가 상기 메모리 셀을 다음 메모리 상태로 프로그래밍한다.

[0091] 도 13은 체크 포인트를 사용한 메모리 셀의 소정 함수를 조정하는 것을 포함하는 도 10에 도시된 단계 300을 도시하는 흐름도이다.

[0092] 단계 302: 해당 체크 포인트 프로그래밍 전압값에 의해 프로그래밍 가능한 지정된 체크 포인트 임계 전압 레벨로서 함수의 체크 포인트를 지정한다.

[0093] 단계 304: 상기 체크 포인트 임계 전압 레벨의 프로그래밍이 겹증될 때까지, 교번적 프로그래밍 및 겹증에 의해 상기 해당 체크 포인트 프로그래밍 전압값을 결정한다.

[0094] 단계 306: 상기 메모리 셀을 상기 목표 임계 전압 레벨로 프로그래밍하기 위한 프로그래밍 전압값을 결정하는데 사용되기 전에 상기 체크 포인트 임계 전압 레벨에서 평가될 때, 상기 체크 포인트 프로그래밍 전압값을 산출하기 위하여 상기 소정의 함수를 조정한다.

[0095] 도 14는 하나 이상의 체크 포인트를 사용하는 예측 프로그래밍의 실시예의 제 1 예를 도시한다. 상기 제 1예에서, 상기 예측 모드에 의해 프로그래밍될 모든 메모리 상태가 상기 체크 포인트 모드하에서 프로그래밍된 메모리 상태보다 우선한다. 상기 체크 포인트 모드는 단계 302 및 단계 304에서 도 13에서 기술된다. 상기 메모리 셀은 상태(0), 상태(1), 상태(2), …로 단계적으로 프로그래밍될 수 있다면, 짹수 상태인, 상태(0), 상태(2), 상태(4), … 또한 체크 포인트로 지정될 수 있다. 이런 상태들은 상기 프로그램/겹증 프로그래밍 모드에 의해 앞선 상태로부터 도달한다(도 6 참조). 각 체크 포인트로부터, 소정의 함수는 상기 다음 메모리 상태들, 예를 들어, 홀수 상태들인, 상태(1), 상태(3), 상태(5)를 예측적으로 프로그래밍하는데 조정되고 사용될 수 있다.

[0096] 상기 소정의 함수는 모든 다른 메모리 상태로 재조정되며 상기 셀 프로그래밍 형태는 그런 깊은 간격에서 양호한 선형성을 나타내기 때문에, 도 14에 도시된 실시예는 예측 모드에서의 프로그래밍이 가장 정확하게 수행되게 한다. 모든 다른 메모리 상태만이 체크 포인트 모드에서 프로그래밍됨에 따라, 종래 프로그래밍(도 6 참조)에서 상기 겹증 동작의 적어도 반은 수행되지 않는다.

- [0097] 도 15는, 도 14에 도시된 체크 포인트들은 상기 체크 포인트들에 대응하는 다양한 관련 소정의 함수들을 조정하기 위해 사용되는 형태를 도시한다. 모든 로컬 소정의 함수들은 선형이고 동일한 소정의 평균 기울기를 갖는 것을 알 수 있다. 상기 체크 포인트(0)은 상기 부분적인 소정의 함수(400)에 대한 경계 조건을 설정하는데 사용된다. 유사하게, 상기 체크 포인트(2)는 상기 부분적인 소정의 함수(420)에 대한 경계 조건을 설정하는데 사용되며, 상기 체크 포인트(4)는 상기 부분적인 소정의 함수(440)에 대한 경계 조건을 설정하는데 사용된다.
- [0098] 일단 부분적인 소정의 함수가 설정되면, 상기 다음 메모리 상태에 대한 프로그래밍 전압 레벨을 산출하는데 사용될 수 있다. 그리하여, 상기 부분적인 소정의 함수(400)는 상기 셀을 상태(1)로 프로그래밍하기 위한 프로그래밍 전압 레벨을 산출하는데 사용되며, 상기 부분적인 소정의 함수(420)는 상기 셀을 상태(3)을 프로그래밍하기 위한 프로그래밍 전압 레벨을 산출하는데 사용되며, 상기 부분적인 소정의 기능(440)은 상기 셀을 상태(5)로 프로그래밍하기 위한 프로그래밍 전압 레벨을 산출하는데 사용된다.
- [0099] 도 16은 하나 이상의 체크 포인트를 사용하는 예측 프로그래밍의 실시예의 제 2 예를 도시한다. 도 14 및 도 15에 도시된 제 1예와 비교하여, 상기 제 2예는 4개의 메모리 상태마다 지정된 체크 포인트를 사용한다. 그리하여, 체크 포인트(0)은 상태(0), 상태(4), 상태(8) 등에서 지정된다. 상기 체크 포인트(0)에 의해 설정된 상기 부분적인 소정의 함수는 다음 3개의 메모리 상태들, 즉, 상태(1), 상태(2), 및 상태(3)에 대한 프로그래밍 전압을 예측하는데 사용된다. 유사하게, 체크 포인트(4)에 의해 설정된 상기 부분적인 소정의 함수는 이어지는 3개의 메모리 상태들, 즉, 상태(5), 상태(6) 및 상태(7)에 대해 각각 프로그래밍 전압을 예측하는데 사용될 것이다. 이런 제 2예로부터 도출된 상기 예측 프로그래밍된 전압은 제 1예만큼 정확하지는 않지만, 수 많은 애플리케이션에 충분히 사용될 수 있다. 그것은 프로그램-검증 동작들의 개수를 더욱 줄일 수 있는 장점이 있다.
- [0100] 메모리 셀의 상기 임계 창에서 임계치 범위 중에서 다른 지정된 체크 포인트의 변동이 가능하다. 성능 및 정확성 사이의 균형에 따라 선택이 이루어질 수 있다.
- [0101] 예를 들어, 일부 프로그래밍 알고리즘에서, 상기 페이지의 메모리 셀은 모두 제 1 패스에서 셀들 각각의 목표 상태들에 가깝게 프로그래밍된다. 그 후, 제 2 프로그래밍 패스는 상기 각각의 목표 상태로의 프로그래밍을 완료한다. 상기 2-패스 접근은 이웃하는 메모리 셀들의 플로팅 게이트 사이에서 프로그램 오류를 제거하는데 사용된다. 상기 제 1 패스 프로그래밍은 상기 제 2 패스 만큼의 높은 정밀도를 요구하지 않기 때문에, 상기 제 1 패스는 시간을 절약하기 위해 상기 예측 프로그래밍 모드를 사용하여 수행될 수 있다. 일부 실시예에서, 상기 제 2 프로그래밍 패스는 또한 바람직하게는 적소에 더 많은 체크 포인트를 가지고 상기 예측 프로그래밍 모드를 채용하게 된다.
- [0102] 상기 예측 프로그래밍 모드는 상기 목표 임계 전압 레벨을 벗어날 매우 작은 가능성(0.1% 미만으로 추정)을 배제하지 않는다. 목표 메모리 상태를 벗어나는 경우에, 상기 에러는 구현된 에러 정정 코드에 의해 정정될 수 있다.
- [0103] 2개의 체크 포인트들이 유효한 경우에, 상기 소정의 함수의 기울기를 독립적으로 설정할 수 있다. 일단 상기 소정의 함수가 상술되면, 이어지는 메모리 상태들에 대한 프로그래밍 전압 레벨을 산출하는데 사용될 수 있다.
- [0104] 여기서, 모든 특허, 특히 출원, 조항, 서적, 명세서, 기타 공보, 문서 및 참고 문헌은 모든 목적을 위하여 온전히 그래도 본 참조에 의해 통합된다. 상기 통합된 공보, 문서 또는 문헌 및 본 문서의 텍스트들 중의 일부 사이의 용어의 정의 또는 용도의 불일치 또는 상충의 범위까지, 본 문서의 용어의 정의 또는 용도가 보편화되어야 한다.
- [0105] 본 발명의 다양한 양상이 상기의 실시예를 참고로 설명되어 있지만, 본 발명은 첨부된 청구항의 범위 내에서 보호받을 수 있음을 이해한다.

산업상 이용 가능성

- [0106] 상술한 바와 같이, 본 발명은, 전기적으로 삭제 및 프로그래밍 가능한 읽기 전용 메모리 (EEPROM) 및 플래시 EEPROM과 같은 비휘발성 반도체 메모리를 제공하고, 보다 구체적으로는 프로그램-검증 동작 횟수가 최소화되는 메모리 및 프로그래밍 동작을 제공하는데 사용된다.

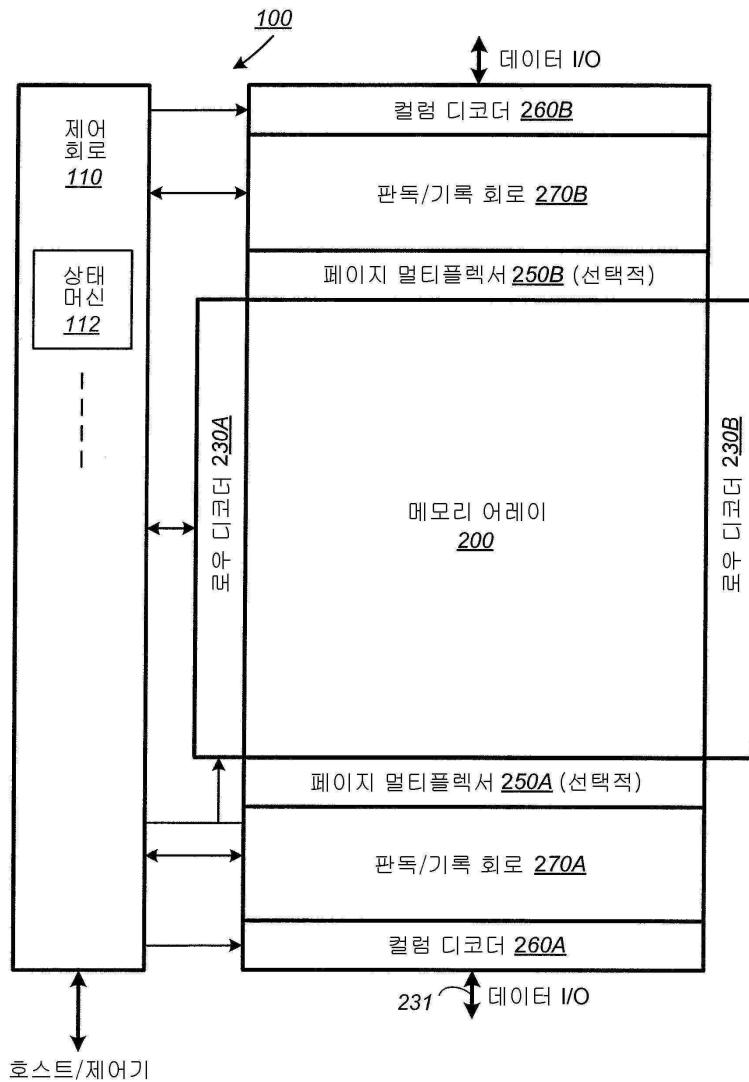
도면의 간단한 설명

- [0024] 도 1은, 본 발명이 구현될 수 있는 비휘발성 메모리 칩의 함수 블록을 개략적으로 도시하는 도면.

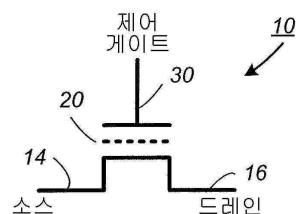
- [0025] 도 2는, 비휘발성 메모리 셀을 개략적으로 도시하는 도면.
- [0026] 도 3은, 플로팅 게이트가 선택적으로 어느 한 번에 선택적으로 저장할 수 있는 4개의 다른 전하량 Q1 내지 Q4에 대한 소스-드레인 전류(I_D) 및 제어 게이트 전압(V_{CG}) 사이의 관계를 도시하는 도면.
- [0027] 도 4는, NOR 배열 메모리 셀의 예를 도시하는 도면.
- [0028] 도 5a는, NAND 스트링으로 구성된 일련의 메모리 셀을 개략적으로 도시하는 도면.
- [0029] 도 5b는, 도 5a에 도시된 것과 같은 NAND 스트링들(50)로 구성된 NAND 배열의 메모리 셀들(200)의 예를 도시하는 도면.
- [0030] 도 6은, 메모리 셀을 목표 메모리 상태로 프로그래밍하기 위한 종래 기술을 도시하는 도면.
- [0031] 도 7은, 소정의 메모리 장치의 다양한 메모리 셀 그리고 인가된 프로그래밍 전압 및 임계 전압 레벨 사이의 상기 관찰된 관계를 프로그래밍한 예를 도시하는 도면.
- [0032] 도 8은, 소정의 메모리 장치에서 메모리 셀의 샘플에 대한 도 7에 도시된 기울기 분포를 개략적으로 도시하는 도면.
- [0033] 도 9는, 상기 메모리 셀을 목표 임계 전압 레벨로 프로그래밍할 필요가 있는 상기 프로그래밍 전압을 제공하기 위해 사용된 소정의 함수의 바람직한 실시예을 도시하는 도면.
- [0034] 도 10은, 본 발명의 일반적인 실시예에 따른 예측 프로그래밍을 도시하는 흐름도.
- [0035] 도 11은, 예측 프로그래밍 모드에서 적용에 따른 도 9에 도시된 소정의 함수의 조정에 따른 상기 프로그래밍 전압을 도시하는 도면.
- [0036] 도 12는, 도 11에 도시된 프로그래밍 과정 동안 1 페이지의 메모리 셀들의 다양한 메모리 상태의 분포를 개략적으로 도시하는 도면.
- [0037] 도 13은, 체크 포인트를 사용한 메모리 셀의 소정 함수를 조정하는 것을 포함하는 도 10에 도시된 단계 300을 도시하는 흐름도.
- [0038] 도 14는, 하나 이상의 체크 포인트를 사용하는 예측 프로그래밍의 실시예의 제 1 예를 도시하는 도면.
- [0039] 도 15는, 도 14에 도시된 체크 포인트들은 상기 체크 포인트들에 대응하는 다양한 관련 소정의 로컬 함수들을 조정하기 위해 사용되는 형태를 도시하는 도면.
- [0040] 도 16은, 하나 이상의 체크 포인트를 사용하는 예측 프로그래밍의 실시예의 제 2 예를 도시하는 도면.

도면

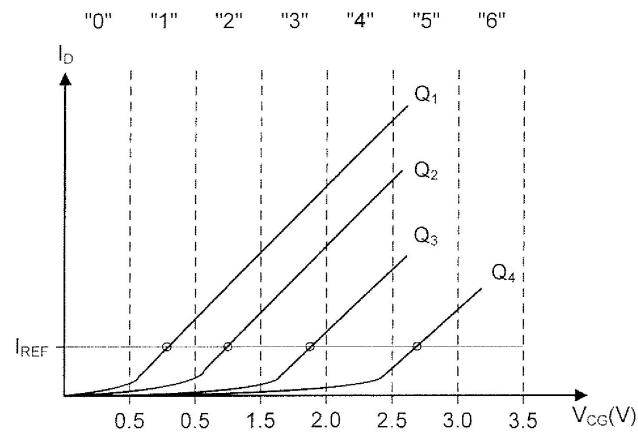
도면1



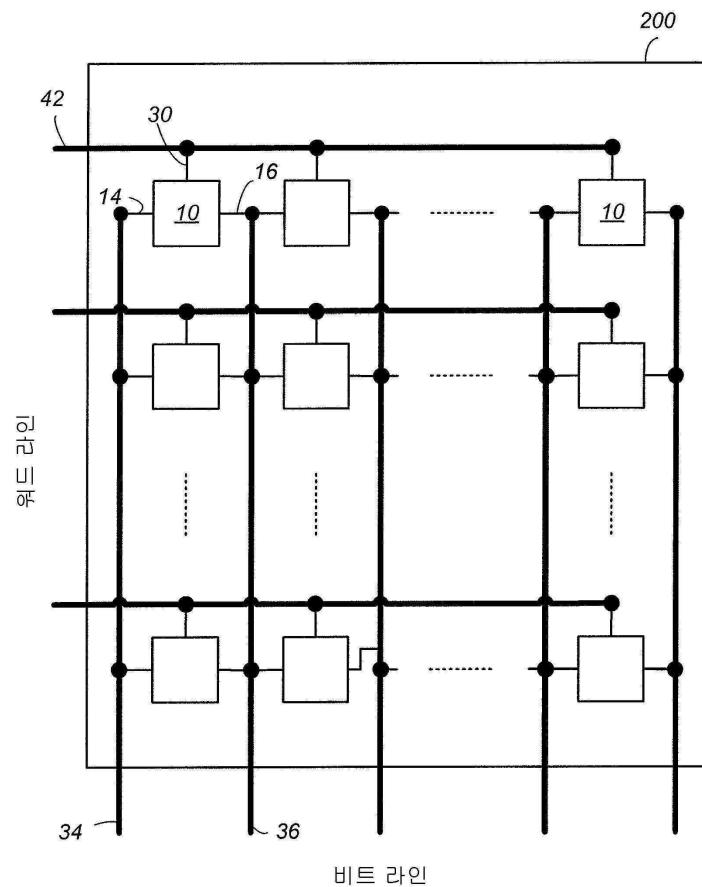
도면2



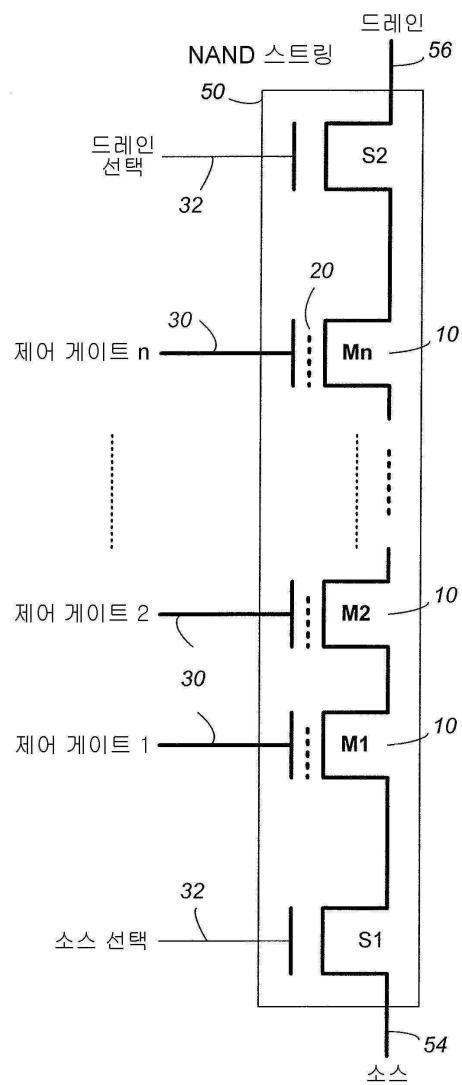
도면3



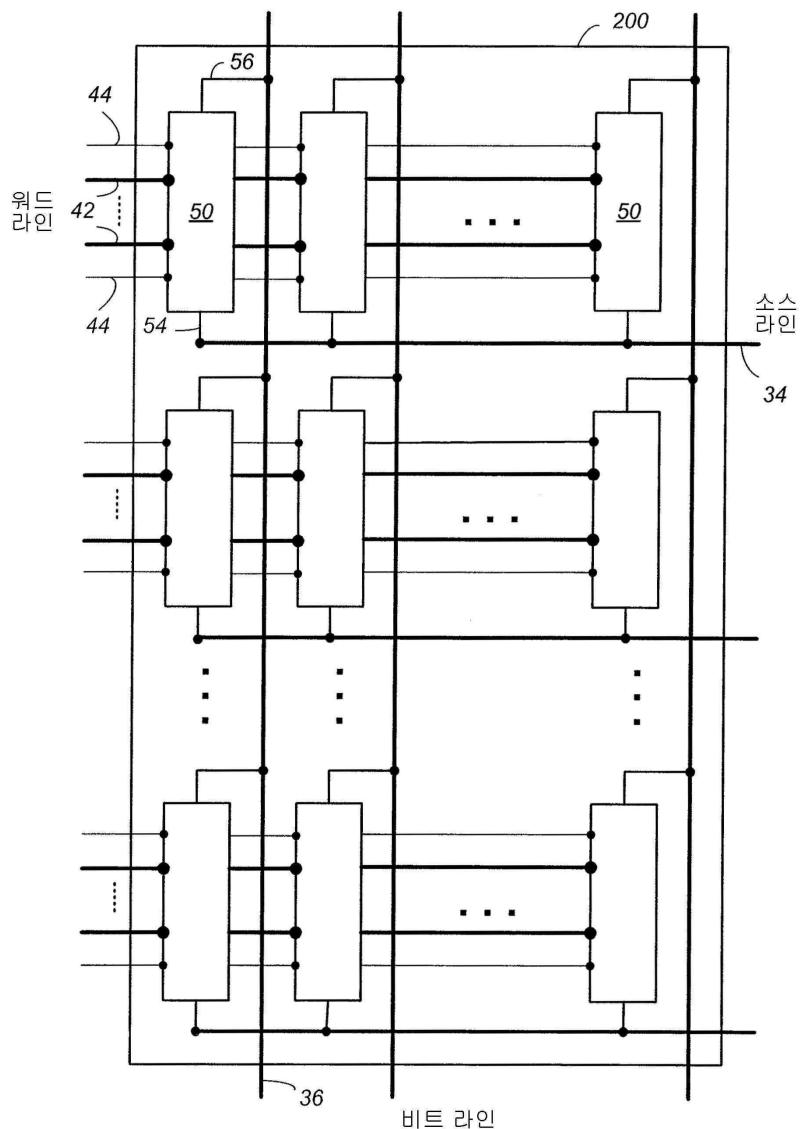
도면4



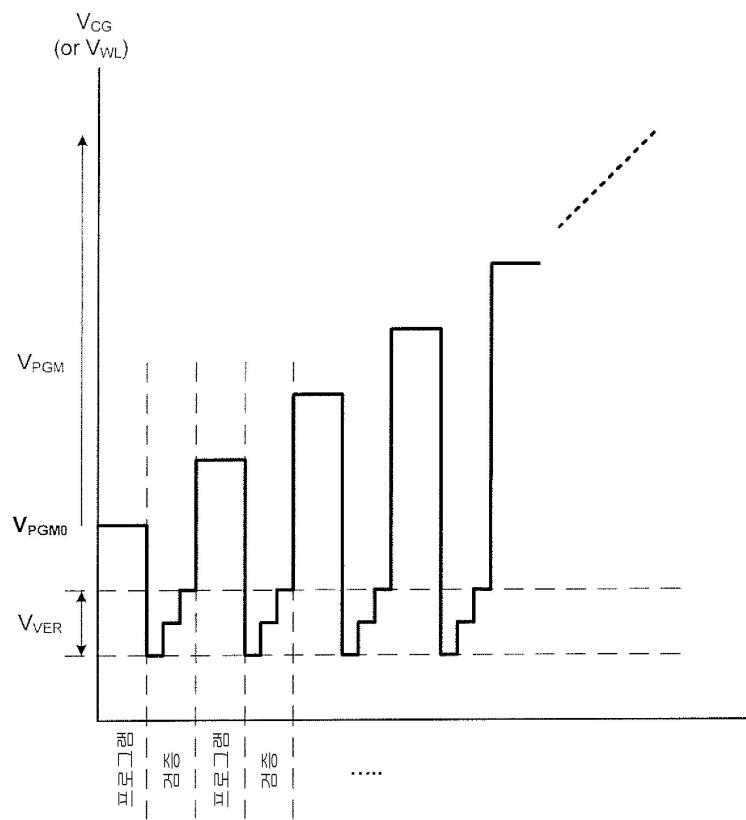
도면5a



도면5b

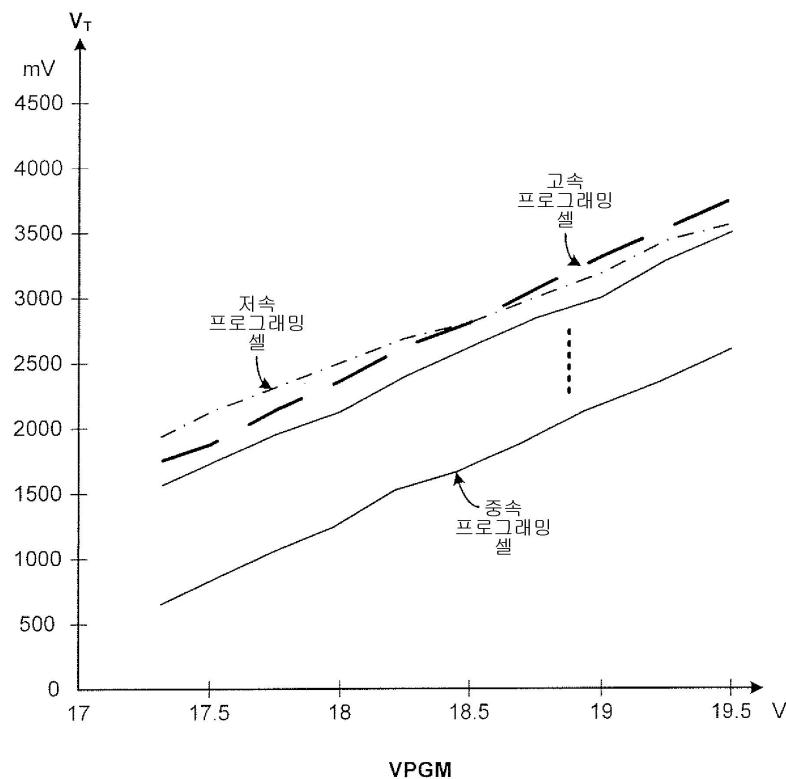


도면6



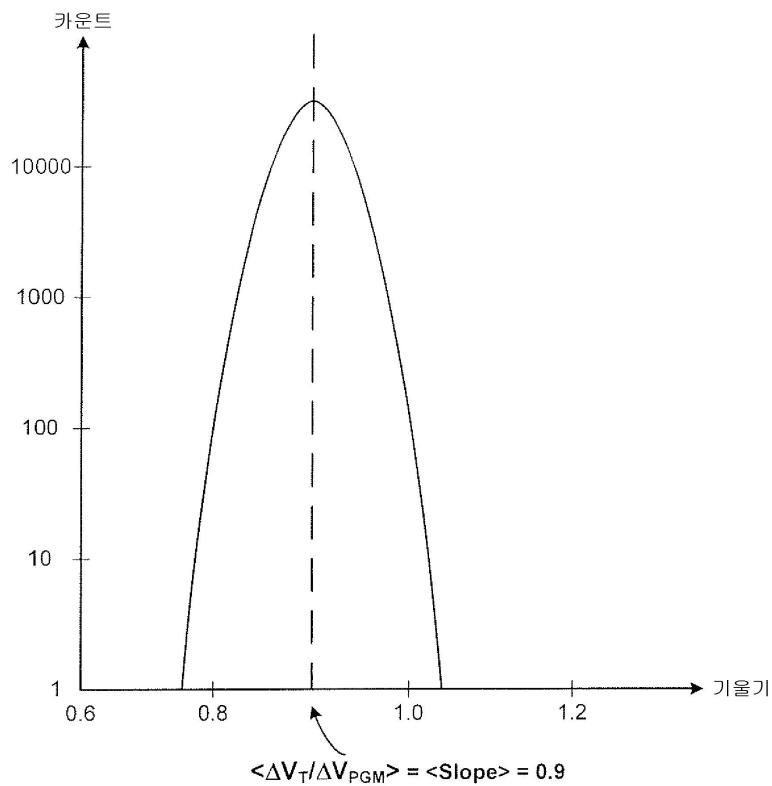
교번적 프로그램/검증 순서를 갖는 총래의 프로그래밍

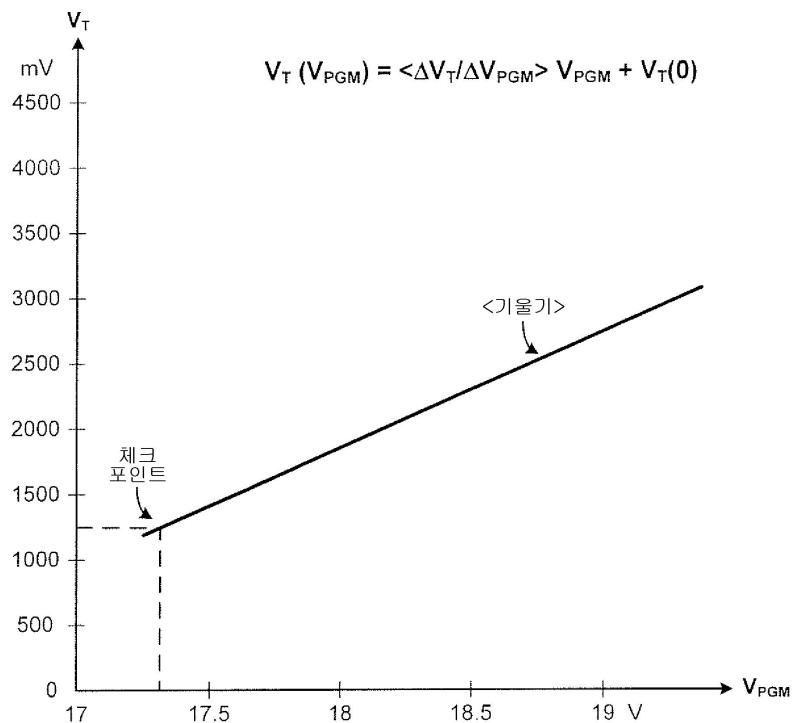
도면7



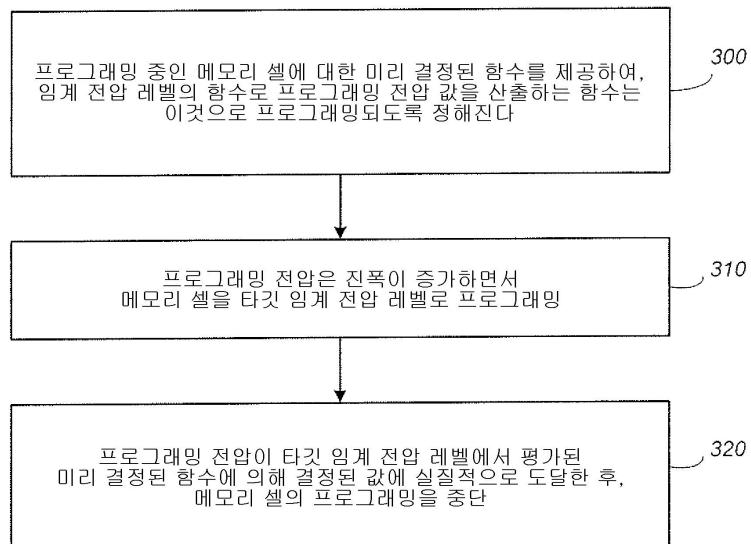
실제 프로그래밍 동안 관찰된 저속, 중속, 고속 셀의 샘플

도면8



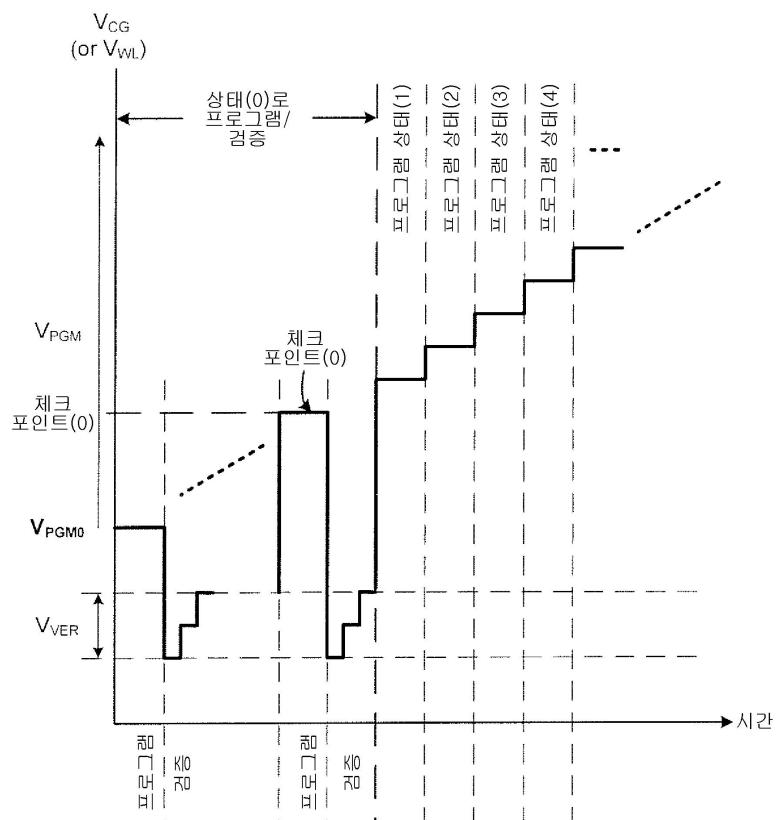
도면9

예측 프로그래밍에 대한 미리 결정된 함수

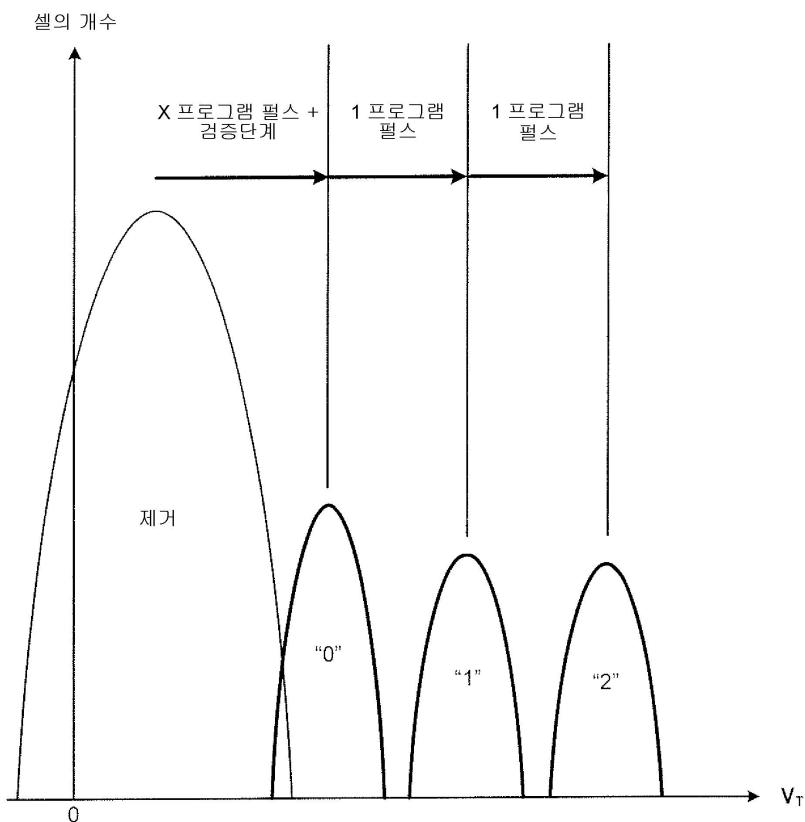
도면10

미리 결정된 함수를 사용하는 예측 프로그래밍

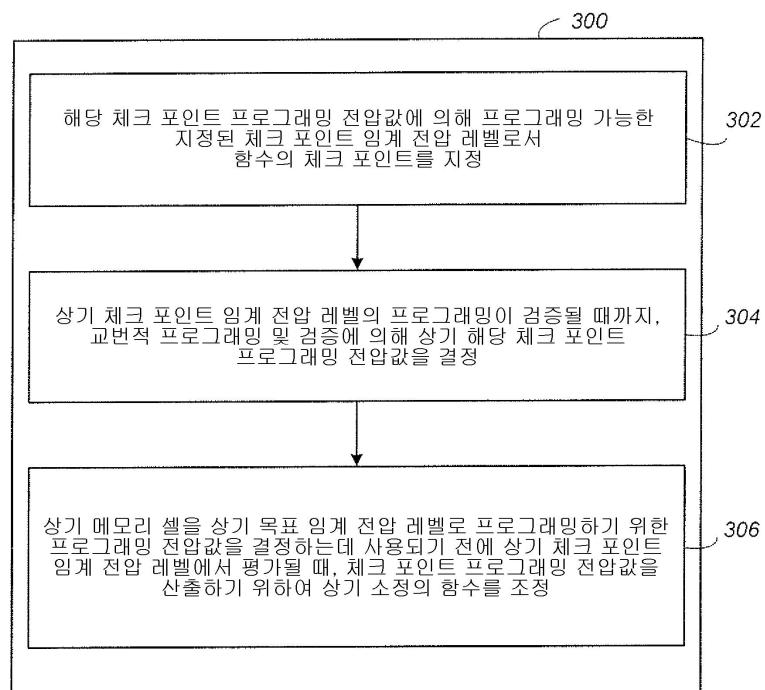
도면11



상태(0)에 대한 프로그램/ 검증; 보다 높은 상태에 대한 예측 프로그래밍

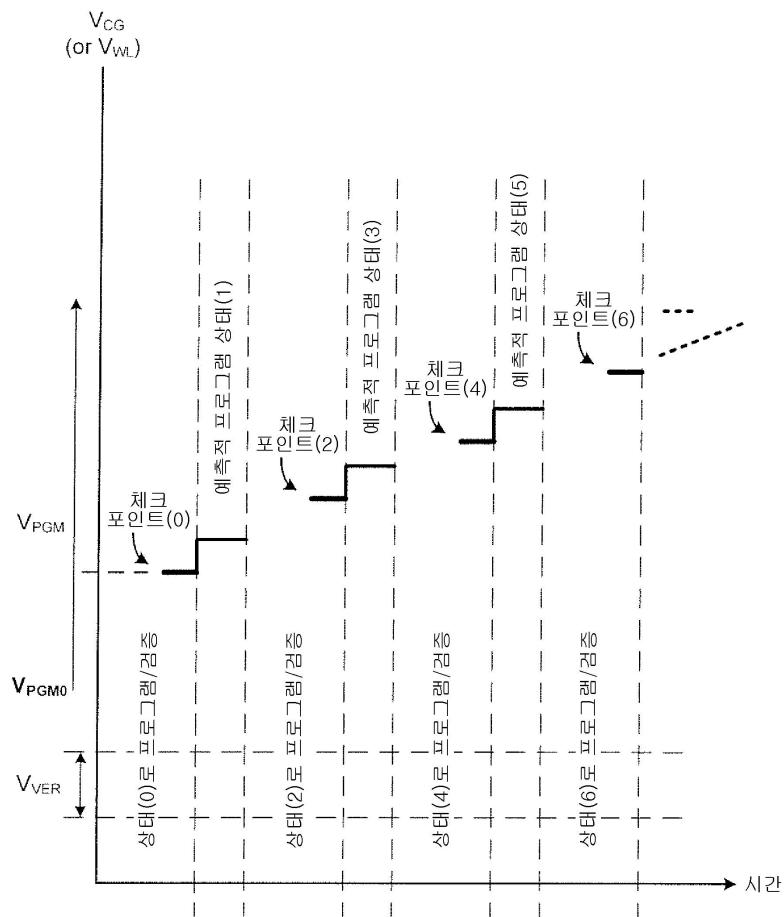
도면12

예측 프로그래밍 하에서 셀 집단 분포의 예

도면13

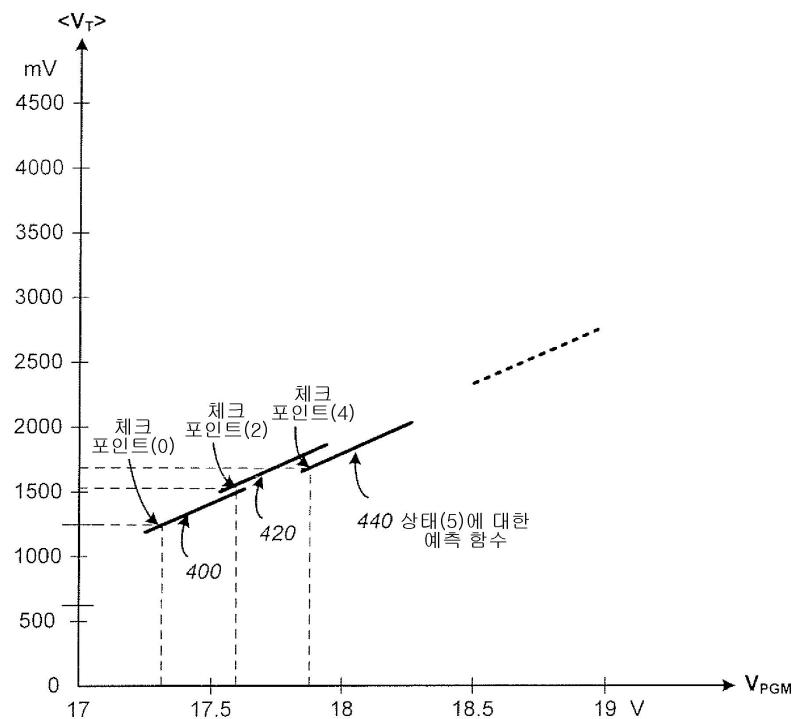
체크 포인트로 예측 프로그래밍 함수를 조정

도면14



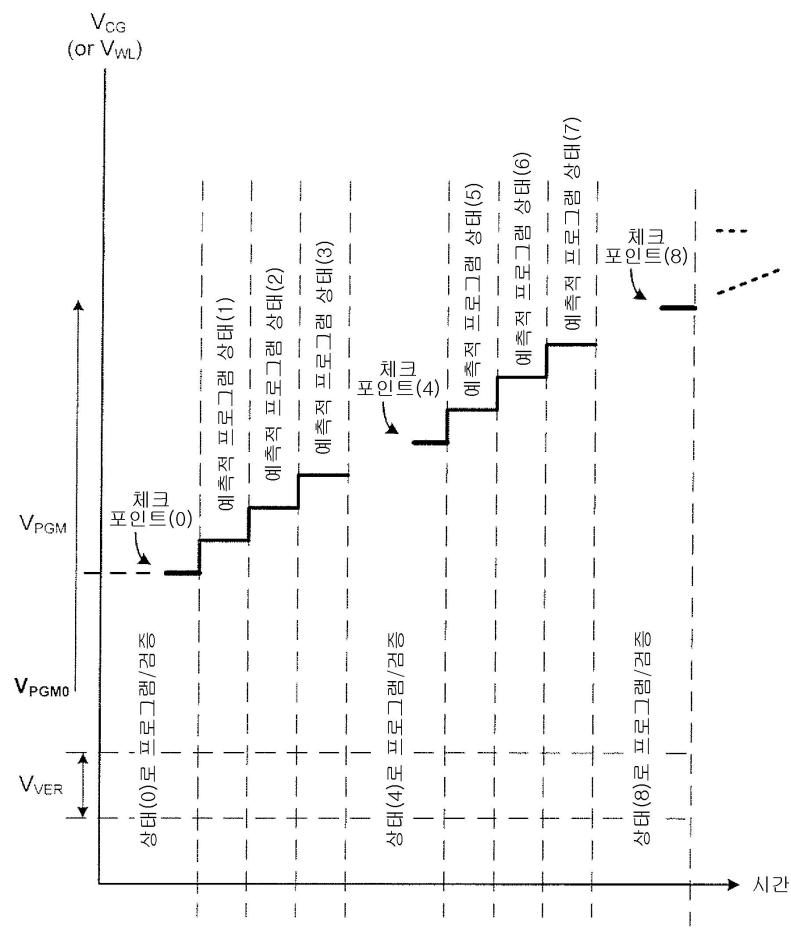
체크 포인트로 삽입된 예측 프로그래밍의 제 1 예

도면15



예측 프로그래밍에 대한 체크 포인트로 삽입된
소정 함수의 제 1 예

도면16



체크 포인트로 삽입된 예측 프로그래밍의 제 2 예