(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/28

(45) 공고일자 2004년07월22일
(11) 등록번호 10-0441190
(24) 등록일자 2004년07월12일

(21) 출원번호 10-2001-7002560
(22) 출원일자 2001년02월27일
번역문 제출일자 2001년02월27일
(86) 국제출원번호 PCT/US1999/020053
(86) 국제출원출원일자 1999년08월31일
(65) 공개번호 10-2001-0073053
(43) 공개일자 2001년07월31일
(87) 국제공개번호 WO 2000/14778
(87) 국제공개일자 2000년03월16일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아-헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀랜드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬란드, 일본, 케냐, 키르기즈, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 라이베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크메니스탄, 터어키, 트리니다드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 남아프리카, 그레나다, 가나, 감비아, 크로아티아, 인도네시아, 인도, 시에라리온, 유고슬라비아, 짐바브웨,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기즈, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크메니스탄,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀랜드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베넹, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기네, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기네비쏘,

(30) 우선권주장 09/146,866 1998년09월03일 미국(US)

(73) 특허권자 마이크론 테크놀로지 인코포레이티드
미국, 아이다호 83706-9632, 보이즈, 사우스 패더럴 웨이 8000

(72) 발명자 마르쉬,유진,피.
미국83716아이다호보이즈피카보코트1722

(74) 대리인 남상선

심사관 : 김종찬

(54) 확산 배리어층 및 그의 제조 방법

요약

집적회로 제조 방법은 표면(13)을 갖는 기판 어셈블리(13)를 제공하는 단계 및 표면 위의 적어도 일부 위로 배리어층(14)을 형성하는 단계를 포함한다. 배리어층(14)은 백금(x):루테늄(1-x) 합금으로 형성되고, x는 약 0.60 내지 약 0.995 사이, 바람직하게 x는 약 0.90 내지 약 0.98 사이이다. 배리어층(14)은 화학적 기상 증착에 의해 형성될 수 있고 배리어층이 형성되는 표면의 일부는 실리콘을 함유한 표면일 수 있다. 본 발명의 방법은 캐패시터, 저장 셀, 콘택 라이너 등의 형성에 사용된다.

대표도

도 1

명세서

기술분야

본 발명은 반도체 장치 및 그의 제조 방법에 관한 것이다. 특히, 본 발명은 확산 배리어층에 관한 것이다.

배경기술

집적회로의 제조시에 다양한 전도층이 사용된다. 예를 들어, 다이나믹 랜덤 액서스 메모리(DRAM), 스태틱 랜덤 액서스 메모리(SRAM), 강유전체(FE) 메모리 등과 같은 반도체 장치를 제조하는 동안, 저장 셀 캐패시터를 형성하는데는 전도성 재료가 사용되며 예를 들어 콘택홀, 비아 등의 상호 접속 구조에도 전도성 재료가 사용될 수 있다. 많은 응용에 있어서, 사용되는 상기 재료는 효과적인 확산 배리어 특성을 제공하는 것이 바람직하다.

예를 들어, 메모리 장치, 예를 들어 DRAM의 저장 셀 캐패시터의 형성에 사용되는 전도성 재료에 있어 효과적인 확산 배리어 특성이 요구된다. 메모리 장치가 보다 조밀해짐에 따라, 이러한 장치를 형성하는 회로 부품의 크기는 감소될 필요가 있다. 메모리 장치의 저장 셀 캐패시터의 저장 캐패시티를 유지하는 동시에 메모리 장치 크기를 감소시키는 방법 중 하나는 저장 셀 캐패시터의 유전체층의 유전 상수를 증가시키는 것이다. 따라서, 높은 유전상수 재료가 2개의 전극 사이에 개재되도록 하는 응용에 사용된다. 다양한 전도성 재료의 1개 이상의 층이 전극 재료로서 사용될 수 있다. 그러나 일반적으로, 전극용(특히 셀 캐패시터의 하부 전극)으로 사용되는 전도성 재료의 1개 이상의 층은 일정한 배리어 특성 및 산화에 대한 내성을 갖고 있어야 한다. 이러한 특성은 예를 들어, 높은 유전체 재료의 증착과 같은, 상기 높은 유전체 재료를 형성하는데 사용되는 프로세스는 산소를 함유한 분위기에서 일반적으로 고온에서(일반적으로 약 500℃이상) 이루어지기 때문에, 높은 유전 상수의 재료가 저장 셀 캐패시터의 유전체층으로 사용되는 경우에 있어 상기 특성이 특히 요구된다.

일반적으로는, 다양한 금속 및 금속 화합물, 및 전형적으로 알려진 백금과 같은 금속 및 산화 루테늄과 같은 전도성 산화물이 전극으로서 제안되거나 또는 높은 유전 상수 재료를 사용하기 위한 전극 또는 1개 이상의 전극층으로서 제안되고 있다. 그러나, 신뢰성 있는 전기적 접속은 일반적으로 높은 유전 상수 재료의 유용한 특성을 감소시키지 않도록 구조화 되어야 한다. 하부 전극으로서 바람직한 기능을 하는 백금은, 산소의 확산에 대한 효율적인 배리어이다. 캐패시터가 형성되는 하부층 실리콘의 산화로 일련의 캐패시턴스가 감소되기 때문에, 셀 캐패시터의 저장 캐패시티가 감소된다. 전극층으로서 단독으로 사용되는 백금은 산소의 투과성으로 인해 저장 셀 캐패시터의 하부 전극으로서 사용될 수 없다.

백금의 산소 투과성으로 인해, 일반적으로 백금은 전극뿐만 아니라 실리콘 상에 직접적으로 형성된 캐패시터의 집적화를 위한 확산 장벽으로서의 역할을 하는 전극 스택에서 층으로서 사용된다. 예를 들어, 1997년 8월 4일자, Appl. Phys.Letter.71(5)에 H.D. Bhatt등에 의해 'Noble High Temperature Multilayer Electrode-Barrier Structure for high Density Ferroelectric Memories' 논문에 개시된 것처럼, 전극 배리어 구조는 확산 배리어 특성을 갖는 전극을 형성하기 위한 백금; 로듐 합금층, 추가로 백금; 산화 로듐층을 포함한다. 이러한 합금층은 물리적 기상 증착(PVD) 공정, 예를 들면, 반응성 RF 스퍼터링 프로세스를 사용하여 형성된다.

많은 저장 셀 캐패시터는 높은 어스펙트비의 개구부를 사용하여 형성된다. 예를 들어, Fazan 등에 의해 1995년 2월 21일 공개된 'Capacitor Compatible with High Dielectric Constant Materials Having Two Independent Insulative Layers and the Method for Forming Same'이란 제목의 미국 특허 제 5,392,189호에서, 저장 셀 캐패시터는 작고 높은 어스펙트비의 개구부내에 전도성 재료를 증착함으로써 형성된 하부 전극을 포함한다. 전형적으로, 스퍼터링은 작고 높은 어스펙트비의 개구부 내에 전극을 형성하는데 적합한 충분히 균일한 층을 제공하지는 않는다.

캐패시터 전극의 형성외에, 이러한 응용, 예를 들어, 상호 접속 응용에 사용하기 위한 배리어층 형성이 바람직하다. 예를 들어, 확산 배리어는 콘택 개구부에서 원치않는 반응을 방지하는데 일반적으로 사용된다.

발명의 상세한 설명

전극 재료로서 백금 단독의 사용에 관련한 상술된 문제점, 및 이하 상세한 설명에서 알게되는 다른 문제점을 해결하

기 위해, 본 명세서에서는 백금:루테늄 확산 배리어층, 이러한 층들을 형성하는 구조, 및 그와 관련된 방법을 설명한다.

본 발명에 따른 집적 회로를 제조하는데 사용되는 방법은 표면을 갖는 기판 어셈블리를 제공하고 상기 표면의 적어도 일부 위로 배리어층을 형성하는 단계를 포함한다. 배리어층은 백금(x):루테늄(1-x) 합금으로 형성되며, x는 약 0.60 내지 약 0.995의 범위에 있다.

바람직하게 상기 방법의 또다른 실시예로, x는 약 0.90 내지 약 0.98의 범위, 보다 바람직하게 x는 약 0.95이다. 상기 방법의 또다른 실시예에서, 배리어층은 화학적 기상 증착법에 의해 형성된다. 상기 방법의 또다른 실시예에서, 배리어층이 형성된 일부 표면은 실리콘 함유 표면이다.

본 발명에 따른 캐패시터의 형성에 사용되는 또다른 방법은 기판 어셈블리의 일부분 상에 제 1 전극을 형성하는 단계를 포함한다. 높은 유전체 재료는 제 1 전극의 적어도 일부 위로 형성되고 상기 높은 유전체 재료 위로 제 2 전극이 형성된다. 제 1 및 제 2 전극중 적어도 하나는 백금:루테늄 합금층을 포함한다.

상기 방법의 또다른 실시예에서, 제 1 및 제 2 전극중 적어도 하나는 백금(x):루테늄(1-x) 합금층 및 1개 이상의 추가적 전도성층을 포함한다.

본 발명에 따라 캐패시터를 포함하는 저장 셀을 형성하는데 사용되는 또다른 방법을 설명한다. 상기 방법은 1개 이상의 액티브 장치를 포함하는 기판 어셈블리를 제공하는 단계 및 1개 이상의 액티브 장치와 관련된 캐패시터를 형성하는 단계를 포함한다. 상기 캐패시터는 백금(x):루테늄(1-x) 합금의 배리어층을 포함하는 1개 이상의 전극을 포함한다.

본 발명에 따른 반도체 장치 구조는 표면을 포함하는 기판 어셈블리 및 상기 표면의 적어도 일부 위에 배리어층을 포함한다. 상기 배리어층은 백금(x):루테늄(1-x) 합금으로 형성되며, x는 약 0.60 내지 약 0.995 범위에 있다.

본 발명에 따른 캐패시터 구조는 제 1 전극, 상기 제 1 전극의 적어도 일부 상의 유전체 재료, 및 상기 유전체 재료 상의 제 2 전극을 포함한다. 제 1 및 제 2 전극중 적어도 하나는 백금(x):루테늄(1-x) 합금의 배리어층을 포함한다.

본 발명에 따른 메모리 셀 구조는 1개 이상의 액티브 장치를 포함하는 기판 어셈블리 및 상기 1개 이상의 액티브 장치를 기준으로 형성된 캐패시터를 포함한다. 상기 캐패시터는 백금(x):루테늄(1-x) 합금으로 형성된 배리어층을 포함하는 1개 이상의 전극을 포함한다.

또 다른 집적회로 구조는 1개 이상의 액티브 장치를 포함하는 기판 어셈블리 및 상기 1개 이상의 액티브 장치를 기준으로 형성된 상호 접속을 포함한다. 상기 상호 접속은 백금(x):루테늄(1-x) 합금으로 형성된 배리어층을 포함한다.

본 발명은 이하 설명되는 첨부된 도면을 참조로 실시예를 설명하는 이하 발명의 상세한 설명에 의해 보다 명확해질 것이다.

도면의 간단한 설명

도 1은 본 발명에 따른 백금:루테늄 합금을 포함하는 장치 구조를 나타낸 도면.

도 2는 다중 전도성층 스택의 일부로서 본 발명에 따른 백금:루테늄 합금을 포함하는 구조를 나타내는 도면.

도 3은 본 발명에 따른 백금:루테늄 합금층을 갖는 전극을 포함하는 높은 유 전체 캐패시터를 포함하는 구조를 나타내는 도면.

도 4는 저장 셀 캐패시터 형성시에 백금:루테늄 합금층의 사용을 나타내는 도면.

도 5는 상호 접속 형성시에 백금:루테늄 합금층의 사용을 나타내는 도면.

도 6A-6C는 백금:루테늄 합금 재료층이 증착되는 예를 나타내는 도면.

도 6A는 산소 어닐 이전에 증착된 백금:루테늄 합금층의 깊이 프로파일을 나타내며, 도 6B는 산소 어닐 이후에 증착된 백금:루테늄 합금층의 깊이 프로파일을 나타내며, 도 6C는 산소 어닐링 이후에 백금:루테늄 합금층의 프로파일동안 S_1 신호를 나타내는 XPS 몽타주 표시를 나타낸다.

실시예

본 발명은 도 1을 참조로 설명한다. 이후, 본 발명의 실시예 및 설명은 도 2-5를 참조로 설명한다.

도 1은 기판 어셈블리(12) 및 상기 기판 어셈블리(12)의 표면(13), 예를 들어, 실리콘 함유 표면 상에 형성된 본 발명에 따른 백금:루테늄 합금층(14)을 포함하는 구조를 나타낸다. 구조(10)는 효율적인 배리어층을 요구하는 어떠한 응용을 위해 백금:루테늄 합금층 사용을 나타낸다. 다른말로, 백금:루테늄 합금층(14)은 어떤 재료가 인접 재료로 확산되는 것을 방지하는 것이 요구되는 반도체 장치의 제조에 사용될 수 있다. 예를 들어, 기판 어셈블리(12)는 실리콘 함유 표면으로 연장되는 개구부를 갖는 콘택 구조를 나타내는 것일 수 있다. 이러한 구조에서, 확산 배리어는 상기 개구부에서의 실리콘 함유 표면과, 예를 들어 알루미늄과 같은 콘택 재료와의 반응과 같은 원치 않는 반응을 방지하는데 일반적으로 사용된다.

또다른 예로, 백금:루테늄 합금 배리어층(14)은 예를 들어 메모리 장치와 같은 반도체 장치의 사용을 위한 저장 셀 캐패시터 형성에 사용될 수 있다. 이하 설명되는 것처럼, 백금:루테늄 합금 배리어층(14)은 상기 저장 셀 캐패시터에서 또는 캐패시터의 전극을 형성하는 스택층 내에서 전극으로서 단독으로 사용될 수 있다. 당업자는 다양한 반도체 프로세스 및 예를 들어, CMOS 장치, 메모리 장치 등과 같은 다양한 장치를 위한 구조가 본 발명의 배리어층을 특징으로 하는 배리어로 인해 유용하며 본 발명의 방식이 이하 설명되는 실시예를 설명하도록 제한되는 것이 아님을 알 것이다.

본 출원에서 사용되는 것으로서, '기판 어셈블리'는 웨이퍼에서 실리콘 재료의 최하부층의 베이스 반도체층과 같은 반도체 기판, 또는 SOS(Silicon on sapphire)와 같은 또다른 재료상에 증착된 실리콘층, 또는 1개 이상의 층을 갖는 반

도체 기판 또는 그위에 형성되는 구조 또는 그안에 형성된 영역으로 간주된다. 이하 설명에서 기판 어셈블리를 참조로 하는 경우, 다양한 프로세스 단계가 영역, 접합, 다양한 구조 또는 픽춰, 및 비아, 콘택 개구부, 높은 어스펙트비의 개구부 등의 개구부를 형성 또는 한정하는데 사용될 수 있다.

본 발명에 따른 백금:루테늄 합금층(14)은 백금(x):루테늄(1-x)의 원자 조성을 포함하며, x는 약 0.60 내지 약 0.995의 범위에 있다. 다른말로, 반도체 장치를 위한 배리어 특성을 달성하기 위해서 백금층에서 필요한 루테늄 양은, 즉 약 40% 내지 약 0.5%의 범위의 최소량이다. 보다 바람직하게, x는 약 0.90 내지 약 0.98이며, 또 보다 더 바람직하게는 약 0.95, 즉 층에서 약 5%의 루테늄이 배리어 특성을 제공하는데 있어 바람직하다. 다른말로, 백금:루테늄 합금층(14)의 원자 조성은 약 95%의 백금과 5% 루테늄이 바람직하다.

백금:루테늄 합금층(14)의 두께는 사용되는 응용에 따라 좌우된다. 두께는 약 10Å 내지 약 10,000Å의 범위에 있는 것이 바람직하다. 백금:루테늄 합금층(14)의 두께는 약 100Å 내지 약 500Å의 범위에 있는 것이 보다 바람직하다. 예를 들어, 약 100Å 내지 약 500Å의 바람직한 두께 범위는 캐패시터의 전극을 형성하는 단일 백금:루테늄 합금층에 응용 가능하다.

기판 어셈블리(12)의 표면(13) 상에 형성된 백금:루테늄 합금층(14)은 1개 이상의 다양한 프로세스에 의해 형성될 수 있다. 예를 들어, 백금:루테늄 합금층(14)의 형성은 각각의 소스로부터 금속의 동시 진공증착, 즉 공동-진공증착(co-evaporation)에 의해 달성될 수 있다; 백금:루테늄 합금의 단일 증착 타겟으로부터 스퍼터 증착될 수 있다; 2개의 타겟(하나의 타겟은 백금을 포함하고 또다른 타겟은 루테늄을 포함)으로부터 동시에 공동-스퍼터링에 의해 증착될 수 있다; 또는 화학적 기상 증착(CVD), 예를 들어, 대기압 화학적 기상 증착, 저압 화학적 기상 증착(LPCVD), 플라즈마 강화 화학적 기상 증착(PECVD), 또는 다른 화학적 기상 증착 기술에 의해 증착될 수 있다. 바람직하게, 백금:루테늄 합금층(14)의 형성은 CVD에 의해 이루어진다.

예를 들어, 프로세스는 Genus, Inc.(캘리포니아 써니베일)의 지정 상표명 7000으로 시판되는 반응 챔버, 또는 Applied Materials,Inc.(캘리포니아 산타클라 라)의 지정 상표명 5000으로 시판되는 반응 챔버, 또는 Novelus,Inc.(캘리포니아 샌어제이)의 지정 상표명 Prism으로 시판되는 반응 챔버와 같은 화학적 기상 증착 반응기에서 수행될 수 있다. 그러나, CVD를 수행하는데 적합하다면 어떠한 반응 챔버라도 사용가능하다.

화학적 기상 증착(CVD)은 기상 반응물, 즉 원하는 성분을 함유하고 있는 반응 가스의 반응에 의해 기판상에서 비휘발성 고체막 형성으로 한정된다. 반응 가스가 반응 챔버 속으로 주입된다. 가스는 분해되고 원하는 막을 형성하기 위해 가열된 웨이퍼 표면상에서 반응한다. 화학적 기상 증착은 단지 금속 원소 또는 화합물의 막과 같은 반도체 웨이퍼 상에 박막, 예를 들어, 백금:루테늄 합금층을 제공하는 프로세스중 하나이다. 화학적 기상 증착 프로세스는 깊은 콘택 및 다른 개구부내에 고도로 균일한 층을 제공하는 프로세스 능력으로 인해 여러 가지 면에서 바람직하다. 따라서, 이하 도 4 및 도 5를 참조로 설명되는 것처럼, CVD 공정은 저장 셀 캐패시터의 하부 전극용과 같은 깊은 콘택 및 다른 개구부 내에 고도로 균일한 층을 제공하는데 바람직하다. 비록 CVD가 바람직한 프로세스이지만, 상기 CVD 프로세스는 플라즈마, 광(photo), 레이저 보조와 같은 관련된 다양한 기술 뿐만 아니라 다른 기술에 의해 강화될 수 있음을 당업자는 알 것이다.

바람직하게는, 본 발명에 따라, 백금 및 루테늄의 공동-증착은 CVD 프로세스를 사용하여 행해지며, 여기서 루테늄 전구체는 백금 전구체와 함께 반응 챔버로 이송된다. 바람직하게, 상기 방법은 O_2, NO, N_2O, O_3, 과산화수소, T-부틸 과산화물과 같은 산화 반응 가스, 또는 다른 산화제의 존재하에서 수행된다.

전형적으로, 액체 전구체는 헬륨 또는 다른 어떠한 불활성의 캐리어 가스를 통해 버블러 저장기내에 포함된다, 즉 비반응성 가스(예를 들어, 질소, 아르곤, 네온 및 크세논)가 반응 챔버에서 전구체를 전송하도록 전구체를 함유한 저장기를 통해 버블된다. 예를 들어, 비반응성 가스, 즉 프로세스의 다른 가스와 비반응성인 가스로 약 1 sccm 내지 약 100sccm 범위의 흐름 속도를 갖는 캐리어 가스의 흐름은 반응 챔버로 백금 전구체를 전송하기 위해 약 0.5 내지 약 50torr 범위의 압력 및 약 30℃ 내지 약 70℃ 범위의 온도를 갖는 버블러에 사용된다. 마찬가지로, 약 1sccm 내지 약 10sccm 범위의 흐름 속도를 갖는 캐리어 가스, 즉 비반응성 가스는 반응 챔버로 루테늄 전구체를 전송하기 위해서 약 0.5torr 내지 약 100torr의 압력 및 약 20℃ 내지 약 50℃의 온도의 조건에서 루테늄 전구체를 함유하는 버블러에서 사용된다. 반응성 산화 가스는 약 0sccm 내지 약 500sccm의 흐름속도로 반응 챔버로 제공된다.

기술분야의 당업자는 가스가 반응 챔버속으로 주입되는 방식이 다양한 기술중 하나에 포함될 수 있음을 알 것이다. 예를 들어, 버블러 기술에 의한 제공방법 이외에, 실온에 있는 가스 화합물을 사용하거나 또는 휘발성 화합물을 가열함으로써 그리고 캐리어 가스를 사용하여 반응 챔버로 휘발성 화합물을 전송함으로써 주입이 이루어질 수도 있다. 또한, 고체 전구체(precursor) 및 상기 고체 전구체의 다양한 증발 방법이 챔버 속으로 반응 화합물을 주입하는데 사용될 수 있다. 이처럼, 본 발명은 어떠한 특정 기술에 제한되는 것은 아니다. 또한, 전형적으로 반응 가스는 개별 입구 포트로 주입된다. 반응 가스 이외에, 희석 가스(즉, 반응 가스와 반응하지 않는 가스)가 챔버 속으로 주입될 수 있다. 예를 들어, 아르곤 가스가 가변의 흐름 속도로 챔버 속으로 주입될 수 있다.

따라서, 본 발명에 따른 반응 챔버내의 반응 가스 혼합물은 적어도 루테늄 전구체 가스, 백금 전구체 가스, 및 선택적으로 산소 반응 가스 및/또는 희석 가스를 포함한다. 바람직하게, 반응 챔버내에서 루테늄 전구체 가스의 부분압은 상술된 바람직한 백금:루테늄 조성의 합금층(14)을 형성하기 위해 설명된 범위내로 루테늄이 증착되도록 충분히 낮게 유지된다. 상기 부분압은 불활성 가스, 예를 들면, 헬륨의 흐름을 루테늄 전구체를 함유한 버블러 또는 버블러의 온도 및 압력과 같은 프로세스의 다른 파라미터의 제어를 통해 제어함으로써 제어될 수 있다.

바람직한 CVD 프로세스에서, 반응 챔버 압력은 약 0.5torr 내지 약 5torr의 증착 압력으로 유지되는 것이 바람직하다. 백금:루테늄 합금층(14)이 증착된 웨이퍼 표면에서의 증착 온도는 약 200℃ 내지 약 400℃ 범위의 온도로 설정된다.

루테늄을 함유한 전구체 및 백금을 함유한 전구체가 본 발명에 따라 사용될 수 있다. 바람직하게, 백금을 함유한 전구체는 $MeCpPtMe_3$ (여기서, C=시크로펜타디에닐;cyclopentadienyl), 백금 헥사플루오르아세틸아세토네이트, $CpPtMe_3$, $Pt(아세틸아세토네이트)_2$, $Pt(PF_3)_4$, $Pt(CO)_2Cl_2$, $cis-PtMe_2[MeNC]_2$, $(COD)Pt(CH_3)_2$, $(COD)Pt(CH_3)Cl$, $(C_5H_5)Pt(CH_3)(CO)$, $(acac)(Pt)(CH_3)_3$를 포함하며, 여기서 COD=1,5 시크로크타디엔(cycloctadiene)이고 acac=아세틸아세토네이트(acetylacetonate)이다. 보다 바람직하게, 루테늄 전구체는 이하의 식의 액체 루테늄 혼합물이다; (식 Ⅰ): (디엔)$Ru(Co)_3$, 여기서, '디엔(diene)'은 선형, 분기형(branched), 또는 순환형 디엔, 2환식(bicyclic) 디엔, 3환식 디엔 및, 플루오르화된 이들의 유도체, 및 이들의 조합, 및 선택적으로 할로겐화물, Si, S, Se, P, As 또는 N과 같은 헤테로원자를 선택적으로 함유한 이들의 유도체로 간주된다. 상기 전구체 복합물 및 다른 것에 대해서는 양수인의 공동계류중인 특허 출원으로 'Precursor Chemistries for Chemical Vapor Deposition of Ruthenium and Ruthenium Oxide'란 제목으로, 1998년 8월 27일 출원된 미국 출원 번호 No. 09/141,236(Micron Docket No.97-0675) 및 양수인의 공동계류중인 특허 출원으로 'Methods for Preparing Ruthenium and Osmium Compounds'란 제목으로 1998년 8월 27일 출원된 미국 출원 번호 No. 09/141,431(Micron Docket No.97-0861)에 개시되어 있다. 또다른 예로는, 부가적 전구체가 McCormick 등에 의해 미국 특허 No. 5,372,849호에 개시되어 있다. 보다 바람직하게, 본 발명에서 사용되는 루테늄 전구체는 $C_6H_8Ru(CO)_3$, 비스(시크로펜타디에닐) 루테늄(Ⅱ), 트리루테늄 도데카카보닐, 및 시크로펜타디에닐 디카보닐 루테늄(Ⅱ) 다이머중 하나를 포함한다.

공동 증착된 백금:루테늄 합금층(14)을 형성하는 방법은 'Method for Producing Low Carbon/Oxygen Conductive Layers'란 명칭의 공동계류중인 특허 출원(Docket No. 150.00730101(Micron Docket No.97-0996))에 개시되어 있다. 당업자는 상기 방법 및 다양한 다른 방법들이 본 발명에 따른 백금:루테늄 합금층(14)을 형성하는데 사용될 수 있음을 알 것이다.

도 2는 기판 어셈블리(22) 및 스택(24)을 포함하는 구조물(20)을 나타낸다. 스택(24)은 전도성층(31-34)을 포함한다. 1개 이상의 전도성층(31-34)은 본 발명에 따른 백금:루테늄 합금층이다.

1개 이상의 백금:루테늄 합금층을 포함하는 것 외에 1개 이상의 전도성층은 다양한 전도성 재료로 형성된 전도성층을 포함할 수 있다. 예를 들어, 전도성층은 명확히 한정되는 것은 아니지만, 백금, 파라듐, 로듐, 루테늄, 오스뮴, 및 이리듐과 같은 금속; 백금:로듐, 백금:루테늄, 및 백금:이리듐과 같은 금속 합금; 산화 루테늄, 산화 로듐, 및 산화 이리듐과 같은 산화 금속; 백금:로듐 산화물, 백금:루테늄 산화물과 같은 금속 합금 산화물; 질화 티타늄, 질화 텅스텐, 및 질화 탄탈과 같은 질화 금속; 티타늄 실리사이드, 루테늄 실리사이드, 로듐 실리사이드, 및 이리듐 실리사이드와 같은 금속 실리사이드를 포함할 수 있다.

스택(24)은 1개 이상의 다수의 형성, 예를 들면, 상호 접속 형성, 캐패시터 형성 등에 사용될 수 있다. 예를 들어, 스택(24)은 실리콘 함유 표면(23)을 포함하는 기판 어셈블리(22)를 갖는 저장 셀 캐패시터용 전극으로서 사용될 수 있다. 이처럼, 스택(24)의 배리어 특성은 실리콘 함유 표면(23)으로부터 실리콘 확산을 방지해야 한다. 본 발명에 따라, 층(31)은 스택(24)을 통해 실리콘 함유 표면(23)으로부터 인접한 층 또는 층(29)으로 실리콘의 확산을 방지하도록 백금:루테늄 합금층으로서 형성될 수 있다. 또 다른 예로, 층(29)이 스택(24)을 통해 산소가 확산되는 것을 방지하기 위해 확산 배리어 특성을 요구하는 높은 유전상수 재료인 경우, 층(34) 또는 다른 층들 중 하나가 본 발명에 따른 백금:루테늄 합금 배리어층으로서 형성될 수 있다. 당업자는 본 발명에 따른 백금:루테늄 합금층이 다양한 응용을 위한 적층층으로 사용될 수 있고 스택이 1개 이상의 백금:루테늄 합금층을 포함할 수 있음을 알 것이다. 또한, 동일 스택에 사용되는 백금:루테늄층의 조성은 상이할 수 있다.

도 3은 기판 어셈블리(52) 및 캐패시터 구조(54)를 포함하는 구조물(50)을 나타낸다. 캐패시터 구조(54)는 제 1 전극(56), 제 2 전극(60), 및 이들 사이에 개재된 높은 유전 상수의 층(58)을 포함한다. 예를 들어, 유전체층은 Ta_2O_5, $Ba_xSr_{(1-x)}TiO_3$[BST], $BaTiO_3$, $SrTiO_3$, $PbTiO_3$, $Pb(Zr,Ti)O_3$[PZT], $(Pb,La)(Zr,Ti)O_3$[PLZT], $(Pb,La)TiO_3$[PLT], KNO_3, 및 $LiNbO_3$와 같은 원하는 유전 상수를 갖는 임의의 적합한 재료일 수 있다. 높은 유전상수의 층(58)을 사용함에 따라, 전극의 확산 장벽 특성은 특히 중요하다. 예를 들어, 캐패시터 구조의 하부 전극으로서의 기능을 위해서, 전극층 또는 전극 스택은 특히 높은 유전상수 재료를 형성하는데 사용되는 프로세스로 인해, 산소의 확산에 대해 효과적인 배리어로서의 역할을 해야 한다. 이러한 확산 배리어 특성은 기판 어셈블리(52)가 캐패시터가 형성되는 실리콘 함유 표면(53), 예를 들면, 폴리실리콘, 실리콘 기판 재료, N-도핑된 실리콘, P-도핑된 실리콘 등을 포함하는 경우, 확산된 실리콘의 산화가 캐패시턴스, 예를들어, 메모리 장치에 대한 캐패시턴스를 낮추게 될 수 있기 때문에 특히 요구된다. 루테늄을 포함하는 백금의 공동-증착은 형성되는 층의 배리어 특성을 강화시켜 전극용의 순수 백금을 능가하는 장점을 제공한다.

당업자는 전극(56,60)중 하나가 백금:루테늄 합금 재료의 단일층으로서 형성될 수 있음을 알 것이다. 또한, 이러한 전극(56,60)은 1개 이상의 백금:루테늄 합금 재료층 및 1개 이상의 추가 전도성층을 포함하는 도 2를 참조로 설명된 것과 같은 스택으로 형성될 수 있다.

상술된 것처럼 백금:루테늄 합금층 또는 층들을 사용하는 2가지 예를 도 4 및 도 5를 참조로 이하 설명한다. 본 발명에 따라 백금:루테늄층 또는 층들의 사용은 도 4를 참조로 설명되며, 여기서 저장 셀의 높은 유전 상수의 캐패시터의 하부 전극은 본 명세서에서 설명된 것처럼 백금:루테늄 합금 재료의 1개 이상의 층을 포함한다. 또한, 본 발명에 따른 백금:루테늄 합금층의 사용은 도 5를 참조로 설명되며, 여기서 확산 배리어 특성을 필요로하는 콘택 라이너를 설명한다. 간략하게, 상세한 설명은 2개의 설명 구조로 설명된 백금:루테늄 합금 재료의 사용으로 제한한다. 본 발명으로 인해 유용한 다른 반도체 프로세스 및 예를 들어 CMOS 장치, 메모리 장치, 논리 장치 등의 다양한 장치에 대한 구조가 있을 수 있으며 본 발명의 방식은 본 명세서에서 개시된 실시예, 예를 들어 콘택 라이너 및 전극 구조로 제한되지 않는다. 백금:루테늄 합금 배리어층은 특히 인접한 층속으로 산소 및 실리콘의 확산을 방지하는 확산 배리어 특성을 필요로 하는 임의의 응용에 사용될 수 있다.

도 4에 도시된 것처럼, 장치 구조(100)는 개구부(184)를 한정하는 표면(185,186) 상에 하부 전극 구조를 증착하기 이전에 개구부(184)의 형성을 통해 종래의 공정 기술에 따라 제조된다. 그다음 백금:루테늄 합금 하부 전극이 개구부(184)에 형성된다. 이와 같은 방식은 Fazan 등에 의한 미국 특허 번호 5,392,189호에 개시되며, 장치 구조(100)는 필드 산화 영역(105) 및 액티브 영역, 즉 기판(107)에서 필드 산화물로 덮히지 않는 영역을 포함한다. 워드라인(121) 및 액티브 장치, 즉 전계 효과 트랜지스터(FET)(122)가 필드 산화 영역(105)을 기준으로 형성된다. 적절한 소스/드레인 영역(125,130)이 실리콘 기판(107)에 생성된다. 산화 재료(140)의 절연층이 FET(122) 및 워드라인(121)의 영역위에 형성된다. 폴리실리콘 플러그(165)가 기판(107)과 그위에 형성되는 저장 셀 캐패시터 사이에 전기적 연결을 제공하도록 형성된다. 다양한 층들이 층(167,175)을 포함하는 폴리실리콘 플러그(165) 위로 형성된다. 예를 들어, 이러한 층들은 질화 티타늄, 질화 텅스텐, 또는 배리어 역할을 하는 다른 임의의 질화 금속일 수 있고, 또한 본 명세서에서 설명되는 것처럼 1개 이상의 백금:루테늄 합금 배리어층을 포함할 수 있다. 이후에, 다른 절연층(183)이 형성되며 개구부(184)가 그 안에 형성된다.

개구부(184)는 작고 높은 어스펙트비를 갖는 개구부이다. 본 명세서에서 설명되는 것처럼, 작고 높은 어스펙트비를 갖는 개구부는 약 1 미크론 이하의(예를 들어, 개구부의 이러한 직경 및 폭은 약 1 미크론 이하이다) 픽춰 사이즈 또는 임계 치수 및 약 1 이상의 어스펙트비를 갖는다. 상기 어스펙트비는 콘택홀, 비아, 트렌치, 및 다른 형태의 개구부에 적용가능하다. 예를 들어, 1미크론의 개구부로 3 미크론의 깊이를 갖는 트렌치는 3의 어스펙트비를 갖는다. 본 발명은 특히 계단형 구조물 위로 백금:루데늄 합금 재료의 균일한 층을 형성하는 CVD 프로세스의 사용으로 인해 작고 높은 어스펙트비의 픽춰로 확산 배리어층을 형성하는데 유용하다.

도 4에 도시된 것처럼, 백금;루테늄 합금 배리어층(187)은 개구부(184)를 한정하는 하부 표면(185)과 1개 이상의 측벽(186) 상에 형성된다. 백금:루테늄 합금 재료의 층은 하부 표면(185)과 측벽(186)을 포함하는 전체 구조물 위로 먼저 공동 증착되고 하부 전극(187)으로 형성된다. 예를 들면, 층은 에칭 또는 평탄화 되어 하부 전극(187)을 형성하기 위한 원하는 영역이 제거된다. 이후, 유전체층(191)이 백금:루테늄 합금 확산 배리어층(187)을 기준으로 형성된다. 다음, 유전체 재료(191)를 기준으로 제 2 전극(192)이 형성된다. 예를 들어, 이러한 전극은 본 명세서에서 설명되는 것처럼 백금:루테늄 합금 배리어 재료, 질화 텅스텐, 질화 티타늄, 질화 탄탈, 루테늄, 로듐, 이리듐, 산화 루테늄, 산화 이리듐, 이들의 조합물과 같은 임의의 전도성 재료, 또는 저장 셀 캐패시터의 전극으로서 사용되는 다른 임의의 전도성 재료일 수 있다. 본 발명의 사용으로 인해, 백금:루테늄 합금 재료로 형성된 하부 전극은 원하는 저항률 및 배리어 특성을 제공하는 개구부(184) 내에 CVD를 사용하여 균일한 두께로 일정하게 형성된다.

당업자는 예를 들어 실리콘 함유 표면을 기준으로 형성된 캐패시터가, 확산 배리어 특성이 요구되거나/또는 일정하게 형성된 전도성층이 요구되는 경우 본 발명으로 인해 유용하다는 것을 알 것이다. 예를 들어, 콘테이너 캐패시터는 전형적으로 하부 전극의 일정한 형성이 요구되는 표면상에 형성된 전극을 포함한다. 이러한 콘테이너 캐패시터 저장 셀은 'Optimized Container Stack Capacitor DRAM Cell Utilizing Sacrificial Oxide Deposition and Chemical Mechanical Polishing'이란 제목으로 1993년 12월 14일 Dennision 등에 의해 발행된 미국 특허 번호 5,270,241호에 개시되어 있다. 당업자는 하부 전극(187)이 본 명세서에서 앞서 설명된 것처럼 백금:루테늄 합금 배리어층을 구비한 1개 이상의 층의 스택층을 포함할 수 있다는 것을 알 것이다. 도 5에 도시된 것처럼, 장치 구조(200)는 기판(207)의 콘택 영역(255)의 금속화 이전에 콘택 개구부(259)의 형성을 통해 종래의 공정 기술에 따라 제조된다. 이러한 금속화 이전에, 장치 구조(200)는 필드 산화 영역(205) 및, 기판(207)에서 필드 산화물로 커버되지 않는, 액티브 영역을 포함한다. 액티브 영역에 필드 산화물 영역(205)을 기준으로 워드라인(221) 및 FET(222)이 형성된다. 적절한 도핑 소스/드레인 영역(225,230)은 당업자에게 공지된 기술로서 형성된다. 산화 재료(240)의 균일한 층이 그 위에 형성되고 콘택 개구부(259)가 실리콘 기판(207)의 도핑 영역(230)의 콘택 영역(255)내에 형성된다. 이후, 1개 이상의 금속화 또는 전도성층이 기판 영역(230)에 전기적 연결을 제공하도록 콘택 개구부(259)에 형성된다. 예를 들어, 질화 티타늄 또는 다른 확산 배리어 재료와 같은 다양한 재료가 콘택 개구부(259)에 형성될 수 있다. 바람직하게, 콘택 라이너(285)는 본 발명에 따라 개구부(259)를 형성하는 바닥표면(260) 및 1개 이상의 측벽(261)에 백금:루테늄 합금 재료로 형성된다. 이후, 전도성 재료(276)가 기판(207)의 도핑 영역(230)에 연결부를 제공하기 위해 콘택 개구부에 형성된다.

실시예

도 6A 및 6B는 각각 산소 어닐링 전후 공동-증착된 백금:루테늄층의 깊이에 대한 프로파일을 나타낸다. 작은 랩(lab) 스케일 반응 CVD 챔버는 MDC Vaccuum Products Corp.(Hayward, CA)에 의해 설치되며 글라스 리서치 버블러는 Technical Glass Service(Boise, ID)에서 이루어진다. 백금:루테늄층의 공동 증착을 위해 사용되는 조건은 다음과 같다;

백금 전구체 : $MeCpPt(Me)_3$,

루테늄 전구체 : $C_6H_8Ru(CO)_3$,

버블러 사용을 위한 백금 캐리어 가스 ; 5 sccm의 헬륨,

버블러 사용을 위한 루테늄 캐리어 가스 ; 10 sccm의 헬륨,

백금 버블러 조건 : 10 torr 압력, 33℃ 온도,

루테늄 버블러 조건 : 40 torr 압력, 25℃ 온도,

반응 챔버 조건 : 5 torr 압력, 웨이퍼 표면에서 300℃의 증착 온도.

증착 시간 : 4분

산소 반응 가스 : 10 sccm

깊이 프로파일은 Physical Electronics(Eden Prairie, MN)으로부터 시판가능한 지정 상표 PhI(Φ)5600의 XPS 장치를 사용함으로써 얻어진다. 프로파일을 얻기 위한 작업 조건은 350W의 x-ray 소스, 단색성의 $Al\ k_\alpha$ (hV=1486.6ev); 45도 추출(extraction); 800㎛ 추출 구경(extraction aperture)을 포함한다. 스퍼터링 은 3mm 면적에 대해 4keV

아르곤 이온 빔 라스토드(rastored)로 수행된다. 도 6A의 깊이 프로파일에 대한 스퍼터 시간은 13분이며 도 6B의 깊이 프로파일에 대한 스퍼터 시간은 14.3분이다.
도 6A에 도시된 것처럼, 상기 조건에 따라 공동증착된 백금:루테늄층은 약 70%의 백금 및 약 15%의 루테늄 조성의 200Å 깊이에서 포함됨을 나타낸다. 도 6B는 30초 동안 750℃에서의 급속 열 산화 어닐을 행한후 공동 증착된 백금:루테늄층을 나타낸다. 도 6C는 산소 어닐링 후에, 백금:루테늄층에 대한 프로파일 동안 St 신호를 나타내는 XPS 몽타주 디스플레이를 나타낸 것이다. 피크 형상은 인터페이스에서 SiO_2 의 결함을 나타내며 표면에서의 Si 트레이스만을 나타낸 것이다. 배리어층에 의해 어떠한 실리콘 확산 또는 산소 확산도 나타나지 않기 때문에, 이산화 실리콘이 형성되지 않는다.
본 명세서에서 인용된 모든 특허 및 참조문헌은 각각이 개별적으로 포함되는 것처럼 이들 전체가 포함될 수 있다. 본 발명은 실시예를 설명하기 위해 참고로 기술되며 한정된 의미에서 구조된다는 것은 아니다. 앞서 설명된 것처럼, 당업자는 다른 다양한 실시예로 유용한 배리어 특성의 장점을 갖도록 본 명세서에서 설명된 것처럼 백금:루테늄 합금층을 사용할 수 있다. 본 발명에 추가의 실시예 뿐만 아니라 예가 되는 실시예의 다양한 변형을 본 명세서를 참조로 당업자는 이해할 수 있을 것이다. 따라서, 첨부된 청구항은 이러한 변형 또는 실시예를 포함하며 첨부된 청구항으로 한정되는 본 발명의 범주내에서 변형이 허용가능하다.

(57) 청구의 범위

청구항 1.
반응 챔버 내에 표면을 갖는 기판 어셈블리를 제공하는 단계; 및
반응 챔버 내에서 상기 표면의 적어도 일부분 위로 루테늄 함유 전구체, 백금 함유 전구체 및 산소 함유 성분을 이용한 화학적 기상 증착에 의해 배리어층을 형성하는 단계를 포함하며, 상기 배리어층은 백금(x):루테늄(1-x) 합금으로 구성되고, x는 약 0.60 내지 약 0.995 사이인 것을 특징으로 하는 집적회로 제조 방법.

청구항 2.
제 1 항에 있어서,
기판 어셈블리의 일부분 상에 제 1 전극을 형성하는 단계;
상기 제 1 전극의 적어도 일부분 위로 높은 유전상수의 재료를 형성하는 단계; 및
상기 높은 유전상수의 재료 위로 제 2 전극을 형성하는 단계를 포함하며, 상기 제 1 및 제 2 전극중 적어도 하나는 상기 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층을 포함하는 것을 특징으로 하는 집적회로 제조 방법.

청구항 3.
제 2 항에 있어서, 상기 제 1 전극은 상기 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층을 포함하는 것을 특징으로 하는 집적회로 제조 방법.

청구항 4.
제 3 항에 있어서, 상기 제 1 전극은 상기 백금(x):루테늄(1-x) 합금으로 형성된 단일 층인 것을 특징으로 하는 집적회로 제조 방법.

청구항 5.
제 4 항에 있어서, 상기 단일 층의 두께가 100Å 내지 500Å 사이인 것을 특징으로 하는 집적회로 제조 방법.

청구항 6.
제 3 항에 있어서, 상기 제 1 전극이 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층 및 1개 이상의 추가 전도성층을 포함하는 것을 특징으로 하는 집적회로 제조 방법.

청구항 7.
제 6 항에 있어서, 상기 1개 이상의 추가 전도성층은 금속 및 금속 합금; 금속 및 산화 금속 합금; 질화 금속; 및 금속 실리사이드의 그룹에서 선택된 재료로 형성되는 것을 특징으로 하는 집적회로 제조 방법.

청구항 8.
제 1 항에 있어서, 캐패시터를 포함하는 저장 셀을 형성하는 단계를 더 포함하며, 상기 기판 어셈블리는 1개 이상의 액티브 장치를 포함하며, 상기 캐패시터는 상기 1개 이상의 액티브 장치를 기준으로 형성되며 상기 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층을 포함하는 1개 이상의 전극을 포함하는 것을 특징으로 하는 집적회로 제조방법.

청구항 9.
제 1 항 내지 제 8 항중 어느 한 항에 있어서, x는 약 0.90 내지 0.98인 것을 특징으로 하는 집적회로 제조 방법.

청구항 10.
제 1 항 내지 제 8 항중 어느 한 항에 있어서, x는 0.95인 것을 특징으로 하는 집적회로 제조 방법.

청구항 11.
제 1 항 내지 제 8 항중 어느 한 항에 있어서, 상기 표면의 일부분이 실리콘을 함유한 표면인 것을 특징으로 하는 집적회로 제조 방법.

청구항 12.
표면을 포함하는 기판 어셈블리; 및
상기 표면의 적어도 일부분 위에 있는 화학적 기상 증착된 배리어층을 포함하며, 상기 화학적 기상 증착된 배리어층은 백금(x):루테늄(1-x) 합금으로 형성되며, x는 0.90 내지 0.98 사이인 것을 특징으로 하는 반도체 장치.

청구항 13.
제 12 항에 있어서, 상기 배리어층은 캐패시터의 일부분을 형성하며,
상기 캐패시터는,
상기 기판 어셈블리 표면 상에 형성된 제 1 전극;
상기 제 1 전극의 적어도 일부분 상에 있는 유전체 재료; 및
상기 유전체 재료 위에 있는 제 2 전극을 포함하며, 상기 제 1 및 제 2 전극중 적어도 하나는 상기 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 14.
제 13 항에 있어서, 적어도 상기 제 1 전극이 상기 백금(x):루테늄(1-x) 합금으로 형성된 상기 배리어층 및 1개 이상의 추가 전도성층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 15.
제 14 항에 있어서, 상기 1개 이상의 추가 전도성층은 금속 및 금속 합금; 금속 및 산화 금속 합금; 질화 금속; 및 금속 실리사이드의 그룹에서 선택된 재료로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 16.
제 13 항 내지 제 15 항중 어느 한 항에 있어서, 상기 기판 어셈블리는 1개 이상의 액티브 장치를 포함하고, 상기 캐패시터는 메모리 셀의 일부분을 형성하며 1개 이상의 액티브 장치를 기준으로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 17.
제 12 항 내지 제 15 항중 어느 한 항에 있어서, x는 약 0.95인 것을 특징으로 하는 반도체 장치.

청구항 18.
제 12 항 내지 제 15 항중 어느 한 항에 있어서, 상기 표면의 상기 일부분은 실리콘을 함유한 표면인 것을 특징으로 하는 반도체 장치.

청구항 19.
1개 이상의 액티브 장치를 포함하는 기판 어셈블리; 및
상기 1개 이상의 액티브 장치를 기준으로 형성되고 백금(x):루테늄(1-x) 합금으로 형성된 화학적 기상 증착된 배리어층을 포함하는 상호 접속을 포함하며, x는 0.90 내지 0.98 사이인 것을 특징으로 하는 집적회로.

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

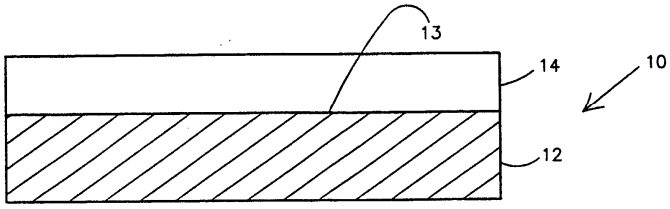
청구항 31.
삭제

청구항 32.
삭제

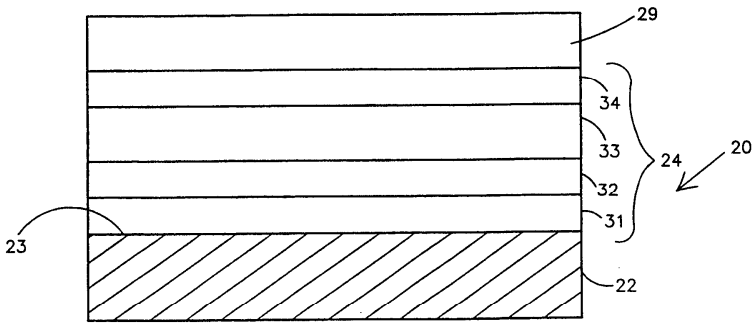
청구항 33.
삭제

도면

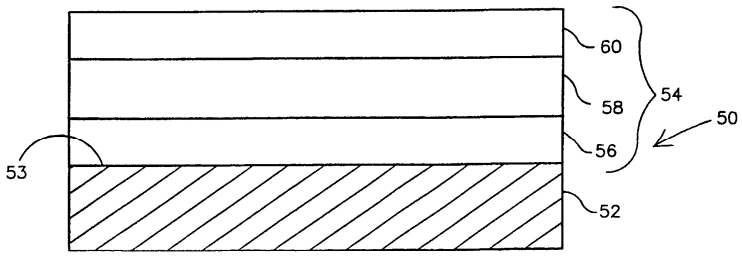
도면1



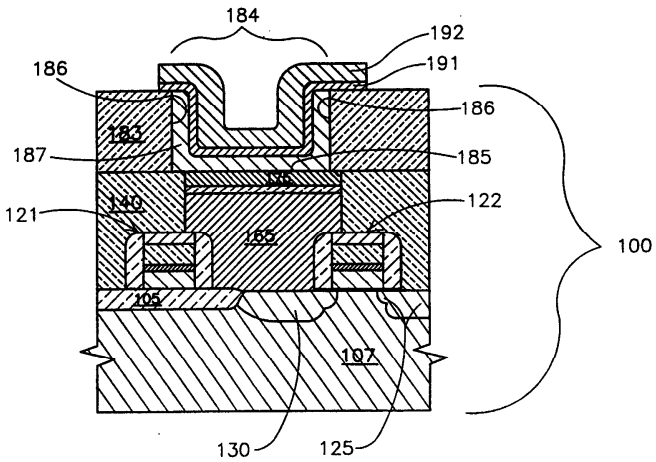
도면2



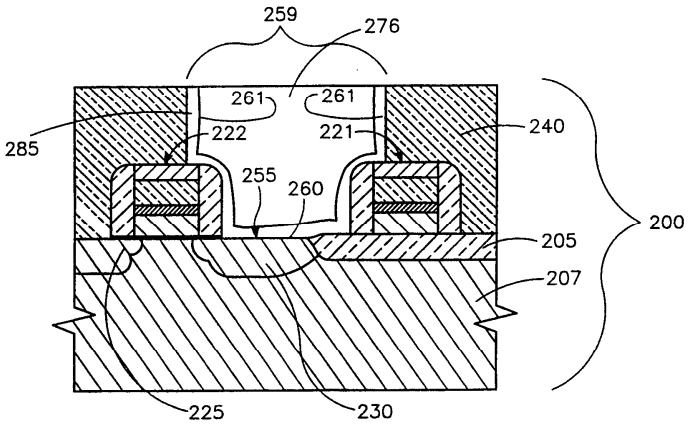
도면3



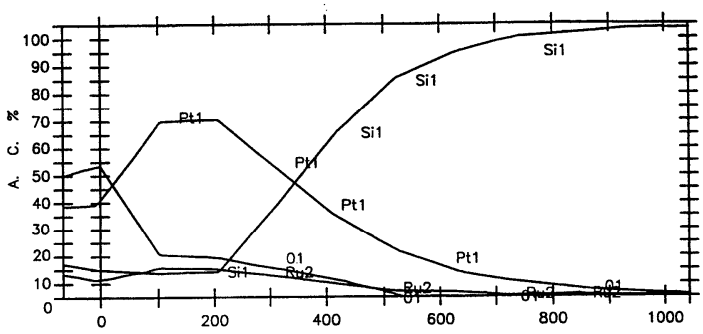
도면4



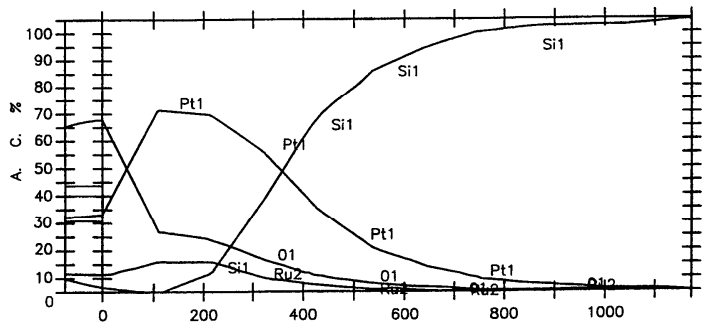
도면5



도면6a



도면6b



도면6c

