

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-34135

(P2010-34135A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/80 (2006.01)	H O 1 L 29/80 V	5 F 1 0 2
H O 1 L 21/338 (2006.01)	H O 1 L 29/80 L	
H O 1 L 29/812 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 22 頁)

(21) 出願番号	特願2008-192183 (P2008-192183)	(71) 出願人	000005049
(22) 出願日	平成20年7月25日 (2008.7.25)		シャープ株式会社
			大阪府大阪市阿倍野区長池町2番2号
		(74) 代理人	100075502
			弁理士 倉内 義朗
		(72) 発明者	寺口 信明
			大阪府大阪市阿倍野区長池町2番2号
			シャープ株式会社内
		Fターム(参考)	5F102 FA01 FA02 GB04 GC08 GD01
			GD04 GJ02 GJ03 GJ04 GK04
			GQ01 GS07 GT01 HC01 HC11
			HC15 HC30

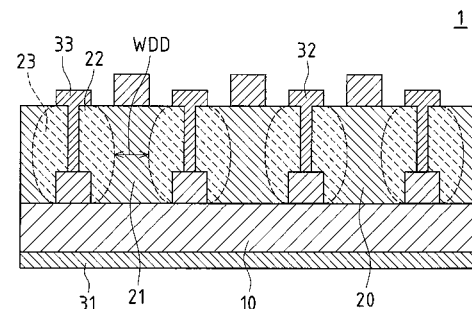
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】電流量および耐電圧を大きくしたノーマリオフの縦型構成の電界効果トランジスタを提供する。

【解決手段】電界効果トランジスタ1は、半導体基板10と、半導体基板10に積層された窒化物系III-V族化合物半導体層20と、窒化物系III-V族化合物半導体層20から積層方向に交差する横方向へ成長した横方向成長領域22と、半導体基板10の裏面に形成されオーミック性を有する第1電極31(ドレイン電極)と、窒化物系III-V族化合物半導体層20の表面に形成されオーミック性を有する第2電極32(ソース電極)と、窒化物系III-V族化合物半導体層20の積層方向で第1電極31と第2電極32との間での電流路となる通電領域21と、横方向成長領域22に接触させて形成され通電領域21での通電状態を制御する第3電極33(ゲート電極)とを備える。

【選択図】図1



【特許請求の範囲】

【請求項 1】

半導体基板と、該半導体基板に積層された窒化物系 III - V 族化合物半導体層と、該窒化物系 III - V 族化合物半導体層から積層方向に交差する横方向へ成長した横方向成長領域とを備える電界効果トランジスタであって、

前記半導体基板の裏面に形成されオーミック性を有する第 1 電極と、

前記窒化物系 III - V 族化合物半導体層の表面に形成されオーミック性を有する第 2 電極と、

前記窒化物系 III - V 族化合物半導体層の積層方向で前記第 1 電極と前記第 2 電極との間での電流路となる通電領域と、

前記横方向成長領域に接触させて形成され前記通電領域での通電状態を制御する第 3 電極とを備えること

を特徴とする電界効果トランジスタ。

【請求項 2】

請求項 1 に記載の電界効果トランジスタであって、

前記横方向成長領域は、前記半導体基板に形成され積層方向での前記窒化物系 III - V 族化合物半導体層の成長を防止するマスク部に重ねて形成されていること

を特徴とする電界効果トランジスタ。

【請求項 3】

請求項 2 に記載の電界効果トランジスタであって、

前記第 3 電極は、前記横方向成長領域の横方向の側面に形成されていること

を特徴とする電界効果トランジスタ。

【請求項 4】

請求項 3 に記載の電界効果トランジスタであって、

前記第 3 電極は、前記側面が構成する間隙に埋め込まれていること

を特徴とする電界効果トランジスタ。

【請求項 5】

請求項 3 または請求項 4 に記載の電界効果トランジスタであって、

前記マスク部は、導電性材料で形成され、前記第 3 電極は、前記マスク部に接触していること

を特徴とする電界効果トランジスタ。

【請求項 6】

請求項 2 に記載の電界効果トランジスタであって、

前記横方向成長領域は、相互に当接するように形成され、

前記第 3 電極は、相互に当接する前記横方向成長領域の界面に接触していること

を特徴とする電界効果トランジスタ。

【請求項 7】

請求項 1 に記載の電界効果トランジスタであって、

前記横方向成長領域は、前記半導体基板に形成された溝部の領域で梁状に形成されていること

を特徴とする電界効果トランジスタ。

【請求項 8】

請求項 7 に記載の電界効果トランジスタであって、

前記横方向成長領域は、相互に当接するように形成され、

前記第 3 電極は、相互に当接する前記横方向成長領域の界面に接触していること

を特徴とする電界効果トランジスタ。

【請求項 9】

請求項 1 ないし請求項 8 のいずれか一つに記載の電界効果トランジスタであって、

前記横方向成長領域は、マグネシウムがドーピングされていること

を特徴とする電界効果トランジスタ。

10

20

30

40

50

【請求項 10】

請求項 9 に記載の電界効果トランジスタであって、
前記第 3 電極は、オーミック性を有すること
を特徴とする電界効果トランジスタ。

【請求項 11】

請求項 1 ないし請求項 8 のいずれか一つに記載の電界効果トランジスタであって、
前記第 3 電極は、前記横方向成長領域に対してショットキー電極としてあること
を特徴とする電界効果トランジスタ。

【請求項 12】

請求項 1 ないし請求項 11 のいずれか一つに記載の電界効果トランジスタであって、
前記横方向成長領域は、ストライプ状に配置され、前記第 3 電極は、前記横方向成長領域
に対応させてストライプ状に配置されていること
を特徴とする電界効果トランジスタ。 10

【請求項 13】

請求項 1 ないし請求項 12 のいずれか一つに記載の電界効果トランジスタであって、
前記半導体基板は、Si、SiC、または、窒化物系 III-V 族化合物半導体のい
れか一つを材料としていること
を特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、半導体基板に積層された窒化物系 III-V 族化合物半導体層から横方向へ
成長した横方向成長領域を備える電界効果トランジスタに関する。

【背景技術】

【0002】

窒化物半導体は、大きな破壊電圧を有し、また、窒化物ヘテロ接合構造は、大きな電流
容量を有することが知られている。したがって、高耐圧、大電流を必要とする電力用素子
として窒化物系 III-V 族化合物半導体を活用することが提案されている。

【0003】

AlGa_{0.3}N/GaN ヘテロ構造を用いた電界効果トランジスタとして、使用面積を最大
にして大電流化を実現するために六角形（多角形）の電極配置をしたものが、提案されて
いる（例えば、特許文献 1 参照）。 30

【0004】

また、高耐圧の実現には、一般的に横型よりも縦型デバイスが有利であり、縦型構造を
した電界効果トランジスタが提案されている（例えば、特許文献 2 参照）。

【0005】

したがって、高耐圧・大電流を両立するためには、有効面積を広くした縦型デバイスが
有望であると考えられる。また、結晶性を改善するために横方向成長が用いられるが、レ
イアウトを工夫しないと大電流の半導体装置とする場合には非常に大きなチップ面積が必
要になる。 40

【0006】

なお、GaN 系半導体の結晶性を改善する方法として、横方向成長を利用する ELOG
(Epitaxial Lateral Over Growth) 成長法（例えば、特
許文献 3 参照）、あるいは PENDEO 成長法（例えば、特許文献 4 参照）といった方法
が提案されている。

【特許文献 1】特開 2005-203753 号公報

【特許文献 2】特開 2004-259934 号公報

【特許文献 3】特開平 10-312971 号公報

【特許文献 4】特表 2003-511871 号公報

【発明の開示】

50

【発明が解決しようとする課題】**【0007】**

しかし、従来の窒化物半導体を適用した電界効果トランジスタでは、面積の利用率を高くして、高耐圧で電流容量の大きい縦型構成の電界効果トランジスタとすることが困難であるという問題があった。

【0008】

本発明はこのような状況に鑑みてなされたものであり、半導体基板に積層された窒化物系ⅢⅤ族化合物半導体層と、窒化物系ⅢⅤ族化合物半導体層から積層方向に交差する横方向へ成長した横方向成長領域とを備える電界効果トランジスタであって、横方向成長領域に接触させて形成され通電領域での通電状態を制御する第3電極（ゲート電極）とを備えることにより、積層した窒化物系ⅢⅤ族化合物半導体層の領域を有効に利用して電流容量および耐電圧を大きくしたノーマリオフの縦型構成の電界効果トランジスタを提供することとする。

10

【課題を解決するための手段】**【0009】**

本発明に係る電界効果トランジスタは、半導体基板と、該半導体基板に積層された窒化物系ⅢⅤ族化合物半導体層と、該窒化物系ⅢⅤ族化合物半導体層から積層方向に交差する横方向へ成長した横方向成長領域とを備える電界効果トランジスタであって、前記半導体基板の裏面に形成されオーミック性を有する第1電極と、前記窒化物系ⅢⅤ族化合物半導体層の表面に形成されオーミック性を有する第2電極と、前記窒化物系ⅢⅤ族化合物半導体層の積層方向で前記第1電極と前記第2電極との間での電流路となる通電領域と、前記横方向成長領域に接触させて形成され前記通電領域での通電状態を制御する第3電極とを備えることを特徴とする。

20

【0010】

この構成により、結晶性の良い横方向成長領域に第3電極を接触させ、第3電極への印加電圧を0ボルトとした状態で通電領域を容易かつ完全に空乏化させることが可能となることから、積層した窒化物系ⅢⅤ族化合物半導体層の領域を有効に利用して電流容量および耐電圧を大きくした縦型構成の電界効果トランジスタとすることができる。

【0011】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、前記半導体基板に形成され積層方向での前記窒化物系ⅢⅤ族化合物半導体層の成長を防止するマスク部に重ねて形成されていることを特徴とする。

30

【0012】

この構成により、結晶性の良い横方向成長領域を容易かつ高精度に形成することが可能となる。

【0013】

また、本発明に係る電界効果トランジスタでは、前記第3電極は、前記横方向成長領域の横方向の側面に形成されていることを特徴とする。

【0014】

この構成により、通電領域に対応する横方向成長領域に対して第3電極を配置することが可能となり、第3電極への印加電圧によって容易かつ高精度に通電領域の空乏化を制御することができるので、通電領域の通電状態を容易に制御することが可能な電界効果トランジスタとすることができる。

40

【0015】

また、本発明に係る電界効果トランジスタでは、前記第3電極は、前記側面が構成する間隙に埋め込まれていることを特徴とする。

【0016】

この構成により、第3電極を容易に形成することが可能となり、生産性、歩留まりおよび信頼性を向上させることができる。

【0017】

50

また、本発明に係る電界効果トランジスタでは、前記マスク部は、導電性材料で形成され、前記第3電極は、前記マスク部に接触していることを特徴とする。

【0018】

この構成により、マスク部をベースにして第3電極を形成することが可能となり、第3電極を間隙に容易に埋め込むことが可能となる。

【0019】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、相互に当接するように形成され、前記第3電極は、相互に当接する前記横方向成長領域の界面に接触していることを特徴とする。

【0020】

この構成により、第3電極を第2電極と同様に平面的に形成することが可能となるので、第3電極の形成を極めて容易にし、生産性を向上させることができる。

【0021】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、前記半導体基板に形成された溝部の領域で梁状に形成されていることを特徴とする。

【0022】

この構成により、結晶性の良い横方向成長領域を容易かつ高精度に形成することが可能となる。

【0023】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、相互に当接するように形成され、前記第3電極は、相互に当接する前記横方向成長領域の界面に接触していることを特徴とする。

【0024】

この構成により、第3電極を第2電極と同様に平面的に形成することが可能となるので、第3電極の形成を極めて容易にし、生産性を向上させることができる。

【0025】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、マグネシウムがドーピングされていることを特徴とする。

【0026】

この構成により、横方向成長領域を介して通電領域にpn接合による空乏層を形成することが可能となり、通電領域の通電状態を容易に制御することができる。

【0027】

また、本発明に係る電界効果トランジスタでは、前記第3電極は、オーミック性を有することを特徴とする。

【0028】

この構成により、横方向成長領域と窒化物系III-V族化合物半導体層とのpn接合による空乏層領域を容易に形成することが可能となり、通電領域の通電状態を容易に制御することができる。

【0029】

また、本発明に係る電界効果トランジスタでは、前記第3電極は、前記横方向成長領域に対してショットキー電極としてあることを特徴とする。

【0030】

この構成により、通電領域にショットキー電極による空乏層を形成することが可能となり、通電領域の通電状態を容易に制御することができる。

【0031】

また、本発明に係る電界効果トランジスタでは、前記横方向成長領域は、ストライプ状に配置され、前記第3電極は、前記横方向成長領域に対応させてストライプ状に配置されていることを特徴とする。

【0032】

この構成により、並列構造で面積利用率の高い、大電流化が容易な電界効果トランジス

10

20

30

40

50

タとすることができる。

【 0 0 3 3 】

また、本発明に係る電界効果トランジスタでは、前記半導体基板は、Si、SiC、または、窒化物系III-V族化合物半導体のいずれか一つを材料としていることを特徴とする。

【 0 0 3 4 】

この構成により、通電領域を構成する窒化物系III-V族化合物半導体層を容易に形成し、電流容量および耐電圧を大きくすることが可能な電界効果トランジスタとすることができる。

【 発明の効果 】

10

【 0 0 3 5 】

本発明に係る電界効果トランジスタによれば、半導体基板と、半導体基板に積層された窒化物系III-V族化合物半導体層と、窒化物系III-V族化合物半導体層から積層方向に交差する横方向へ成長した横方向成長領域とを備える電界効果トランジスタであって、半導体基板の裏面に形成されオーミック性を有する第1電極と、窒化物系III-V族化合物半導体層の表面に形成されオーミック性を有する第2電極と、窒化物系III-V族化合物半導体層の積層方向で第1電極と第2電極との間での電流路となる通電領域と、横方向成長領域に接触させて形成され通電領域での通電状態を制御する第3電極とを備えることから、結晶性の良い横方向成長領域に第3電極を接触させ、第3電極への印加電圧を0ボルトとした状態で通電領域を容易かつ完全に空乏化させることが可能となること

20

から、積層した窒化物系III-V族化合物半導体層の領域を有効に利用して電流容量および耐電圧を大きくした縦型構成の電界効果トランジスタを提供することができるという効果を奏する。

【 発明を実施するための最良の形態 】

【 0 0 3 6 】

以下、本発明の実施の形態を図面に基づいて説明する。

【 0 0 3 7 】

< 実施の形態 1 >

図1に基づいて、本実施の形態に係る電界効果トランジスタについて説明する。

【 0 0 3 8 】

30

図1は、本発明の実施の形態1に係る電界効果トランジスタの構造および動作状態を示す断面図である。

【 0 0 3 9 】

本実施の形態に係る電界効果トランジスタ1は、半導体基板10と、半導体基板10に積層された窒化物系III-V族化合物半導体層20と、窒化物系III-V族化合物半導体層20から積層方向に交差する横方向へ成長した横方向成長領域22とを備える。

【 0 0 4 0 】

また、本実施の形態に係る電界効果トランジスタ1は、半導体基板10の裏面に形成されオーミック性を有する第1電極31（ドレイン電極）と、窒化物系III-V族化合物半導体層20の表面に形成されオーミック性を有する第2電極32（ソース電極）と、窒化物系III-V族化合物半導体層20の積層方向で第1電極31と第2電極32との間での電流路となる通電領域21と、横方向成長領域22に接触させて形成され通電領域21での通電状態を制御する第3電極33（ゲート電極）とを備える。

40

【 0 0 4 1 】

この構成により、結晶性の良い横方向成長領域22に第3電極33を接触させ、第3電極33への印加電圧を0ボルトとした状態で通電領域21を容易かつ完全に空乏化させることが可能となることから、積層した窒化物系III-V族化合物半導体層20の領域を有効に利用して電流容量および耐電圧を大きくした縦型構成の電界効果トランジスタ1とすることができる。

【 0 0 4 2 】

50

つまり、電界効果トランジスタ 1 は、第 3 電極 33 への印加電圧を制御することによって、空乏層領域 23 を発生させ、空乏層間隔 WDD を制御して、電流路としての通電領域 21 (幅 Wp) の通電状態を制御することができる。

【0043】

第 3 電極 33 は、横方向成長領域 22 の導電型によって、オーミック性を持たせる場合と、ショットキー電極とする場合がある。いずれの場合であっても空乏層領域 23 を形成するように構成される。

【0044】

例えば、横方向成長領域 22 にマグネシウムをドーピングして p 型を構成している場合、p 型に対するオーミック性を持たせることで、pn 接合による空乏層領域 23 を制御することが可能となる。また、横方向成長領域 22 がアンドープの場合、ショットキー電極とすることで、空乏層領域 23 を制御することが可能となる。

【0045】

本実施の形態では、横方向成長領域 22 は、半導体基板 10 に積層して形成され積層方向での窒化物系 III-V 族化合物半導体層 20 の成長を防止するマスク部 11 に重ねて形成されている。したがって、結晶性の良い横方向成長領域 22 を容易かつ高精度に形成することが可能となる。

【0046】

なお、横方向成長領域 22 は、例えば実施の形態 5 で示すように、溝部 13 (図 5B、図 5C 参照) を利用した PEND EO (Pend eo - Ep it ax y) 成長法を適用して形成することも可能である。

【0047】

また、実施の形態 2 ないし実施の形態 4 で示す ELOG (Ep it ax ial Lateral Over growth GaN: 窒化物半導体を基板上で横方向へ成長させる) 成長法、実施の形態 5 で示す PEND EO 成長法などでは、半導体基板 10 上に形成されたマスク部 11 (実施の形態 2 ないし実施の形態 4 参照) あるいは溝部 13 (実施の形態 5 参照) に対して窒化物系 III-V 族化合物半導体層 20 の成長方向 (積層方向) では、結晶が成長せず、窒化物系 III-V 族化合物半導体層 20 から横方向へ結晶が成長し、いわゆる横方向成長が生じる。

【0048】

横方向に伸びた結晶 (横方向成長領域 22) では大きな結晶欠陥が導入されず、全面に結晶成長した場合よりも結晶性に優れた結晶膜となることが知られている。したがって、本実施の形態では、結晶性に優れた結晶膜を形成することから、制御性および大電流化を有利に進めることができる。

【0049】

本実施の形態では、窒化物系 III-V 族化合物半導体層 20 が形成された領域を通電領域 21 とし、横方向成長領域 22 に対して第 3 電極 33 (ゲート電極) によって、通電領域 21 に生じる空乏層領域 23 を制御することによって、通電領域 21 の電流を制御する。

【0050】

また、第 3 電極 33 への印加電圧が 0V のときに通電領域 21 を完全に空乏化することにより、ノーマリオフタイプの電界効果トランジスタ 1 を実現することが可能である。

【0051】

さらに具体的な構成 (電界効果トランジスタ 1 の構造、電界効果トランジスタ 1 の製造方法、変形例) については実施の形態 2 以下で詳細を説明する。

【0052】

< 実施の形態 2 >

図 2A ないし図 2C に基づいて、本実施の形態に係る電界効果トランジスタの製造工程および構造について説明する。なお、基本的な構成は、実施の形態 1 と同様であるので、符号を援用し、主に異なる事項について説明する。

10

20

30

40

50

【0053】

図2Aは、本発明の実施の形態2に係る電界効果トランジスタの製造工程で半導体基板にマスク部を形成した状態の断面を示す断面図である。

【0054】

半導体基板10としてn型Ga_{0.5}N基板を用い、マスク部11を形成するためのSiO₂膜(0.5μm)を半導体基板10の全面に形成する。SiO₂膜は、例えば熱CVD法、プラズマCVD法、あるいはスパッタ法などにより形成することが可能である。

【0055】

本実施の形態では、ECR(Electron Cyclotron Resonance: 電子サイクロトロン共鳴)スパッタを用い、Ar:O₂=30:8sccm、スパッタ圧力=0.5Pa、マイクロ波パワー=700W、DCバイアス=600Vで成膜を行なった。

【0056】

次に、フォトリソグラフィ技術を用いてSiO₂膜をストライプ状に加工してマスク部11を形成する。なお、マスク部11の幅W_mを3μm、開口部11wの幅W_sを2μmとした。

【0057】

図2Bは、本発明の実施の形態2に係る電界効果トランジスタの製造工程で半導体基板に窒化物系III-V族化合物半導体層(横方向成長領域)を形成した状態の断面を示す断面図である。

【0058】

マスク部11を形成した後、MOCVD(有機金属CVD)法を用い、横方向成長に有利な高い基板温度と減圧成長条件を適用して窒化物系III-V族化合物半導体層20を形成(成長)した。窒化物系III-V族化合物半導体層20の縦方向への成長に併せて横方向成長領域22を成長させることが可能である。

【0059】

なお、横方向成長領域22は、隣接する横方向成長領域22と接触しないで間隙22gを形成するように成長時間を調整した。つまり、横方向成長領域22は、互いに対向する側面22sを構成し、間隙22gは、側面22sによって構成される。

【0060】

窒化物系III-V族化合物半導体層20は、具体的にはアンドープのGa_{0.5}Nであり、成長条件は、基板温度=1150℃、成長圧力=13kPa、TMG(Tri Methyl Gallium: トリメチルガリウム)流量=200μmol/min、NH₃流量=12.5slm(Standard Liter Per Minute)として成膜した。

【0061】

なお、縦方向(積層方向)の成長膜厚は、成長条件にも依存するが、2μm程度となった。また、アンドープのGa_{0.5}Nのキャリア濃度N_dは、10¹⁴cm⁻³程度となっている。

【0062】

図2Cは、本発明の実施の形態2に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【0063】

半導体基板10の裏面にオーミック性を有する第1電極31(ドレイン電極)を形成し、窒化物系III-V族化合物半導体層20の表面にオーミック性を有する第2電極32(ソース電極)を形成する。また、横方向成長領域22(側面22s)に接触させて通電領域21での通電状態を制御する第3電極33(ゲート電極)を形成する。

【0064】

したがって、電界効果トランジスタ1は、第1電極31と第2電極32との間の縦方向(積層方向)で電流を流すことが可能となり、いわゆる縦型トランジスタを構成することとなる。

10

20

30

40

50

【0065】

また、第3電極33は、横方向成長領域22の横方向の側面22sに形成されている。したがって、通電領域21に対応する横方向成長領域22に対して第3電極33を配置することが可能となり、第3電極33への印加電圧によって容易かつ高精度に通電領域21の空乏化を制御することができるので、通電領域21の通電状態を容易に制御することが可能な電界効果トランジスタ1とすることができる。

【0066】

第1電極31、第2電極32、第3電極33は、メッキ技術を適用して金(Au)を表面にメッキした後、適宜のパターニングによって形成することが可能である。第3電極33は、横方向成長領域22が形成する間隙22gに金を埋め込むことによって形成する。

10

【0067】

なお、第3電極33は、横方向成長領域22(窒化物系III-V族化合物半導体層20)がアンドープのGaNとされていることから、ショットキー電極として形成されている。

【0068】

ノーマリオフの可否およびピンチオフ電圧は、開口部11wの幅Wsとマスク部11の幅Wm、および、窒化物系III-V族化合物半導体層20のキャリア濃度Ndと第3電極33によって形成される空乏層領域23の空乏層厚Wdとによって決まる。

【0069】

ショットキー電極(第3電極33)の拡散電位をVdとし、GaN(窒化物系III-V族化合物半導体層20)のキャリア濃度をNdとした場合、空乏層厚Wdは、次の式(1)で求められる。なお式(1)で、 ϵ_r は窒化物系III-V族化合物半導体層20の比誘電率、 ϵ_0 は真空の誘電率、qは電子電荷である。

20

【0070】

$$Wd = \sqrt{(2 \cdot \epsilon_r \cdot \epsilon_0 / q) (Vd / Nd))} \cdots (1)$$

つまり、Vd = 1.1 V、Nd = $1 \times 10^{14} \text{ cm}^{-3}$ とした場合、Wd = 3.3 μm 程度となる。

【0071】

したがって、本実施の形態に係る電界効果トランジスタ1では、窒化物系III-V族化合物半導体層20のキャリア濃度Nd = $1 \times 10^{14} \text{ cm}^{-3}$ 、開口部11wの幅Ws = 2 μm 、マスク部11の幅Wm = 3 μm とした場合、Ws(2 μm) + Wm(3 μm) = 5 μm であるから、通電領域21の幅Wpは5 μm より小さい状態となっている。

30

【0072】

つまり、通電領域21の幅Wp(5 μm 未満)は、空乏層幅Wdの2倍(3.3 $\mu\text{m} \times 2 = 6.6 \mu\text{m}$)よりも小さいことから、確実にノーマリオフ型とすることが可能となる。つまり、本実施の形態に係る電界効果トランジスタ1は、ピンチオフ電圧0 Vのノーマリオフ特性を示すことができる。

【0073】

なお、キャリア濃度Nd = $1 \times 10^{14} \text{ cm}^{-3}$ の状態では、開口部11wの幅Ws = 3 μm とした場合も、ノーマリオフ型となる。しかし、幅Ws = 4 μm では、ノーマリオン型となる。

40

【0074】

また、電流容量(総電流)は、ゲート長(通電領域21の面積)によって決まる。次に電流容量について説明する。

【0075】

本実施の形態では、素子の外形面積Sc = 1 mm $\times$ 1 mmとし、ゲート電極(第3電極33)に対する電極パッド(不図示)の面積などを差し引いて実質上の外形面積Src = 0.6 mm $\times$ 0.8 mmとした。したがって、トータルゲート長Lg $\times$ (幅Wm + 幅Ws) = 外形面積Srcとなることからトータルゲート長Lgを算出することが可能である。

【0076】

50

つまり、トータルゲート長 L_g は、トータルゲート長 $L_g = \text{外形面積 } S_{rc} / (\text{幅 } W_m + \text{幅 } W_s) = (0.8 \text{ mm} \times 0.6 \text{ mm}) / (2 \mu\text{m} + 3 \mu\text{m}) = 0.48 (\text{mm}^2) / 5 (\mu\text{m}) = 96 \text{ mm}$ として算出される。

【0077】

ゲート電圧 2 V、ドレイン電圧 10 V のときゲート長 $1 \mu\text{m}$ あたり $20 \mu\text{A}$ を流すとするれば、ゲート長 1 mm では 20 mA を流すこととなる。したがって、トータルゲート長 $L_g = 96 \text{ mm}$ で流せる電流は、 $(20 \text{ mA} / \text{mm}) \times 96 \text{ mm} = 1.92 \text{ A}$ となる。この電流容量は、従来の六角形状の電界効果トランジスタ（実施の形態 6 参照）の外形面積を等しくした場合に比較して約 1.56 倍となっていた。

【0078】

また、素子耐圧としては、600 V 以上の耐圧を確保することが可能であった。

【0079】

上述したとおり、本実施の形態に係る電界効果トランジスタ 1 では、第 3 電極 33 は、横方向成長領域 22 が互いに対向する側面 22s に形成されている。したがって、通電領域 21 に対応する横方向成長領域 22 に対して第 3 電極 33 を配置することが可能となり、第 3 電極 33 への印加電圧によって容易かつ高精度に通電領域 21 の空乏化を制御することができるので、通電領域 21 の通電状態を容易に制御することが可能な電界効果トランジスタ 1 とすることができる。

【0080】

また、第 3 電極 33 は、側面 22s が構成する間隙 22g に埋め込まれている。したがって、第 3 電極 33 を容易に形成することが可能となり、生産性、歩留まりおよび信頼性を向上させることができる。

【0081】

また、窒化物系 III-V 族化合物半導体層 20 の積層方向で第 1 電極 31 と第 2 電極 32 との間で通電領域 21 が形成され、第 1 電極 31 と第 2 電極 32 との間での電流路となる。

【0082】

次に本実施の形態の変形例を説明する。電界効果トランジスタ 1 の基本的な構成は、上述したとおりであるので、適宜符合を援用して主に異なる事項について説明する。

【0083】

半導体基板 10 として n 型 GaN 基板 10 を用い、レジストパターンを幅 $2 \mu\text{m}$ （開口部 11w の幅 W_s に対応）、スペース幅 $3 \mu\text{m}$ （マスク部 11 の幅 W_m に対応）のストライプ状に形成した後、RF スパッタにより $\text{Ar} : \text{O}_2 = 16.8 : 50 \text{ sccm}$ 、スパッタ圧力 = 0.5 Pa 、RF パワー = 300 W で膜厚 $0.5 \mu\text{m}$ の WN（窒化タンゲステン）膜を堆積した。

【0084】

レジストパターンを除去してストライプ状の WN 膜を形成してマスク部 11 とした。マスク部 11 は、マスク部 11 の幅 $W_m = 3 \mu\text{m}$ 、開口部 11w の幅 $W_s = 2 \mu\text{m}$ となっている。

【0085】

次に、MOCVD 法を用いて、横方向成長に有利な高い基板温度と減圧成長条件を適用して窒化物系 III-V 族化合物半導体層 20 を形成（成長）した。窒化物系 III-V 族化合物半導体層 20 は、具体的にはアンドープの GaN であり、成長条件は、基板温度 1150 、成長圧力 13 kPa 、TMG 流量 = $200 \mu\text{mol/min}$ 、 NH_3 流量 = 12.5 slm として成膜した。

【0086】

以下、第 1 電極 31、第 2 電極 32、第 3 電極 33 を形成して電界効果トランジスタ 1 とした。

【0087】

本変形例に係る電界効果トランジスタ 1 の形状は、図 2 A ないし図 2 C で記載した電界

10

20

30

40

50

効果トランジスタ 1 と同様であり、同様の特性を得ることができた。つまり、本変形例は、マスク部 1 1 の材料を変更し、材料の変更に伴い、製造方法を変更したものである。

【0088】

また、WN 膜は、導電性を有する導電性材料である。つまり、本変形例では、マスク部 1 1 は、導電性材料で形成され、第 3 電極 3 3 は、マスク部 1 1 に接触している。したがって、マスク部 1 1 を例えばメッキ電極にして第 3 電極 3 3 を容易に形成することが可能となり、第 3 電極 3 3 を間隙 2 2 g に容易に埋め込むことが可能となる。

【0089】

< 実施の形態 3 >

図 3 A ないし図 3 E に基づいて、本実施の形態に係る電界効果トランジスタの製造工程および構造について説明する。なお、基本的な構成は、実施の形態 1、実施の形態 2 と同様であるので、符号を援用し、主に異なる事項について説明する。

【0090】

図 3 A は、本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板にマスク部およびバッファ層を形成した状態の断面を示す断面図である。

【0091】

半導体基板 1 0 として n 型 Si (シリコン) 基板を用い、実施の形態 2 と同様にしてマスク部 1 1 (膜厚 0.5 μm の SiO₂ 膜) を形成してある。なお、本実施の形態では、マスク部 1 1 の幅 W_m を 3 μm 、開口部 1 1 w の幅 W_s を 1 μm とした。

【0092】

マスク部 1 1 を形成した後、開口部 1 1 w を介して露出している半導体基板 1 0 に MOCVD 法を用いてバッファ層 1 2 を形成する。バッファ層 1 2 は、例えば AlN (窒化アルミニウム) を 200 nm 成長することによって形成される。

【0093】

バッファ層 1 2 (AlN) の成膜条件は、例えば、基板温度 = 1150、成長圧力 = 13 kPa、TMA (Tri Methyl Aluminium: トリメチルアルミニウム) 流量 = 100 $\mu\text{mol/min}$ 、NH₃ 流量 = 12.5 s l m とした。

【0094】

図 3 B は、本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 III - V 族化合物半導体層を形成する中間状態の断面を示す断面図である。

【0095】

バッファ層 1 2 を形成した後、実施の形態 2 と同様にして MOCVD 法を用い、横方向成長に有利な高い基板温度と減圧成長条件を適用して窒化物系 III - V 族化合物半導体層 2 0 を形成 (積層) する。

【0096】

窒化物系 III - V 族化合物半導体層 2 0 は、具体的には Si をドープした GaN であり、成長条件は、基板温度 = 1150、成長圧力 = 13 kPa、TMG 流量 = 200 $\mu\text{mol/min}$ 、NH₃ 流量 = 12.5 s l m として成膜した。

【0097】

なお、図 3 B では、窒化物系 III - V 族化合物半導体層 2 0 を縦方向 (積層方向、成膜方向) に例えば 1.5 μm 成長させた状態を示している。また、Si をドープしていることから、キャリア濃度 $N_d = 1 \times 10^{15} \text{ cm}^{-3}$ となった。

【0098】

図 3 C は、本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 III - V 族化合物半導体層にマグネシウムをドープして横方向成長領域を形成した状態の断面を示す断面図である。

【0099】

図 2 で、窒化物系 III - V 族化合物半導体層 2 0 を厚さ 1.5 μm 成長させた後、マスク部 1 1 相互間に間隙を残している状態で、引き続いてマグネシウム (Mg) をドープした GaN (キャリア濃度 $N_d = 1 \times 10^{18} \text{ cm}^{-3}$) を Si ドープした GaN の成長時間

10

20

30

40

50

の 1 / 3 の時間成長する。

【 0 1 0 0 】

M g ドープした G a N は、窒化物系 I I I - V 族化合物半導体層 2 0 の側面および表面に成長する。窒化物系 I I I - V 族化合物半導体層 2 0 の側面に成長した G a N は、横方向成長領域 2 2 を構成することとなる。

【 0 1 0 1 】

なお、横方向成長領域 2 2 は、相互に隣接する横方向成長領域 2 2 が間隙 2 2 g を構成する状態で成長を終了される。

【 0 1 0 2 】

図 3 D は、本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層（横方向成長領域）を形成した状態の断面を示す断面図である。

10

【 0 1 0 3 】

窒化物系 I I I - V 族化合物半導体層 2 0 の表面に形成された M g ドープの G a N をエッチングする。エッチングは、例えばドライエッチングなどのように方向性を有するエッチング方法を採用する。したがって、窒化物系 I I I - V 族化合物半導体層 2 0 の表面に成長した G a N は、図 3 D に示すように除去され、横方向成長領域 2 2 は成長状態を維持する。

【 0 1 0 4 】

なお、ドライエッチングは、例えば塩素（C l₂）ガスを用いた I C P（I n d u c t i v e l y C o u p l e d P l a s m a：誘導結合プラズマ）を適用して行った。

20

【 0 1 0 5 】

図 3 E は、本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【 0 1 0 6 】

第 1 電極 3 1、第 2 電極 3 2、第 3 電極 3 3 を形成して電界効果トランジスタ 1 としてある。

【 0 1 0 7 】

なお、S i 基板（半導体基板 1 0）に対する第 1 電極 3 1、G a N（窒化物系 I I I - V 族化合物半導体層 2 0）に対する第 2 電極 3 2 は、オーミック性を有するオーミック電極とされる。

30

【 0 1 0 8 】

また、第 3 電極 3 3 は、メッキ技術を適用して金などの仕事関数の大きい金属（例えば、P t、P d、A u など）を間隙 2 2 g へ埋め込むことによって形成される。仕事関数の大きい金属を適用することから、第 3 電極 3 3 は、M g ドープした G a N に対してオーミック性を持たせることが可能となる。

【 0 1 0 9 】

M g ドープした G a N（横方向成長領域 2 2）は、p 型となっている。また、S i ドープした G a N（窒化物系 I I I - V 族化合物半導体層 2 0）は、n 型となっている。したがって、p 型に対してオーミック性を有する第 3 電極 3 3 は、横方向成長領域 2 2 と窒化物系 I I I - V 族化合物半導体層 2 0 との間に p n 接合を形成して空乏層領域 2 3 を生じさせることができる。

40

【 0 1 1 0 】

つまり、第 3 電極 3 3 は、横方向成長領域 2 2 を介して通電領域 2 1 に p n 接合による空乏層領域 2 3 を形成することが可能となり、空乏層厚 W d を制御して通電領域 2 1 の通電状態を容易に制御することができる。

【 0 1 1 1 】

なお、本実施の形態では、S i 基板上にマスク部 1 1 としての S i O₂ を形成した後にバッファ層 1 2 を形成したが、予め S i 基板上に A l N、G a N などバッファ層 1 2 として形成した後にマスク部 1 1 としての S i O₂ を形成し、その後、窒化物系 I I I - V

50

族化合物半導体層 20 を形成しても良い。

【0112】

また、横方向成長領域 22 がノンドープ GaN であるときは、第 3 電極 33 を、横方向成長領域 22 に対してショットキー電極とすることによって、通電領域 21 にショットキー電極による空乏層領域 23 を形成することが可能となり、通電領域 21 の通電状態を容易に制御することができる。

【0113】

本実施の形態に係る電界効果トランジスタ 1 は、ピンチオフ電圧 0 V のノーマリオフ特性を示した。

【0114】

本実施の形態でも実施の形態 2 と同様、素子の外形面積 $S_c = 1 \text{ mm} \times 1 \text{ mm}$ とし、ゲート電極（第 3 電極 33）に対する電極パッド（不図示）の面積などを差し引いて実質上の外形面積 $S_{rc} = 0.6 \text{ mm} \times 0.8 \text{ mm}$ とした。

【0115】

したがって、トータルゲート長 L_g は、トータルゲート長 $L_g = \text{外形面積 } S_{rc} / (\text{幅 } W_m + \text{幅 } W_s) = (0.8 \text{ mm} \times 0.6 \text{ mm}) / (3 \mu\text{m} + 1 \mu\text{m}) = 0.48 (\text{mm}^2) / 4 (\mu\text{m}) = 120 \text{ mm}$ となる。

【0116】

ゲート電圧 2 V、ドレイン電圧 10 V のときゲート長 $1 \mu\text{m}$ あたり $20 \mu\text{A}$ を流すのであれば、トータルゲート長 $L_g = 120 \text{ mm}$ で流せる電流は、 $(20 \text{ mA} / \text{mm}) \times 120 \text{ mm} = 2.4 \text{ A}$ となる。この電流容量は、実施の形態 2 に係る電界効果トランジスタ 1 に比較してさらに大きな値となっている。

【0117】

また、素子耐圧としては、600 V 以上の耐圧を確保することが可能であった。

【0118】

上述したとおり、本実施の形態に係る電界効果トランジスタ 1 では、第 3 電極 33 は、側面 22s が構成する間隙 22g に埋め込まれている。したがって、第 3 電極 33 を容易に形成することが可能となり、生産性、歩留まりおよび信頼性を向上させることができる。

【0119】

また、第 3 電極 33 は、オーミック性を有する構成としてある。したがって、横方向成長領域 22 と窒化物系 III-V 族化合物半導体層 20 との pn 接合による空乏層領域 23 を容易に形成することが可能となり、通電領域 21 の通電状態を容易に制御することができる。

【0120】

< 実施の形態 4 >

図 4 A および図 4 B に基づいて、本実施の形態に係る電界効果トランジスタの製造工程および構造について説明する。なお、基本的な構成は、実施の形態 1 ないし実施の形態 3 と同様であるので、符号を援用し、主に異なる事項について説明する。

【0121】

図 4 A は、本発明の実施の形態 4 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 III-V 族化合物半導体層（横方向成長領域）を形成した状態の断面を示す断面図である。

【0122】

なお、図 4 A は、図 3 A ないし図 3 D に対応する製造工程での処理を施した状態を示している。

【0123】

まず、半導体基板 10 として n 型 Si（シリコン）基板を用い、実施の形態 2 と同様にしてマスク部 11（膜厚 $0.5 \mu\text{m}$ の SiO_2 膜）を半導体基板 10 の全面に形成する。

【0124】

SiO₂膜は、半導体基板10がSi基板であることから、熱CVD法、プラズマCVD法などに加えて熱酸化を採用することが可能である。本実施の形態では、ECRスパッタを用い、Ar:O₂=30:8sccm、スパッタ圧力=0.5Pa、マイクロ波パワー=700W、DCバイアス=600Vで成膜を行なった。

【0125】

次に、フォトリソグラフィ技術を用いてSiO₂膜をストライプ状に加工してマスク部11を形成する。なお、本実施の形態では、実施の形態1と同様、マスク部11の幅Wmを3μm、開口部11wの幅Wsを1μmとした。

【0126】

マスク部11を形成した後、MOCVD法を用いて、バッファ層12を形成する。バッファ層12は、例えばAlNを200nm成長することによって形成される。成膜条件は、実施の形態3と同様とすることが可能である。

【0127】

バッファ層12を形成した後、実施の形態2と同様にしてMOCVD法を用い、横方向成長に有利な高い基板温度と減圧成長条件を適用して窒化物系III-V族化合物半導体層20を形成(積層)する。

【0128】

窒化物系III-V族化合物半導体層20は、具体的にはSiをドープしたGaNであり、成長条件は、基板温度=1150、成長圧力=13kPa、TMG流量=200μmol/min、NH₃流量=12.5slmとして成膜した。

【0129】

窒化物系III-V族化合物半導体層20は、縦方向に1.5μm成長させた。また、Siをドープしていることから、キャリア濃度Nd=1×10¹⁵cm⁻³となった。以上の状態は、実施の形態3の図3Aおよび図3Bと同様である。

【0130】

窒化物系III-V族化合物半導体層20を厚さ1.5μm成長させた後、図3Cと同様にして、マスク部11相互間に間隙22gを残している状態で、引き続いてMgドープしたGaN(キャリア濃度Nd=1×10¹⁸cm⁻³)をSiドープしたGaNの成長時間の1/3の時間に加えてさらに横方向成長領域22が相互に当接するまで成長する。

【0131】

本実施の形態では、横方向成長領域22(側面22s)が相互に当接するように形成されている。つまり、側面22s相互間の間隙22gが消失して横方向成長領域22の界面22bを構成するように横方向成長領域22を成長させている。また、MgドープしたGaNは、図3Cで示したとおり窒化物系III-V族化合物半導体層20の表面にも成長する。

【0132】

したがって、窒化物系III-V族化合物半導体層20の表面に形成されたMgドープのGaNをエッチングして除去する。図3Dで示した、窒化物系III-V族化合物半導体層20の表面に形成されたGaNを除去し、横方向成長領域22を残した状態が図4Aの状態である。

【0133】

図4Bは、本発明の実施の形態4に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【0134】

第1電極31、第2電極32、第3電極33を形成して電界効果トランジスタ1としてある。第1電極31、第2電極32は、実施の形態3と同様の形態とすることが可能である。

【0135】

本実施の形態では、第3電極33は、相互に当接する横方向成長領域22の界面22bが窒化物系III-V族化合物半導体層20の表面と交差する端部22tに接触している

10

20

30

40

50

。つまり、第3電極33は、相互に当接する横方向成長領域22の界面22bに接触している。

【0136】

したがって、第3電極33を第2電極32と同様に平面的に形成することが可能となるので、第3電極33の形成を極めて容易にし、生産性を向上させることができる。

【0137】

なお、第3電極33は、横方向成長領域22(MgドープしたGaN)の表面に仕事関数の大きい金属を形成されていることから、オーミック性を有している。オーミック性を有する第3電極33は、横方向成長領域22と窒化物系III-V族化合物半導体層20との間にpn接合を形成して空乏層領域23を生じさせることができる。

10

【0138】

したがって、空乏層領域23の空乏層厚Wdを制御して通電領域21の通電状態を容易に制御することができる。

【0139】

また、横方向成長領域22がノンドープGaNであるときは、第3電極33を、横方向成長領域22に対してショットキー電極とすることによって、通電領域21にショットキー電極による空乏層領域23を形成することが可能となり、空乏層厚Wdを制御して通電領域21の通電状態を容易に制御することができる。

【0140】

本実施の形態に係る電界効果トランジスタ1は、ピンチオフ電圧0Vのノーマリオフ特性を示した。

20

【0141】

本実施の形態でも実施の形態2と同様、素子の外形面積 $S_c = 1\text{ mm} \times 1\text{ mm}$ とし、ゲート電極(第3電極33)に対する電極パッド(不図示)の面積などを差し引いて実質上の外形面積 $S_{rc} = 0.6\text{ mm} \times 0.8\text{ mm}$ とした。

【0142】

したがって、トータルゲート長 L_g は、トータルゲート長 $L_g = \text{外形面積 } S_{rc} / (\text{幅 } W_m + \text{幅 } W_s) = (0.8\text{ mm} \times 0.6\text{ mm}) / (3\text{ }\mu\text{m} + 1\text{ }\mu\text{m}) = 0.48(\text{ mm}^2) / 4(\text{ }\mu\text{m}) = 120\text{ mm}$ となる。

【0143】

つまり、電流容量は、ゲート電圧2V、ドレイン電圧10Vのときゲート長1 μm あたり20 μA を流すとすれば、実施の形態3と同様、2.4Aとなる。

30

【0144】

また、素子耐圧としては、600V以上の耐圧を確保することが可能であった。

【0145】

<実施の形態5>

図5Aないし図5Dに基づいて、本実施の形態に係る電界効果トランジスタの製造工程および構造について説明する。基本的な構成は、実施の形態1ないし実施の形態4と同様であるので、符号を援用し、主に異なる事項について説明する。なお、実施の形態1ないし実施の形態4では、横方向成長方法として、ELOG成長法を適用したが、本実施の形態では、PENDEO成長法を適用した点が大きく異なる。

40

【0146】

図5Aは、本発明の実施の形態5に係る電界効果トランジスタの製造工程で半導体基板にバッファ層および窒化物系III-V族化合物半導体層を形成した状態の断面を示す断面図である。

【0147】

半導体基板10としてn型SiC基板を用い、半導体基板10にMOCVD法を用いて、バッファ層12を積層し、さらにバッファ層12に窒化物系III-V族化合物半導体層20(図5C参照)の下地となる窒化物系III-V族化合物半導体層20bを積層する。

50

【0148】

バッファ層12は、例えばAlNを200nm成長することによって形成される。また、窒化物系III-V族化合物半導体層20bは、GaNを200nm成長することによって形成される。

【0149】

バッファ層12の成膜条件は、例えば、基板温度=1150、成長圧力=13kPa、NH₃流量=12.5slmとし、AlNを成長するときはTMA流量=100μmol/minとし、GaNを成長するときはTMG流量=100μmol/minとした。

【0150】

図5Bは、本発明の実施の形態5に係る電界効果トランジスタの製造工程で半導体基板、バッファ層、窒化物系III-V族化合物半導体層に溝部を形成した状態の断面を示す断面図である。

10

【0151】

ストライプ状のレジストパターン13rをレジスト幅3μm(マスク部11の幅Wmに対応)、スペース幅2μm(開口部11wの幅Wsに対応)で形成し、レジストパターン13r(スペース幅2μm、レジスト幅3μm)を形成し、例えばドライエッチングによりGaN(窒化物系III-V族化合物半導体層20b)、AlN(バッファ層12)をエッチングし、さらにSiC基板(半導体基板10)の表面に及ぶ溝部13を形成する。

【0152】

ドライエッチングは、例えば塩素(Cl₂)ガスを用いたICPを適用して行った。エッチング条件は、Cl₂流量=10sccm、コイルパワー=800W、プレートパワー=35W、圧力=1.3kPaとし、5分間のエッチングを施した。

20

【0153】

窒化物系III-V族化合物半導体層20bの横方向は側面22sを構成し、また、相互に対向する側面22sは、間隙22gを構成する。

【0154】

ドライエッチングの後、レジストパターン13rを除去して次の工程へ移行する。

【0155】

図5Cは、本発明の実施の形態5に係る電界効果トランジスタの製造工程で溝部を形成された下地の窒化物系III-V族化合物半導体層に窒化物系III-V族化合物半導体層をさらに形成した状態の断面を示す断面図である。

30

【0156】

溝部13を形成した後、実施の形態2と同様にしてMOCVD法を用い、横方向成長に有利な高い基板温度と減圧成長条件を適用して窒化物系III-V族化合物半導体層20を形成(積層)する。

【0157】

窒化物系III-V族化合物半導体層20は、具体的にはアンドープのGaNであり、成長条件は、基板温度=1150、成長圧力=13kPa、TMG流量=100μmol/min、NH₃流量=12.5slmとして成膜した。

【0158】

本実施の形態では、横方向成長領域22は、半導体基板10に形成された溝部13の領域で梁状に形成されている。したがって、結晶性の良い横方向成長領域22を容易かつ高精度に形成することが可能となる。

40

【0159】

実施の形態4(図4A)の場合と同様、横方向成長領域22の間の間隙22gが消失して界面22bが相互に接触するまで横方向成長領域22(窒化物系III-V族化合物半導体層20)を成長させている。つまり、横方向成長領域22(側面22s)が相互に当接するように形成され、側面22s相互間の間隙22gが消失して横方向成長領域22の界面22bを構成するように横方向成長領域22を成長させている。

【0160】

50

図 5 D は、本発明の実施の形態 5 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【 0 1 6 1 】

第 1 電極 3 1、第 2 電極 3 2、第 3 電極 3 3 を形成して電界効果トランジスタ 1 としてある。第 1 電極 3 1、第 2 電極 3 2 は、実施の形態 3 と同様の形態とすることが可能である。

【 0 1 6 2 】

第 3 電極 3 3 は、実施の形態 4 と同様の形態とすることが可能である。つまり、第 3 電極 3 3 は、相互に当接する横方向成長領域 2 2 の界面 2 2 b が窒化物系 I I I - V 族化合物半導体層 2 0 の表面と交差する端部 2 2 t に接触している。つまり、第 3 電極 3 3 は、相互に当接する横方向成長領域 2 2 の界面 2 2 b に接触している。

10

【 0 1 6 3 】

したがって、第 3 電極 3 3 を第 2 電極 3 2 と同様に平面的に形成することが可能となるので、第 3 電極 3 3 の形成を極めて容易にし、生産性を向上させることができる。

【 0 1 6 4 】

第 3 電極 3 3 は、窒化物系 I I I - V 族化合物半導体層 2 0、横方向成長領域 2 2 をアンドープ G a N としていることから、ショットキー電極として形成している。ショットキー電極としてある第 3 電極 3 3 は、横方向成長領域 2 2 (窒化物系 I I I - V 族化合物半導体層 2 0) に対して空乏層領域 2 3 を生じさせることができる。

20

【 0 1 6 5 】

したがって、空乏層領域 2 3 の空乏層厚 W d を制御して通電領域 2 1 の通電状態を容易に制御することができる。

【 0 1 6 6 】

また、横方向成長領域 2 2 が M g ドープした G a N であるときは、第 3 電極 3 3 を横方向成長領域 2 2 に対してオーミック性を持たせることによって、通電領域 2 1 に p n 接合による空乏層領域 2 3 を形成することが可能となり、空乏層厚 W d を制御して通電領域 2 1 の通電状態を容易に制御することができる。

【 0 1 6 7 】

本実施の形態に係る電界効果トランジスタ 1 は、ピンチオフ電圧 0 V のノーマリオフ特性を示した。

30

【 0 1 6 8 】

本実施の形態でも実施の形態 2 と同様、素子の外形面積 $S_c = 1\text{ mm} \times 1\text{ mm}$ とし、ゲート電極 (第 3 電極 3 3) に対する電極パッド (不図示) の面積などを差し引いて実質上の外形面積 $S_{rc} = 0.6\text{ mm} \times 0.8\text{ mm}$ とした。

【 0 1 6 9 】

また、トータルゲート長 L_g は、実施の形態 2 と同様であることから、電流容量は、実施の形態 2 と同様 1.92 A となる。

【 0 1 7 0 】

また、素子耐圧としては、 600 V 以上の耐圧を確保することが可能であった。

【 0 1 7 1 】

40

< 実施の形態 6 >

図 6 に基づいて、実施の形態 1 ないし実施の形態 5 に係る電界効果トランジスタの作用、効果について実施の形態 6 として説明する。

【 0 1 7 2 】

図 6 は、実施の形態 1 ないし実施の形態 5 に係る電界効果トランジスタを適用した本実施の形態に係る電界効果トランジスタの説明図であり、(A) は比較のための従来例に係る電界効果トランジスタの平面図であり、(B) は本実施の形態に係る電界効果トランジスタの平面図である。

【 0 1 7 3 】

従来例に係る電界効果トランジスタ 1 0 1 (図 6 (A)) は、例えば特許文献 1 に記載

50

された電界効果トランジスタである。中央はソース電極 132 であり、六角形の領域の背面側はドレイン電極 131 であり、リング状のゲート電極 133 がソース電極 132 とドレイン電極 131 の間に配置されている。

【0174】

電界効果トランジスタ 101 は、例えば正六角形としてあり、1 辺の長さ $L_{ps} = 10 \mu m$ とした場合、正六角形の面積 S_p は $S_p = 150 \sqrt{3} \mu m^2$ となる。また、ゲート電極 133 g の直径 ϕ は、プロセスマージンを考慮して $\phi = 13 \mu m$ とすると、ゲート長 $L_{pg} = 13\pi = 41 \mu m$ となる。

【0175】

本実施の形態に係る電界効果トランジスタ 1 (図 6 (B)) は、ストライプ状に配置されたマスク部 11、マスク部 11 の間に同様に配置された開口部 11w を備える。開口部 11w に対応してソース電極としての第 2 電極 32 が形成され、マスク部 11 の中央にはゲート電極としての第 3 電極 33 (図での理解を容易にするために 2 点鎖線で表示している。) が形成されている。

【0176】

電界効果トランジスタ 1 では、マスク部 11、開口部 11w は、ストライプ状に形成される。したがって、横方向成長領域 22 は、ストライプ状に成長して配置 (形成) され、第 3 電極 33 は、横方向成長領域 22 に対応させてストライプ状に配置されている。この構成により、並列構造で面積利用率の高い、大電流化が容易な電界効果トランジスタ 1 とすることができる。

【0177】

従来例の正六角形の面積 $S_p (150 \sqrt{3} \mu m^2)$ と等しい面積 (外形面積 S_{rc}) とする正方形 (本実施の形態) の 1 辺の長さ L_c は $16 \mu m$ である。

【0178】

例えば実施の形態 3 で示した開口部 11w の幅 $W_s = 1 \mu m$ 、マスク部 11 の幅 $W_m = 3 \mu m$ の場合 $W_s + W_m = 4 \mu m$ となる。実施の形態 3 の場合を本実施の形態に適用すると、1 組の $W_s + W_m (= 4 \mu m)$ をストライプ状に配置した 1 個のゲート電極 (第 3 電極 33) に対して割り当てるものとする。つまり、1 辺の長さ $L_c (16 \mu m)$ に配置可能なゲート数は、 $16 \mu m / 4 \mu m = 4$ となり、4 個のゲートを並列に配置した構成とすることが可能である。また、1 個のゲート電極のゲート長 L_{cg} は $16 \mu m$ であるから、全体としてのトータルゲート長 L_g は、 $16 \mu m \times 4 = 64 \mu m$ となる。

【0179】

通常電界効果トランジスタでは、ドレイン電流はトータルゲート長 L_g に比例する。したがって、本実施の形態に係る電界効果トランジスタ 1 と従来例に係る電界効果トランジスタ 101 とを比べると、同じ面積 ($150 \sqrt{3} \mu m^2$) で、ゲート長 $L_g (64 \mu m)$ / ゲート長 $L_{pg} (41 \mu m) = 64 / 41 = 1.56$ と、ゲート長は 1.56 倍となっているから、ドレイン電流は、1.56 倍となる。

【0180】

また、従来例のように多角形を平面上に並置した平面型の電界効果トランジスタ 101 では、個々のゲート電極 133、ソース電極 132 を相互に接続するためにブリッジ状の配線が必要となる。これに対し、本実施の形態に係る電界効果トランジスタ 1 では、ゲート電極 (第 3 電極 33)、ソース電極 (第 2 電極 32) の配置は同一平面内でストライプ状に配置してあることから、相互の接続は同一平面内でゲート配線 33w、ソース配線 32w によって施すことが可能である。

【0181】

したがって、本実施の形態 (つまり、実施の形態 1 ないし実施の形態 5) によれば面積を有効に利用して大電流化および高耐圧化を容易に実現することが可能となる。

【0182】

なお、実施の形態 1 ないし実施の形態 5 に係る電界効果トランジスタ 1 では、半導体基板 10 は、Si、SiC、または、窒化物系 III-V 族化合物半導体のいずれか一つを

10

20

30

40

50

材料としている。したがって、通電領域 2 1 を構成する窒化物系 I I I - V 族化合物半導体層 2 0 を容易に形成し、電流容量および耐電圧を大きくすることが可能な電界効果トランジスタ 1 とすることができる。

【図面の簡単な説明】

【 0 1 8 3 】

【図 1】本発明の実施の形態 1 に係る電界効果トランジスタの構造および動作状態を示す断面図である。

【図 2 A】本発明の実施の形態 2 に係る電界効果トランジスタの製造工程で半導体基板にマスク部を形成した状態の断面を示す断面図である。

【図 2 B】本発明の実施の形態 2 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層（横方向成長領域）を形成した状態の断面を示す断面図である。

【図 2 C】本発明の実施の形態 2 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【図 3 A】本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板にマスク部およびバッファ層を形成した状態の断面を示す断面図である。

【図 3 B】本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層を形成する中間状態の断面を示す断面図である。

【図 3 C】本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層にマグネシウムをドーピングして横方向成長領域を形成した状態の断面を示す断面図である。

【図 3 D】本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層（横方向成長領域）を形成した状態の断面を示す断面図である。

【図 3 E】本発明の実施の形態 3 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【図 4 A】本発明の実施の形態 4 に係る電界効果トランジスタの製造工程で半導体基板に窒化物系 I I I - V 族化合物半導体層（横方向成長領域）を形成した状態の断面を示す断面図である。

【図 4 B】本発明の実施の形態 4 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【図 5 A】本発明の実施の形態 5 に係る電界効果トランジスタの製造工程で半導体基板にバッファ層および窒化物系 I I I - V 族化合物半導体層を形成した状態の断面を示す断面図である。

【図 5 B】本発明の実施の形態 5 に係る電界効果トランジスタの製造工程で半導体基板、バッファ層、窒化物系 I I I - V 族化合物半導体層に溝部を形成した状態の断面を示す断面図である。

【図 5 C】本発明の実施の形態 5 に係る電界効果トランジスタの製造工程で溝部を形成された下地の窒化物系 I I I - V 族化合物半導体層に窒化物系 I I I - V 族化合物半導体層をさらに形成した状態の断面を示す断面図である。

【図 5 D】本発明の実施の形態 5 に係る電界効果トランジスタの製造工程で電極を形成した状態の断面を示す断面図である。

【図 6】実施の形態 1 ないし実施の形態 5 に係る電界効果トランジスタを適用した本実施の形態に係る電界効果トランジスタの説明図であり、（ A ）は比較のための従来例に係る電界効果トランジスタの平面図であり、（ B ）は本実施の形態に係る電界効果トランジスタの平面図である。

【符号の説明】

【 0 1 8 4 】

1 電界効果トランジスタ

1 0 半導体基板

10

20

30

40

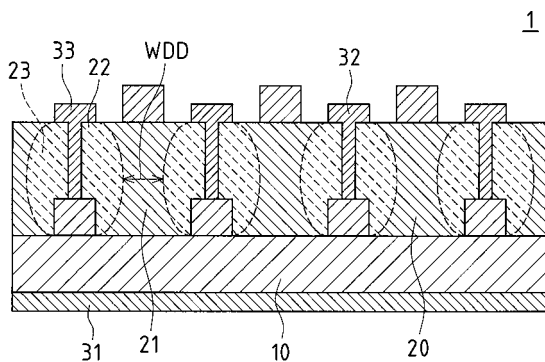
50

- 1 1 マスク部
- 1 1 w 開口部
- 1 2 バッファ層
- 1 3 溝部
- 1 3 r レジストパターン
- 2 0 窒化物系 I I I - V 族化合物半導体
- 2 0 b 窒化物系 I I I - V 族化合物半導体
- 2 1 通電領域
- 2 2 横方向成長領域
- 2 2 b 界面
- 2 2 g 間隙
- 2 2 s 側面
- 2 2 t 端部
- 2 3 空乏層領域
- 3 1 第 1 電極
- 3 2 第 2 電極
- 3 3 第 3 電極
- W D D 空乏層間隔
- W d 空乏層厚
- W m 幅 (マスク部)
- W s 幅 (開口部)
- W p 幅 (通電領域)

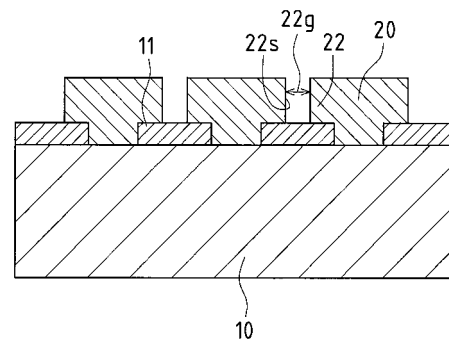
10

20

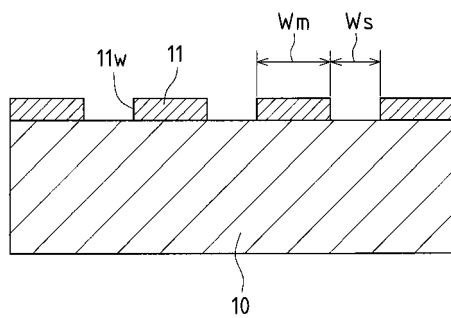
【図 1】



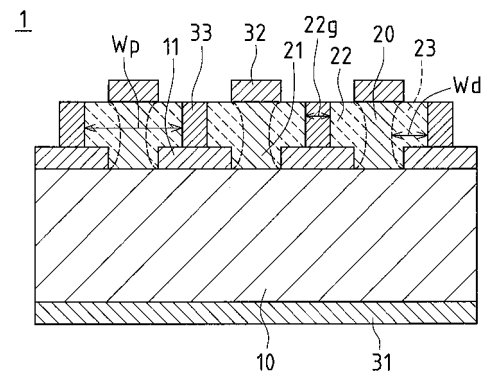
【図 2 B】



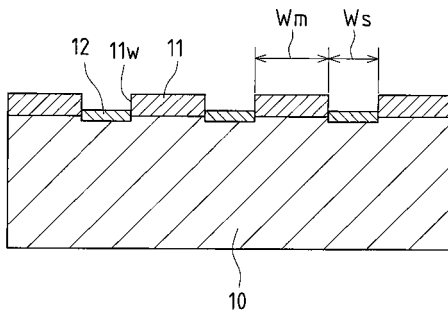
【図 2 A】



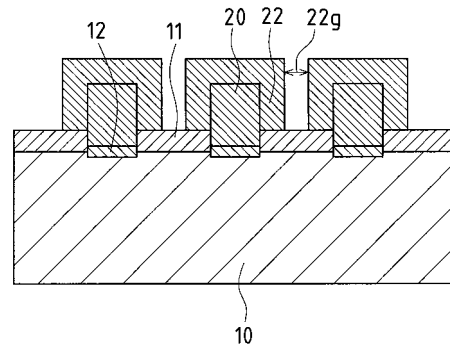
【図 2 C】



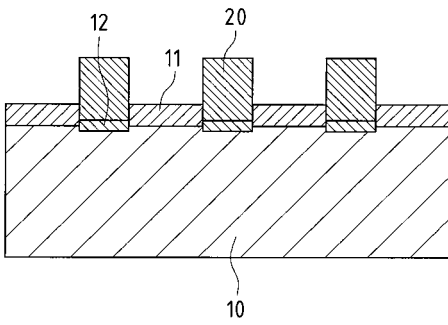
【図 3 A】



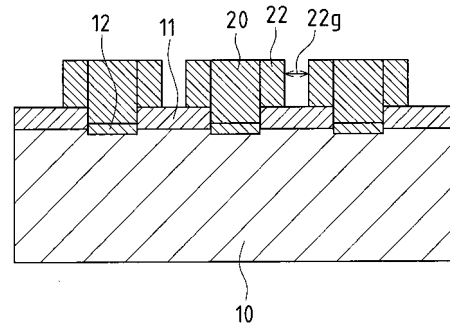
【図 3 C】



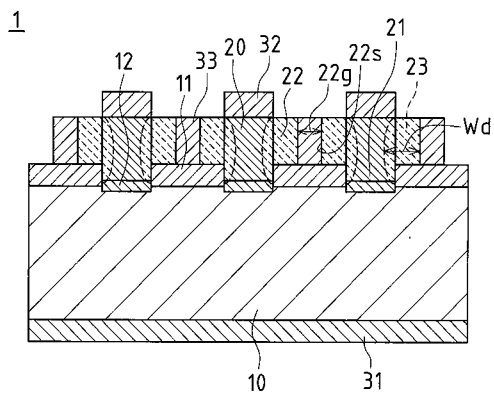
【図 3 B】



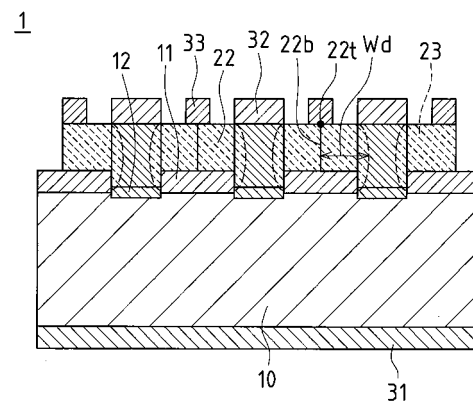
【図 3 D】



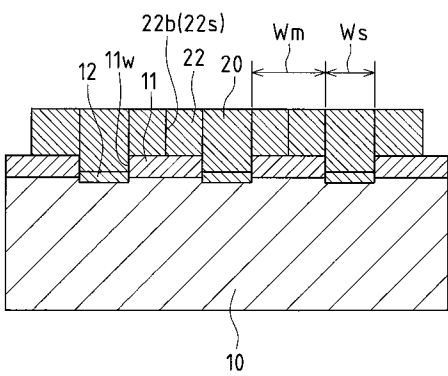
【図 3 E】



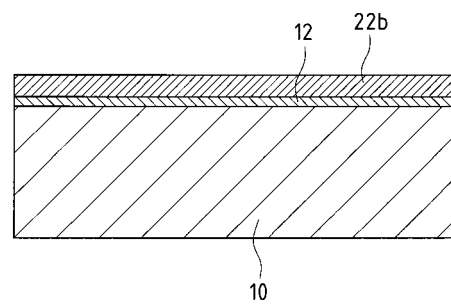
【図 4 B】



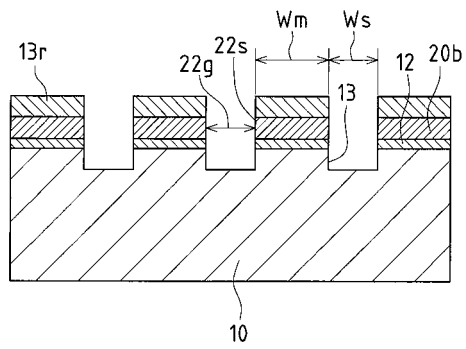
【図 4 A】



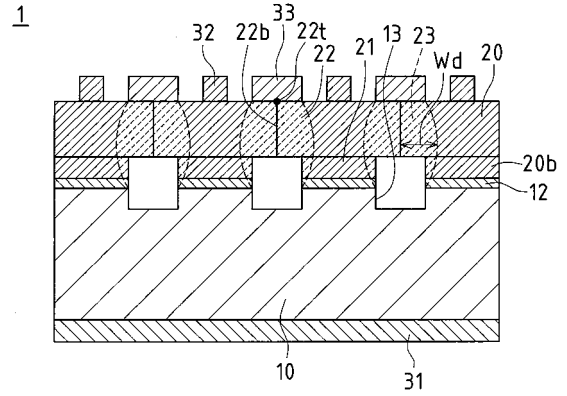
【図 5 A】



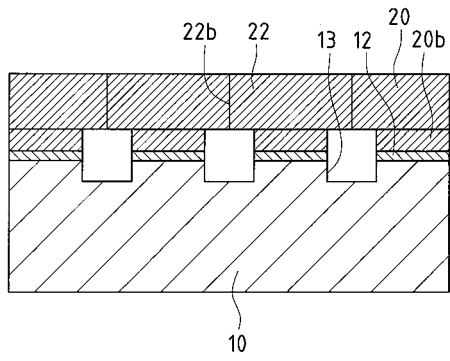
【図 5 B】



【図 5 D】

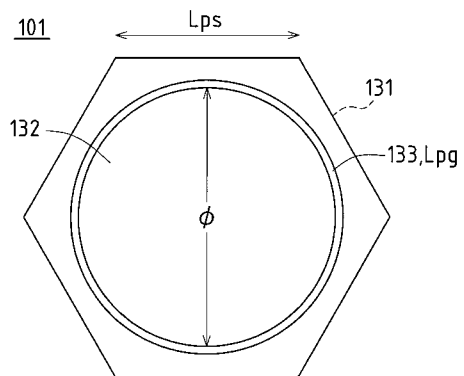


【図 5 C】



【図 6】

(A)



(B)

