



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I585939 B

(45)公告日：中華民國 106 (2017) 年 06 月 01 日

(21)申請案號：104136471

(22)申請日：中華民國 104 (2015) 年 11 月 05 日

(51)Int. Cl. : H01L25/065 (2006.01)

H01L21/78 (2006.01)

H01L23/31 (2006.01)

H01L23/00 (2006.01)

H01L21/56 (2006.01)

H01L25/00 (2006.01)

(30)優先權：2014/11/05 南韓

10-2014-0152687

2015/11/03 美國

14/931,112

(71)申請人：艾馬克科技公司 (美國) AMKOR TECHNOLOGY, INC. (US)

美國

(72)發明人：高永範 KO, YEONG BEOM (KR)；金東進 KIM, DONG JIN (KR)；茶水旺 CHA,

SE WOONG (KR)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW 200836305A

TW 201432871A

審查人員：林弘恩

申請專利範圍項數：20 項 圖式數：2 共 40 頁

(54)名稱

晶圓級堆疊晶片封裝及製造其之方法

WAFER-LEVEL STACK CHIP PACKAGE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

一種具有一堆疊晶片封裝的形式之半導體產品以及一種製造其之方法，其中複數個半導體晶片係彼此堆疊，以便於致能在該些半導體晶片之間的電性信號的交換，並且其中一導電層被內含以用於往返於個別的晶片來輸入及輸出信號。一具有小型尺寸的堆疊晶片封裝例如可以是藉由在一第一半導體晶片上堆疊一具有一較小的表面積之第二半導體晶片來加以製造，其係藉由互連結構以便於致能在該第一及第二半導體晶片之間的電性信號的交換，並且藉由利用一導電層以用於往返於個別的半導體晶片來輸入及輸出信號，以替代一厚的基板。再者，散熱效果可以藉由一散熱單元的增加來加以強化。

A semiconductor product in the form of a stack chip package and a method of manufacturing the same, where a plurality of semiconductor chips are stacked one on another so as to enable the exchange of electrical signals between the semiconductor chips, and where a conductive layer is included for inputting and outputting signals to and from individual Chips. A stack chip package having a compact size may, for example, be manufactured by stacking, on a first semiconductor chip, a second semiconductor chip having a smaller surface area by means of interconnection structures so as to enable the exchange of electrical signals between the first and second semiconductor chips, and by using a conductive layer for inputting and outputting signals to and from individual semiconductor chips, in lieu of a thick substrate. Furthermore, heat dissipation effects can be enhanced by the addition of a heat dissipation unit.

指定代表圖：

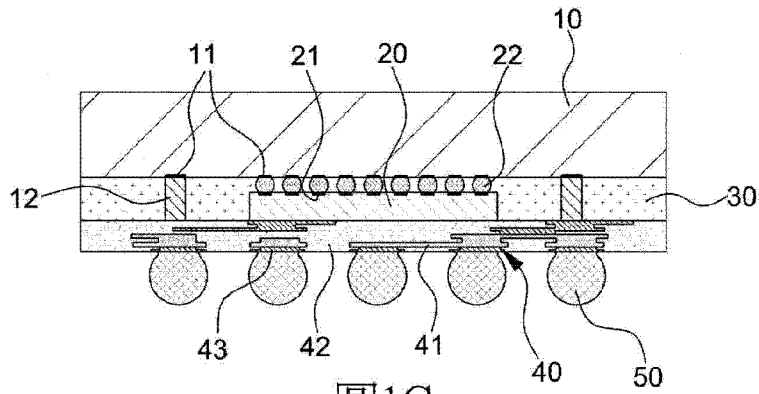
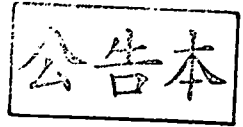


圖1G

符號簡單說明：

- 10 . . . 第一半導體晶片
- 11 . . . 接合墊
- 12 . . . 第一互連結構/第一導電凸塊
- 20 . . . 第二半導體晶片
- 21 . . . 接合墊
- 22 . . . 第二互連結構/第二導電凸塊
- 30 . . . 模製化合物樹脂
- 40 . . . 重新分佈層
- 41 . . . 導電路徑
- 42 . . . 介電層
- 43 . . . 導電墊
- 50 . . . 輸入/輸出端子/互連結構



發明摘要

※ 申請案號：104136471

※ 申請日：104.11.5

※IPC 分類： H01L 25/065 (2006.1)
 H01L 21/78 (2006.1)
 H01L 23/31 (2006.1)
 H01L 23/00 (2006.1)
 H01L 21/56 (2006.1)
 H01L 25/00 (2006.1)

【發明名稱】(中文/英文)

晶圓級堆疊晶片封裝及製造其之方法

WAFER-LEVEL STACK CHIP PACKAGE AND METHOD OF
 MANUFACTURING THE SAME

【中文】

一種具有一堆疊晶片封裝的形式之半導體產品以及一種製造其之方法，其中複數個半導體晶片係彼此堆疊，以便於致能在該些半導體晶片之間的電性信號的交換，並且其中一導電層被內含以用於往返於個別的晶片來輸入及輸出信號。一具有小型尺寸的堆疊晶片封裝例如可以是藉由在第一半導體晶片上堆疊一具有一較小的表面積之第二半導體晶片來加以製造，其係藉由互連結構以便於致能在該第一及第二半導體晶片之間的電性信號的交換，並且藉由利用一導電層以用於往返於個別的半導體晶片來輸入及輸出信號，以替代一厚的基板。再者，散熱效果可以藉由一散熱單元的增加來加以強化。

【英文】

A semiconductor product in the form of a stack chip package and a method of manufacturing the same, where a plurality of semiconductor chips are stacked one on another so as to enable the exchange of electrical signals between the semiconductor

chips, and where a conductive layer is included for inputting and outputting signals to and from individual Chips. A stack chip package having a compact size may, for example, be manufactured by stacking, on a first semiconductor chip, a second semiconductor chip having a smaller surface area by means of interconnection structures so as to enable the exchange of electrical signals between the first and second semiconductor chips, and by using a conductive layer for inputting and outputting signals to and from individual semiconductor chips, in lieu of a thick substrate. Furthermore, heat dissipation effects can be enhanced by the addition of a heat dissipation unit.

【代表圖】

【本案指定代表圖】：第（ 1G ）圖。

【本代表圖之符號簡單說明】：

- 10 第一半導體晶片
- 11 接合墊
- 12 第一互連結構 / 第一導電凸塊
- 20 第二半導體晶片
- 21 接合墊
- 22 第二互連結構 / 第二導電凸塊
- 30 模製化合物樹脂
- 40 重新分佈層
- 41 導電路徑
- 42 介電層
- 43 導電墊
- 50 輸入/輸出端子 / 互連結構

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

晶圓級堆疊晶片封裝及製造其之方法

WAFER-LEVEL STACK CHIP PACKAGE AND METHOD OF
MANUFACTURING THE SAME

【技術領域】

【0001】 本揭露內容係有關於一種具有一堆疊晶片封裝(例如，一晶圓級堆疊晶片封裝)的形式之半導體產品，並且更特定是有關於一種新穎類型的堆疊晶片封裝以及一種製造其之方法，其中複數個半導體晶片係被堆疊以便於致能在該些半導體晶片之間的電性信號的交換，並且其包含一導電層以用於往返個別半導體晶片來輸入及輸出信號。

【0002】 相關申請案的交互參照/納入作為參考

【0003】 本申請案參照 2014 年 11 月 5 日申請的韓國專利申請案號 10-2014-0152687，主張其之優先權，並且主張其之權益，該韓國專利申請案的內容係藉此以其整體被納入在此作為參考。

【先前技術】

【0004】 在用於封裝半導體積體電路的技術中，三維(3D)堆疊的製程已經被開發來減小電子裝置的尺寸，並且增加其之安裝密度及效能。

【0005】 透過習知及傳統的方式之系統與如同在本申請案之參考圖式的其餘部分中所闡述的本揭露內容的某些態樣之比較，此種習知及傳統的方式之進一步的限制及缺點對於具有此項技術的技能者而言將會變成是明顯的。

【發明內容】

【0006】 本發明的一態樣為一種半導體產品，其包括：一第一半導體晶片，其包括一第一表面以及與該第一半導體晶片的該第一表面相對的一第二表面；一第一互連結構，其耦接至在該第一半導體晶片的該第一表面上的一第一接合墊；一第二半導體晶片，其包括一第一表面以及與該第二半導體晶片的該第一表面相對的一第二表面，該第二半導體晶片的該第一表面包括一接合墊；一第二互連結構，其耦接至在該第二半導體晶片的該第一表面上的該接合墊，其中在該第二半導體晶片的該第一表面上的該接合墊耦接至在該第一半導體晶片的該第一表面上的一第二接合墊；一囊封材料，其至少囊封該第一半導體晶片的該第一表面以及該第一互連結構；一導電層，其係在該囊封材料的一表面處耦接至該第一互連結構；以及一第三互連結構，其耦接至該導電層。

【0007】 本發明的另一態樣為一種製造一半導體產品之方法，該方法包括：提供一第一半導體晶片；在該第一半導體晶片的一第一表面上的一第一接合墊上形成一第一互連結構；提供包括一第一表面的一第二半導體晶片，該第一表面包括一第二互連結構被形成在其上的一接合墊；將該第二互連結構耦接至在該第一半導體晶片的該第一表面上的一第二接合墊；利用一囊封材料以至少囊封該第一半導體晶片的該第一表面，使得該第二半導體晶片以及該第一互連結構係被囊封；移除該囊封材料的一部分，以露出該第一互連結構的一部分；在該囊封材料的一表面之上形成一導電層，以將該導電層電耦接至露出的該第一互連結構；以及形成一第三互連結構，其耦接至該導電層。

【0008】 本發明的另一態樣為一種半導體產品，其包括：一第一半導體晶片，其包括一第一表面以及與該第一半導體晶片的該第一表面相對的一第二表面；一第一互連結構，其被形成在位在該第一半導體晶片的該第一表面上的一第一接合墊上；一第二半導體晶片，其包括一第一表面以及與該第二半導體晶片的該第一表面相對的一第二表面，該第二半導體晶片的該第一表面包括一接合墊，在該接合墊之上係形成一第二互連結構，該第二互連結構將該第二半導體晶片電性互連至在該第一半導體晶片的該第一表面上的一第二接合墊；一囊封材料，其至少囊封該第一半導體晶片的該第一表面以及該第一互連結構；一導電層，其在該囊封材料的一表面處電耦接至該第一互連結構；一基板，其耦接至該第一半導體晶片的該第二表面；以及一第三互連結構，其耦接至該導電層。

【圖式簡單說明】

【0009】

圖 1A 至 1G 是描繪根據本揭露內容的一範例實施例的一種製造一具有晶圓級堆疊晶片封裝的形式的半導體產品之製程的橫截面圖。

圖 2A 至 2G 是描繪根據本揭露內容的一範例實施例的一種製造一具有晶圓級堆疊晶片封裝的形式的半導體產品之製程的橫截面圖。

【實施方式】

【0010】 本揭露內容的態樣係有關於一種半導體產品封裝以及製造其之方法。更明確地說，本揭露內容的範例實施例係有關於一種具有一晶圓級堆疊晶片封裝的形式之半導體產品，並且更特定是有關於一種新穎類型的堆疊晶片封裝以及一種製造此種堆疊晶片封裝之方法，其中複數個半

導體晶片被堆疊以便於致能在該些半導體晶片之間的電性信號的交換，並且一導電層被內含以用於往返個別的半導體晶片來輸入及輸出信號。

【0011】 在此說明書中的術語"半導體晶粒"例如是包含一具有一主動電路及/或一被動電路的半導體晶片、一半導體晶圓或是其之部分、其等同物、等等。

【0012】 如同在此所利用的，該些術語"範例"或"例子"是表示作為一非限制性的例子、實例或是舉例。再者，如同在此所利用的，該術語"代表性"是表示作為一非限制性的例子、實例或是舉例。

【0013】 在以下，本揭露內容的實施例的例子將會參考所附的圖式來加以詳細地描述，使得它們可以輕易地被熟習此項技術者所完成及利用。應注意到的是，在所附的圖式中，每一個舉例說明的元件的厚度或尺寸都可能為了清楚起見而被誇大。相同的元件符號可以是指通篇相似的元件。此外，當所說的是一元件電耦接至另一元件時，將會瞭解到的是，這些元件可以是直接耦接至彼此，並且可以是在另一元件插置於該兩個耦接的元件之間下耦接至彼此。

【0014】 在以下，本揭露內容的實施例將會參考所附的圖式來加以詳細地描述。在以下，若詳細的說明、眾所周知的功能或構成會模糊本揭露內容之標的，則它們將不會以不必要的細節來加以描述。再者，將在以下描述的術語係考慮在本揭露內容中的功能來加以定義的，並且可能會根據使用者或操作者的意圖或實務而變化。於是，該定義可以是在整個說明書的內容的基礎上所做的。

【0015】 三維的(3D)堆疊封裝可被配置成使得例如具有相同的記憶

體容量的半導體晶片可加以堆疊，因而可以被稱為堆疊晶片的記憶體封裝。

【0016】 堆疊晶片封裝技術係提供各種的優點。例如，處理可加以簡化，因此降低封裝製造成本並且有助於大量製造。目前是有某些問題見於該堆疊晶片封裝的空間，因為待被堆疊的半導體晶片的數目及尺寸越大，則在此種堆疊晶片封裝中佈線電互連線之習知的方式是逐漸不足的。

【0017】 在某些堆疊晶片封裝中，半導體晶片係堆疊在一基板的晶片安裝區域上而且附接至其，並且個別的半導體晶片的接合墊可以藉由導線來導電地連接至該基板的導電的電路圖案，因此需要用於引線接合的空間以及該基板的藉由導線連接的電路圖案區域，此係非所要地放大該半導體封裝的尺寸。

【0018】 在嘗試解決這些問題中，直通矽晶穿孔(TSV)可被形成在半導體晶片中，因而該些半導體晶片可以實際上加以堆疊並且藉由 TSV 來電連接，藉此製造一具有小型尺寸的堆疊晶片封裝。然而，TSV 在個別的半導體晶片中的形成可能是複雜的，並且可能會非所要地增加製程的數目以及製造成本。本揭露內容的範例實施例係提供一種具有一有效率而且強健的結構以及一小型尺寸之新穎的堆疊晶片封裝。

【0019】 以下是本揭露內容的各種範例實施例的參考所附的圖式之詳細的說明。本揭露內容係提出一種範例的小型堆疊晶片封裝的態樣，其中一具有一相對大的實際尺寸之第一半導體晶片(例如，一具有電性構件位在其上的一較大的區域之半導體晶片，例如是一具有大的記憶體容量的記憶體裝置、等等)、以及一具有一相對較小的實際尺寸之第二半導體晶片(例如，一具有電性構件位在其上的一較小的區域之半導體晶片，例如是一具

有小的記憶體容量的記憶體裝置、等等)可以被導電地彼此堆疊。在本揭露內容的一範例實施例中，一或多個導電層(其在此亦可以被稱為重新分佈層)係被設置以指定路由給輸入及輸出電性信號往返於在該第一及第二半導體晶片上的連接。應注意到的是，儘管一個例子是就記憶體裝置而在此加以提出，但是在此揭露的概念並非是受限於此的，因為本揭露內容的教示可以等同地應用到執行其它功能的堆疊晶片封裝中之其它的半導體晶片的設計。

【0020】 圖 1A 至 1G 是描繪根據本揭露內容的一範例實施例的一種製造一具有晶圓級堆疊晶片封裝的形式的半導體產品之製程的橫截面圖。注意到的是，儘管該第一例子係展示在晶圓層級的各種結構以及製程步驟，但是此種結構以及製程步驟亦可以是在個別的晶片或晶粒層級(例如，在從晶粒的一晶圓切割出個別的晶片或晶粒之後)加以執行的。

【0021】 如同在圖 1A 中所示，一例如可以是一種矽或是其它適合的半導體材料之晶圓級第一半導體晶片 10(亦即，其係描繪在分開或單一化之前，一對應於多個第一半導體晶片 10 的晶圓部分)係提供。半導體晶片 10 可包含主動電路、或是在矽的移除之前，其例如可包括一被形成在矽上的中介體。根據本揭露內容的一範例實施例，一晶圓可被配置成使得複數個此種第一半導體晶片 10 係沿著鋸開線(未顯示)而被配置在橫向及縱向的方向上。此外，一或多個例如可以作用為用於電性信號的輸入及輸出的路徑之接合墊 11 可以在預設的間隔下，被形成在該些第一半導體晶片 10 的表面(例如，面)之上，並且第一互連結構 12(其在此亦可以被稱為導電凸塊)可被接合到該些第一半導體晶片 10 的某些接合墊 11(或是被形成在該些接合墊

11 上)。該些接合墊 11 可以是由例如是一種導電材料所形成的，例如是銅、鋁、金、其它適合的物質、等等。該些第一導電凸塊 12 例如可以包括導電柱或柱體(例如，電鍍的柱、線、各種金屬的圓柱的任一種、等等)。該些第一導電凸塊 12 例如可以是直接被建構在該些第一半導體晶片 10(例如，被電鍍在其上、等等)上，且/或可以是預先形成並且附接至(例如，焊接至、引線接合至、藉由環氧樹脂接合至、等等)該些第一半導體晶片 10。注意到的是，以下的討論有時將會以單數或複數來參照到該些第一半導體晶片 10。

● **【0022】** 圖 1B 係描繪第二半導體晶片 20 的設置，其係藉由一或多個第二互連結構 22 而被導電地堆疊在第一半導體晶片 10 的每一個上，該些第二互連結構 22 在此亦可以被稱為導電凸塊。相較於第一半導體晶片 10，該些第二半導體晶片 20 的每一個例如可以是一具有相對較小的實際尺寸(例如，電性構件可以位於其上的一面的表面積)之半導體晶片，例如是一具有相對較小的記憶體容量的半導體晶片。如同在圖 1B 的例子中所示，該些第二導電凸塊 22 可以利用例如是一凸塊接合製程而被附接(例如，熔融、錫焊、焊接、藉由環氧樹脂接合、等等)在位於該些第二半導體晶片 20 的一面或是表面上的接合墊 21 上，並且該些第二導電凸塊 22 接著可被接合至在該些第一半導體晶片 10 的一面或是表面上的接合墊 11，藉此該些第二半導體晶片 20 的每一個係被導電地堆疊在個別的第一半導體晶片 10 上，並且電性互連接至其。注意到的是，該些第二導電凸塊 22 可包括各種特徵(例如，焊料凸塊、焊料球、導電柱、等等)的任一種。

● **【0023】** 根據本揭露內容的一範例實施例，該些第一導電凸塊 12 可被接合到在該些第一半導體晶片 10 的一面(例如，表面)上的接合墊 11。該

些接合墊 11 例如可被設置在接近該些第一半導體晶片 10 的每一個的一邊緣(或週邊)區域處，並且該些第二半導體晶片 20 的每一個的第二導電凸塊 22 可以附接至一個別的第一半導體晶片 10 之被設置在接近第一半導體晶片 10 的每一個的一中央部分(或是區域)處的個別的接合墊 11。例如，每一個晶片堆疊的第一導電凸塊 12 可以圍繞該些第二導電凸塊 22(或是位在一包含該些第二導電凸塊 22 的區域之外)。

【0024】 因此，每一個第二半導體晶片 20 可以在個別的第一半導體晶片 10 之一個別的中央區域內，被導電地堆疊在該晶圓的一個別的第一半導體晶片 10 上，並且每一個堆疊晶片封裝的第一導電凸塊 12 可被配置在一位於此種中央區域周圍(或是位於第二半導體晶片 20 周圍)的週邊區域中。

【0025】 在本揭露內容的一範例實施例中，該些第一導電凸塊 12 的上表面(例如，面)可被形成為與該些第二半導體晶片 20 的上表面齊平或是共平面的。在另一範例實施例中，該些第一導電凸塊 12 可被形成為高於該些第二半導體晶片 20 的上表面(例如，面)。

【0026】 在本揭露內容的一範例實施例中，該些第一導電凸塊 12 可以被設置成具有一柱的形式，該柱是由具有一柱形狀的銅或是其它適合的導電材料所做成的，其尖端可以被電鍍有導電的焊料，並且該些第二導電凸塊 22 可以被設置成具有例如是一具有微球形狀的微凸塊的形式，並且可以是由例如一種焊料或是其它適合的材料所形成的。

【0027】 圖 1C 係展示根據本揭露內容的一範例實施例的一晶圓的一部分，例如是描繪在圖 1A、1B 中的晶圓部分，其已經利用一模製化合物樹脂 30(或是各種囊封材料的任一種)而被包覆成型，其中該些第一導電凸塊

12 以及第二半導體晶片 20 係導電地接合至該些晶圓級第一半導體晶片 10。

【0028】 在圖 1C 中所示的範例模製製程例如可以使得該些第二半導體晶片 20 以及第一導電凸塊 12 能夠藉由該模製化合物樹脂 30 來加以密封或囊封，以便於保護該些第二半導體晶片 20 以及第一導電凸塊 12 來與外在環境隔開。此外，在圖 1C 的例子中，該些第一導電凸塊 12 以及第二導電凸塊 22 係藉由該模製化合物樹脂 30 而穩固地加以固定，並且亦與彼此電性絕緣的。

● 【0029】 圖 1D 係描繪根據本揭露內容的一範例實施例的一晶圓的一部分，例如是在圖 1A、1B、1C 中所示的晶圓部分，其中該模製化合物樹脂 30 的表面已經利用例如且非限制性的化學蝕刻及/或機械式研磨而被移除，直到該些第一導電凸塊 12 的上表面被露出到外部為止。在本揭露內容的一範例實施例中，該些第二半導體晶片 20 的上表面亦可以藉由該蝕刻/研磨製程而被露出，並且可以是與該些第一導電凸塊 12 的上表面共平面的。注意到的是，該些第一導電凸塊 12 在此時亦可被縮短，以匹配該些第二半導體晶片 20 的高度。同樣注意到的是，在其它範例實施例中，該些第二半導體晶片 20 的上表面可以保持被該模製化合物樹脂 30 覆蓋。

● 【0030】 在本揭露內容的一範例實施例中，該些第一導電凸塊 12 可以是如上所論述的，並且可以電連接至一導電層，該導電層在此亦可以被稱為一重新分佈層、或是其之一部分係致能該些第一半導體晶片 10 以及第二半導體晶片 20 的輸入及輸出的電互連。如同在此論述的，一導電(例如，重新分配)層例如可以包括一或多個導電層及介電層，並且例如可被利用以指定路由給電性信號。

【0031】 圖 1E 係描繪根據本揭露內容的一範例實施例的一晶圓(例如圖 1A、1B、1C、1D 的晶圓)的一部分，其中一重新分佈層 40 已經利用一重新分佈製程而被形成在該模製化合物樹脂 30 的表面之上，以便於導電地連接至該些第一導電凸塊 12。在本揭露內容的某些範例實施例中，該導電(例如，重新分佈)層 40 可直接被形成在該半導體晶片 20 的一被露出的上表面(例如，面)以及該模製化合物樹脂 30 的上表面之上，並且該半導體晶片 20 的上表面以及該模製化合物樹脂 30 可以是共面的。注意到的是，在各種其它的範例實施例中，例如是其中該些半導體晶片 20 的上表面(例如，面)被該模製化合物樹脂 30 所覆蓋，該重新分佈層 40 可被形成在該些半導體晶片 20 的上方，但不是直接在其上。

【0032】 在本揭露內容的一範例實施例中，該重新分佈層 40 可包含複數個例如是金屬佈線的導電路徑 41，其係電性地互連兩個或多個第一導電凸塊 12 的上表面，且/或電性地互連個別的第一導電凸塊 12 的上表面至該重新分佈層 40 的上表面之一所要的位置。為了使得該些第一導電凸塊 12 能夠密集地被配置，該些導電路徑 41 例如可以是被封入在一介電層 42 之內，該介電層 42 是由一種例如一環氧樹脂、一熱塑性樹脂、或是其它適合的材料之絕緣材料所做成的，以便於將該些導電路徑 41 彼此電性隔離。

【0033】 如同在圖 1E 中所繪，該重新分佈層 40 的導電路徑 41(例如，金屬佈線)可以被設置成具有一種多層結構的形式，其中一介電層 42 係被插在該些導電路徑 41 的部分之間。

【0034】 在本揭露內容的一範例實施例中，該導電(例如，重新分佈)層 40 係包含複數個導電路徑 41，該些導電路徑 41 的每一個的一端可以利

用例如是一電鍍製程來電連接至該些第一導電凸塊 12 中之一的上表面，並且其之另一端可以延伸至一在該重新分佈層 40 的上表面上之所要的位置。一介電層 42 係封入該些導電路徑 41，以便於將其彼此電性隔離。應注意到的是，該些導電路徑 41 中的一或多個可被形成為複數個電性互連在該重新分佈層 40 之內的區段或部分。

● 【0035】 除了該些導電路徑 41 之外，該重新分佈層 40 可包含複數個導電墊 43，其可以電性互連接至個別的導電路徑 41。在圖 1A-1G 描繪的範例製程中，該些導電墊 43 可以藉由移除圖 1E 的重新分佈層 40 的介電層 42 之一最上面的部分，而被露出到該重新分佈層 40 之外。從該介電層 42 所露出的導電墊 43 例如可以致能焊料球(或是其它導電的互連結構)的附接，該些焊料球可被形成在部分或全部的導電墊 43 上。

● 【0036】 圖 1F 係展示根據本揭露內容的一範例實施例的一晶圓的一部分(例如，在圖 1A-1E 中所示的晶圓部分)之圖示，其中複數個導電的輸入/輸出端子或是互連結構 50 已經附接至該導電(例如，重新分佈)層 40 之個別的導電墊 43。該些輸入/輸出端子 50 例如可以是由一種焊料或其它適合的材料所做成的導電球。

【0037】 圖 1G 係描繪根據本揭露內容的各種態樣的一範例堆疊晶片封裝。該堆疊晶片封裝例如可以對應於在圖 1A-1F 中所示的範例晶圓級堆疊晶片組件中之在分開或單一化之後者。在圖 1G 的圖示中的範例晶片堆疊封裝係包含一模製化合物樹脂 30，其可以對應於圖 1C-1F 的模製化合物樹脂 30 以用於密封或囊封被堆疊在該些第一半導體晶片 10 上並且電連接至其的第二半導體晶片 20、以及例如可以對應於圖 1A-1F 的第一導電凸塊 12

之第一導電凸塊 12。此外，圖 1G 的圖示係展示一重新分佈層 40 被形成在該模製化合物樹脂 30 的表面(例如，面)上且/或在該第二半導體晶片 20 上，其可以對應於例如是在圖 1E-1F 中所示的導電(例如，重新分佈)層 40。在圖 1G 的圖示中，包含該些第一半導體晶片 10 的晶圓是沿著鋸開線(未顯示)而被鋸開，以因此分開或單一化個別的堆疊晶片封裝，藉此完成根據本揭露內容的一範例的第一實施例的複數個堆疊晶片封裝。注意到的是，在各種的範例實施例中，額外的製程可加以執行，例如是施加保護層至露出的晶粒表面、等等。

【0038】 如同在圖 1G 中所繪，根據本揭露內容的第一實施例的堆疊晶片封裝可以強化散熱效果，其係藉由鋸開該晶圓級第一半導體晶片 10，以因此將其上表面及側表面(如同在圖 1G 中的朝向)露出到外部。

【0039】 再者，該第二半導體晶片 20 係被嵌入在該第一半導體晶片 10 與重新分佈層 40 之間，藉此該第二半導體晶片可加以保護。

【0040】 如同在此所述的，根據本揭露內容的一範例實施例，一具有小型尺寸的堆疊晶片封裝可加以獲得，其係藉由在具有一相對較大的尺寸並且在某些實施例中是相對較大數目的電性構件或記憶體容量之第一半導體晶片(例如，一"母"晶粒)的一表面(例如，面)上，堆疊一具有一表面(例如，面)的一相對較小的尺寸並且在某些實施例中是相對較小數目的電性構件或記憶體容量之第二半導體晶片(例如，一"子"晶粒)，其係藉由該些導電凸塊以便於致能在該第一半導體晶片與該第二半導體晶片之間的電性信號的交換，並且藉由利用一導電(例如，重新分佈)層以用於往返於該些個別的第一及第二半導體晶片來輸入及輸出信號，以例如是替代一厚的基板。

【0041】 圖 2A 至 2G 是描繪根據本揭露內容的一範例實施例的一種製造一具有晶圓級堆疊晶片封裝的形式之半導體產品之製程的橫截面圖。在圖 2A-2G 中所示的範例製程步驟及/或結構例如可以在圖 1A-1G 中所示之類似的製程步驟及/或結構共用任一或是所有的特徵。

● 【0042】 圖 2A 係展示在根據本揭露內容的一範例實施例的一種製造一晶圓級堆疊晶片封裝之製程中的範例步驟的一圖示，其中一晶圓可以沿著鋸開線(未顯示)而被鋸開，因此形成複數個個別的第一半導體晶片 10。如同在圖 2A 中所示，該複數個第一半導體晶片 10 的每一個的一第一面(例如，一非主動的表面、等等)接著可以在預設的間隔(例如，列及/或行)下，被附接(例如，黏著、等等)在一基板或板 60(或是其它載體)上，並且複數個導電的接合墊 11 可被形成在該些第一半導體晶片 10 的每一個的一第二面上。該些第一半導體晶片 10 至該金屬板 60 的附接可以使用例如且非限制性的一導熱的黏著劑 13、一黏著膜、或是任何其它適合的附接材料。在本揭露內容的一範例實施例中，該板(例如，基板)60 例如可包括銅、鋁、任何其它適合的金屬元素或合金、等等。

● 【0043】 在根據本揭露內容的一範例實施例中，該些導電的接合墊 11 可以在預設的間隔下，被形成在該些第一半導體晶片 10 的表面之上，並且可以被該些第一半導體晶片 10 作用為用於電性信號的輸入及輸出的路徑。複數個第一互連結構(例如，導電凸塊)12(例如，如同在此相關於圖 1A-1G 所論述的、等等)接著可被接合到該些第一半導體晶片 10 的導電的接合墊 11 中的一或多個。注意到的是，該些導電的接合墊 11 可以在將該些第一半導體晶片 10 安裝至該基板或板 60 之前先被形成在該些第一半導體晶片 10

上，但是亦可以在此種安裝之後才加以形成。

【0044】 圖 2B 係描繪在根據本揭露內容的一範例實施例的圖 2A-2G 的範例製程中之範例的接下來的步驟，其中複數個第二半導體晶片 20 係藉由複數個例如是導電的第二導電凸塊 22 的互連結構而被堆疊且電性互連至該些第一半導體晶片 10。在本揭露內容的某些範例實施例中，相較於該些第一半導體晶片 10 的情形，該些第二半導體晶片 20 的每一個例如可以具有一相對較小的實際面積之表面(例如，面)，並且在某些實施例中是較小數目的電子構件、或者在一記憶體裝置的情形中是一較小的記憶體容量。

【0045】 如同在圖 2B 的圖示中所示，該些第二導電凸塊 22 可以利用例如是一凸塊接合製程而被附接(例如，熔融、錫焊、焊接、藉由環氧樹脂接合、等等)在該些第二半導體晶片 20 的個別的複數個接合墊 21 上。該些第二導電凸塊 22 可以是由例如為一種焊料或是其它適合的材料所形成的。該些第二導電凸塊 22 接著可被接合到該些第一半導體晶片 10 的接合墊 11 中的一或多個。以此種方式，該些第二半導體晶片 20 的每一個可以被導電地堆疊在該些第一半導體晶片 10 的一個別的第一半導體晶片 10 上，並且與其電性互連。注意到的是，該些第二導電凸塊 22 可包括各種特徵(例如，焊料凸塊、焊料球、導電柱、等等)的任一種。

【0046】 在根據本揭露內容的一範例實施例中，該些第一導電凸塊 12 可被接合至該些第一半導體晶片 10 的被設置在接近該些第一半導體晶片 10 的邊緣區域(或是週邊區域)處的接合墊 11。再者，該些第二半導體晶片 20 的第二導電凸塊 22 可以附接至該些第一半導體晶片 10 的被設置在接近該些第一半導體晶片 10 的中央區域處的接合墊 11。

【0047】 以此種方式，該些第二半導體晶片 20 可以藉由被堆疊在該些第一半導體晶片 10 的中央區域上，而與該些第一半導體晶片 10 電性互連，並且該些第一導電凸塊 12 可被配置在該些第一半導體晶片 10 的位於該些第二半導體晶片 20 周圍的邊緣區域處。

【0048】 在本揭露內容的某些範例實施例中，該些第一導電凸塊 12 的上表面(例如，面)可被形成為與該些第二半導體晶片 20 的上表面齊平或是共平面的。在本揭露內容的其它範例實施例中，該些第一導電凸塊 12 可被形成為高於該些第二半導體晶片 20 的上表面。

【0049】 在本揭露內容的一範例實施例中，該些第一導電凸塊 12 可以被設置成一具有柱體形狀之柱的形式，該柱可以是由銅或是另一適合的導電材料所做成的，並且形成該些第一導電凸塊 12 的柱的尖端可以被電鍍有一種導電的焊料。在本揭露內容的某些範例實施例中，該些第二導電凸塊 22 可以被設置成一具有微球形狀的微凸塊的形式，並且該些第二導電凸塊 22 可以是由一種焊料或是其它適合的導電材料所形成的。

【0050】 圖 2C 係描繪在根據本揭露內容的一範例實施例的圖 2A-2G 的用於製造一晶圓級堆疊晶片封裝之製程中之範例的接下來的步驟。如同以上在圖 2B 中所展示的，該些第一半導體晶片 10 已經附接至該板(例如，基板)60 的上表面，並且該些第二半導體晶片 20 已經藉由該些第二導電凸塊 22 而導電地堆疊在該些第一半導體晶片 10 之上。此外，該些第一導電凸塊 12 已經導電地附接(例如，熔融)到該些第一半導體晶片 10 之上。在圖 2C 描繪的製程步驟中，具有以上的元件被附接的板 60 接著可以利用一模製化合物樹脂 30(或是各種囊封材料的任一種)而被包覆成型，其係覆蓋該些第一

半導體晶片 10、個別的第二半導體晶片 20、第一導電凸塊 12、第二導電凸塊 22、以及該板(例如，基板)60 的上表面。

【0051】 在本揭露內容的一範例實施例中，上述的模製製程例如可以使得該些第一半導體晶片 10、第二半導體晶片 20、以及第一導電凸塊 12 能夠藉由該模製化合物樹脂 30 而被密封或是囊封，以便於保護其以與外在環境隔開。再者，以此種方式，該些第一導電凸塊 12 以及第二導電凸塊 22 可以藉由該模製化合物樹脂 30 來穩固地加以固定，並且與彼此電性絕緣。

【0052】 圖 2D 係描繪在圖 2A-2G 的製程中之範例的接下來的步驟，其中該模製化合物樹脂 30 的表面係利用例如且非限制性的一化學蝕刻及/或機械式研磨製程而被移除，直到該些第一導電凸塊 12 的上表面被露出到外部為止。如同在圖 2D 的圖示中所示，在該些第一導電凸塊 12 以及第二半導體晶片 20 的上表面上的任何模製化合物樹脂 30 都可被移除，直到該些第二半導體晶片 20 的上表面(例如，面)以及該些第一導電凸塊 12 的上表面係與該模製化合物樹脂 30 的上表面齊平或是共平面為止。注意到的是，該些第一導電凸塊 12 在此時亦可被縮短，以匹配該些第二半導體晶片 20 的高度。同樣注意到的是，在其它範例實施例中，該些第二半導體晶片 20 的上表面(例如，面)可以保持被該模製化合物樹脂 30 覆蓋的。

【0053】 在本揭露內容的一範例實施例中(例如，在一其中該些第一導電凸塊最初是完全被該模製化合物樹脂 30 所覆蓋的範例實施例中)，該模製化合物樹脂 30 的上表面的蝕刻或研磨係露出該些第一導電凸塊 12 的上表面，以致能該些第一半導體晶片 10 的每一個與個別的第二半導體晶片 20 的輸入及輸出信號的電互連。

【0054】 圖 2E 係展示在根據本揭露內容的各種態樣的圖 2A-2G 的製程中的範例步驟的圖示，其中一導電(例如，重新分佈)層 40 係以一種類似於以上相關圖 1A-1G 所述的方式加以形成。

【0055】 如同在圖 2E 描繪的例子中所示，該導電(例如，重新分佈)層 40 可以利用一製程(例如是以上相關圖 1E 所述的製程)而被形成在該模製化合物樹脂 30 的上表面之上，以便於形成該重新分佈層 40 以導電地連接至該些第一導電凸塊 12 中的一或多個。

● 【0056】 如同在圖 1A-1G 描繪的範例實施例中，該導電(例如，重新分佈)層 40 可包含複數個例如是金屬佈線的導電路徑 41，其中每一個導電路徑 41 的一端係利用例如是一電鍍製程以電性互連接至該些第一導電凸塊 12 中之一對應的一個，並且其中該些導電路徑 41 的另一端係延伸至在該重新分佈層 40 的上表面上之一所要的位置。一封入該些導電路徑 41(例如，金屬佈線)的介電層 42 係作用以將該些導電路徑 41 彼此電性隔離。應注意到的是，該些導電路徑 41 中的一或多個可被形成為在該導電(例如，重新分佈)層 40 內之電性互連的複數個區段或部分。

● 【0057】 在本揭露內容的一範例實施例中，複數個導電墊 43 可被形成在該些導電路徑 41 的某些部分上，該些部分可以藉由部分地移除該重新分佈層 40 的介電層 42 的最上面的部分而被露出至外部。複數個例如由一種例如是焊料或其它適合的導電材料之導電材料所做成的球之導電的元件可以附接至透過該重新分佈層 40 的介電層 42 的上表面而被露出的導電墊 43。

【0058】 圖 2F 係描繪在圖 2A-2G 的範例製程中之範例的接下來的步驟，其中複數個例如是輸入/輸出端子 50 的互連結構可以附接(例如，藉由

焊接或錫焊來加以熔融)至該導電(例如，重新分佈)層 40 的導電墊 43。該複數個輸入/輸出端子 50 可被形成為具有一球體的形狀，並且例如可包括一種焊料或是其它適合的導電材料。

【0059】 圖 2G 係展示根據本揭露內容的各種態樣的一範例的堆疊晶片封裝。該堆疊晶片封裝例如可以對應於在圖 2A-2F 中所示的堆疊晶片組件中之一，例如是產生自圖 2A-2G 的製程的範例的最後的步驟，其中如上所述被形成的複數個堆疊晶片封裝係被分開或是單一化。為了產生在圖 2G 的圖示中所展示的堆疊晶片封裝，如同在圖 2F 中所示的導電(例如，重新分佈)層 40、模製化合物樹脂 30、以及基板(例如，板)60 係沿著鋸開線(未顯示)而被鋸開，因此分開或單一化例如在圖 2G 中描繪的個別的堆疊晶片封裝，藉此產生根據本揭露內容的一範例實施例的一種堆疊晶片封裝。

【0060】 如同在圖 2G 的例子中所繪，根據本揭露內容的一範例實施例的堆疊晶片封裝係被配置成使得可以作用為一散熱板的基板或是板 60 係被附接至該第一半導體晶片 10，因此強化從該第一半導體晶片 10 所產生的熱的耗散。該板 60 至該第一半導體晶片 10 的附接可以使用一導熱的黏著劑 13、一黏著膜、或是任何其它適合的附接材料。在此種配置中，該基板(例如，板)60、模製化合物樹脂、以及導電(例如，重新分佈)層 40 的側表面可以是共面的。注意到的是，在其它範例實施例中，該板 60 可以從該組件的其餘部分被移除(例如，在該些個別的封裝的彼此分開之前及/或之後)，此例如是產生一像是在圖 1G 中所示的封裝，其係使得該第一半導體晶粒 10 的側邊被該模製化合物樹脂 30 所覆蓋或是未被覆蓋。

【0061】 此外，該第二半導體晶片 20 係被嵌入在該第一半導體晶片

10 與重新分佈層 40 之間，藉此保護該第二半導體晶片 20。

【0062】 根據如同在此例如是相關圖 2A-2G 所論述的本揭露內容的一範例實施例，一種具有小型尺寸的堆疊晶片封裝的形式之半導體產品可加以獲得，其係藉由在某些範例實施例中具有相對較大的實體面積之面以及相對較大數目的電子構件、或例如是在一記憶體裝置中之相對較大的記憶體容量之一第一半導體晶片(例如，一"母"晶粒)上，堆疊一具有相對較小的實體面積之面以及相對較小數目的電子構件、或例如是在一記憶體裝置中之相對較小的記憶體容量之第二半導體晶片(例如，一"子"晶粒)。該堆疊可以藉由電性互連該第一半導體晶片與第二半導體晶片的複數個導電凸塊來加以達成，以便於致能在該第一半導體晶片與該第二半導體晶片之間的電性信號的交換，其係藉由利用一重新分佈層以用於往返於該些個別的半導體晶片來輸入及輸出信號，以例如是替代一厚的基板。

【0063】 儘管本揭露內容的較佳實施例已經為了舉例說明的目的而被揭露，但是熟習此項技術者將會體認到各種的修改、增加、以及替代都是可能的，而不脫離如同揭露在所附的申請專利範圍中之本揭露內容的範疇及精神。

【0064】 因此，本揭露內容的實施例已經在記住相關的技術中所遭遇到的問題下加以完成。本揭露內容的一範例目標是提出一種晶圓級堆疊晶片封裝以及一種製造其之方法，其中具有小型尺寸的第二半導體晶片係藉由導電凸塊而被堆疊在一晶圓級第一半導體晶片上，以便於致能在兩者之間的電性信號的交換，並且一重新分佈層係被採用以使得輸入及輸出信號能夠傳遞往返於個別的半導體晶片，以例如是替代一厚的基板，藉此致能

一種具有一小型尺寸的堆疊晶片封裝的製造，並且在增加一散熱單元下最大化散熱效果。

【0065】 為了達成以上的目標，根據本揭露內容的一實施例的一種晶圓級堆疊晶片封裝可包括一第一半導體晶片；第一導電凸塊，其係被導電地接合到該第一半導體晶片的該些接合墊中的某些個；以及一第二半導體晶片，其係具有接合墊以及接合至其的第二導電凸塊。本揭露內容的一範例實施例亦可包括一模製化合物樹脂，以用於在該些第二導電凸塊被接合到該第一半導體晶片的其餘的接合墊並且藉此該第二半導體晶片係被導電地堆疊在該第一半導體晶片上之狀況下，密封或囊封該第二半導體晶片以及該些第一導電凸塊。本揭露內容的一範例實施例可以進一步包括一導電層，其係導電地連接至該些第一導電凸塊並且利用一重新分佈製程而被形成在該模製化合物樹脂的一表面之上；以及輸入/輸出端子，其係被熔融在透過該重新分佈層的一表面而被露出之導電墊上。

【0066】 此外，根據本揭露內容的一範例實施例的一種製造一晶圓級堆疊晶片封裝之方法可包括提供一晶圓級第一半導體晶片；導電地接合第一導電凸塊至該第一半導體晶片的接合墊中的某些個；並且提供一第二半導體晶片，其係具有接合墊以及接合至其的第二導電凸塊。該範例方法亦可包括接合該些第二導電凸塊至該第一半導體晶片之其餘的接合墊，使得該第二半導體晶片係被導電地堆疊在該第一半導體晶片上；以及利用一模製化合物樹脂以包覆成型該第一半導體晶片的一表面，使得該第二半導體晶片以及該第一導電凸塊被密封或是囊封。此外，該範例方法可包括研磨該模製化合物樹脂的一表面，直到該些第一導電凸塊的上表面被露出到外

部為止；利用一重新分佈製程以在該模製化合物樹脂的表面之上形成一導電層，以便於將該重新分佈層導電地連接至該些第一導電凸塊；以及將輸入/輸出端子接合到透過該重新分佈層的一表面而被露出的導電墊。

【0067】 此外，根據本揭露內容的一範例實施例的一種晶圓級堆疊晶片封裝可包括一第一半導體晶片；第一導電凸塊，其係被導電地接合到該第一半導體晶片的接合墊中的某些個；以及一第二半導體晶片，其係具有接合墊以及接合至其的第二導電凸塊。該晶圓級堆疊晶片封裝亦可包括一模製化合物樹脂，以用於在該些第二導電凸塊被接合到該第一半導體晶片的其餘的接合墊並且藉此該第二半導體晶片係被導電地堆疊在該第一半導體晶片上之狀況下，密封或囊封該第一半導體晶片、該第二半導體晶片以及該些第一導電凸塊。該晶圓級堆疊晶片封裝可以進一步包括一導電層，其係導電地連接至該些第一導電凸塊並且利用一重新分佈製程而被形成在該模製化合物樹脂的一表面之上；一基板或是板，其係附接至該些第一半導體晶片的表面，該些第一半導體晶片的相對的表面係連接至該些第二半導體晶片以便於致能熱的耗散；以及輸入/輸出端子，其係被熔融在透過該重新分佈層的一表面而被露出的導電墊上。

【0068】 此外，根據本揭露內容的一範例實施例的一種製造一晶圓級堆疊晶片封裝之方法可包括在預設的間隔下，將從一晶圓被分開或是單一化成為個別的單元之一第一半導體晶片附接在一基板或是板上；導電地接合第一導電凸塊至該第一半導體晶片的接合墊中的某些個；並且提供一具有接合墊以及接合至其的第二導電凸塊的第二半導體晶片。此種方法亦可包括將該些第二導電凸塊接合至該第一半導體晶片的其餘的接合墊，使得

該些第二半導體晶片係被導電地堆疊在該第一半導體晶片上；以及利用一模製化合物樹脂以包覆成型該金屬板的一表面，使得該第一半導體晶片、該第二半導體晶片、以及該些第一導電凸塊係被密封或是囊封。該方法可以進一步包括研磨該模製化合物樹脂的一表面，直到該些第一導電凸塊的上表面被露出到外部為止；利用一重新分佈製程以在該模製化合物樹脂的表面之上形成一導電層，以便於導電地連接該導電層至該些第一導電凸塊；以及將輸入/輸出端子接合到透過該重新分佈層的一表面而被露出的導電墊。

【0069】 根據本揭露內容的各種態樣，以下的效果係被展示。

【0070】 首先，一具有小型尺寸的堆疊晶片封裝可以藉由在一晶圓級第一半導體晶片(例如，一母晶粒)上，堆疊一第二半導體晶片(例如，一子晶粒)來加以製造，其係藉由導電凸塊以便於致能在兩者之間的電性信號的交換，並且藉由利用一導電(例如，重新分佈)層以用於往返於個別的半導體晶片來輸入及輸出信號，以替代一厚的基板。

【0071】 第二，當第一及第二半導體晶片被彼此堆疊時，一例如是用於耗散熱的金屬板之基板可以附接至一第一半導體晶片，藉此強化散熱效果以用於將產生自該些半導體晶片的熱放射到外部。

【0072】 本揭露內容的各種態樣可以見於一種半導體產品中，其包括一第一半導體晶片，該第一半導體晶片具有一第一表面以及一與該第一半導體晶片的該第一表面相對的第二表面；以及一第一互連結構，其耦接至一在該第一半導體晶片的該第一表面上的第一接合墊。該第二半導體晶片可包括一第一表面以及一與該第二半導體晶片的該第一表面相對的第二表

面，其中該第二半導體晶片的該第一表面可包括一接合墊。該半導體產品亦可包括一第二互連結構，其耦接至在該第二半導體晶片的該第一表面上的該接合墊，其中在該第二半導體晶片的該第一表面上的該接合墊耦接至一在該第一半導體晶片的該第一表面上的第二接合墊。一囊封材料可以至少囊封該第一半導體晶片的該第一表面以及該第一互連結構。一導電層可以在該囊封材料的一表面耦接至該第一互連結構，並且一第三互連結構可以耦接至該導電層。

● **【0073】** 在本揭露內容的某些範例實施例中，該第一半導體晶片的該第一表面的表面積可以是大大於該第二半導體晶片的該第一表面的表面積。該第二接合墊可以是位在該第一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊可以是位在該第一半導體晶片的該第一表面的一在該中央區域之外的週邊區域中。該第一半導體晶片的該第二表面以及該第一半導體晶片的一或多個連接該第一表面與該第二表面的側表面可被露出，該第一互連結構可包括一導電柱，並且該第三互連結構可包括一焊料球。此外，該第一半導體晶片、該囊封材料、以及該導電層的側表面可以是共面的。在本揭露內容的一範例實施例中，該第一半導體晶片可包括一具有一第一儲存容量的記憶體裝置，並且該第二半導體晶片可包括一具有一小於該第一儲存容量的第二儲存容量的記憶體裝置。

【0074】 本揭露內容的額外的態樣可以見於一種製造一半導體產品之範例方法中。此種方法可包括提供一第一半導體晶片；以及在該第一半導體晶片的一第一表面上的一第一接合墊上形成一第一互連結構。該方法亦可包括提供一包括一第一表面的第二半導體晶片，該第一表面係包括一

第二互連結構被形成在其上的接合墊；將該第二互連結構耦接至一在該第一半導體晶片的該第一表面上的第二接合墊；以及利用一囊封材料以至少囊封該第一半導體晶片的該第一表面，使得該第二半導體晶片以及該第一互連結構係被囊封。此外，此種方法可包括移除該囊封材料的一部分，以露出該第一互連結構的一部分；在囊封材料的該表面之上形成一導電層，以將該導電層電耦接至該露出的第一互連結構；以及形成一第三互連結構，其係耦接至該導電層。

【0075】 在本揭露內容的一範例實施例中，該第二接合墊可以是位在該第一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊可以是位在該第一半導體晶片的該第一表面的一在該中央區域之外的週邊區域中。提供該第一半導體晶片可包括在一晶圓中提供該第一半導體晶片，並且進一步包括在至少該形成一導電層之後，從該晶圓單一化該第一半導體晶片。該第一半導體晶片的該第一表面可以具有一第一尺寸的一表面積，並且該第二半導體晶片的該第一表面可以具有一表面積是小於該第一半導體晶片的該第一表面的表面積。該第一半導體晶片的該第一表面以及該第二表面之對應的邊緣可以藉由側表面來加以連接，並且該囊封材料可以囊封該第一半導體晶片的該些側表面。

【0076】 本揭露內容的另外其它的態樣可以在一種範例半導體產品中被觀察到，其係包括一第一半導體晶片，該第一半導體晶片係包括一第一表面以及一與該第一半導體晶片的該第一表面相對的第二表面；以及一第一互連結構，其係被形成在一位在該第一半導體晶片的該第一表面上的第一接合墊上。此種實施例可包括一第二半導體晶片，其包括一第一表面

以及一與該第二半導體晶片的該第一表面相對的第二表面，其中該第二半導體晶片的該第一表面係包括一接合墊，在該接合墊之上係被形成一第二互連結構，該第二互連結構係將該第二半導體晶片電性互連至一在該第一半導體晶片的該第一表面上的第二接合墊。此種半導體產品可包括一囊封材料，其至少囊封該第一半導體晶片的該第一表面以及該第一互連結構；一導電層，其係在該囊封材料的一表面電耦接至該第一互連線結構；以及一基板，其耦接至該第一半導體晶片的該第二表面。此外，一第三互連結構可以耦接至該導電層。

【0077】 在本揭露內容的一範例實施例中，該第一半導體晶片的該第一表面的表面積可以是大於該第二半導體晶片的該第一表面的表面積。該第二接合墊可以是位在該第一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊可以是位在該第一半導體晶片的該第一表面的一在該中央區域之外的週邊區域中。該第一互連結構可包括一導電柱；該基板可以利用一黏著劑來耦接至該第一半導體晶片的該第二表面；該基板可包括一矽材料、一玻璃、以及一金屬中之一；以及該第三互連結構可包括一焊料球。該基板、該囊封材料以及該導電層的側表面可以是共面的。再者，該第一半導體晶片可包括一具有一第一儲存容量的記憶體裝置，並且該第二半導體晶片可包括一具有一小於該第一儲存容量的第二儲存容量的記憶體裝置。

【0078】 儘管本揭露內容已經參考某些實施例來加以敘述，但是熟習此項技術者將會理解到可以做成各種的改變並且等同物可被用來取代，而不脫離本揭露內容的範疇。此外，可以做成許多修改以將一特定的情況或

材料適配於本揭露內容的教示，而不脫離其範疇。因此，所欲的是本揭露內容並不受限於所揭露的特定實施例，而是本揭露內容將會包含所有落入所附的申請專利範圍的範疇內之實施例。

【符號說明】**【0079】**

- 10 第一半導體晶片
- 11 接合墊
- 12 第一互連結構 / 第一導電凸塊
- 13 黏著劑
- 20 第二半導體晶片
- 21 接合墊
- 22 第二互連結構 / 第二導電凸塊
- 30 模製化合物樹脂
- 40 重新分佈層
- 41 導電路徑
- 42 介電層
- 43 導電墊
- 50 輸入/輸出端子 / 互連結構
- 60 基板 / 板

申請專利範圍

1.一種半導體產品，其包括：

—第一半導體晶片，其包括一第一表面以及與該第一半導體晶片的該第一表面相對的一第二表面；

—第一互連結構，其耦接至在該第一半導體晶片的該第一表面上的一第一接合墊；

—第二半導體晶片，其包括一第一表面以及與該第二半導體晶片的該第一表面相對的一第二表面，該第二半導體晶片的該第一表面包括一接合墊；

—第二互連結構，其耦接至在該第二半導體晶片的該第一表面上的該接合墊，其中在該第二半導體晶片的該第一表面上的該接合墊耦接至在該第一半導體晶片的該第一表面上的一第二接合墊；

—囊封材料，其至少囊封該第一半導體晶片的該第一表面以及該第一互連結構；

—導電層，其係在該囊封材料的一表面處耦接至該第一互連結構並且包含從該第一互連結構到該第二半導體晶片的該第二表面之上的一位置之多個導電路徑；以及

—第三互連結構，其於該第二半導體晶片的該第二表面之上耦接至該導電層的該多個導電路徑中的一個。

2.如申請專利範圍第1項之半導體產品，其中該第一半導體晶片的該第一表面的表面積係大於該第二半導體晶片的該第一表面的表面積。

3.如申請專利範圍第1項之半導體產品，其中該第二接合墊係位在該第

一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊係位在該第一半導體晶片的該第一表面的在該中央區域之外的一週邊區域中。

4.如申請專利範圍第1項之半導體產品，其中該第一半導體晶片的該第二表面以及該第一半導體晶片的一或多個連接該第一表面與該第二表面的側表面係被露出。

5.如申請專利範圍第1項之半導體產品，其中該第一互連結構包括一導電柱。

6.如申請專利範圍第1項之半導體產品，其中該第三互連結構包括一焊料球。

7.如申請專利範圍第1項之半導體產品，其中該第一半導體晶片、該囊封材料以及一重新分佈層的側表面是共面的。

8.如申請專利範圍第1項之半導體產品，其中該第一半導體晶片包括具有一第一儲存容量的一記憶體裝置，並且該第二半導體晶片包括具有小於該第一儲存容量的一第二儲存容量的一記憶體裝置。

9.一種製造一半導體產品之方法，該方法包括：

提供一第一半導體晶片；

在該第一半導體晶片的一第一表面上的一第一接合墊上形成一第一互連結構；

提供包括一第一表面的一第二半導體晶片，該第一表面包括一第二互連結構被形成在其上的一接合墊；

將該第二互連結構耦接至在該第一半導體晶片的該第一表面上的一第二接合墊；

利用一囊封材料以至少囊封該第一半導體晶片的該第一表面，使得該第二半導體晶片以及該第一互連結構係被囊封；

移除該囊封材料的一部分，以露出該第一互連結構的一部分；

在該囊封材料的一表面之上形成一導電層，以將該導電層電耦接至露出的該第一互連結構，該導電層包括從該第一互連結構到該第二半導體晶片的一第二表面之上的一位置之多個導電路徑，該第二半導體晶片的該第二表面與該第二半導體晶片的該第一表面相對；以及

形成一第三互連結構，其於該第二半導體晶片的該第二表面之上耦接至該導電層的該多個導電路徑中的一個。

10.如申請專利範圍第 9 項之方法，其中該第二接合墊係位在該第一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊係位在該第一半導體晶片的該第一表面的在該中央區域之外的一週邊區域中。

11.如申請專利範圍第 9 項之方法，其中該第一半導體晶片的該第一表面具有一第一尺寸的一表面積，並且該第二半導體晶片的該第一表面具有小於該第一半導體晶片的該第一表面的該表面積之一表面積。

12.如申請專利範圍第 9 項之方法，其中該第一半導體晶片的該第一表面以及該第二表面之對應的邊緣係藉由側表面來加以連接，並且其中該囊封材料囊封該第一半導體晶片的該些側表面。

13. 一種製造一半導體產品之方法，該方法包括：

在一晶圓中提供一第一半導體晶片；

在該第一半導體晶片的一第一表面上的一第一接合墊上形成一第一互連結構；

提供包括一第一表面的一第二半導體晶片，該第一表面包括一第二互連結構被形成在其上的一接合墊；

將該第二互連結構耦接至在該第一半導體晶片的該第一表面上的一第二接合墊；

利用一囊封材料以至少囊封該第一半導體晶片的該第一表面，使得該第二半導體晶片以及該第一互連結構係被囊封；

移除該囊封材料的一部分，以露出該第一互連結構的一部分；

在該囊封材料的一表面之上形成一導電層，以將該導電層電耦接至露出的該第一互連結構；

在至少形成該導電層的步驟之後，從該晶圓單一化該第一半導體晶片；以及

形成一第三互連結構，其耦接至該導電層。

14.一種半導體產品，其包括：

一第一半導體晶片，其包括一第一表面以及與該第一半導體晶片的該第一表面相對的一第二表面，其中該第一半導體晶片的該第一表面與該第一半導體晶片的該第二表面之對應的邊緣係藉由側表面來加以連接；

一第一互連結構，其被形成在位在該第一半導體晶片的該第一表面上的一第一接合墊上；

一第二半導體晶片，其包括一第一表面以及與該第二半導體晶片的該第一表面相對的一第二表面，該第二半導體晶片的該第一表面包括一接合墊，在該接合墊之上係形成一第二互連結構，該第二互連結構將該第二半導體晶片電性互連至在該第一半導體晶片的該第一表面上的一第二接合

墊；

一囊封材料，其至少囊封該第一半導體晶片的該第一表面和該些側表面以及該第一互連結構；

一導電層，其在該囊封材料的一表面處電耦接至該第一互連結構；

一基板，其耦接至該第一半導體晶片的該第二表面；以及

一第三互連結構，其耦接至該導電層。

15.如申請專利範圍第 14 項之半導體產品，其中該第一半導體晶片的該第一表面的表面積大於該第二半導體晶片的該第一表面的表面積。

16.如申請專利範圍第 14 項之半導體產品，其中該第二接合墊係位在該第一半導體晶片的該第一表面的一中央區域中，並且該第一接合墊係位在該第一半導體晶片的該第一表面的在該中央區域之外的一週邊區域中。

17.如申請專利範圍第 14 項之半導體產品，其中該第一互連結構包括一導電柱，該基板利用一黏著劑以耦接至該第一半導體晶片的該第二表面，並且該基板包括一矽材料、一玻璃以及一金屬中之一。

18.如申請專利範圍第 14 項之半導體產品，其中該第三互連結構包括一焊料球。

19.如申請專利範圍第 14 項之半導體產品，其中該基板、該囊封材料、以及一重新分佈層的側表面是共面的。

20.如申請專利範圍第 14 項之半導體產品，其中該第一半導體晶片包括具有一第一儲存容量的一記憶體裝置，並且該第二半導體晶片包括具有小於該第一儲存容量的一第二儲存容量的一記憶體裝置。

圖式

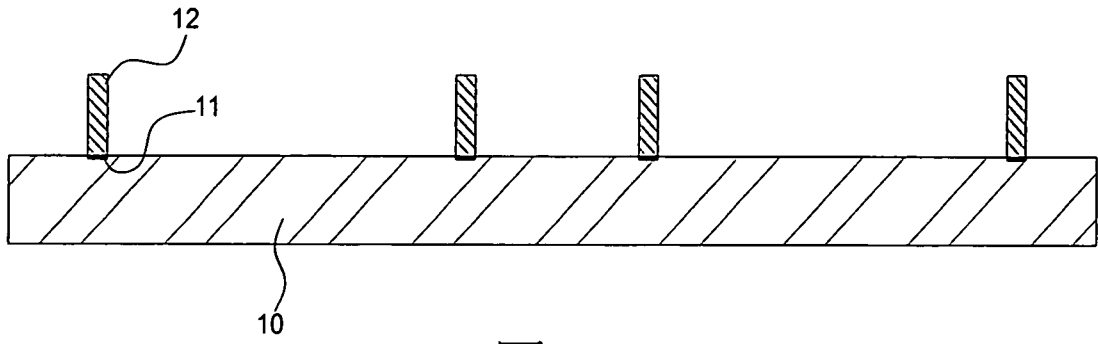


圖1A

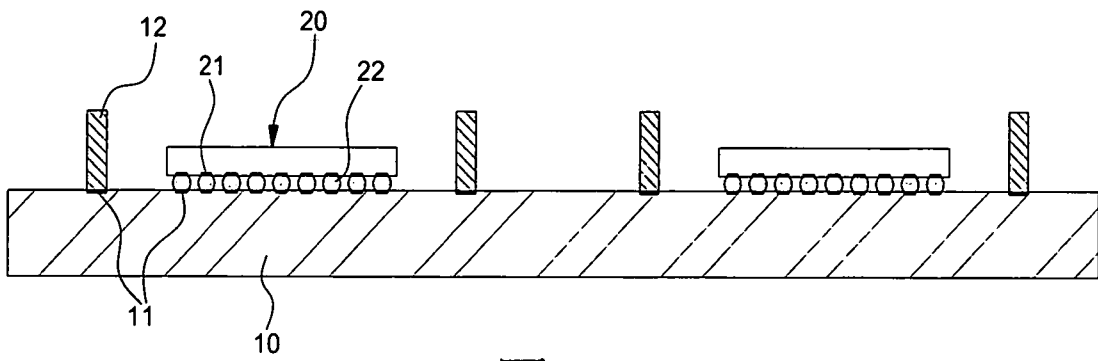


圖1B

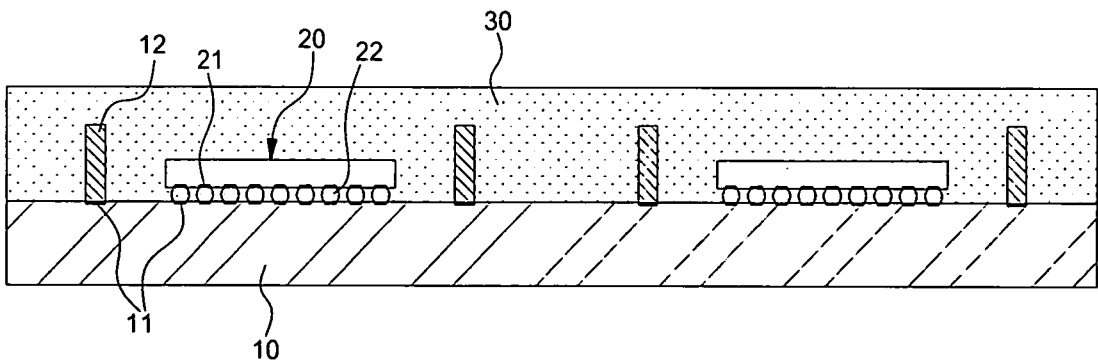


圖1C

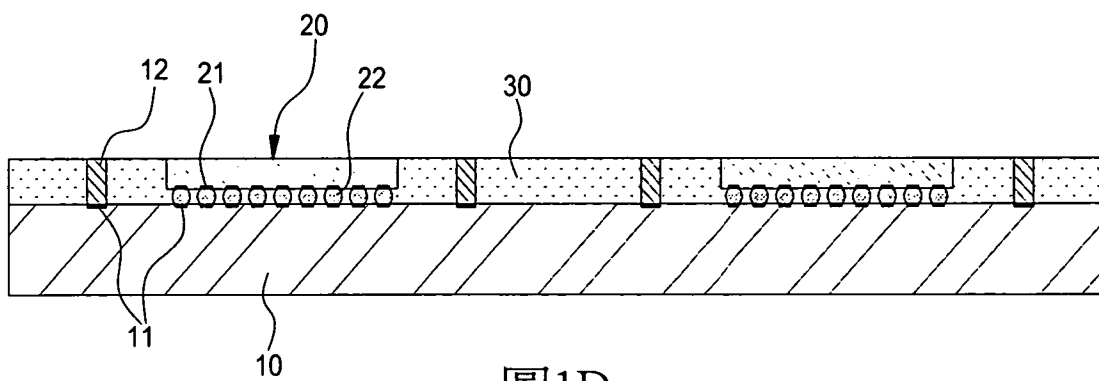


圖1D

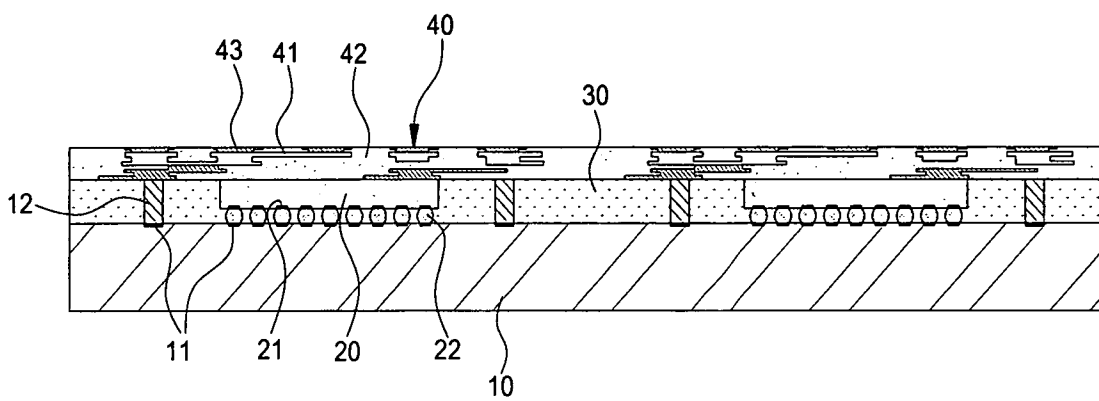


圖1E

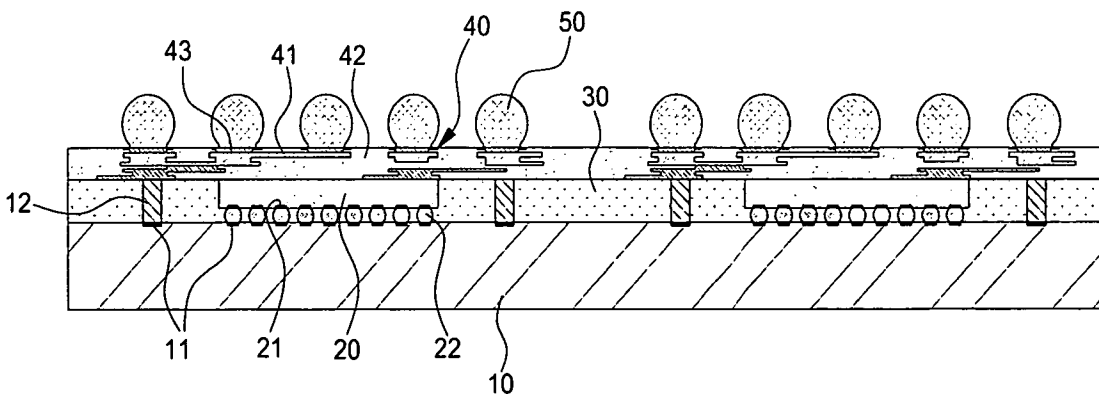


圖1F

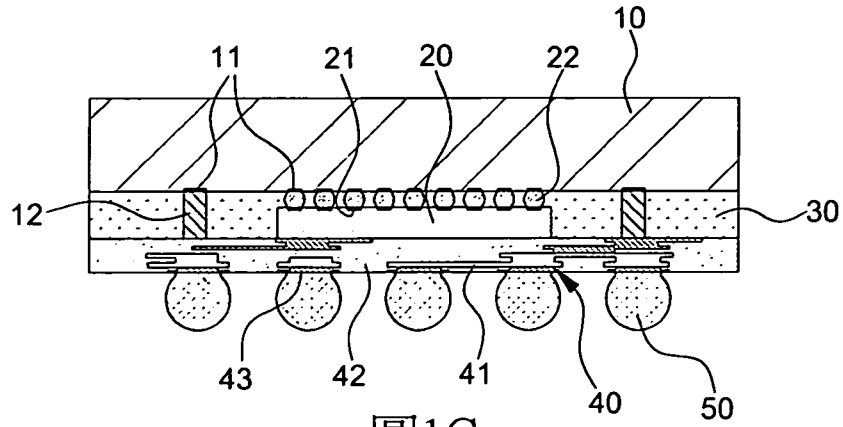


圖1G

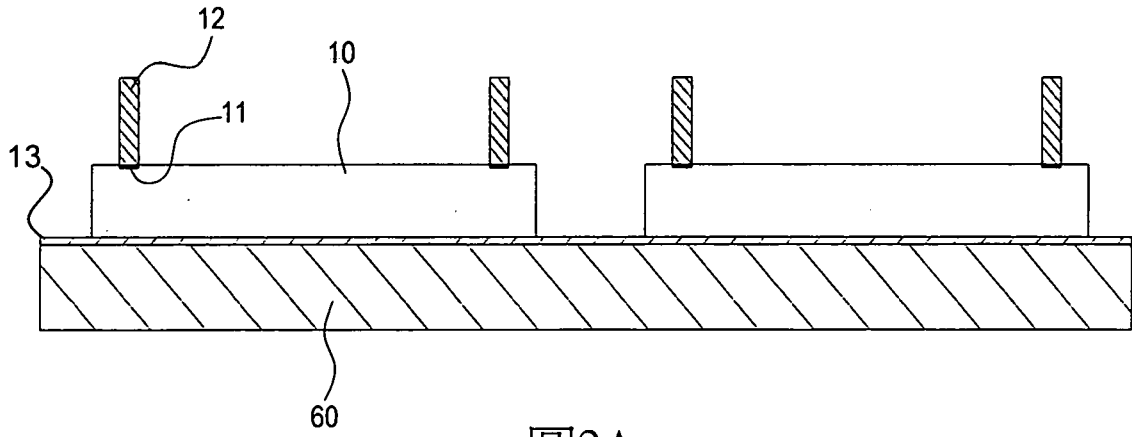


圖2A

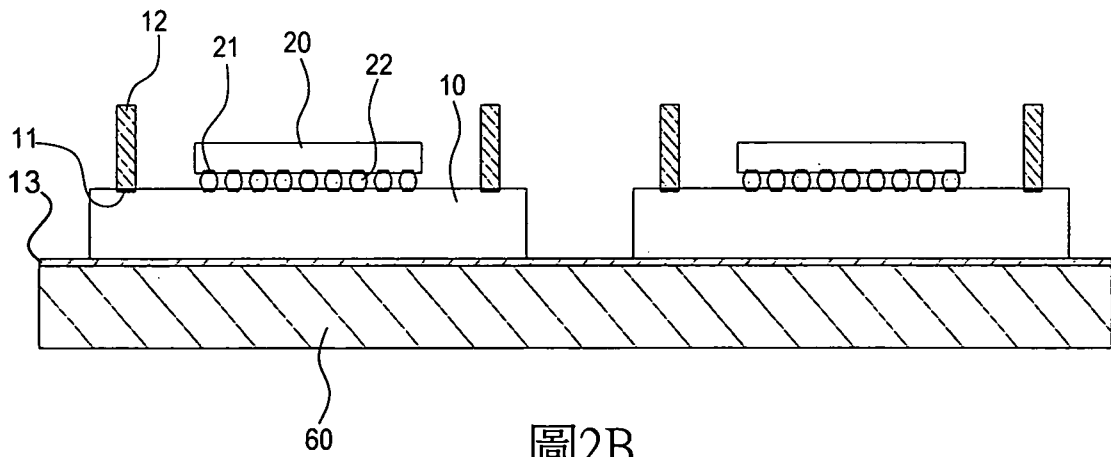


圖2B

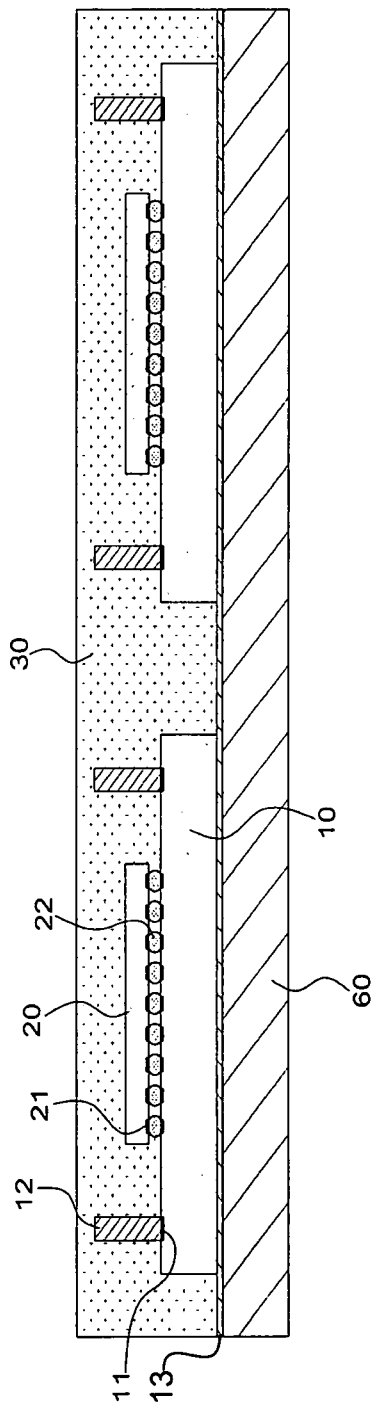


圖2C

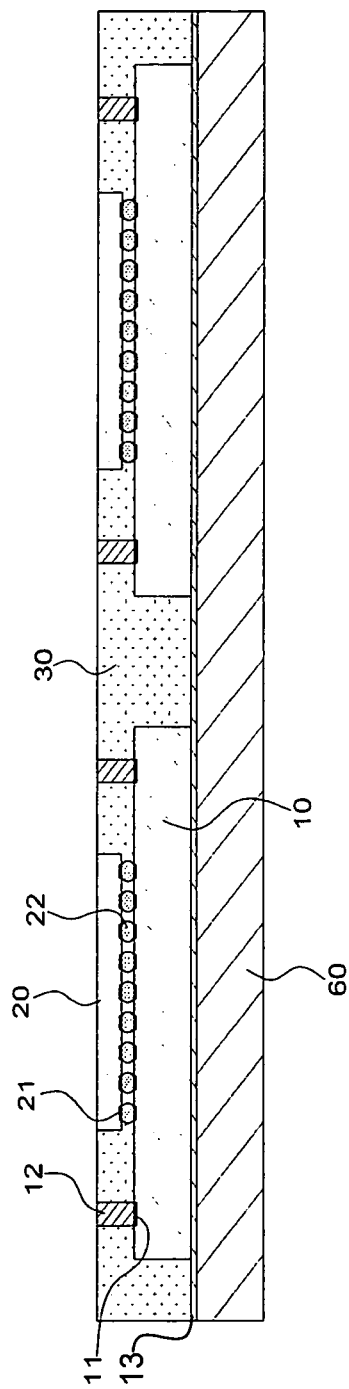


圖2D

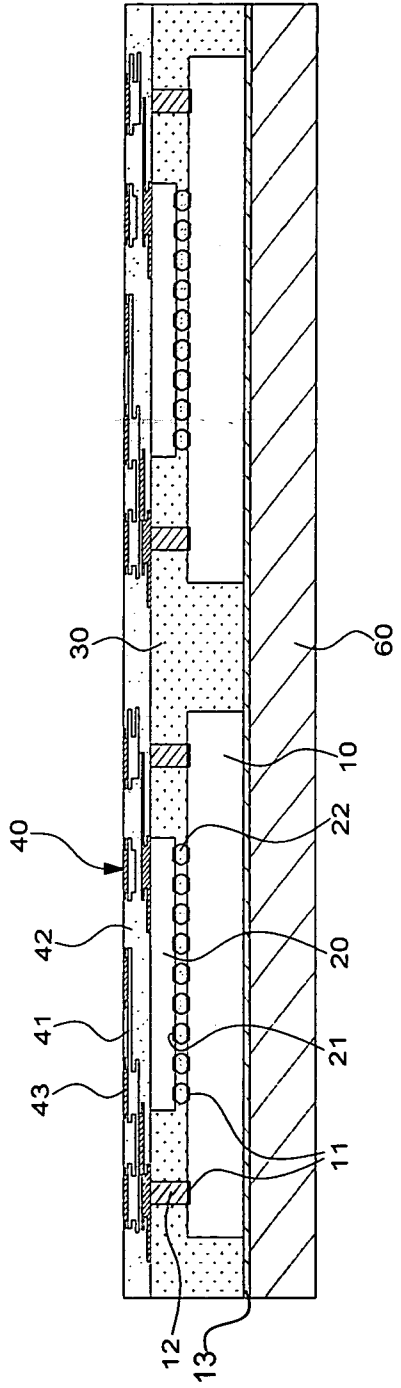


圖2E

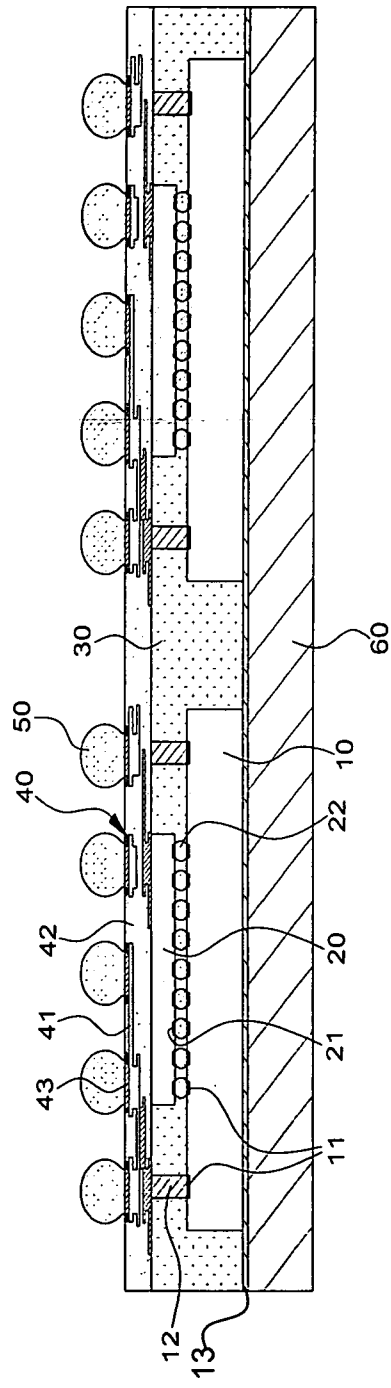


圖2F

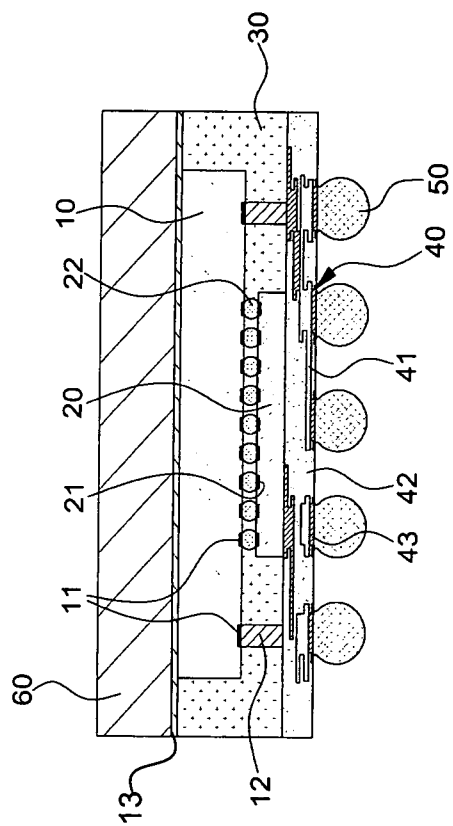


圖2G