



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2007 009 727 B4** 2009.01.02

(12)

Patentschrift

(21) Aktenzeichen: **10 2007 009 727.3**

(22) Anmeldetag: **28.02.2007**

(43) Offenlegungstag: **04.09.2008**

(45) Veröffentlichungstag
der Patenterteilung: **02.01.2009**

(51) Int Cl.⁸: **H01L 21/336** (2006.01)

H01L 21/311 (2006.01)

H01L 29/739 (2006.01)

H01L 29/78 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(62) Teilung in:
10 2007 063 593.3

(73) Patentinhaber:
Infineon Technologies Austria AG, Villach, AT

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(72) Erfinder:
Rieger, Walter, Arnoldstein, AT; Pölzl, Martin, Ossiach, AT; Zundel, Markus, Dr., 85658 Eggening, DE

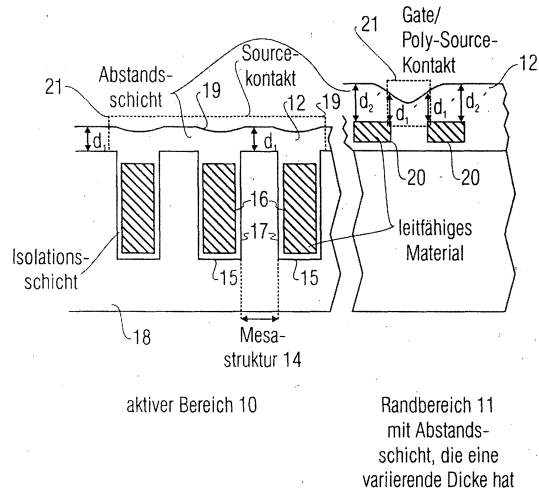
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
US 60 33 963 A
US 68 67 084 B1

(54) Bezeichnung: **Verfahren zum Herstellen eines Halbleiterbauelements und Transistor-Halbleiterbauelement**

(57) Hauptanspruch: Verfahren zum Herstellen eines Halbleiterbauelements, mit folgenden Schritten:

Bereitstellen (90) eines Halbleitersubstrats (18) mit einem aktiven Bereich (10) und einem an den aktiven Bereich angrenzenden Randbereich (11), wobei der aktive Bereich mit leitfähigem Material (16) gefüllte Trenchen (15) in dem Halbleitersubstrat aufweist, wobei das leitfähige Material in den Trenchen durch eine Isolationsschicht (17) von dem Halbleitersubstrat isoliert ist, und wobei zwischen zwei Trenchen jeweils eine Halbleitermesastruktur (14) ausgebildet ist, wobei in dem Randbereich eine Schicht (20) aus dem leitfähigen Material, die von dem Halbleitersubstrat durch eine Isolationsschicht isoliert ist, und die mit dem leitfähigen Material in den Trenchen kurzgeschlossen ist, ausgebildet ist, wobei über dem Halbleitersubstrat eine Abstandsschicht (12) ausgebildet ist, die im Randbereich eine variierende Dicke (d_2 , d_1') hat; und

Durchbrechen (91) der Abstandsschicht im Randbereich an einer ausgewählten Stelle (21,) und Entfernen wenigstens eines Teils der Abstandsschicht im aktiven Bereich unter Verwendung eines gemeinsamen Prozessschrittes,...



$d_1' = d_2$ (innerhalb eines Toleranzbereichs) damit im aktiven Bereich Trenchfüllung nicht freiliegt und im Randbereich der Halbleiter nicht freiliegt.

Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf Halbleiterbauelemente und Herstellungsverfahren zum Herstellen von Halbleiterbauelementen und insbesondere auf vertikale Halbleiterbauelemente.

[0002] Bei aktuellen Power-MOSFETs wird neben einem möglichst geringen Ein-Widerstand R_{dson} auch die Reduzierung der Gate-Drain-Rückwirkungskapazität immer wichtiger. Diese Kapazität ist wesentlich für dynamische Schaltverluste verantwortlich.

[0003] In einem aktiven Zellenfeld eines solchen Leistungs-MOSFETs, der als Trench-Transistor ausgebildet ist, kann dies z. B. durch die Einführung einer Source-Elektrode unter der Gate-Elektrode realisiert werden. Beide Sorten Elektroden werden z. B. aus hochdotiertem Polysilizium realisiert. Unabhängig davon, ob die Gate-Elektrode alleine im Trench vorhanden ist, oder ob unter der Gate-Elektrode noch eine Source-Elektrode vorhanden ist, die auch als „Feld-Platte“ bezeichnet werden kann, muss dennoch immer die Elektrode im Trench kontaktiert werden.

[0004] Diese Kontaktierung kann beispielsweise im Randbereich stattfinden. Insbesondere kann dieser Anschluss beispielsweise durch Kontakte auf planarem Polysilizium im Randbereich hergestellt werden. Hierzu wird an den Stellen, an denen eine Kontaktierung stattzufinden hat, beim Recess-Ätzen das Polysilizium durch eine Lackmaske abgedeckt.

[0005] Zur Kontaktierung des Source-Bereichs eines Transistors wird hierauf im Zellenfeld eine Oxidentfernung vorgenommen, um das Oxid bis zu den Oberkanten der Halbleiter-Mesa-Strukturen zwischen den Gräben wegzuzäten, um eine Source-Kontakt-Metallisierung aufbringen zu können.

[0006] Darüber hinaus wird im Randbereich eine Kontaktierung des Gate-Materials bzw. der Source-Elektrode unter der Gate-Elektrode durchgeführt, indem das Oxid oberhalb der planaren leitfähigen Schicht im Randbereich geöffnet wird.

[0007] Durch Aufbringen von Metallmaterial in diese Öffnung im Randbereich kann dann die planare leitfähige Schicht im Randbereich und damit die Gate-Elektrode oder ggf. die Source-Elektrode unterhalb der Gate-Elektrode kontaktiert werden.

[0008] Nachteilig an diesem Prozedere ist, dass unterschiedliche Verarbeitungsschritte für das Zellenfeld, also für den aktiven Bereich einerseits und für den Randbereich andererseits erforderlich sind. So wird dann, wenn zunächst das Zellenfeld verarbeitet wird, der Randbereich abgedeckt, so dass eine Oxid-

entfernung im Zellenfeld den Randbereich nicht betrifft. Hierauf wird dann, wenn eine Oxidentfernung im Randbereich stattfinden soll, der aktive Bereich abgedeckt. Wenn sowohl in dem aktiven Bereich als auch im Randbereich das Oxid an den erforderlichen Stellen entfernt ist, wird ggf. eine gemeinsame Metallisierung durchgeführt.

[0009] Diese Schrittfolge ist aufwendig und damit teuer und insbesondere auch im Hinblick auf die Ausschussgefahr, die bei jedem zusätzlichen Prozessschritt auftreten kann, nachteilhaft.

[0010] Die Aufgabe der vorliegenden Erfindung besteht darin, ein verbessertes Verfahren zum Herstellen eines Halbleiterbauelements zu schaffen.

[0011] Diese Aufgabe wird durch ein Verfahren zum Herstellen eines Halbleiterbauelements gemäß Anspruch 1 gelöst.

[0012] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines Halbleiterbauelements, mit einem Schritt des Bereitstellens eines Halbleitersubstrats mit einem aktiven Bereich und einem an den aktiven Bereich angrenzenden Randbereich, wobei der aktive Bereich mit leitfähigem Material gefüllte Trenchen in dem Halbleitersubstrat aufweist, wobei das leitfähige Material in den Trenchen durch eine Isolationsschicht von dem Halbleitersubstrat isoliert ist, und wobei zwischen zwei Trenchen jeweils eine Halbleitermesastruktur ausgebildet ist, wobei in dem Randbereich eine Schicht aus dem leitfähigen Material, die von dem Halbleitersubstrat durch eine Isolationsschicht isoliert ist, und die mit dem leitfähigen Material in den Trenchen kurzgeschlossen ist, ausgebildet ist, wobei über dem Halbleitersubstrat eine Abstandsschicht ausgebildet ist, die im Randbereich eine variierende Dicke hat, und einem Schritt des Durchbrechens der Abstandsschicht im Randbereich an einer ausgewählten Stelle und Entfernen wenigstens eines Teils der Abstandsschicht im aktiven Bereich unter Verwendung eines gemeinsamen Prozessschrittes, wobei die Stelle so ausgewählt ist, dass unter der Bedingung, dass die Abstandsschicht im aktiven Bereich so entfernt wird, dass zumindest ein Teil der Halbleitermesastruktur freiliegend ist und das leitfähige Material in den Trenchen nicht freiliegend ist, die Abstandsschicht in dem Randbereich bis zur leitfähigen Schicht und nicht bis zum Halbleitersubstrat durchbrochen ist.

[0013] Das erfindungsgemäße Verfahren liefert ein Halbleiterbauelement mit einem Halbleitersubstrat mit einem aktiven Bereich und einem an den aktiven Bereich angrenzenden Randbereich, wobei der aktive Bereich mit leitfähigem Material gefüllte Trenchen in dem Halbleitersubstrat aufweist, wobei das leitfähige Material in den Trenchen durch eine Isolationsschicht von dem Halbleitersubstrat isoliert ist, und

wobei zwischen zwei Trenchen jeweils eine Halbleitermesastruktur ausgebildet ist, wobei in dem Randbereich eine Kontaktstrukturierung vorgesehen ist, die eine Kontaktschicht aufweist, die von dem Halbleitersubstrat isoliert ist, wobei über der Kontaktschicht eine Abstandsschicht mit von Stelle zu Stelle variierender Dicke ausgebildet ist, wobei die Abstandsschicht an einer Stelle in dem Randbereich zumindest bis zur Kontaktschicht durchbrochen ist; und wobei die Kontaktstrukturierung so ausgebildet ist, dass an der Stelle eine Dicke der Abstandsschicht innerhalb eines Toleranzbereichs kleiner oder gleich einer Dicke der Abstandsschicht in einem Bereich ist, in dem ein Kontakt der Halbleitermesastruktur im aktiven Bereich lateral begrenzt wird.

[0014] Spezielle Halbleiterbauelemente sind MOS-Leistungstransistoren oder auch sog. IGBTs, also Bipolartransistoren mit isoliertem Gate. Im Gegensatz zu MOS-Leistungstransistoren, die einen Source-Bereich, einen daran angrenzenden Body-Bereich, in dem sich ein Kanal ausbilden kann und einen anschließenden Drain-Bereich umfassen, haben IGBT-Transistoren einen Emitterbereich, der an den Body-Bereich angrenzt, der einen oberen Basisbereich darstellt. Der untere Basisbereich wird durch das an den Body-Bereich angrenzende Halbleitergebiet gebildet, das denselben Dotierungstyp wie der Emitterbereich hat. An das Halbleitergebiet grenzt dann ggf. eine Feldstoppschicht an, die dieselbe Dotierung wie der untere Basisbereich hat, und die auf ihrer anderen Seite an einen Bipolar-Transistor-Kollektor, der auch als „p-Emitter“ bezeichnet wird, angrenzt.

[0015] Bevorzugte Ausführungsbeispiele der vorliegenden Erfindung werden nachfolgend beziehungsweise auf die beiliegenden Zeichnungen detailliert erläutert. Es zeigen:

[0016] [Fig. 1](#) ein Halbleiterbauelement mit einem aktiven Bereich und einem Randbereich;

[0017] [Fig. 2a](#) eine Draufsicht auf einen Randbereich zur Darstellung einer Positionierung von Anschlüssen im Randbereich;

[0018] [Fig. 2b](#) eine Mikroskopaufnahme eines Querschnitts der Implementierung von [Fig. 2a](#), wobei hier der Kontakt noch nicht über die Kante des Poly-Siliziums gezogen ist;

[0019] [Fig. 3a](#) eine Draufsicht auf einen Randbereich zur schematischen Darstellung einer alternativen Kontaktpositionierung;

[0020] [Fig. 3b](#) eine schematische Mikroskopaufnahme eines Querschnitts durch eine Struktur von [Fig. 3a](#) mit darunterliegender Polyschicht und einem darunter liegendem Trench;

[0021] [Fig. 4](#) eine schematische Draufsicht auf eine alternative Implementierung eines Kontakts auf der Polykante über dem Trench;

[0022] [Fig. 5a](#) eine Draufsicht auf einen alternative Implementierung eines Trenchfelds unter dem Poly-Kontaktbereich;

[0023] [Fig. 5b](#) eine Elektronenmikroskopaufnahme eines Querschnitts der Struktur von [Fig. 2](#) vor der Kontaktlochfüllung;

[0024] [Fig. 6a](#) eine schematische Darstellung der Zellenfeldsituation mit versenktem Zwischenoxid;

[0025] [Fig. 6b](#) eine schematische Darstellung der Chiprandsituation mit Dummy-Trench;

[0026] [Fig. 7](#) eine schematische Darstellung zur Kontaktierung des Poly-Gates im Randbereich;

[0027] [Fig. 8](#) eine schematische Darstellung der Wirksamkeit eines „Dummy-Trenches“;

[0028] [Fig. 9](#) ein Flussdiagramm zur Darstellung eines Verfahrens zur Herstellung eines Halbleiterbauelements;

[0029] [Fig. 10a](#) eine schematische Darstellung der Situation im Chip-Randbereich bei einer planaren Polyschicht nach Aufbringen der Isolator-Zwischenschicht;

[0030] [Fig. 10b](#) eine schematische Darstellung des Zellenfelds nach Aufbringen der Isolator-Zwischenschicht mit versenktem Zwischenoxid in den Trenches;

[0031] [Fig. 11a](#) eine Draufsicht auf ein Halbleiterbauelement;

[0032] [Fig. 11b](#) ein Querschnitt quer zu den Trenches im aktiven Bereich Schnitt A von [Fig. 11a](#) durch ein Halbleiterbauelement von [Fig. 11a](#);

[0033] [Fig. 11c](#) ein alternativer Querschnitt parallel zu den Trenches Schnitt B von [Fig. 11a](#) durch das Bauelement von [Fig. 11a](#);

[0034] [Fig. 11d](#) eine schematische Darstellung der Situation im aktiven Bereich und im Randbereich vor der Oxidätzung mit zu dickem Oxid im Randbereich;

[0035] [Fig. 12a](#) bis [Fig. 12d](#) eine schematische Darstellung der verschiedenen Herstellungsschritte zum Erzeugen einer Transistorzelle im aktiven Bereich ab Gate-Poly-Recess bis unmittelbar vor der Oxidätzung bzw. des oberen Grabenabschnitts;

[0036] [Fig. 13a](#) ein Querschnitt durch ein Halbleiter-

baulement mit Dickoxid-isolierten Gräben im Randbereich und aktiven Gräben im aktiven Bereich nach der Oxidätzung;

[0037] [Fig. 13b](#) eine vergrößerte Darstellung des oberen Grabenabschnitts nach der Kontaktlochatzung; und

[0038] [Fig. 13c](#) eine schematische Mikroskop-Querschnittsansicht eines fehlgeschlagenen Kontaktversuchs im Randbereich nach gleicher Oxidätzung wie in [Fig. 13b](#) gezeigt.

[0039] [Fig. 1](#) zeigt eine schematische Querschnittsansicht eines Halbleiterbaulements mit einem aktiven Bereich **10**, der an einen Randbereich **11** angrenzt, wobei jedoch der aktive Bereich und der Randbereich in der Figur nicht unbedingt vom gleichen Querschnitt stammen muss, sondern wobei der Randbereich z. B. eine andere Querschnittsdarstellung ist als der aktive Bereich. Wichtig in [Fig. 1](#) ist jedoch die im aktiven Bereich **10** dargestellte Abstandsschicht **12**, die ebenfalls im Randbereich vorhanden ist und dort ebenfalls mit **12** bezeichnet ist. Insbesondere hat die Abstandsschicht **12** im aktiven Bereich eine Dicke d_1 über einer Halbleiter-Mesastruktur **14**. Die Halbleiter-Mesastruktur **14** ist durch zwei parallel angeordnete Trenches **15** definiert, wobei die Trenches **15** mit einem leitfähigen Material **16** gefüllt sind, wobei das leitfähige Material **16** über ein Gateoxid **17** von dem Halbleitersubstrat **18** isoliert ist. Nachdem die Trenches nicht bis zur Oberkante der Halbleiter-Mesastruktur mit leitfähigem Material **16** geführt sind, sondern lediglich bis zu einem bestimmten Niveau, das unter der Oberkante der Halbleiter-Mesastruktur **14** liegt, ist die Oberkante der Abstandsschicht **12** im aktiven Bereich nicht vollständig eben, sondern hat gewisse „Dellen“ oberhalb der Trenches, wie es in [Fig. 1](#) bei [Fig. 19](#) eingezeichnet ist. Ferner ist aufgrund der Tatsache, dass in den „Trench-Top-Bereichen“, die definiert sind durch die Oberkante der Halbleiter-Mesastruktur und die Oberkante des leitfähigen Materials **16**, die Dicke der Abstandsschicht **12** über der Halbleiter-Mesastruktur, die mit d_1 bezeichnet ist, insgesamt geringer als eine Dicke d_2 im Randbereich oberhalb einer Schicht **20** aus leitfähigem Material ist. Im Randbereich wäre die Dicke der Abstandsschicht oberhalb der Schicht **20** aus leitfähigem Material gleich, wenn die Schicht aus leitfähigem Material durchgängig wäre. Aufgrund der speziellen Strukturierung der Schicht aus leitfähigem Material im Randbereich zum Beispiel in zwei aneinander angrenzende Schichten wird im Randbereich eine Abstandsschicht **12** mit variierender Dicke erreicht, die zwischen der großen Dicke d_2 und der kleinen Dicke d_1 variiert.

[0040] So wird, wie es in [Fig. 1](#) gestrichelt eingezeichnet ist, der Gate-Kontakt bzw. der Poly-Source-Kontakt **21** dort platziert, wo die Dicke der Ab-

standsschicht **12** oberhalb der leitfähigen Schicht **20** in einem Toleranzbereich gleich groß ist zu der Dicke d_1 der Abstandsschicht **12** im aktiven Bereich oberhalb der Halbleiter-Mesastruktur. Optimal gilt $d_1' \leq d_1$, derart, dass dann, wenn im aktiven Bereich der Source-Kontakt, der gestrichelt bei **21** eingezeichnet ist, hergestellt wird, im gleichen Arbeitsgang auch der Gate-Poly-Source-Kontakt **21** hergestellt wird. Zur Herstellung des Source-Kontakts **22** und des Gate/Poly-Source-Kontakts **21** wird dieselbe Ätzung der Abstandsschicht **12** sowohl im aktiven Bereich als auch im Randbereich verwendet. Die Ätzung wird im aktivem Bereich soweit durchgeführt, dass die Abstandsschicht **21** bis zur Oberkante der Halbleiter-Mesa-Struktur **10** entfernt wird, während gleichzeitig die Ätzung nicht soweit durchgeführt wird, dass das leitfähige Material **16** im Trench frei liegt. Dies soll isoliert sein durch eine Isolationsschicht oberhalb des Trenches, wie später noch dargelegt wird. Die Ätzung muss also rechtzeitig aufhören, damit nicht das Trench-Material im Graben freigelegt wird. Wichtig ist ferner, dass im Randbereich die Abstandsschicht **12** bis zur leitfähigen Schicht **20** durchbrochen wird, derart, dass eine Kontaktierung der leitfähigen Schicht erreicht werden kann, und dass kein Oxid auf der leitfähigen Schicht verbleibt, und zwar aufgrund der Tatsache, dass die Ätzung bereits abgebrochen worden ist, um im aktiven Bereich nicht die leitfähige Elektrode **16** im Graben frei zu legen. Ferner muss darauf geachtet werden, dass im Randbereich das Halbleitermaterial **18** nicht frei liegt, da es sonst zu einem Kurzschluss der Gate-Elektrode oder der Poly-Source-Elektrode im Trench mit dem Halbleitermaterial kommen würde, wenn dann ein Kontaktloch mit leitfähigem Material ausgefüllt wird, wie es noch dargelegt werden wird.

[0041] Es sei darauf hingewiesen, dass die leitfähige Schicht **20** im Randbereich so strukturiert ist, dass es eine Abstandsschicht **12** oberhalb der leitfähigen Schicht **20** gibt, die eine variierende Dicke hat. Ferner wird dann diese Abstandsschicht genau an der Stelle durchbrochen, wo die Dicke d_1' im Randbereich gleich oder kleiner als die Dicke d_1 im aktiven Bereich ist. Wenn also die Dicke im Randbereich der Abstandsschicht **12** oberhalb der leitfähigen Schicht kleiner als die Dicke der Schicht im aktiven Bereich ist, wird hier eine Durchbrechung der Abstandsschicht **12** durchgeführt, und die Dicke soll groß genug sein, dass keine Kontaktierung des Halbleitermaterials **18** stattfindet. Es muss also sichergestellt werden, dass das Kontaktloch zum Kontaktieren der leitfähigen Schicht **20** nicht bis zum Halbleitermaterial **18** reicht, um den besagten Kurzschluss zu vermeiden.

[0042] [Fig. 9](#) zeigt eine mögliche Implementierung eines Herstellungsverfahrens zum Herstellen eines Halbleiterelements. In einem Schritt **90** wird ein Substrat mit einem aktiven Bereich und einem Randbereich dargestellt, wobei das Substrat im Randbereich

eine variierende Dicke der Abstandsschicht **12** aufweist. In einem Schritt **91** wird dann die Abstandsschicht im aktiven Bereich und im Randbereich durch eine gemeinsame Kontaktlochätzung durchbrochen, wobei dann, wenn ein flächiger Sourcekontakt im aktiven Bereich erzeugt wird, die Abstandsschicht im aktiven Bereich komplett entfernt wird, während im Randbereich nur an den Stellen die Abstandsschicht durchbrochen wird, wo eine Kontaktierung einer leitfähigen Schicht zu erfolgen hat.

[0043] Nach dem Schritt **91** wird in einer Implementierung ein Ätzschritt **92** vorgenommen, um die Bulk-Gräben in der Mesastruktur im aktiven Bereich zu ätzen, und um ferner, aufgrund der Tatsache, dass keine Zwischenschritte erfolgen, die im Randbereich etwas abdecken würden, auch die freigelegte Schicht im Randbereich geätzt wird. Die Bulk-Gräben sind in [Fig. 11b](#) bei **25** eingezeichnet, und das Ergebnis nach diesem Schritt **92** im Randbereich ist in [Fig. 5b](#) dargestellt.

[0044] Hierauf wird in einem Schritt **93** sowohl im aktiven Bereich als auch im Randbereich eine Metallisierung aufgebracht, welche die Kontaktlöcher bzw. die Kontaktgräben im Randbereich auffüllt, die dort verbliebene Abstandsschicht bedeckt und ferner auch die freiliegenden Strukturen im aktiven Bereich bedeckt und ferner auch an den Kontakt angrenzende Reste der Abstandsschicht bedeckt. Bei dieser Metallisierung wird ferner auch der Bereich der Abstandsschicht zwischen den Kontaktlöchern im Randbereich und dem Sourcekontakt metallisiert. Dieser Zwischenbereich wird jedoch dann in einem Schritt **94** wieder entfernt, beispielsweise durch eine Photolithographie, um den Sourcekontakt und den Gatekontakt bzw. den Poly-Source-Kontakt voneinander zu trennen.

[0045] Ein dadurch entstandenes Halbleiterbauelement hat somit im Randbereich die Kontaktschicht **20**, die durch die darüber liegende Abstandsschicht **12** durch den Kontakt **21** kontaktiert ist. Diese Kontaktstrukturierung, also der Kontakt **21** zu der leitfähigen Schicht **20** beziehungsweise der Kontaktschicht im Randbereich ist so ausgebildet, dass an der Stelle, wo sich der Kontakt **21** in der Abstandsschicht **12** mit variablerer Dicke befindet, die Dicke der Abstandsschicht innerhalb eines Toleranzbereichs kleiner oder gleich der Dicke der Abstandsschicht ist, wie sie in einem Bereich vorhanden ist, in dem ein Kontakt der Halbleitermesastruktur im aktiven Bereich lateral begrenzt ist. Diese Stelle ist in [Fig. 1](#) beispielsweise mit **19** eingezeichnet. Dort befindet sich die Kante des Sourcekontakts und dort stößt die Kante des Sourcekontakts an die durchgeätzte Abstandsschicht an, die noch eine Dicke hat, die in etwa so groß ist wie die Dicke der Abstandsschicht, in der diese Abstandsschicht im Randbereich durchbrochen worden ist. Die Dicke im Randbereich kann auch klei-

ner sein als die Dicke der Abstandsschicht an der Stelle **19**. Die Dicke der Abstandsschicht **12** im Randbereich ist jedoch an der Stelle an der der Kontakt vorhanden ist, nicht größer als die Dicke der Abstandsschicht an der Stelle **19**, da sonst eine erfolgreiche gemeinsame Ätzung von aktivem Bereich und Kontaktbereich im Randbereich nicht möglich ist.

[0046] Bevor detaillierter auf speziellere Ausführungsbeispiele eingegangen wird, wird zunächst ein beispielhaftes Halbleiterbauelement anhand der [Fig. 11a-Fig. 11d](#) beschrieben, das z. B. ein MOS-Feldeffekttransistor sein kann, das jedoch gleichzeitig auch ein Bipolartransistor mit isoliertem Gate (IGBT) sein kann.

[0047] [Fig. 11a](#) zeigt eine Draufsicht auf einen solchen Transistor. Der Transistor hat gestrichelt eingezeichnete Gräben, die mit leitfähigem Material **16** gefüllt sind, und die durch eine Isolationsschicht **17** von dem Halbleitersubstrat **18** isoliert sind. Über dem gesamten Transistor befindet sich jedoch ein großer Source-Kontakt **22**, der sowohl die Gräben als auch die leitfähigen Materialien in den Gräben als auch die Oxidschichten bedeckt, weshalb die letzteren nur gestrichelt eingezeichnet sind. Der Source-Kontakt **22** überdeckt den gesamten aktiven Bereich und hört irgendwann am Randbereich auf, wie es in [Fig. 11a](#) gezeigt ist. Die Trenches erstrecken sich jedoch bei dem in [Fig. 11a](#) beispielhaft gezeichneten Transistor noch ein Stückchen weiter und die Trenchfüllung ist im Randgebiet aus den Trenchen herausgeführt, um die leitfähige Schicht **20** zu bilden. Die leitfähige Schicht **20** ist nach oben hin mit der Abstandsschicht, die in [Fig. 11a](#) nicht angedeutet ist, bedeckt, und die Abstandsschicht **12** ist durch Kontaktlöcher **21** durchbrochen, die mit leitfähigem Material gefüllt sind und durch einen Gate-Kontakt **23** miteinander verbunden sind. Selbstverständlich könnten die Kontaktlöcher **21** auch als durchgehender Kontaktgraben ausgeführt sein, wobei dieser Graben dann direkt den Gate-Kontakt **23** bilden könnte.

[0048] Die leitfähige Schicht **20** wird also bei dem in [Fig. 11](#) gezeigten Transistor durch ein „herausgezogenes“ Trench-Füllmaterial gebildet, wobei dieses Trench-Füllmaterial, das am Rand herausgezogen ist, entweder die Gate-Elektrode sein kann, oder, was später noch dargelegt werden wird, die Poly-Source-Elektrode sein kann, die im Trench unterhalb der Gate-Elektrode angeordnet ist.

[0049] [Fig. 11b](#) zeigt einen Querschnitt entlang einer Linie AA in [Fig. 11a](#). Insbesondere ist gezeigt, dass in den Halbleiter-Mesastrukturen **14** ein Graben ausgebildet ist, welcher bei **25** dargestellt ist. Dieser Graben wird dann, wenn die Halbleiter-Mesastruktur **14** freiliegend ist, in die entsprechenden Mesastrukturen eingeätzt und zwar bis zu einer Tiefe, die sich unter die n⁺-Source-Bereiche erstreckt. Damit kann

dann, wenn der Source-Kontakt **22** aufgebracht wird, und wenn das Source-Kontaktmaterial insbesondere auch in den Gräben **25** eingebracht wird, eine Kontaktierung des Body-Bereichs erfolgen, wobei bei der in [Fig. 11b](#) gezeigten Konfiguration, bei der die Kontaktierung der Source-Bereiche und des Body-Bereichs durch ein und dasselbe Material stattfindet, automatisch ein Kurzschluss zwischen Body und Source erreicht wird, wie es für viele Transistoranwendungen gewünscht ist.

[0050] Insbesondere sind die Dotierungsverhältnisse in [Fig. 11b](#) so, dass der Source-Bereich, der mit **26** bezeichnet ist, hochdotiert ist und an einen niedrig dotierten Bereich **27** angrenzt, der als Body-Bereich bezeichnet wird, welcher wiederum an einen Drain-Bereich **28** angrenzt. Der Bereich **28** und der Bereich **26** haben dieselbe Dotiercharakteristik, die entgegengesetzt zur Dotiercharakteristik des Bereichs **27** ist. Insbesondere sind die Bereiche **26** und **28** n-dotiert und der Bereich **27** p-dotiert, obgleich die Dotierungsverhältnisse auch umgekehrt sein können. Wenn das Halbleiterbauelement als Feldeffekttransistor ausgebildet ist, so wird an den Bereich **28** eine hochdotierte Schicht mit derselben Charakteristik angrenzen, die ferner mit einer Metallelektrode verbunden ist, welche das Drain des Feldeffekttransistors bildet.

[0051] Ist das Bauelement in [Fig. 11b](#) hingegen ein Bipolartransistor mit isoliertem Gate, so ist der Bereich **26** der Emitter des Transistors, so ist der Bereich **27** der obere Basisbereich, und ist der Bereich **28** der untere Basisbereich. Ferner wird dann an den unteren Basisbereich ein Feldstoppbereich mit höherer Dotierung angrenzen, welcher an den Kollektor des Transistors angrenzt, der bei den Dotierungsverhältnissen in [Fig. 11b](#) eine p-Dotierung hat, um als Kollektor bzw. als Löcher-Emitter zu dienen. Im Falle des IGBT ist dieser Kollektor dann mit einer Metallisierung versehen.

[0052] [Fig. 11c](#) zeigt einen Querschnitt entlang der Linie BB von [Fig. 11a](#), um einen beispielhaften Übergang zwischen dem aktiven Bereich **10** und dem Randbereich **11** darzustellen. Insbesondere interessant in [Fig. 11c](#) ist das Ende des Source-Kontaktes **22** und der daran anschließende herausgezogenen Abschnitt des Trench-Füllmaterials, der die Schicht **20** von [Fig. 1](#) beispielsweise bildet. Ferner ist gezeigt, wie dieser herausgezogene Abschnitt **20** über ein Kontaktloch, in dem der Gate-Kontakt **21** angeordnet ist, kontaktiert ist. [Fig. 11d](#) zeigt die Situation des Halbleiterbauelements vor der Ätzung des Source-Kontaktlochs. Wie es anhand von [Fig. 11b](#) und [Fig. 11a](#) dargestellt worden ist, ist die gesamte Oberfläche des aktiven Bereichs typischerweise durch einen Source-Kontakt abgedeckt, damit eine großflächige Stromversorgung stattfindet. Selbstverständlich könnten auch strukturierte Source-Kontaktstrei-

fen oder etwas ähnliches verwendet werden. Ganzflächige Source-Kontakte werden jedoch bevorzugt.

[0053] Ein Problem bei der Oxidätzung kann sein, dass sie nicht einfach verlängert werden kann, bis das Oxid auch im Randbereich durchgeätzt worden ist, da dann im Zellenfeld die im Trench befindlichen Elektroden freigelegt werden. Bei einer nachfolgenden Metallisierung würde so Source und Elektrode kurzgeschlossen.

[0054] Bevor das Source-Kontaktloch geätzt wird, befindet sich die Abstandsschicht **12** auf dem Halbleitersubstrat im aktiven Bereich. Im Randbereich befindet sich ebenfalls die Abstandsschicht **12** auf dem in [Fig. 11d](#) gezeigten herausgezogenen Abschnitt mit Trench-Füllmaterial.

[0055] Wenn im Randbereich keine Trenches sind, ist die Dicke d_2 im Randbereich größer als die Dicke d_1 im aktiven Bereich. Wenn man bei dem in [Fig. 11d](#) gezeigten Szenario im aktiven Bereich die Silizium-Mesa-Struktur frei ätzt, und das Oxid bis zur Dicke d_1 entfernt, so würde man im Randbereich noch nicht bis zur leitfähigen Schicht **20** durchdringen. Es würden also nach der Kontaktätzung Oxidreste im Randbereich oberhalb der leitfähigen Schicht **20** übrig bleiben. Ein gleichzeitiges Kontaktieren von Source-Zellenfeld und Ansteuer-Elektroden, also Gate-Elektroden bzw. Feld-Elektroden wird dadurch verhindert, da die Oxiddicke d_2 im Randbereich über der Poly-Schicht **20** deutlich dicker ist als im Zellenfeld. Daher kann es vorkommen, dass bei dem in [Fig. 11d](#) gezeigten Fall der Chip nicht angesteuert werden kann bzw. seine maximale Durchbruchspannung nicht mehr erreicht wird, wie es beispielhaft auch in [Fig. 13c](#) dargestellt ist. Tritt dieses Problem auf, so müsste durch Einführung einer zusätzlichen Fotoebene und eines Zusatzprozesses eine ausreichende Sicherheit erreicht werden, wodurch Zusatzkosten auftreten werden.

[0056] Andererseits sei angemerkt, dass typischerweise im Sinne einer hohen Transistorausbeute alle Prozesse auf den aktiven Bereich hin optimiert sind, und dass sich somit der Randbereich nach den Prozessen des aktiven Bereichs richten muss. Wenn der aktive Bereich also keine längere Ätzung der Abstandsschicht **12** zulässt, da dann ein Durchbruch zum leitfähigen Material im Graben erreicht werden würde, so muss diese Ätzung angehalten werden, unabhängig davon, ob eine Durchätzung durch die Abstandsschicht **12** auf die leitfähige Schicht **20** im Randbereich erreicht worden ist oder nicht.

[0057] Nachfolgend wird anhand der [Fig. 12a-Fig. 12d](#) eine typische Sequenz zur Herstellung von Grabenstrukturen dargestellt. Bei den in [Fig. 12a-Fig. 12d](#) gezeigten Gräben befinden sich zwei Elektroden in dem Graben. Die obere Elektrode

16 stellt die Gate-Elektrode dar und die untere Elektrode **30** stellt die Poly-Source-Elektrode oder Feldplatten-Elektrode dar. Während das Oxid **17** neben der Gate-Elektrode **16** ein Dünnoxid ist, damit der Transistor ein gutes Steuerverhalten hat, ist das Oxid **17** neben der unteren Elektrode **30** ein Dickoxid, damit der Transistor ein gutes Durchbruchverhalten hat. Ausgehend von der in [Fig. 12a](#) gezeigten Herstellungsstufe wird dann, in [Fig. 12b](#) das Restoxid **31**, das noch oben auf dem Graben vorhanden ist, entfernt. Hierauf wird das sog. Postoxid **32** aufgewachsen, wie es in [Fig. 12c](#) gezeigt ist. Dann wird, wie es in [Fig. 12d](#) gezeigt ist, ein Zwischenoxid **33a**, **33b** aufgebracht, das eines oder eine Kombination von PSG, USG, TEOS oder Nitrid sein kann. Anschließend kann eine Planarisierung durchgeführt werden.

[0058] Hierauf wird die in [Fig. 12d](#) gezeigte schematische Bauelementstruktur einer anisotropen Rückätzung mit einer Kombination aus CMP und einem Oxidätzer oder nur mit einem Oxidätzer unterzogen, um das Source-Kontakt-Loch zu erzeugen. Hierbei wird das Oxid im Zellenfeld definiert unter die Si-Kante zurückgeätzt, während sich der Anschluss der Randkontakte aus den Zellenfeldanforderungen ergibt. Eine schematische Darstellung nach der Ätzung zur Herstellung des Source-Kontakt-Lochs ist in [Fig. 13a](#) gezeigt. Die beiden rechten Gräben und die rechte Hälfte des mittleren Grabens bilden den aktiven Bereich, während die linke Hälfte des mittleren Grabens und die beiden linken Gräben bereits den Randbereich darstellen, was auch daran erkennbar ist, dass die leitfähigen Elektroden in den Trenches durch ein Dickoxid vom Halbleitermaterial isoliert sind, während die oberen Elektroden **16** im aktiven Bereich nur durch ein dünnes Oxid **17** von dem Halbleiter getrennt sind.

[0059] Ferner sei darauf hingewiesen, dass die oberste gewellte Schicht **40** lediglich ein Mikroskop-Kontrastmittel ist, der besseren Präparierbarkeit dient und normalerweise nicht vorhanden ist, sondern dass ein Halbleiterbauelement ohne diese Schicht dann erhalten wird, wenn die Kontaktlochätzung im aktiven Bereich stattgefunden hat, während der Randbereich abgedeckt ist. Im Randbereich sind insbesondere das Postoxid **41** und das Zwischenoxid **33a**, **33b** zu sehen, wobei das Postoxid und das Zwischenoxid zusammen die Abstandsschicht **12** bilden.

[0060] [Fig. 13b](#) zeigt eine vergrößerte Aufnahme des oberen Abschnitts eines Grabens im aktiven Bereich nach der Kontaktlochätzung. So ist ersichtlich, dass die Oberfläche der Silizium-Mesa-Struktur freigeätzt wird. Da die Ätzung eine Oxidätzung ist, hört die Ätzung dann auf, wenn die Oberfläche der Silizium-Mesa-Struktur freiliegend ist. In den mit Oxid gefüllten Gräben wird die Ätzung jedoch weitergeführt, um definiert unter die Mesa-Struktur-Oberkanten zu ätzen. Allerdings muss hier der Ätzvorgang unbe-

dingt rechtzeitig abgebrochen werden, damit noch Oxid oberhalb der Gate-Elektrode **16** verbleibt, damit kein Kurzschluss zwischen Source und Gate erreicht wird. Es sei darauf hingewiesen, dass der Ätzprozess hier nicht selbstjustierend ist, da der Ätzprozess oberhalb der Gate-Elektrode nicht von selber aufhört, sondern aktiv beendet werden muss.

[0061] Aufgrund der in [Fig. 11d](#) beschriebenen Situation führt eine gleichzeitige Ätzung dann dazu, dass im Randbereich eine ungenügende Kontaktierung stattfindet, da die Abstandsschicht **12**, die in [Fig. 13c](#) als Oxid bezeichnet ist, nicht komplett bis zur Polyschicht **20** durchbrochen wird, wie es aus der Mikroskop-Schnittaufnahme von [Fig. 13c](#) ersichtlich ist. So wird durch eine geschickte Layoutanordnung im Hinblick auf die Strukturierung der leitfähigen Schicht im Randbereich und/oder der Platzierung der Kontaktlochstelle im Randbereich zum Kontaktieren der Gate-Elektrode und/oder der Poly-Source-Elektrode maximale Sicherheit ohne Zusatzprozesse, d. h. Kosten erreicht.

[0062] Spezielle Aspekte umfassen beispielhaft verschiedene Lösungsansätze. Ein erster Aspekt ist anhand der [Fig. 2a](#) und [Fig. 2b](#) dargestellt. Insbesondere wird, wie es in [Fig. 2a](#) und [Fig. 2b](#) dargestellt ist, der Kontakt **21** im Randbereich dort platziert, wo die Abstandsschicht **12** eine dünnere Dicke d_1 hat, so dass das Kontaktloch, in dem der Metallkontakt **21** angebracht ist, bis zu Polyschicht **20** durchgeht. Da die Polyschicht **20** neben ihrer Kante kontaktiert wird, und aufgrund der Tatsache, dass typischerweise verwendetes Oxid, wie beispielsweise BPSG **33b** von [Fig. 12d](#), relativ zähfließend ist, wird, wie es in [Fig. 2b](#) bei **42** gezeigt ist, das Abstandsschicht-Material in die Bereiche neben der Polyschicht **20** „fließen“, wodurch es dazu kommt, dass die Dicke der Abstandsschicht **12** in der Nähe der Kante der Polyschicht **20** variiert, wie es durch eine gestrichelte Linie **43** in [Fig. 2b](#) angedeutet ist.

[0063] Es wird also der Abfall der Oxiddicke zur Kante hin ausgenützt. Der Kontakt wird also auf die Polykante gesetzt, wobei der Effekt des BPSG-Verfließens ausgenützt wird, was bedeutet, dass das Oxid über der Kante aufgrund der Oberflächenkräfte dünner ist als über dem planaren Polybereich links in [Fig. 2b](#), wo die Dicke d_2 beträgt.

[0064] Bei einem alternativen Ausführungsbeispiel, das in [Fig. 3a](#) und [Fig. 3b](#) gezeigt ist, wird der Kontakt zwischen zwei Polybahnen gesetzt, wodurch ein Ätzen des Siliziumsubstrats zwischen den Bahnen verhindert wird, da das Oxid zwischen den Bahnen aufgrund des Verfließschrittes dicker ist als über den Polybahnen und deutlich dicker ist als auf der Polykante. Die in [Fig. 3a](#) gezeigte Situation entspricht also etwa der in [Fig. 1](#) gezeigten Darstellung, wo der Kontakt **21** zwischen den beiden Schichten **20** ange-

bracht ist. [Fig. 3b](#) zeigt einen Querschnitt durch ein Halbleitersubstrat, das nicht genau der Situation in [Fig. 3a](#) entspricht, da zusätzlich zu den leitfähigen Schichten **20**, die auf Abstand gesetzt sind, noch eine darunter liegende leitfähige Schicht **45** vorhanden ist, die in einen Graben **46** mündet, auf den später noch eingegangen wird. Allerdings ist in [Fig. 3b](#) zu sehen, dass die Dicke des Oxids in der Nähe der Kanten, die mit d_1 eingezeichnet ist, wesentlich dünner ist als ganz links oder ganz rechts in [Fig. 3b](#) oder auch in der Mitte, wobei die höhere Dicke der Abstandsschicht **12** in der Mitte mit d_2 eingezeichnet ist.

[0065] Es sei darauf hingewiesen, dass die Dicke d_1 oberhalb der Kanten in etwa der Dicke d_1 im aktiven Zellenfeld entspricht. Damit wird sichergestellt, dass eine Ätzung bis auf die Schichten **20** stattfindet, dass jedoch aufgrund der höheren Dicke zwischen den beiden Schichten **20** keine Kontaktierung der darunter liegenden Polysiliziumschicht **45** stattfindet. Wenn diese Schicht alternativ nicht vorhanden ist, sollte keine Kontaktierung des Halbleiters **18** stattfinden, damit keine Kurzschlussbildung zwischen dem Gatefüllungsmaterial und dem Halbleiter erzeugt wird.

[0066] [Fig. 4](#) zeigt einen weiteren Aspekt, bei dem der Kontakt auf die Polykante über den Trench gesetzt ist. Hierbei wird ebenfalls ein Ätzen des Silizium-Mesa-Abschnitts bzw. des Halbleitersubstrats **18** verhindert, da hier im Zweifelsfall, wenn weiter geätzt wird, lediglich das Polysilizium aus dem Trench geätzt werden würde. [Fig. 4](#) zeigt also im Querschnitt die Situation, wenn die untere Schicht **45** von [Fig. 3b](#) an der mit **47** bezeichneten Stelle kontaktiert werden soll, und zwar längs entlang des Grabens **46**, also in die Zeichenebene hinein oder aus der Zeichenebene heraus. Ferner sei darauf hingewiesen, dass dann bei diesem Ausführungsbeispiel die Dicke d_2 , die in [Fig. 3b](#) eingezeichnet ist, wenigstens so dick wie die Dicke d_1 im Zellenfeld ist, wie es in [Fig. 1](#) eingezeichnet ist. Die Dicke d_2 könnte jedoch auch kleiner sein, da die Oxidätzung auf dem Polysilizium **45** automatisch stoppt. In diesem Fall müsste dafür gesorgt werden, dass die Dicke d_2 auf jeden Fall kleiner oder gleich der Dicke d_1 ist. Dies kann dadurch erreicht werden, dass in dem Randbereich beispielsweise, wie es später noch dargelegt wird, Gräben erzeugt werden, die keine Gate-Funktionalität haben, sondern lediglich dazu dienen, Oxid zu versenken, um einen dünneren Oxid-Level, also eine dünnere Abstandsschicht **12** zu erreichen, und zwar an der Stelle, an der eine Kontaktierung erreicht werden soll.

[0067] Auf jeden Fall wird bei dem in [Fig. 3b](#) gezeigten Beispiel, dann, wenn nach der Oxidätzung noch einen Halbleiterätzung stattfindet, um die Gräben in der Mesostruktur zu erzeugen, die in [Fig. 11](#) mit **25** gezeichnet sind und den Body-Kontakt kontaktieren, lediglich aus dem Graben **46** Polysilizium herausge-

ätzt, ohne dass jedoch eine solche Ätzung wiederum zu einem Kurzschluss führen würde. Würde jedoch eine Transistorstruktur gebaut werden, bei der die Gräben **25** nicht nötig sind, weil der Body-Bereich floatend ist oder auf andere Art und Weise kontaktiert wird, so würde kein Polysilizium aus dem Graben **46** in [Fig. 3b](#) weggeätzt werden.

[0068] Nachfolgend wird anhand von [Fig. 5a](#) und [Fig. 5b](#) eine weitere Alternative zur Kontaktpositionierung dargestellt. Hierbei wird ein Trenchfeld unter dem Polykontaktbereich vorgesehen, und der Kontakt wird zwischen zwei Trenchen positioniert. Insbesondere zeigt [Fig. 5b](#) einen Querschnitt durch den herausgezogenen Bereich in [Fig. 11a](#), wobei jedoch dort die Gräben im Vergleich zur [Fig. 11c](#) bis zum Ende der Schicht **20** fortgesetzt sind und nicht bereits vorher aufhören. Insbesondere sind in [Fig. 5b](#) zwei benachbarte Grabenfüllungen durch die sich oberhalb der Halbleitermesastruktur **14** erstreckende Metallisierungsstruktur **20** miteinander kurzgeschlossen. Zusammen mit der Ätzung des Source-Kontaktlochs im Zellenfeld wird auch eine Ätzung des Oxids **12**, also der Abstandsschicht, bis zur Oberkante der leitfähigen Schicht **20** durchgeführt. Da diese Schicht aus Polysilizium ist, stoppt die Oxidätzung automatisch. Daran anschließend wird die Ätzung der Gräben **25** in der Halbleiter-Mesostruktur, die in [Fig. 11b](#) eingezeichnet ist, durchgeführt, wodurch im Randbereich auch die leitfähige Schicht **20** durchbrochen wird, wobei diese Halbleiterätzung jedoch wieder am Oxid oberhalb der Mesostruktur **14**, die in [Fig. 5b](#) eingezeichnet ist, stoppt. Diese Stopppung des Ätzprozesses tritt automatisch ein, da das Ätzmedium, das Polysilizium ätzt, Oxid nicht oder nur sehr wenig ätzt. Es sei jedoch darauf hingewiesen, dass im aktiven Bereich eine solche automatische Beendigung des Ätzprozesses nicht stattfindet, sondern hier muss der Ätzprozess aktiv unterbrochen werden, da sich die Gräben **25** sonst immer tiefer in den Halbleiterbereich hinein erstrecken würden.

[0069] Hierauf wird die Sourcekontaktmetallisierung aufgebracht, die dann nicht nur den Sourcebereich bedeckt, sondern auch sämtliche Öffnungen in der Abstandsschicht **12** und in der Polysiliziumschicht **20** füllt, so dass ein guter flächiger Kontakt zwischen der Kontaktfüllung, die in der [Fig. 5b](#) noch nicht eingebracht ist, und der zu kontaktierenden Schicht **20** erreicht wird.

[0070] Nachfolgend wird bezugnehmend auf die [Fig. 6a](#), [Fig. 6b](#), [Fig. 7](#) und [Fig. 8](#) eine weitere Implementierung dargestellt, bei der im Randbereich bewusst Dummy-Trench-Felder eingeführt werden, also Trench-Felder, wie sie z. B. links in [Fig. 13a](#) gezeigt sind. Zunächst sei anhand der [Fig. 10a](#) und [Fig. 10b](#) die Problematik dargestellt, wie sie auch bereits anhand von [Fig. 11d](#) besprochen worden ist, nämlich dass am Chiprand, dann, wenn einfach eine leitfähige

ge Schicht **20** ohne spezielle Strukturierung vorgesehen wird, oberhalb der Schicht **20** eine konstante hohe Dicke d_2 vorhanden ist, die typischerweise größer ist als die Dicke der Abstandsschicht **12** im Zellenfeld, die mit d_1 in [Fig. 10b](#) dargestellt ist. Dies liegt daran, dass im Randbereich kein Zwischenoxid der Abstandsschicht **12** in Bereichen oberhalb der Trenches versinken kann. Dies findet jedoch sehr wohl im Zellenfeld statt, da die Gräben mit leitfähigem Material nur bis zu einem bestimmten Level gefüllt sind, wobei dieser Level deutlich unterhalb der Mesa-Oberkante ist. Diese Bereiche, in denen ein Zwischenoxid versinkt, sind bei 50 in [Fig. 10b](#) gezeigt. Bei der im Zellenfeld vorhandenen Trench-Geometrie versinkt somit Zwischenoxid in den Trench-Topbereichen, wobei das versenkte Volumen streng an die Zellenfeld-Geometrie gebunden ist. Dadurch ist die gesamte Zwischenoxid-Dicke oberhalb der Gräben, die die Dicke d_1 hat, geringer als im Chiprandbereich, was die beschriebene Problematik mit sich bringt.

[0071] Um diese Problematik abzustellen, werden bei einem anderen Aspekt Trenches im Chiprandbereich eingeführt, die derart dimensioniert werden, dass eine bestimmte und vorzugsweise dieselbe Menge an Zwischenoxid versinkt, wie sie in den Trench-Topbereichen im Zellenfeld versinkt. Allerdings soll im Chiprandbereich wegen der hohen Gate-Drain-Spannung jeder Trench ein Dickoxid besitzen, also ein Oxid, das dieselbe Dicke hat, wie das Oxid, das die untere Elektrode **30** im Zellenfeld vom Halbleiter isoliert. Um etwa dieselbe Menge an Zwischenoxid in die Trenches zu versenken, werden hier die Trenches so breit ausgebildet, dass das abgeschiedene Polysilizium, das die Schicht **20** bildet, und das auch in die Trenches hinein abgeschieden wird, konform die Trenchwände bedeckt und die durch das Bezugszeichen **50** bezeichneten Bereiche zum Zwischenoxid-Versenken frei lässt.

[0072] Es ergibt sich dadurch über der Polysiliziumschicht **20** am Chiprand etwa dieselbe Zwischenoxid-Dicke wie sie sich in dem Zellenfeld ergibt, welche in [Fig. 6a](#) und [Fig. 6b](#) als d_1 eingezeichnet worden ist. Damit kann die leitfähige Schicht **20** im Chiprandbereich überall kontaktiert werden, nämlich entweder im Zwickel **52**, der sich direkt oberhalb der versenkten Stelle bildet oder im Bereich zwischen zwei Zwickeln, da die maximale Dicke der Abstandsschicht im Chiprandbereich oberhalb der Schicht **20** ebenfalls nicht größer ist als im Zellenfeld. Im Zwickelbereich **52** ist die Schicht sogar noch dünner, was jedoch unproblematisch ist, da die Oxidätzung ohnehin auf dem Polysilizium aufhört und ggf. noch etwas Zwischenoxid aus dem Bereich **50** wieder herausätzt, wenn der Kontakt direkt oberhalb des Grabens angebracht wird. Auch dies ist jedoch unproblematisch und dient eher noch der Verbesserung des Kontakts, wenn dieser Bereich in der späteren Metallisierung von Randkontakt und Source-Kontakt im Zellenfeld

durch Metall aufgefüllt wird.

[0073] In [Fig. 8](#) zeigt das dunkle Rechteck schematisch das Volumen, in das das Zwischenoxid beim Tempern fließen kann und so die effektive Zwischenoxid-Dicke auf der danebenliegenden Mesa verringert. Bei einer Ausführung wird dort auch die Kontaktierung des Poly-Source-Materials neben dem „Dummy-Trench“ am Randbereich angebracht.

[0074] Der Kontakt im Chiprandbereich wird also überall dort gewählt werden, wo die Dicke der Abstandsschicht gleich oder kleiner als die Dicke der Abstandsschicht im aktiven Bereich, also im Zellenfeld, ist.

[0075] Dadurch, dass die Zellgeometrien, wie beispielsweise Trenchweite, Trenchtiefe, Recesstiefe, Polydicke, Mesaweite, etc. durch die gewünschte Performance des MOSFET festgelegt sind, ergibt sich automatisch über dem Zellenfeld eine gewisse Zwischenoxiddicke (ZWOX-Dicke). Im Gegensatz dazu ergibt sich im planaren Chiprandbereich, wie es dargestellt worden ist, eine dazu unterschiedliche, meist dickere Zwischenoxiddicke. Dort sind jedoch die Polykontakte, so dass die beschriebene Problematik entsteht. Diese beiden verschiedenen Zwischenoxid-Dicken sind somit nicht in einem einzigen Kontaktlochätzungsprozess sicher durchzuätzen. Durch Bereitstellen von Dummy-Trenches, die vorzugsweise per Dickoxid vom Halbleiter isoliert sind, um die Spannungsfestigkeit nicht zu gefährden, wird nun auch im Chiprandbereich, in dem sich die Polykontakte befinden, nahezu dieselbe Zwischenoxiddicke erzeugt, um somit alle Kontakte in einem Prozess, einer Phototechnik sicher herstellen zu können. Hierzu werden spezielle breitere Dummy-Trenchstrukturen unter den Polykontaktbereichen eingeführt, in denen gerade soviel Zwischenoxid-Volumen versenkt werden kann, dass dort wieder nahezu dieselbe Zwischenoxiddicke wie im Zellenfeld vorliegt.

[0076] Die Trenchbreite kann beliebig groß sein, je nach gewünschtem Volumen an zu versenkendem Material. Das Material kann allgemein jedes im Halbleiterbereich gebräuchliche isolierende Material sein. Selbst für den Fall, dass zwei leitende Materialien auf nahezu gleiche Schichtdicke gebracht werden sollen, kann dieses Prinzip angewendet werden, also auch für z. B. Metallbahnen oder Polybahnen. Die Abstandsschicht kann somit alternativ zu einer Isolationschicht auch eine leitfähige Schicht sein. In den dargestellten Beispielen können ein Poly oder können mehrere Polys in den Dummy-Trenches vorliegen, und sie können alle auf festen Potentialen liegen oder zumindest bis auf das zu kontaktierende Polysilizium floatend sein.

[0077] Ferner können die Polygebiete in den Rand-Trenchgebieten konform im Trench vorliegen

oder teilweise recessgeätzt sein. Die Mesagebiete zwischen den Dummy-Trenchfeldern können eine feste Größe haben oder beliebig variieren. Die Messweite kann dabei auch so klein gewählt werden, dass die Mesagebiete zumindest teilweise zusammen oxidieren. Die Trenchfelder selbst können im Layout verschiedenste Formen haben, z. B. Streifen, Rechtecke, Schachbrettmuster, Trenchnadeln, Trenchkreise oder Trenchellipsen. Bei Trenchkreisen oder Trenchellipsen kann ein Dummy-Trenchfeld geschlossen layoutet werden, ohne T-Stücke einsetzen zu müssen. Insbesondere für höhere Spannungsdaten größer als 40 Volt kann dies besondere Vorteile bringen, da der Transistor zum Rand hin sauber abgeschlossen ist. Das Layout des Kontaktlochs, welches zumindest teilweise über das Dummytrenchfeld gelegt wird, kann ferner beliebige Formen und Größen haben, sollte vorzugsweise jedoch dem Trenchfeld einkbeschrieben sein.

[0078] Allgemein enthält ein MOSFET neben dem Zellenfeld zumindest eine weitere Struktur, in der breitere Trenches als im Zellenfeld ausgebildet sind und zumindest eine darüber liegende Schicht, deren Schichtdicke durch Materialversenkung in diese breiteren Trenches reduziert ist im Vergleich zu einer entsprechenden Struktur ohne die Trenches. In den Trenches muss ferner nicht unbedingt Polysilizium sein, sondern die Trenches können auch ohne dass sie mit Polysilizium gefüllt werden, hergestellt werden, nur um als Oxidsenke zu dienen. Unabhängig davon, ob die Trenches mit Polysilizium gefüllt sind oder nicht, oder ob sie lediglich mit Oxid gefüllt werden, kann ferner, wenn die Dicke der Abstandsschicht im Zellenfeld und im Chiprandbereich relativ ähnlich sind, der Zwickel allein bereits ausreichen, da im Zwickel **52** die Dicke dünner ist als sonst im Chiprand. Anders ausgedrückt kann dann z. B. bei dem in [Fig. 6b](#) gezeigten Ausführungsbeispiel ein Kontakt direkt in den Zwickel **52** hinein platziert werden, wenn die Dicke des Oxids im Zwickel so groß ist, wie d_1 im Zellenfeld, und wenn die Dicke der Abstandsschicht **12** zwischen zwei Gräben bzw. zwischen zwei Zwickeln deutlich größer als im Zellenfeld ist.

[0079] Nachfolgend wird beziehend auf [Fig. 7](#) ein Ausführungsbeispiel dargestellt, bei dem lediglich der Poly-Gate-Kontakt kontaktiert werden soll und die Poly-Source nicht angeschlossen wird, also floatend bleibt. Insbesondere ist der Zwickel gezeigt, der auch als Gate-Poly-Dip in [Fig. 7](#) bezeichnet wird. Durch diesen Gate-Poly-Dip wird zunächst Zwischenoxid aufgenommen, so dass, da mehrere Gräben **15** nebeneinander angeordnet sind, zwischen den Gräben **15**, also bei einer Stelle **70** die Abstandsschicht dünner ist als im Randbereich bei **71**. Je nach Ausführung kann sich der Zwickel auch bis zur Oberkante fortsetzen, wie es in [Fig. 6](#) gezeigt ist, oder der Zwickel kann an der Oberkante der Abstandsschicht **12** nicht mehr ersichtlich sein, wie es gestrichelt in

[Fig. 7](#) eingezeichnet ist.

[0080] Dennoch dient das Volumen des Gate-Poly-Dips dazu, genug Zwischenoxid zu versenken, um zwischen Gräben, in denen Zwischenoxid versenkt worden ist, eine dünnere Abstandsschicht zu haben, um dort einen Kontakt aufzubringen. Die Möglichkeiten der Kontaktaufbringung sind durch die Begrenzungslinien **72** und **73** angedeutet, wobei der Kontakt nicht unbedingt so breit sein muss, dass er sich zwischen **72** und **73** erstreckt, sondern auch schmaler sein kann.

[0081] Eine alternative Implementierung zum Kontaktieren des Poly-Source-Materials in den Trenches ist in [Fig. 8](#) gezeigt. Hier ist das Poly-Source-Material, also die Elektrode **30** herausgeführt, um am Rand als anzuschließende leitfähige Schicht **20** zu dienen, wobei wiederum ein Anschluss erreicht werden kann, in dem Bereich zwischen den Linien **72** und **73**. Wieder existiert ein Volumen, das in [Fig. 8](#) mit **50** bezeichnet ist, in das Zwischenoxid versenkt werden kann, so dass sich in der Nähe mehrerer Gräben ein dünneres Zwischenoxid ergibt als am Rand. Die Dicke an der Stelle **70** in [Fig. 8](#) ist somit geringer als die Dicke an einer Stelle **71**. Ferner ist ersichtlich, dass bei dem in [Fig. 8](#) gezeigten Ausführungsbeispiel das Poly-Gate-Material in dem Trench von einem außerhalb vorhandenen Poly-Gate-Material bei **80** in [Fig. 8](#) getrennt ist.

[0082] Wenn die Kontakte so platziert werden, wie es in [Fig. 8](#) durch die Linien **72** und **73** gezeigt ist, und wenn eine Oxidätzung derart durchgeführt wird, dass nicht nur die Zwischenoxidstärke **12** durchgeätzt wird, sondern auch noch das versenkte Volumen **50**, so könnte bei dieser Implementierung das Poly-Gate mit dem Poly-Source durch die KontaktloCHFüllung kurzgeschlossen sein und beispielsweise auf Sourcepotential gelegt werden. Dies ist jedoch nur für Dummy-Gräben von Interesse, also für Gräben, bei denen die Poly-Gate-Elektrode nicht ein wirkliches Gate im aktiven Feld darstellt. Dort darf selbstverständlich kein Kurzschluss zwischen Poly-Source und Poly-Gate erreicht werden. Für einen solchen Fall könnte jedoch die Strukturierung von [Fig. 8](#) verwendet werden, wenn nämlich der Kontakt der Schicht **20** über einem Halbleiter-Mesagebiet hergestellt wird, so dass der Kontakt das Poly-Gate in [Fig. 8](#) nicht kontaktiert.

Bezugszeichenliste

10	aktiver Bereich
11	Randbereich
12	Abstandsschicht
19	Delle bzw. Zwickel
14	Mesastruktur
15	Trench
16	leitfähiges Material

- 17 Gateoxid
- 18 Halbleitersubstrat
- 19 laterale Begrenzungsstelle im aktiven Bereich
- 20 Schicht aus leitfähigem Material
- 21 Poly-Source- bzw. Poly-Gate-Kontakt bzw. Kontaktlöcher
- 22 Source-Kontakt
- 23 Gate-Kontakt
- 25 Bulk-Gräben
- 26 Source-Bereich bzw. Emitter-Bereich
- 27 Body-Bereich bzw. oberer Basisbereich
- 28 Drain-Bereich bzw. unterer Basisbereich
- 30 untere Elektrode bzw. Poly-Source-Elektrode
- 31 Restoxid
- 32 Postoxid
- 33a erstes Zwischenoxid
- 33b zweites Zwischenoxid
- 40 Kontrastmittelschicht
- 41 Postoxid im Randbereich
- 43 obere Grenze der Abstandsschicht mit variierender Dicke
- 45 weitere darunterliegende leitfähige Schicht
- 46 Dummy-Graben im Randbereich
- 47 Kontaktierungsstelle
- 50 Oxidversenkungsbereiche im aktiven Zellenfeld und im Randbereich
- 52 Zwickel
- 70 Stelle mit dünner Abstandsschicht
- 71 Stelle mit dicker Abstandsschicht
- 72 erste Grenze für den Kontakt
- 73 zweite Grenze für den Kontakt
- 90 Schritt des Bereitstellens des vorprozessierten Substrats
- 91 Schritt des Durchbrechens der Abstandsschicht
- 92 Schritt des Ätzens der Bulk-Gräben
- 93 Schritt des Metallisierens der Chipoberfläche
- 94 Schritt des Strukturierens der Metallisierungsschicht

Patentansprüche

1. Verfahren zum Herstellen eines Halbleiterbauelements, mit folgenden Schritten:

Bereitstellen (90) eines Halbleitersubstrats (18) mit einem aktiven Bereich (10) und einem an den aktiven Bereich angrenzenden Randbereich (11), wobei der aktive Bereich mit leitfähigem Material (16) gefüllte Trenchen (15) in dem Halbleitersubstrat aufweist, wobei das leitfähige Material in den Trenchen durch eine Isolationsschicht (17) von dem Halbleitersubstrat isoliert ist, und wobei zwischen zwei Trenchen jeweils eine Halbleitermesastruktur (14) ausgebildet ist, wobei in dem Randbereich eine Schicht (20) aus dem leitfähigen Material, die von dem Halbleitersubstrat durch eine Isolationsschicht isoliert ist, und die mit dem leitfähigen Material in den Trenchen kurzgeschlossen ist, ausgebildet ist, wobei über dem Halbleitersubstrat eine Abstandsschicht (12) ausgebildet

ist, die im Randbereich eine variierende Dicke (d_2 , d_1') hat; und

Durchbrechen (91) der Abstandsschicht im Randbereich an einer ausgewählten Stelle (21,) und Entfernen wenigstens eines Teils der Abstandsschicht im aktiven Bereich unter Verwendung eines gemeinsamen Prozessschrittes, wobei die Stelle (21, 70, 72, 73) so ausgewählt ist, dass unter der Bedingung, dass die Abstandsschicht im aktiven Bereich so entfernt wird, dass zumindest ein Teil der Halbleitermesastruktur (14) freiliegend ist und das leitfähige Material in den Trenchen nicht freiliegend ist, die Abstandsschicht in dem Randbereich bis zur leitfähigen Schicht und nicht bis zum Halbleitersubstrat durchbrochen ist.

2. Verfahren nach Anspruch 1, bei dem der gemeinsame Prozessschritt eine anisotrope Ätzung aufweist, die gleichermaßen auf den aktiven Bereich und den Randbereich wirkt.

3. Verfahren nach Anspruch 2, bei dem die Ätzung eine Kombination aus einer chemisch-mechanischen Polierung und einer Oxidätzung oder eine Oxidätzung ohne chemisch-mechanische Polierung aufweist.

4. Verfahren nach einem der vorhergehenden Ansprüche, bei dem nach dem Schritt des Durchbrechens eine Grabenätzung (92) in der Halbleitermesastruktur ausgeführt wird, ohne dass im Randbereich eine Abdeckung der Stelle stattfindet.

5. Verfahren nach einem der vorhergehenden Ansprüche, bei dem der aktive Bereich und der Randbereich nach dem Schritt des Durchbrechens metallisiert werden (93) und eine entstandene Metallisierungsschicht anschließend strukturiert wird (94), um einen Kontakt des aktiven Bereichs von einem Kontakt des Randbereichs zu trennen.

6. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Abstandsschicht (12) ein Material aufweist, das mit zunehmender Temperatur flüssiger wird und bei dem die Abstandsschicht bei einer Temperatur aufgebracht wird, bei der das Material so flüssig ist, dass es in eine Vertiefung eindringt oder eine zu einer Kante hin abnehmende Dicke erhält.

7. Verfahren nach einem der vorhergehenden Ansprüche, bei dem die Kontaktschicht (20) im Randbereich so strukturiert ist, dass sie eine Kante hat, an der die Kontaktschicht aufhört, wobei die Abstandsschicht eine Dicke (43) über der Kontaktschicht hat, die zur Kante hin abnimmt, und wobei die Stelle in der Nähe der Kante gewählt ist, so dass die Abstandsschicht bis zur Kontaktschicht in dem gemeinsamen Prozess durchbrochen wird.

8. Verfahren nach einem der vorhergehenden Ansprüche, bei der die Kontaktschicht im Randbereich wenigstens zwei benachbarte Bahnen (20) aufweist, die voneinander beabstandet sind, wobei die Abstandsschicht eine Dicke hat, die quer zu den benachbarten Bahnen über der einen Bahn in Richtung der anderen Bahn abnimmt und über der anderen Bahn in Richtung der einen Bahn abnimmt, und bei dem die Stelle einen durchgehenden Bereich aufweist, der einen Teil der einen Bahn, einen Zwischenraum zwischen den Bahnen und einen angrenzenden Teil der anderen Bahn umfasst.

9. Verfahren nach einem der vorhergehenden Ansprüche, bei dem unter der Kontaktschicht im Randbereich ein Trench (46) ausgebildet ist, und bei dem die Stelle so gewählt ist, dass sie sich über den Trench (46) erstreckt.

10. Verfahren nach einem der vorhergehenden Ansprüche, bei dem unter der Kontaktschicht im Randbereich eine Mehrzahl von Trenches ausgebildet ist, und bei dem die Stelle so gewählt ist, dass sie sich in zumindest einem Bereich zwischen zwei Trenches erstreckt.

11. Verfahren nach Anspruch 9 oder 10, bei der der wenigstens eine Trench im Randbereich breiter als die Trench (15) im aktiven Bereich ist, und bei dem eine minimale Isolationsschichtdicke in dem wenigstens einen Trench im Randbereich größer ist als eine minimale Isolationsschichtdicke in einem Trench im aktiven Bereich.

12. Verfahren nach Anspruch 11, bei dem ein Abstand zwischen zwei Trenches im Randbereich kleiner als ein Abstand zwischen zwei Trenches im aktiven Bereich ist.

13. Verfahren nach einem der Ansprüche 9 bis 12, bei dem die Kontaktschicht (20) im Randbereich ein leitfähiges Material im Trench, das von dem Halbleitersubstrat isoliert ist, aufweist.

14. Verfahren nach einem der Ansprüche 9 bis 13, bei dem die Kontaktschicht (20) im Randbereich ein leitfähiges Material im Trench, das sich über eine Halbleitermesastruktur (14) zwischen einem angrenzenden Trench und in den angrenzenden Trench hinein erstreckt, und das von dem Halbleitersubstrat durch eine Isolationsschicht isoliert ist, die in den Trenches und auf der Halbleitermesastruktur ausgebildet ist, aufweist.

15. Verfahren nach einem der vorhergehenden Ansprüche,

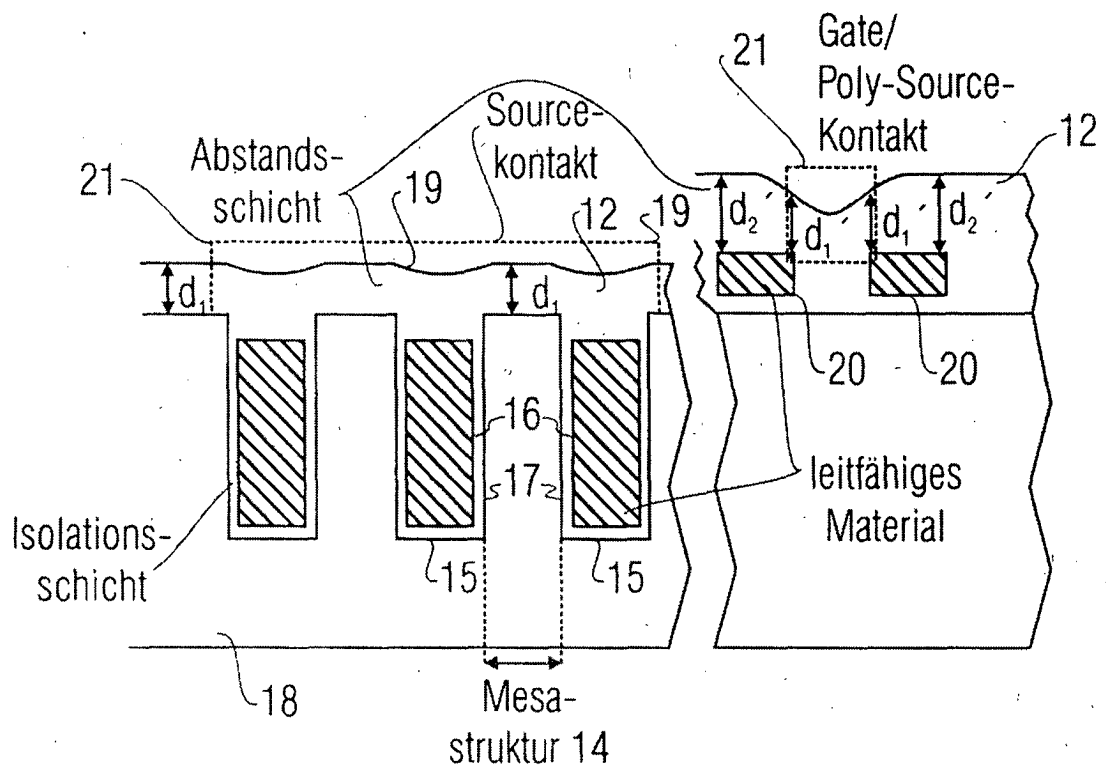
bei dem das Halbleiterbauelement ein MOS-FET-Transistor ist, bei dem die Halbleitermesastruktur einen Source-Bereich (26) und einen Body-Bereich (27) aufweist, in dem ein Kanal erzeugbar ist, und bei dem das leitfähige Material (16) im Trench (15) ein Gate darstellt.

16. Verfahren nach einem der Ansprüche 1 bis 14, bei dem das Halbleiterbauelement ein Bipolartransistor mit isoliertem Gate ist, bei dem die Halbleitermesastruktur einen Emitter-Bereich (26) und einen Body-Bereich (27) aufweist, der einen oberen Basisbereich darstellt, der an einen unteren Basis-Bereich (28) angrenzt, und bei dem das leitfähige Material im Trench ein isoliertes Gate darstellt.

17. Verfahren nach Anspruch 15 oder 16, bei dem ein unterer Teil des Grabens ein leitfähiges Material (30) aufweist, das von dem Gate (16) isoliert ist, und das floatend ist oder mit der Source oder dem Emitter verbindbar ist, um eine Feldplattenfunktion zu bewirken.

Es folgen 16 Blatt Zeichnungen

FIG 1



aktiver Bereich 10

Randbereich 11
mit Abstands-
schicht, die eine
variierende Dicke hat

$d_1' \equiv d_1$ (innerhalb eines Toleranzbereichs) damit im
aktiven Bereich Trenchfüllung nicht freiliegt und im
Randbereich der Halbleiter nicht freiliegt.

FIG 2a

Anschluß auf Polykante im Chiprandbereich (Layout-Aufsicht)

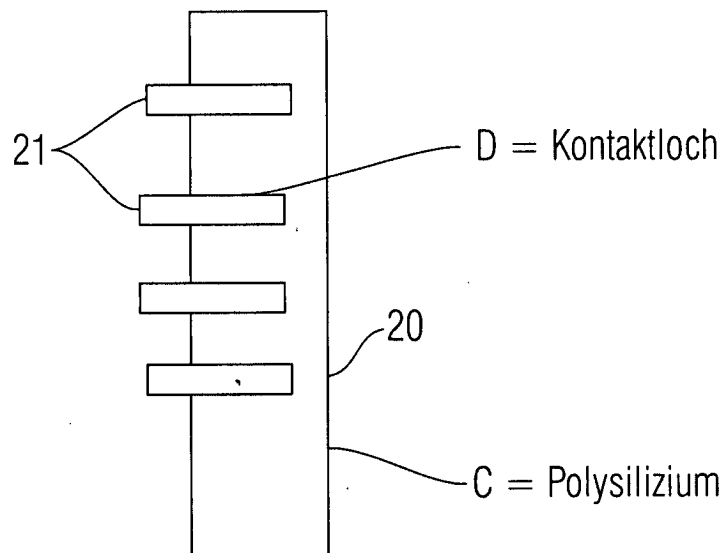


FIG 2b

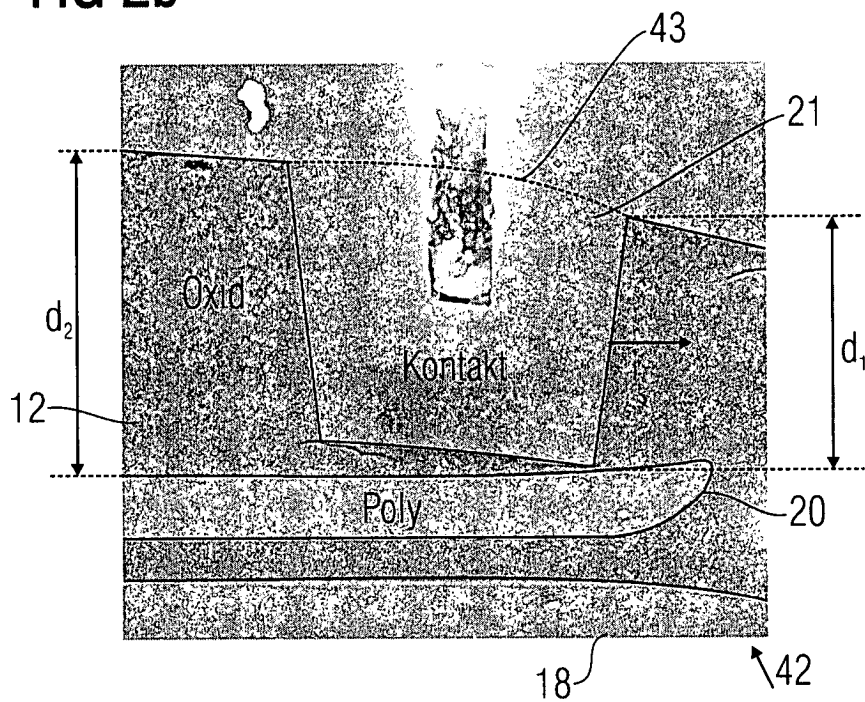


FIG 4

Kontakt auf Polykante über Trench

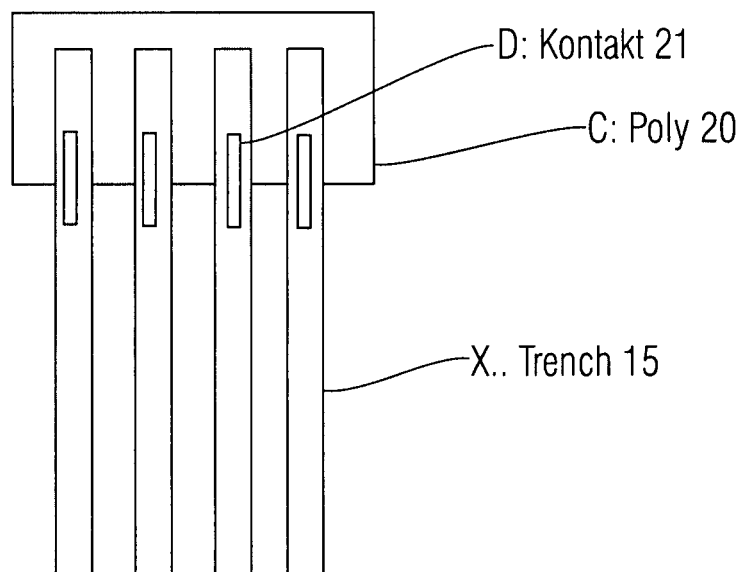


FIG 5a

Trenchfeld unter dem Polykontaktbereich

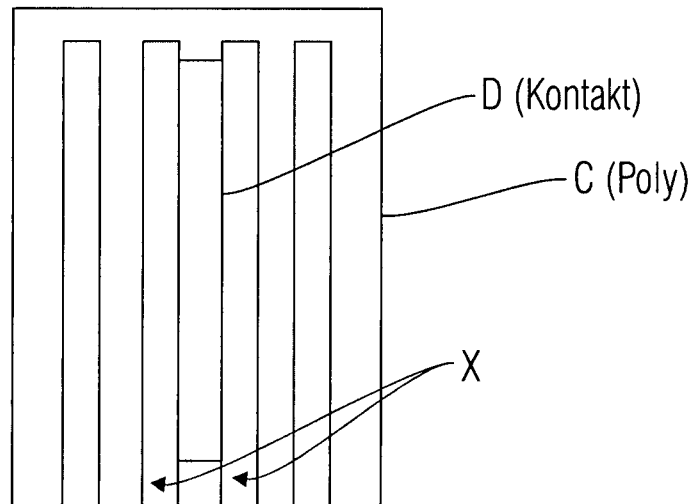


FIG 5b

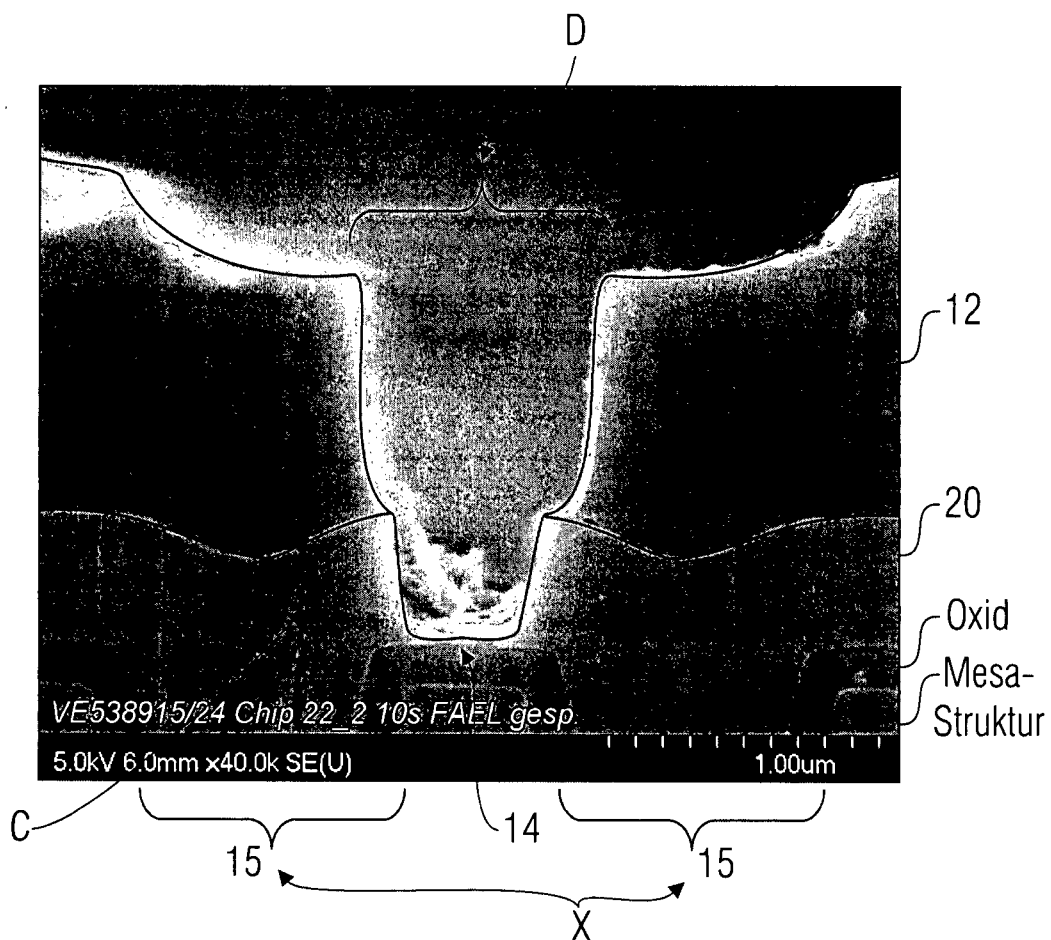


FIG 6a

Zellenfeldsituation

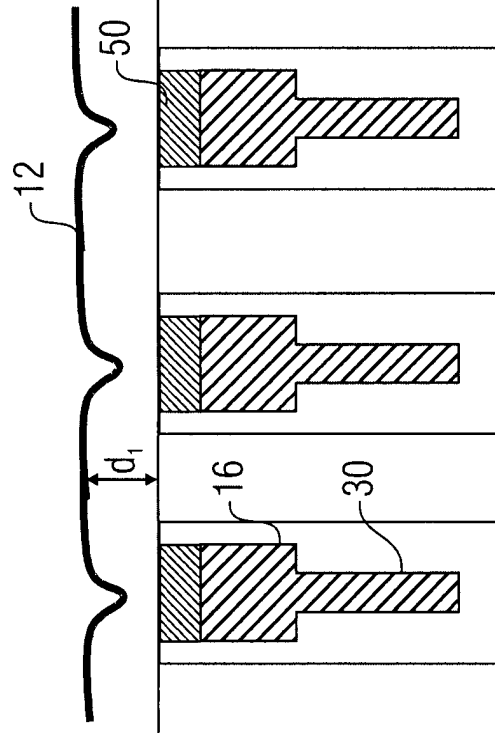


FIG 6b

Chiprandsituation

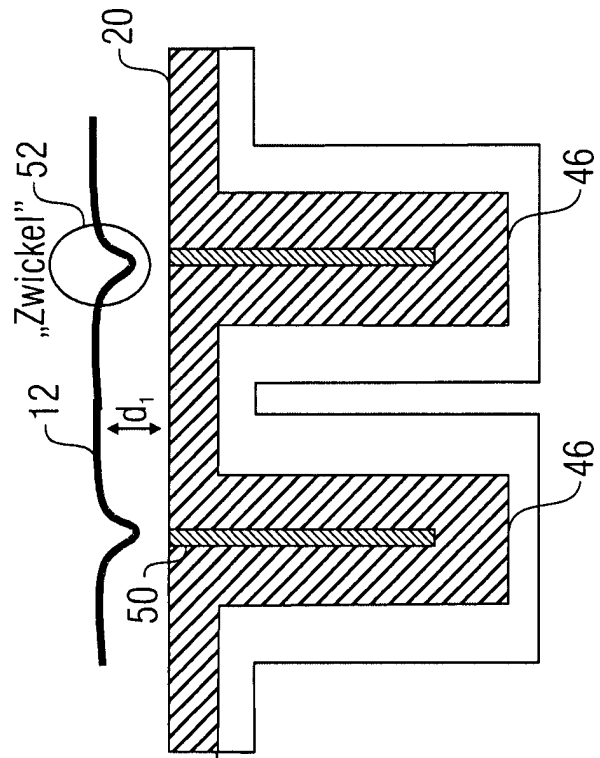


FIG 7

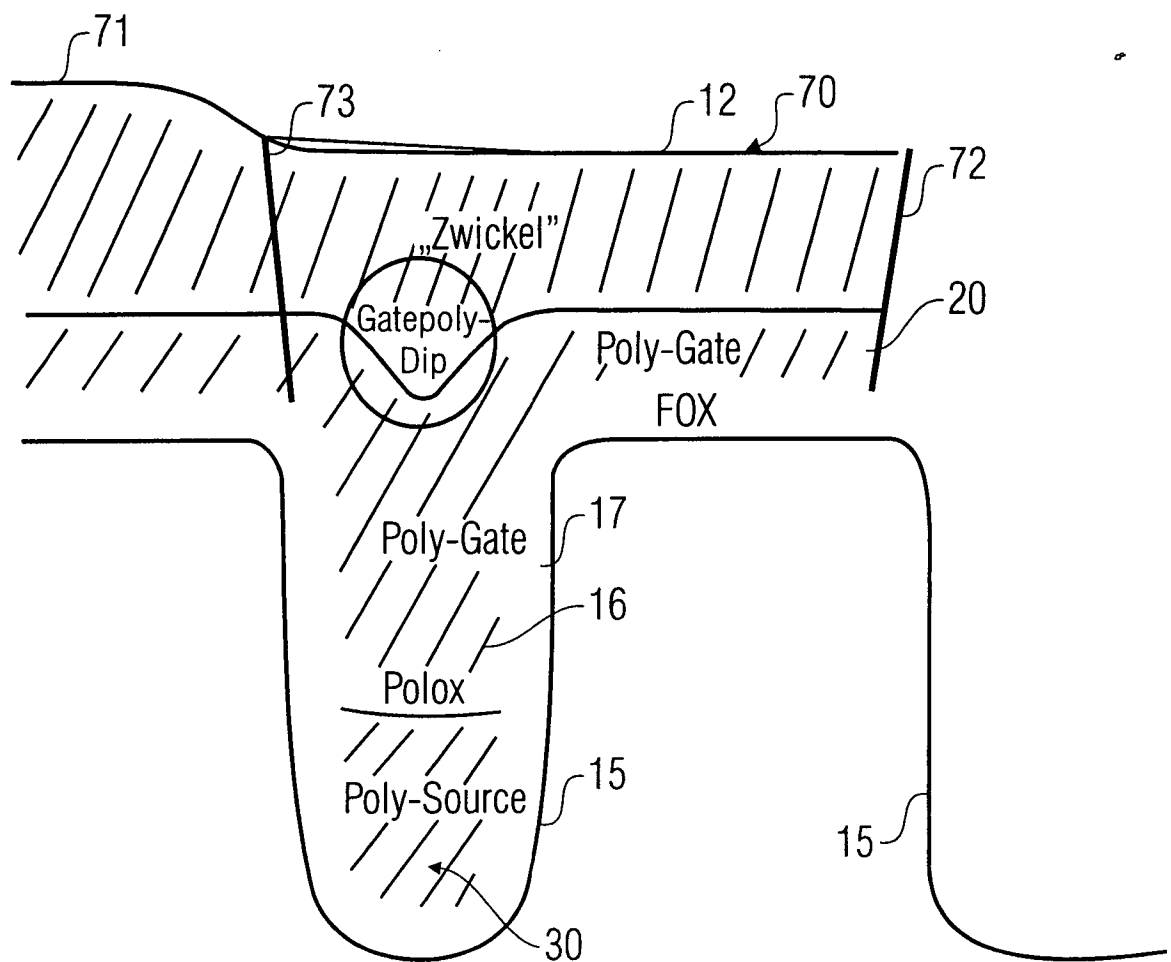


FIG 9

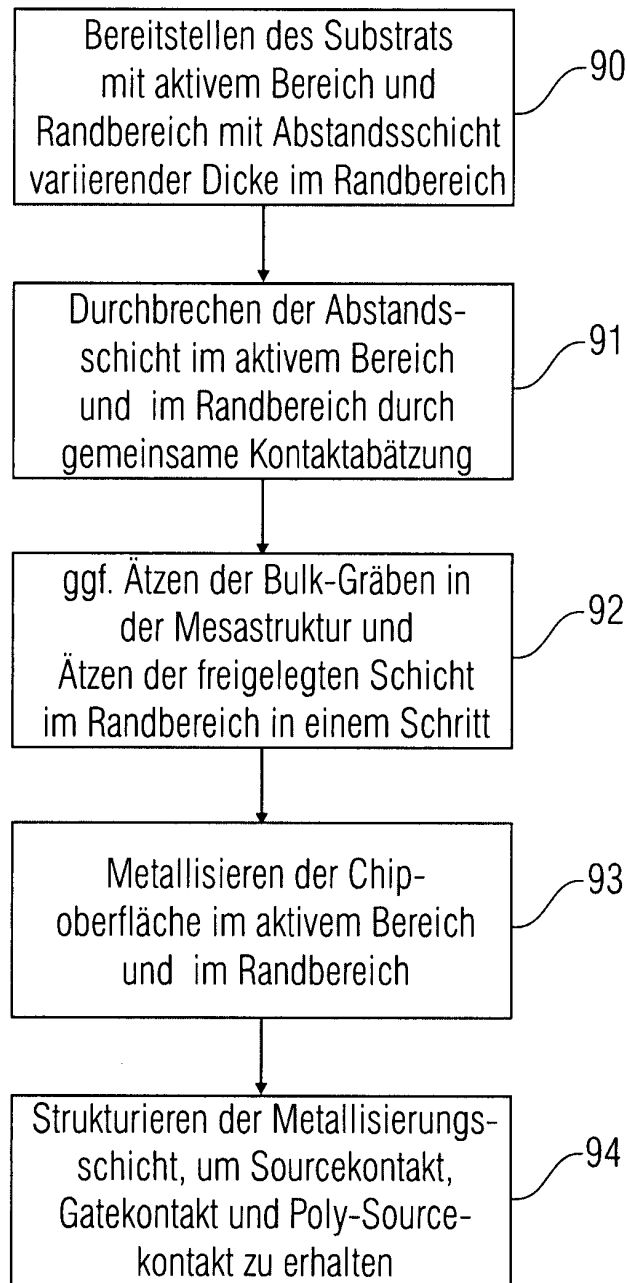


FIG 10a

FIG 10b

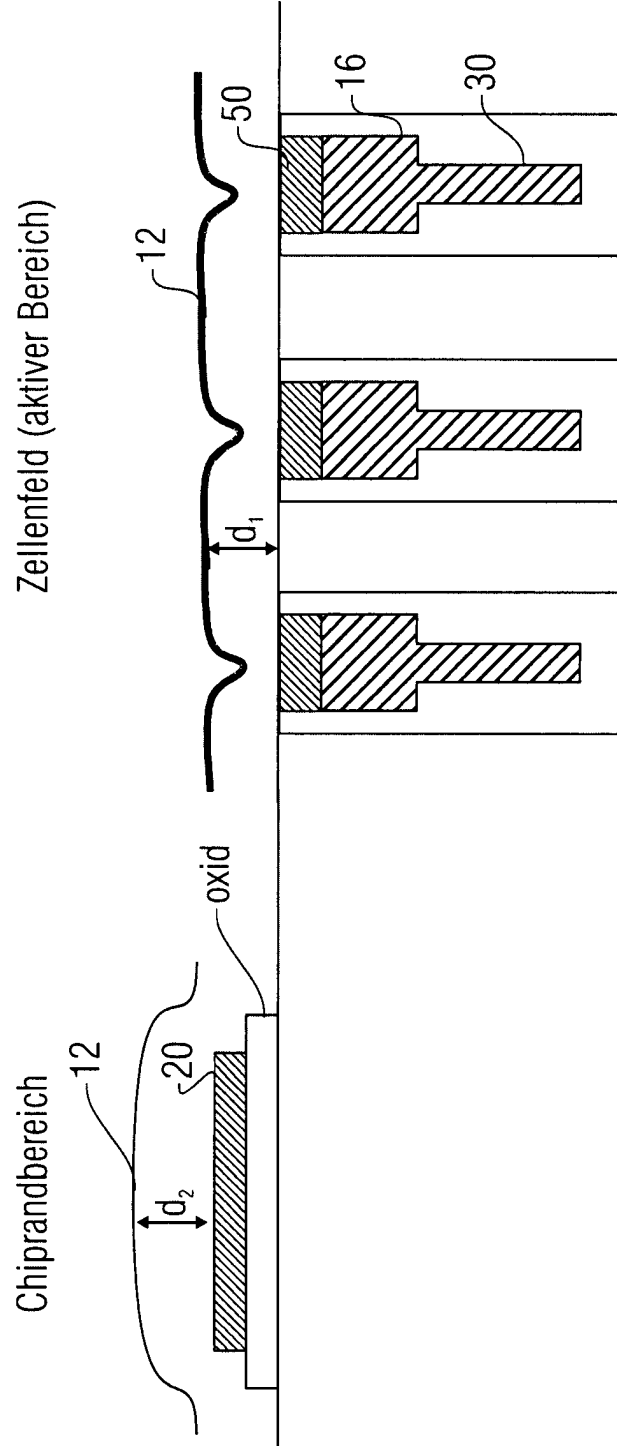


FIG 11a

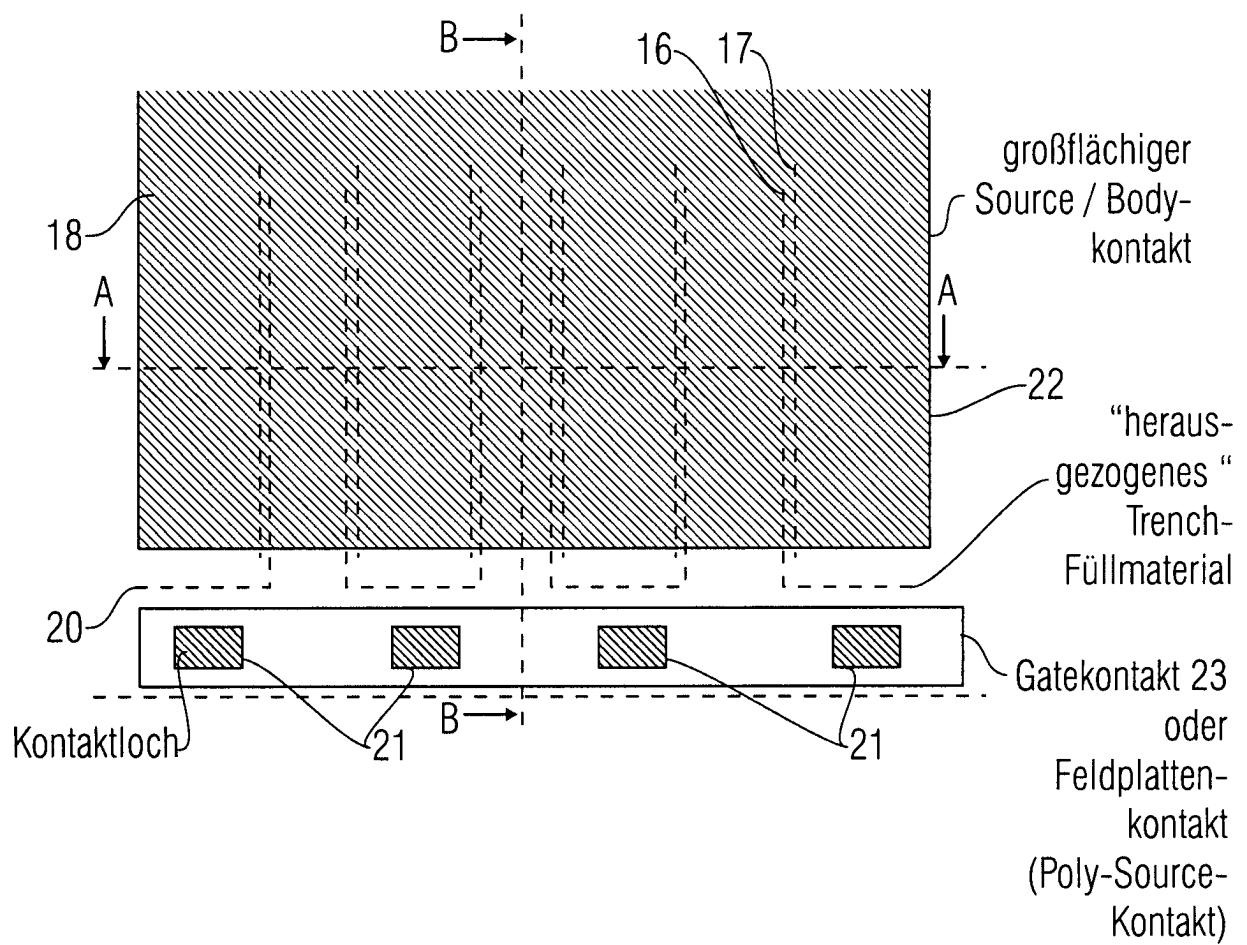


FIG 11b

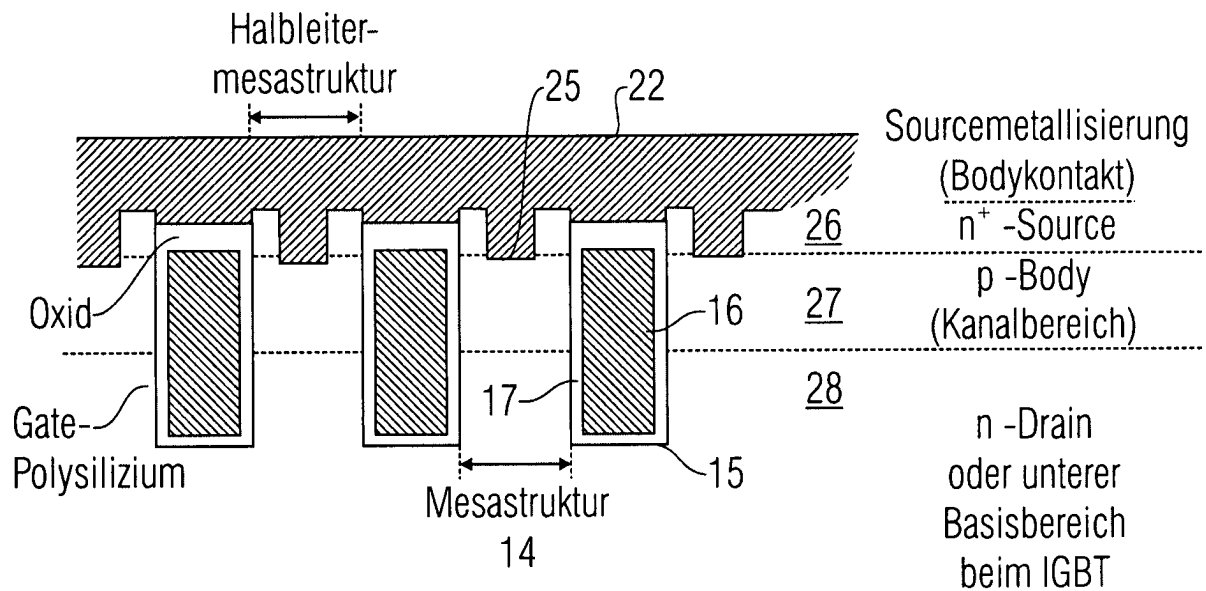


FIG 11c

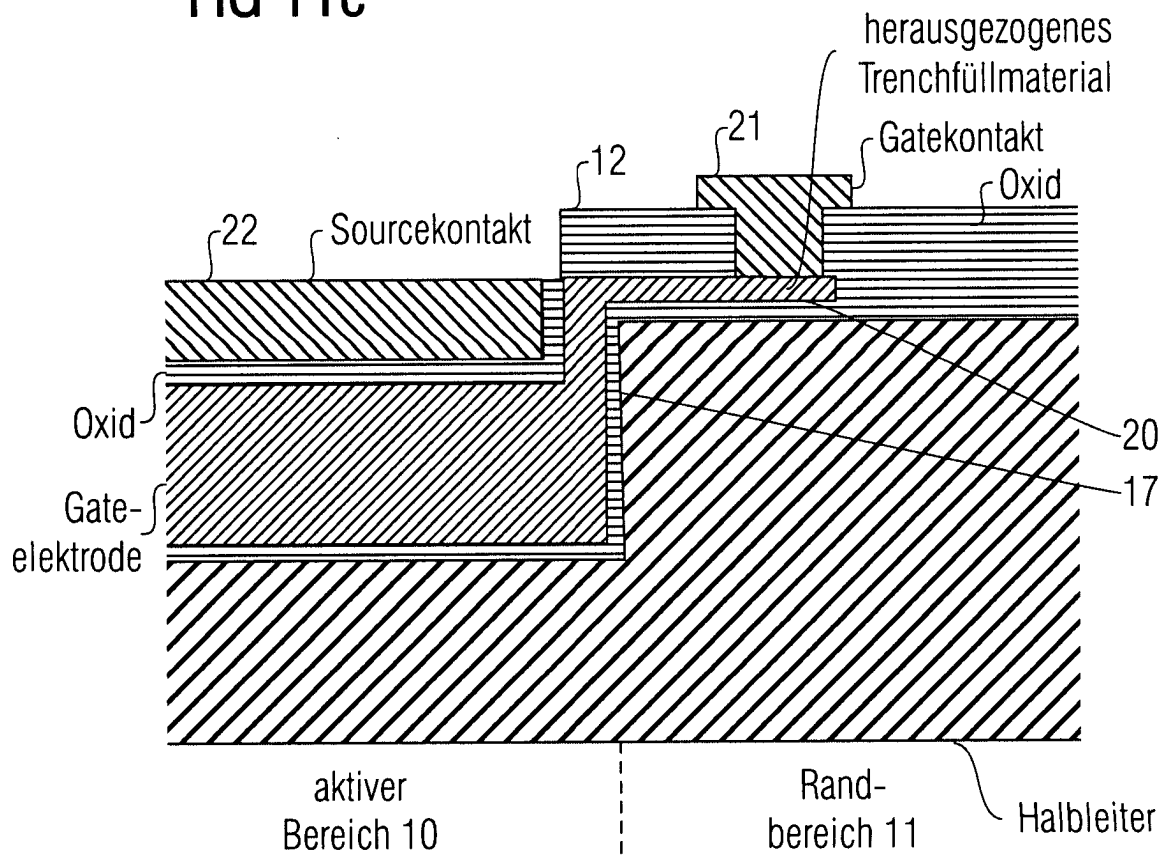
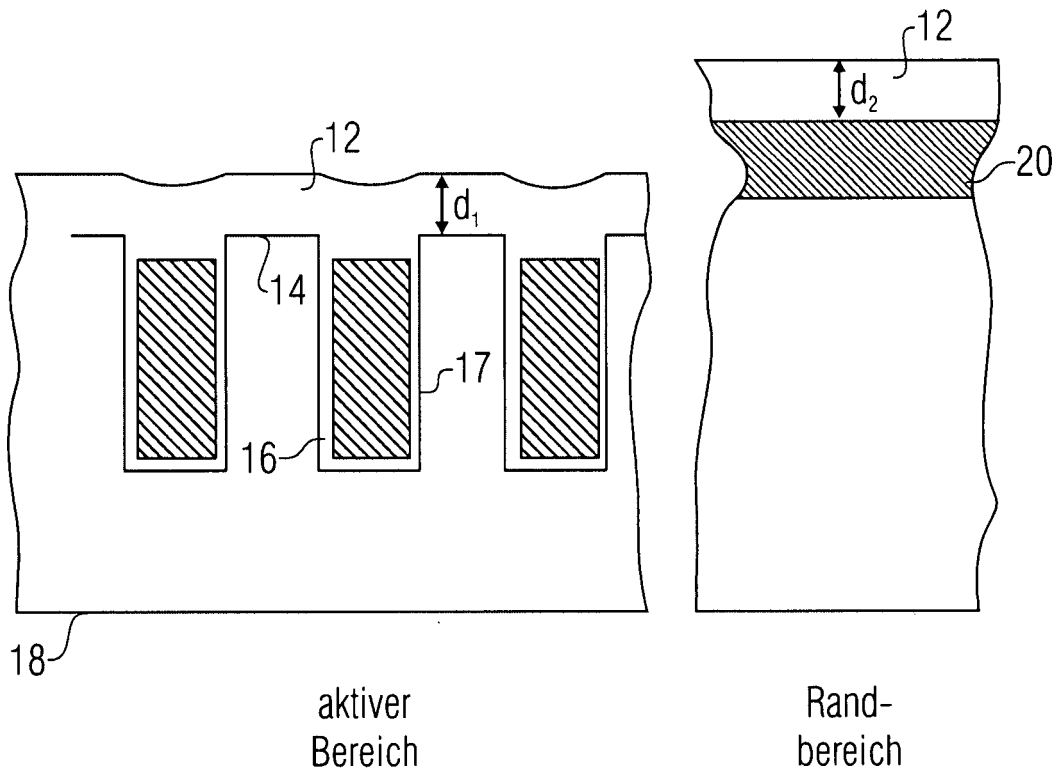


FIG 11d



$$d_1 < d_2$$

- Situation vor der Ätzung des Sourcekontaktlochs
- Freiätzen der Silizium-Mesastruktur, ABER: rechtzeitiges Stoppen des Ätzens, damit über der Trenchfüllung eine ausreichend dicke Oxidschicht zurückbleibt

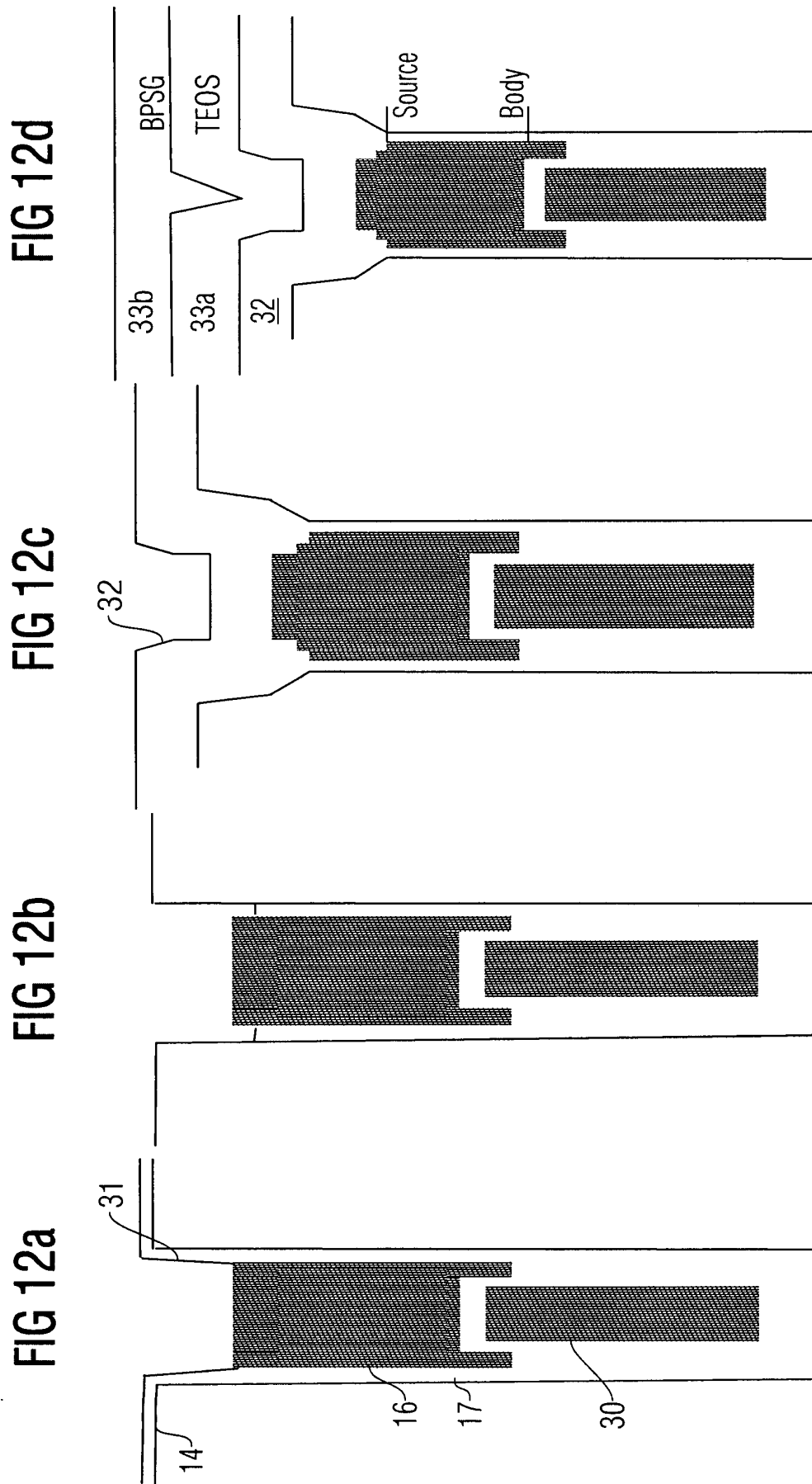


FIG 13a

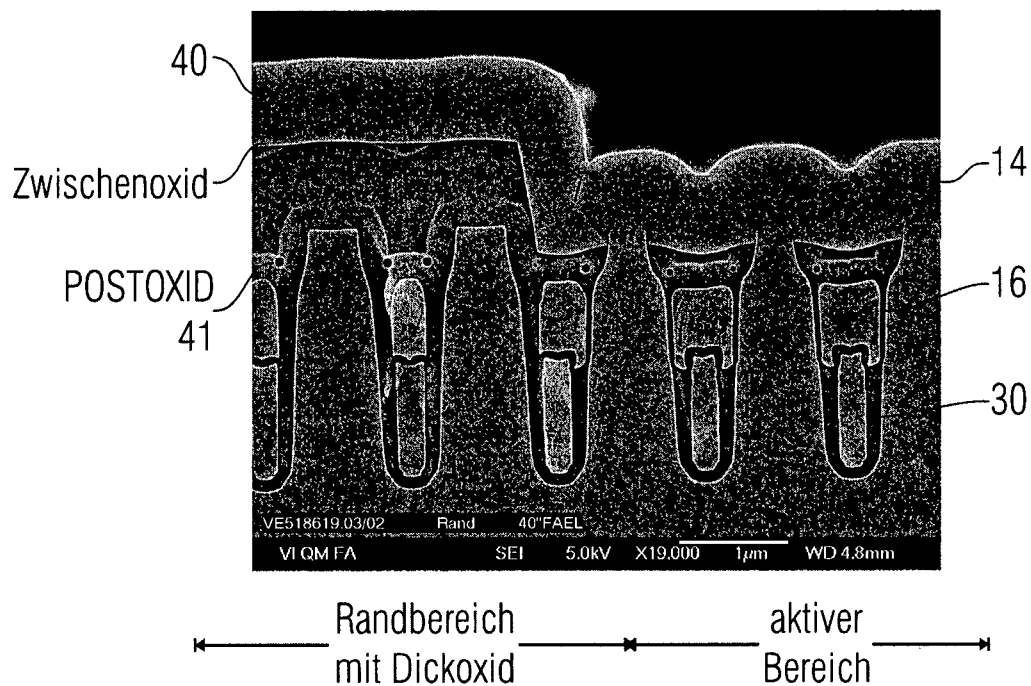
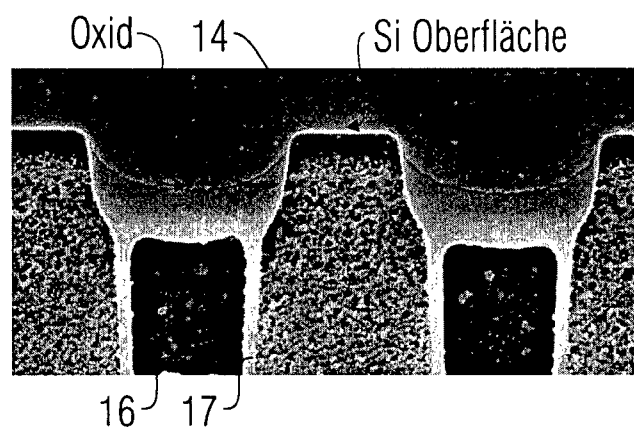


FIG 13b



Mesastruktur vor
der Mesagrabenätzung
zur Bodykontaktierung

FIG 13c

