

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5687960号  
(P5687960)

(45) 発行日 平成27年3月25日(2015.3.25)

(24) 登録日 平成27年1月30日(2015.1.30)

(51) Int.Cl.

H01L 21/8242 (2006.01)  
H01L 27/108 (2006.01)

F 1

H01L 27/10 321

請求項の数 5 (全 37 頁)

(21) 出願番号 特願2011-142710 (P2011-142710)  
 (22) 出願日 平成23年6月28日 (2011.6.28)  
 (65) 公開番号 特開2012-33906 (P2012-33906A)  
 (43) 公開日 平成24年2月16日 (2012.2.16)  
 審査請求日 平成26年2月25日 (2014.2.25)  
 (31) 優先権主張番号 特願2010-152021 (P2010-152021)  
 (32) 優先日 平成22年7月2日 (2010.7.2)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 加藤 清  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

第1のトランジスタと、  
 第2のトランジスタと、  
 第3のトランジスタと、  
 第4のトランジスタと、を有し、  
 前記第1のトランジスタのチャネル形成領域は、シリコン半導体を有し、  
 前記第2のトランジスタ乃至前記第4のトランジスタのチャネル形成領域はそれぞれ、  
 酸化物半導体を有し、  
 前記第1のトランジスタは、不純物領域を有し、  
 前記不純物領域上に、第1の絶縁膜を有し、  
 前記第2のトランジスタは、前記第1のトランジスタの上方にあり、  
 前記第3のトランジスタは、第2の絶縁膜を介して、前記第2のトランジスタの上方に  
 あり、  
 前記第4のトランジスタは、前記第3のトランジスタの上方にあり、  
 前記第1のトランジスタのソース又はドレインの一方は、第1の配線と電気的に接続さ  
 れ、  
 前記第1のトランジスタのソース又はドレインの他方は、第2の配線と電気的に接続さ  
 れ、  
 前記第1のトランジスタのゲートは、前記第2のトランジスタのソース又はドレインの

10

20

一方と電気的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、第3の配線と電気的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、第1の容量素子の第1の電極と電気的に接続され、

前記第2のトランジスタのゲートは、第4の配線と電気的に接続され、

前記第1の容量素子の第2の電極は、第5の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、第6の配線と電気的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、第7の配線と電気的に接続され、

前記第3のトランジスタのゲートは、前記第4のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第4のトランジスタのソース又はドレインの他方は、第8の配線と電気的に接続され、

前記第4のトランジスタのソース又はドレインの一方は、第2の容量素子の第1の電極と電気的に接続され、

前記第4のトランジスタのゲートは、第9の配線と電気的に接続され、

前記第2の容量素子の第2の電極は、第10の配線と電気的に接続されていることを特徴とする半導体装置。

10

20

30

40

### 【請求項2】

請求項1において、

前記第1のトランジスタのゲートには、複数の電位が供給され、

前記複数の電位は、互いに異なることを特徴とする半導体装置。

### 【請求項3】

請求項1において、

前記第1のトランジスタのゲートには、第1の電位、第2の電位、及び第3の電位が供給されることを特徴とする半導体装置。

### 【請求項4】

請求項1乃至請求項3のいずれか一において、

前記第1のトランジスタは、前記不純物領域と接する金属化合物領域を有することを特徴とする半導体装置。

### 【請求項5】

請求項1乃至請求項4のいずれか一において、

前記第2のトランジスタは、前記第1のトランジスタのオフ電流の10万分の1以下のオフ電流を有することを特徴とする半導体装置。

### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体素子を利用した半導体装置およびその作製方法に関する。

#### 【背景技術】

#### 【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなても記憶内容は保持される不揮発性のものとに大別される。

#### 【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

50

**【0004】**

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶内容の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

**【0005】**

10

揮発性記憶装置の別の例としてはSRAM（Static Random Access Memory）がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わることはない。

**【0006】**

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

20

**【0007】**

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

**【0008】**

30

また、フラッシュメモリは、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

**【先行技術文献】****【特許文献】****【0009】****【特許文献1】特開昭57-105889号公報****【発明の概要】****【発明が解決しようとする課題】**

40

**【0010】**

上述の問題に鑑み、本発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。さらには、新たな構造に係る半導体装置の集積度を高めることを目的の一とする。

**【課題を解決するための手段】****【0011】**

本発明の一態様では、酸化物半導体を用いて半導体装置を構成する。特に、高純度化された酸化物半導体を用いる。酸化物半導体を用いて構成したトランジスタは、リーク電流が極めて小さいため、長期間にわたって情報を保持することが可能である。また、高純度化

50

された酸化物半導体を用いる場合には、その程度はより顕著であり、極めて長期間にわたって情報を保持することが可能になる。

【0012】

より具体的には、例えば次のような構成を採用することができる。

【0013】

本発明の一態様は、第1のビット線にソース又はドレインの一方が接続され、第1のソース線にソースまたはドレインの他方が接続された第1のトランジスタと、第1のトランジスタのゲートに接続された第2のトランジスタと有する第1のメモリセルと、第2のビット線にソースまたはドレインの一方が接続され、第2のソース線にソースまたはドレインの他方が接続された第3のトランジスタと、第3のトランジスタのゲートに接続された第4のトランジスタと有する第2のメモリセルと、前記第1のメモリセル及び前記第2のメモリセルを駆動する駆動回路と、を有し、第1のトランジスタのチャネル形成領域を形成する半導体材料と、第2乃至第4のトランジスタのチャネル形成領域を形成する半導体材料は異なったものであり、第2のメモリセルは第1のメモリセルの少なくとも一部が重畠するように積層されたメモリセルアレイを有する半導体装置である。10

【0014】

上記構成において、第1のトランジスタのチャネル形成領域を形成する半導体材料は、酸化物半導体以外の半導体材料を含んで構成されることが好ましい。また、上記構成において、第2乃至第4のトランジスタのチャネル形成領域を形成する半導体材料は、酸化物半導体材料を含んで構成されることが好ましい。20

【0015】

また、上記構成において、駆動回路の一部は、第1のトランジスタのチャネル形成領域を形成する半導体材料を含んで構成されることが好ましい。また、上記構成において、駆動回路の一部は、前記第2乃至第4のトランジスタのチャネル形成領域を形成する半導体材料を含んで構成されることが好ましい。

【0016】

また、上記構成において、駆動回路の一部は、第1のトランジスタのチャネル形成領域を形成する半導体材料を含んで構成され、駆動回路の他の一部は、第2乃至第4のトランジスタのチャネル形成領域を形成する半導体材料を含んで構成されることが好ましい。

【0017】

また、上記構成において、第1のソース線は、前記第2のソース線と電気的に接続されることが好ましい。また、上記構成において、駆動回路は、第1のメモリセルまたは第2のメモリセルのいずれかを選択するセレクタ回路を有することが好ましい。また、上記構成において前記第1のビット線および前記第2のビット線は、セレクタ回路に電気的に接続されることが好ましい。30

【0018】

なお、上記においては、酸化物半導体材料を用いてトランジスタを構成しているが、本発明の一態様はこれに限定されない。酸化物半導体材料と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップ  $E_g$  が  $3 \text{ eV}$  より大きい半導体材料）などを適用しても良い。40

【0019】

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎない。

【0020】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。50

**【0021】**

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

**【0022】**

なお、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。

**【0023】**

例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

**【発明の効果】****【0024】**

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

10

**【0025】**

また、本発明の一態様に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、本発明の一態様に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

20

**【0026】**

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

30

**【0027】**

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

40

**【0028】**

さらに、本発明の一態様では、メモリセルや駆動回路の一部を積層することにより、集積度を向上させた半導体装置を提供することが可能である。

**【図面の簡単な説明】****【0029】**

【図1】半導体装置の断面図。

【図2】半導体装置の回路図。

【図3】半導体装置のブロック図。

【図4】半導体装置のブロック図。

【図5】半導体装置の回路図。

50

- 【図6】半導体装置の回路図。  
 【図7】半導体装置の回路図。  
 【図8】半導体装置の回路図。  
 【図9】半導体装置の回路図。  
 【図10】半導体装置のブロック図。  
 【図11】半導体装置の回路図。  
 【図12】半導体装置の回路図。  
 【図13】半導体装置のブロック図。  
 【図14】半導体装置の回路図。  
 【図15】半導体装置の回路図。 10  
 【図16】半導体装置の作製工程を示す断面図。  
 【図17】半導体装置の作製工程を示す断面図。  
 【図18】半導体装置の作製工程を示す断面図。  
 【図19】半導体装置の作製工程を示す断面図。  
 【図20】半導体装置を用いた電子機器を説明するための図。
- 【発明を実施するための形態】
- 【0030】  
 本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 20  
 【0031】  
 なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、本発明の一態様は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。  
 【0032】  
 なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。  
 【0033】  
 (実施の形態1) 30  
 本実施の形態では、本発明の一態様に係る半導体装置の構成およびその作製方法について、図1乃至図19を参照して説明する。  
 【0034】  
 半導体装置の断面構成  
 図1に、半導体装置の断面を示す。図1において、A1-A2は、トランジスタのチャネル長方向に垂直な断面図であり、B1-B2は、トランジスタのチャネル長方向に平行な断面図である。図1に示す半導体装置は、第1の積層体210aと第2の積層体210bを有する。第1の積層体210aには、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有する。また、第2の積層体210bは、下部に第2の半導体材料を用いたトランジスタ170を有し、上部にも第2の半導体材料を用いたトランジスタ172を有する。また、第1の積層体210aにおいて、第1の半導体材料を用いたトランジスタ160を含む層を積層体213aとし、第2の半導体材料を用いたトランジスタ162を含む層を積層体213bとする。また、第2の積層体210bにおいて、第2の半導体材料を用いたトランジスタ170を含む層を積層体213cとし、第2の半導体材料を用いたトランジスタ172を含む層を積層体213dとする。 40  
 【0035】  
 また、図1において、第1の積層体210aは、トランジスタ160とトランジスタ162と容量素子164とを、一つずつ有する構成を示すが、それぞれ複数有する構成も含む。同様に、第2の積層体210bも、トランジスタ170とトランジスタ172と容量素 50

子 174 とを、一つずつ有する構成を示すが、それぞれ複数有する構成も含む。

**【0036】**

ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料とし、第2の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。このような半導体材料を用いたトランジスタは、高速動作が容易である。他に、有機半導体材料などを用いてもよい。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

10

**【0037】**

トランジスタ160、トランジスタ162、トランジスタ170およびトランジスタ172には、nチャネル型トランジスタ、pチャネル型トランジスタのいずれも用いることができる。ここでは、トランジスタ160、トランジスタ162、トランジスタ170およびトランジスタ172は、いずれもnチャネル型トランジスタとして説明する。また、本発明の一態様の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162およびトランジスタ172に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

**【0038】**

トランジスタ160は、半導体材料（例えば、シリコンなど）を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域120と、不純物領域120に接する金属化合物領域124と、チャネル形成領域116上に設けられたゲート絶縁層108と、ゲート絶縁層108上に設けられたゲート電極110と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書等において、ソース電極との記載には、ソース領域が含まれうる。

20

**【0039】**

トランジスタ160の金属化合物領域124の一部には、電極126が接続されている。ここで、電極126は、トランジスタ160のソース電極やドレイン電極として機能する。また、基板100上にはトランジスタ160を囲むように素子分離絶縁層106が設けられており、トランジスタ160に接して絶縁層128が設けられている。なお、高集積化を実現するためには、図1に示すようにトランジスタ160がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ160の特性を重視する場合には、ゲート電極110の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畠する領域に形成された不純物濃度が異なる領域を含めて不純物領域120を設けても良い。

30

**【0040】**

トランジスタ162は、絶縁層128などの上に設けられた酸化物半導体層144と、酸化物半導体層144と電気的に接続されているソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bと、酸化物半導体層144、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142b、を覆うゲート絶縁層146と、ゲート絶縁層146上に酸化物半導体層144と重畠するように設けられたゲート電極148aと、を有する。なお、第2の積層体210bにおけるトランジスタ170およびトランジスタ172の構成は、トランジスタ162と同様にことができる。

40

**【0041】**

ここで、酸化物半導体層144など、トランジスタに用いられる酸化物半導体層は水素な

50

どの不純物が十分に除去されることにより、また、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層の水素濃度は  $5 \times 10^{19}$  atoms / cm<sup>3</sup> 以下、望ましくは  $5 \times 10^{18}$  atoms / cm<sup>3</sup> 以下、より望ましくは  $5 \times 10^{17}$  atoms / cm<sup>3</sup> 以下とする。なお、上述の酸化物半導体層中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層では、キャリア濃度が  $1 \times 10^{12}$  / cm<sup>3</sup> 未満、望ましくは、 $1 \times 10^{11}$  / cm<sup>3</sup> 未満、より望ましくは  $1.45 \times 10^{10}$  / cm<sup>3</sup> 未満となる。例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (1 μm)あたりの値) は  $100\text{zA}$  ( $1\text{zA}$  (ゼプトアンペア) は  $1 \times 10^{-21}\text{A}$ ) 以下、望ましくは  $10\text{zA}$  以下となる。このように、i型化 (真性化) または実質的に i型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ (トランジスタ 162、トランジスタ 170、トランジスタ 172など) を得ることができる。

## 【0042】

なお、トランジスタ 162 やトランジスタ 170、トランジスタ 172などには、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層を用いているが、島状に加工されていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッティングによる酸化物半導体層の汚染を防止できる。

## 【0043】

容量素子 164 は、ソース電極またはドレイン電極 142a、ゲート絶縁層 146、および導電層 148b、とで構成される。すなわち、ソース電極またはドレイン電極 142a は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能する。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層 144 とゲート絶縁層 146 とを積層させる場合には、ソース電極またはドレイン電極 142a と、導電層 148b との絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることもできる。容量素子 174 の構成も、容量素子 164 と同様である。

## 【0044】

なお、トランジスタ 162 および容量素子 164において、ソース電極またはドレイン電極 142a、およびソース電極またはドレイン電極 142b の端部は、テーパー形状であることが好ましい。ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b の端部をテーパー形状とすることにより、ゲート絶縁層 146 の被覆性を向上させ、段切れを防止することができる。ここで、テーパー角は、例えば、30°以上 60°以下とする。なお、テーパー角とは、テーパー形状を有する層 (例えば、ソース電極またはドレイン電極 142a) を、その断面 (基板の表面と直交する面) に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。トランジスタ 170、トランジスタ 172、容量素子 174 についても同様である。

## 【0045】

トランジスタ 162 および容量素子 164 の上には絶縁層 150 および絶縁層 152 が設けられている。そして、ゲート絶縁層 146、絶縁層 150、絶縁層 152 などに形成された開口には、電極 154 が設けられ、絶縁層 152 上には、電極 154 と接続する配線 156 が形成される。なお、図 1 では電極 126 および電極 154 を用いて、金属化合物領域 124、ソース電極またはドレイン電極 142b、および配線 156 を接続しているが、本発明の一態様はこれに限定されない。例えば、ソース電極またはドレイン電極 142b を直接、金属化合物領域 124 に接続させても良い。または、配線 156 を直接、ソース電極またはドレイン電極 142b に接続させても良い。

## 【0046】

なお、図 1において、金属化合物領域 124 とソース電極またはドレイン電極 142b とを接続する電極 126 と、ソース電極またはドレイン電極 142b と配線 156 とを接続

10

20

30

40

50

する電極 154 とは重畳して配置されている。つまり、トランジスタ 160 のソース電極やドレイン電極として機能する電極 126 と、トランジスタ 162 のソース電極またはドレイン電極 142b と、が接する領域は、トランジスタ 162 のソース電極またはドレイン電極 142b と、電極 154 と、が接する領域と重なっている。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

#### 【0047】

本実施の形態では、第 1 の積層体 210a におけるトランジスタ 160 は、トランジスタ 162 及び容量素子 164 と、少なくとも一部が重畳するように設けられている。例えば、容量素子 164 の導電層 148b は、トランジスタ 162 のソース電極またはドレイン電極 142a 及びトランジスタ 160 のゲート電極 110 と、少なくとも一部が重畳して設けられている。このような、平面レイアウトを採用することにより、メモリセルの高集積化を図ることができる。例えば、最小加工寸法を F として、メモリセルの占める面積を  $15F^2 \sim 25F^2$  とすることが可能である。

10

#### 【0048】

また、第 2 の積層体 210b においても、トランジスタ 170 は、トランジスタ 172 及び容量素子 174 と、少なくとも一部が重畳するように設けられている。例えば、容量素子 174 の電極（容量素子 164 の導電層 148b に相当）は、トランジスタ 172 のソース電極またはドレイン電極（トランジスタ 162 のソース電極またはドレイン電極 142a に相当）及びトランジスタ 170 のゲート電極（トランジスタ 160 のゲート電極 110 に相当）と、少なくとも一部が重畳して設けられている。このように、集積化された第 1 の積層体 210a と第 2 の積層体 210b とを絶縁層 158 を介して積層することにより、さらに半導体装置の集積化を図ることができる。

20

#### 【0049】

なお、図 1においては、第 1 の積層体 210a と第 2 の積層体 210b の 2 層を積層する例について説明したが、本発明の一態様はこれに限定されず、3 層以上の積層構造とすることができる。その場合は、第 3 の積層体の構成として、第 2 の積層体 210b と同様の構成を適用することができる。このような積層構造を適用することで、半導体装置の集積化をさらに図ることができる。

#### 【0050】

30

##### 半導体装置の回路構成

次に、図 1 に示す半導体装置の回路構成およびその動作について、図 2 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

#### 【0051】

##### 基本構成

図 2 (A - 1) に示す半導体装置において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極（またはドレイン電極）とは、電気的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のドレイン電極（またはソース電極）とは、電気的に接続されている。また、第 3 の配線 (3rd Line) とトランジスタ 162 のソース電極（またはドレイン電極）とは、電気的に接続され、第 4 の配線 (4th Line) と、トランジスタ 162 のゲート電極とは、電気的に接続されている。そして、トランジスタ 160 のゲート電極と、トランジスタ 162 のドレイン電極（またはソース電極）は、容量素子 164 の電極の一方と電気的に接続され、第 5 の配線 (5th Line) と、容量素子 164 の電極の他方は電気的に接続されている。なお、図 2 (A - 1) に示す回路構成は、図 1 に示す第 1 の積層体 210a に含まれる回路構成に相当し、メモリセルとして機能する。

40

#### 【0052】

ここで、トランジスタ 162 には、例えば、上述の酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴

50

を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

#### 【0053】

なお、トランジスタ160については特に限定されないが、例えば、酸化物半導体以外の半導体材料を用いたトランジスタを適用される。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

#### 【0054】

図2(B)に示す半導体装置において、第1の配線(1st Line)とトランジスタ170のソース電極(またはドレイン電極)とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ170のドレイン電極(またはソース電極)とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ172のソース電極(またはドレイン電極)とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ172のゲート電極とは、電気的に接続されている。そして、トランジスタ170のゲート電極と、トランジスタ172のドレイン電極(またはソース電極)は、容量素子174の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子174の電極の他方は電気的に接続されている。なお、図2(B)に示す回路構成は、図1に示す第2の積層体210bに含まれる回路構成に相当する。

10

#### 【0055】

ここで、トランジスタ170およびトランジスタ172には、上述の酸化物半導体を用いたトランジスタが適用される。上述の酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ172をオフ状態とすることで、トランジスタ170のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子174を有することにより、トランジスタ170のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。なお、酸化物半導体を用いたトランジスタ170およびトランジスタ172は、チャネル長(L)を10nm以上1000nm以下としているため、消費電力が小さく、動作速度も十分に高いという特徴を有する。

20

#### 【0056】

また、図2(C)に示すように、図2(A-1)において容量素子164を設けない構成とすることも可能である。これは、図2(B)の場合も同様であり、容量素子174を設けない構成とすることできる。

#### 【0057】

図2(A-1)に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。なお、図2(B)に示す半導体装置においても、図2(A-1)と同様に情報の書き込み、保持、読み出しを行うことができるため、詳細な説明は省略する。

30

#### 【0058】

はじめに、情報の書き込みおよび保持について図2(A-1)を参照して説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷Q<sub>L</sub>、高電位を与える電荷を電荷Q<sub>H</sub>という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される(保持)。

40

50

**【0059】**

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

**【0060】**

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極に $Q_H$ が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ160のゲート電極に $Q_L$ が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。10ここで、見かけのしきい値電圧とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0$ （ $> V_{th\_H}$ ）となれば、トランジスタ160は「オン状態」となる。 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0$ （ $< V_{th\_L}$ ）となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

**【0061】**

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。20

**【0062】**

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。30

**【0063】**

このように、本発明の一態様に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。40

**【0064】**

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ162がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、フロー50

ティングゲート部 F G に蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ 162 により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

#### 【 0 0 6 5 】

例えば、トランジスタ 162 の室温(25°C)でのオフ電流が 10 zA (1 zA (ゼットアンペア)) は  $1 \times 10^{-21} \text{ A}$  以下であり、容量素子 164 の容量値が 10 fF 程度である場合には、少なくとも  $10^4$  秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

#### 【 0 0 6 6 】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁層(トンネル絶縁層)の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁層の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

10

#### 【 0 0 6 7 】

図 2(A-1) に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図 2(A-2) のように考えることが可能である。つまり、図 2(A-2) では、トランジスタ 160 および容量素子 164 が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1 および C1 は、それぞれ、容量素子 164 の抵抗値および容量値であり、抵抗値 R1 は、容量素子 164 を構成する絶縁層による抵抗値に相当する。また、R2 および C2 は、それぞれトランジスタ 160 の抵抗値および容量値であり、抵抗値 R2 はトランジスタ 160 がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 C2 はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

20

#### 【 0 0 6 8 】

トランジスタ 162 がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)を ROS とすると、トランジスタ 162 のゲートリーカークが十分に小さい条件において、R1 および R2 が、R1 = ROS、R2 = ROS を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ 162 のオフ電流によって決定されることになる。

30

#### 【 0 0 6 9 】

逆に、当該条件を満たさない場合には、トランジスタ 162 のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ 162 のオフ電流以外のリーカーク電流(例えば、ソース電極とゲート電極の間に生じるリーカーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

#### 【 0 0 7 0 】

一方で、C1 と C2 は、C1 = C2 の関係を満たすことが望ましい。C1 を大きくすることで、第 5 の配線によってフローティングゲート部 F G の電位を制御する際に、第 5 の配線の電位を効率よくフローティングゲート部 F G に与えることができるようになり、第 5 の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

40

#### 【 0 0 7 1 】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1 および R2 は、トランジスタ 160 のゲート絶縁層や容量素子 164 の絶縁層によって制御される。C1 および C2 についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

#### 【 0 0 7 2 】

50

本実施の形態で示す半導体装置においては、フローティングゲート部 F G が、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部 F G は、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

## 【0073】

10

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

## 【0074】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものと最小のものの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5 V 以下、好ましくは 3 V 以下とすることができます。

20

## 【0075】

容量素子 164 を構成する絶縁層の比誘電率  $r_1$  と、トランジスタ 160 を構成する絶縁層の比誘電率  $r_2$  とを異ならせる場合には、容量素子 164 を構成する絶縁層の面積  $S_1$  と、トランジスタ 160 においてゲート容量を構成する絶縁層の面積  $S_2$  とが、 $2 \cdot S_2 = S_1$ （望ましくは  $S_2 = S_1$ ）を満たしつつ、 $C_1 = C_2$  を実現することが容易である。具体的には、例えば、容量素子 164 を構成する絶縁層においては、酸化ハフニウムなどの h i g h - k 材料でなる膜、または酸化ハフニウムなどの h i g h - k 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して  $r_1$  を 10 以上、好ましくは 15 以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$  とすることができます。

30

## 【0076】

このような構成を併せて用いることで、本発明の一態様に係る半導体装置の、より一層の高集積化が可能である。

## 【0077】

40

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一に 3 段階以上の情報を書き込む構成とすることで、2段階の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷  $Q_L$ 、高電位を与える電荷  $Q_H$  に加え、他の電位を与える電荷  $Q$  を第 1 のトランジスタのゲート電極に与えることで、多値化を実現することができる。この場合、 $F^2$  が十分に小さくならない回路構成を採用しても十分な記憶容量を確保することができる。

## 【0078】

なお、上記説明は、電子を多数キャリアとする n 型トランジスタ（n チャネル型トランジスタ）を用いる場合についてのものであるが、n 型トランジスタに代えて、正孔を多数キャリアとする p 型トランジスタを用いることができるのはいうまでもない。

## 【0079】

以上のように、本実施の形態に係る半導体装置は高集積化に向いているが、本発明の一態様に係る配線の共通化、コンタクト領域の縮小などにより、さらに集積度を高めた半導体装置を提供することが可能である。

50

**【0080】****応用例**

次に、上述の半導体装置の応用例について、図3乃至図19を用いて説明する。

**【0081】**

図3は、半導体装置のブロック図の一例である。図3に示す半導体装置は、メモリセルアレイ201と、第1の駆動回路202と、第2の駆動回路203と、を有する。

**【0082】**

まず、メモリセルアレイ201について説明する。メモリセルアレイ201は、積層されたメモリセルアレイ211a～211cを有する。

**【0083】**

メモリセルアレイ211aは、n本(nは2以上の整数)のビット線BLと、m本(mは2以上の整数)の信号線Sと、m本のワード線WLと、k本(kはn以下またはm以下の自然数)のソース線SLと、メモリセル212aが、縦m個(行)×横n個(列)のマトリクス状に配置された領域と、を有する。ここで、メモリセル212aとしては、図2(A-1)に示す構成を用いることが好ましい。また、メモリセルアレイ211aと接続する信号線Sを、信号線S(1,1)～S(m,1)と表し、ワード線WLを、ワード線WL(1,1)～WL(m,1)と表す。また、メモリセルアレイ211aと接続するビット線BLを、ビット線BL(1,1)～BL(n,1)と表す。

10

**【0084】**

メモリセル212aは、第1のトランジスタ、第2のトランジスタ、第1の容量素子をそれぞれ有している。ここで、メモリセル212aは、図1に示す第1の積層体210aが有する構成に相当する。また、メモリセル212aにおいて、第1のトランジスタは、図2(A-1)に示す構成におけるトランジスタ160に、第2のトランジスタはトランジスタ162に、第1の容量素子は、容量素子164に、それぞれ相当する。各メモリセル212aにおいて、第1のトランジスタのゲート電極と、第2のトランジスタのドレイン電極(またはソース電極)と、第1の容量素子の電極の一方とは、電気的に接続され、ソース線SLと、第1のトランジスタのソース電極とは、電気的に接続されている。また、ビット線BLと、第2のトランジスタのソース電極(またはドレイン電極)と、第1のトランジスタのドレイン電極とは電気的に接続され、ワード線WLと、第1の容量素子の電極の他方とは、電気的に接続され、信号線Sと、第2のトランジスタのゲート電極とは電気的に接続されている。つまり、ソース線SLが、図2(A-1)に示す構成における第1の配線(1st Line)に、ビット線BLが第2の配線(2nd Line)及び第3の配線(3rd Line)に、信号線Sが第4の配線(4th Line)に、ワード線WLが第5の配線(5th Line)に相当する。

20

**【0085】**

メモリセルアレイ211aに、第1の半導体材料および第2の半導体材料を含むメモリセル212aを適用することにより、十分な保持期間を確保しつつ、読み出し動作を高速化することができる。

**【0086】**

メモリセルアレイ211bは、n本(nは2以上の整数)のビット線BLと、m本(mは2以上の整数)の信号線Sと、m本のワード線WLと、k本(kはn以下またはm以下の自然数)のソース線SLと、メモリセル212bが、縦m個(行)×横n個(列)のマトリクス状に配置された領域と、を有する。ここで、メモリセル212bとしては、図2(B)に示す構成を用いることが好ましい。また、メモリセルアレイ211bと接続する信号線Sを、信号線S(1,2)～S(m,2)と表し、ワード線WLを、ワード線WL(1,2)～WL(m,2)と表す。また、メモリセルアレイ211bと接続するビット線BLを、ビット線BL(1,2)～BL(n,2)と表す。

40

**【0087】**

メモリセル212bは、第3のトランジスタ、第4のトランジスタ、第2の容量素子をそれぞれ有している。ここで、メモリセル212bは、図1に示す第2の積層体210bが

50

有する構成に相当する。また、メモリセル 212bにおいて、第3のトランジスタは、図 2(B)に示す構成におけるトランジスタ 170に、第4のトランジスタはトランジスタ 172に、第2の容量素子は、容量素子 174に、それぞれ相当する。各メモリセル 212bにおいて、第3のトランジスタのゲート電極と、第4のトランジスタのドレイン電極(またはソース電極)と、第2の容量素子の電極の一方とは、電気的に接続され、ソース線 SLと、第3のトランジスタのソース電極とは、電気的に接続されている。また、ビット線 BLと、第4のトランジスタのソース電極(またはドレイン電極)と、第3のトランジスタのドレイン電極とは電気的に接続され、ワード線 WLと、第2の容量素子の電極の他方とは、電気的に接続され、信号線 Sと、第4のトランジスタのゲート電極とは電気的に接続されている。つまり、ソース線 SLが、図 2(B)に示す構成における第1の配線(1st Line)に、ビット線 BLが第2の配線(2nd Line)及び第3の配線(3rd Line)に、信号線 Sが第4の配線(4th Line)に、ワード線 WLが第5の配線(5th Line)に相当する。

#### 【0088】

なお、メモリセルアレイ 211cについても、メモリセルアレイ 211bと同様の構成とすることができるため、詳細な説明は省略する。すなわち、メモリセルアレイ 211cは、複数のメモリセル 212cを有する。また、メモリセルアレイ 211cと接続する信号線 Sを、信号線 S(1, 3)~S(m, 3)と表し、ワード線 WLを、ワード線 WL(1, 3)~WL(m, 3)と表す。また、メモリセルアレイ 211cと接続するビット線 BLを、ビット線 BL(1, 3)~BL(n, 3)と表す。

#### 【0089】

メモリセルアレイ 211bおよびメモリセルアレイ 211cに、第2の半導体材料を含むメモリセル 212bおよびメモリセル 212cを適用することにより、作製プロセスを複雑にすることなく、情報の保持期間を十分に確保することができる。

#### 【0090】

さらに、メモリセルアレイ 211a~211cを積層構造とすることにより、半導体装置の集積化を図ることができる。

#### 【0091】

なお、図 3において、メモリセルアレイ 211a~211cはそれぞれ接続されていない場合について示しているが、本発明の一態様はこれに限定されない。例えば、メモリセルアレイ 211aの有するソース線 SLと、メモリセルアレイ 211bの有するソース線 SLとを電気的に接続することにより、メモリセル 212aとメモリセル 212bとを電気的に接続してもよい。これにより、ソース線 SLの本数を減らすことができる。または、メモリセル 212aと接続されるソース線 SLと、メモリセル 212bと接続されるソース線 SLとを電気的に接続することにより、メモリセル 212aとメモリセル 212bとを電気的に接続することもできる。

#### 【0092】

なお、図 3に示す半導体装置では、メモリセルアレイ 211a~211cにおいて、メモリセルが縦 m 個(行)×横 n 個(列)のマトリクス状に配置される構成としたが、本発明の一態様は、これに限定されない。メモリセルアレイ 211a~211cは、必ずしも同じメモリセル構成である必要はなく、それぞれ異なるメモリセル構成とすることができる。

#### 【0093】

第1の駆動回路 202および第2の駆動回路 203は、それぞれ複数の回路を含む。第1の駆動回路 202は、セレクタ 221と、バッファ等を含む回路 222と、ローデコーダ 223とを有する。また、第2の駆動回路 203は、セレクタ 231と、回路群 232と、コラムデコーダ 233とを有する。回路群 232は書き込み回路群 234と、読み出し回路群 235と、レジスタ群 236とを有する。

#### 【0094】

ここで、図 4に、図 3に示す半導体装置の積層状態の一例を表す簡易ブロック図を示す。

10

20

30

40

50

図4に示す半導体装置では、メモリセルアレイ201は積層体が3層の構造であり、第1の駆動回路202および第2の駆動回路203は積層体が1層の構造である。メモリセルアレイ211aは、第1の積層体210aに設けられ、メモリセルアレイ211bは、第2の積層体210bに設けられ、メモリセルアレイ211cは、第2の積層体210b上の積層体に設けられる。また、第1の駆動回路202および第2の駆動回路203は、第1の積層体210aに設けられる。

#### 【0095】

図5に、図3及び図4に示す半導体装置のセレクタ231の回路図の一例を示す。ここで、セレクタ231は、第1の積層体210aに設けられる場合について説明する。セレクタ231は複数のトランジスタを有する。また、セレクタ231は、メモリセルアレイ211aと、BL(1,1)～BL(n,1)を介して接続されている。同様に、メモリセルアレイ211bとBL(1,2)～BL(n,2)を介して接続されており、メモリセルアレイ211cとBL(1,3)～BL(n,3)を介して接続されている。セレクタ231は、層選択信号LAY1、LAY2、LAY3に従って、ピット線BLと回路群232の端子とを導通させる。信号LAY1がアクティブであれば、BL(1,1)～BL(n,1)と回路群232の端子とが導通する。信号LAY2がアクティブであれば、BL(1,2)～BL(n,2)と回路群232の端子とが導通する。信号LAY3がアクティブであれば、BL(1,3)～BL(n,3)と回路群232の端子とが導通する。

#### 【0096】

図6に、図3及び図4に示す半導体装置の回路群232のブロック図の一例を示す。ここで、回路群232は、第1の積層体210aに設けられる場合について説明する。回路群232は、書き込み回路群234と、読み出し回路群235と、レジスタ群236とを有する。書き込み回路群234は、書き込み回路237を複数有し、ライトイネーブル信号WEと、書き込み電位Vwriteと、レジスタ群236から出力される信号とが入力され、複数の書き込み回路237から出力される出力信号それぞれはセレクタ231に入力される。読み出し回路群235は、読み出し回路238を有し、リードイネーブル信号REと読み出し電位Vreadが入力され、出力信号がレジスタ群236に入力される。また、読み出し回路238の読み出しを行う端子がセレクタ231に接続される。レジスタ群236は、入力データDINが入力され、出力データDOUトを出力する。また、レジスタ群236は、読み出し回路群235の出力信号が入力され、書き込み回路群234に入力される信号を出力する。書き込み回路群234に入力される信号は、互いに反転した信号対であってもよい。なお、書き込み回路237、読み出し回路238、レジスタ239は、それぞれメモリセルアレイの列の数と同じ数有する。

#### 【0097】

図6に示す回路群232の動作について説明する。外部からレジスタ群236にデータを書き込む動作と、レジスタ群236から外部へデータを読み出す動作と、レジスタ群236からメモリセルへデータを書き込む動作と、メモリセルからレジスタ群236へデータを読み出す動作について説明する。

#### 【0098】

外部からレジスタ群236にデータを書き込む動作は、信号DINがレジスタ群236に格納されることで行われる。レジスタ群236から外部へデータを読み出す動作は、レジスタ群236に格納されたデータを信号DOUトとして出力することで行われる。また、レジスタ群236からメモリセルへデータを書き込む動作は、ライトイネーブル信号WEがアクティブの期間に、書き込み回路群234が、レジスタ群236から出力される信号に基づいて書き込み電圧を選択し、出力することで行われる。その結果、ピット線BLに書き込み電圧が供給され、メモリセルへのデータ書き込みが行われる。メモリセルからレジスタ群236へデータを読み出す動作は、リードイネーブル信号REがアクティブの期間に、読み出し回路群235がピット線電位を判定することでメモリセルからデータを読み出して出力し、該出力されたデータをレジスタ群236に格納することで行われる。

#### 【0099】

10

20

30

40

50

読み出し回路 238 は、例えば、図 7 に示した読み出し回路を用いることができる。図 7 に示した読み出し回路は、センスアンプ SA と負荷となるトランジスタとスイッチを有する。センスアンプ SA はビット線電位と読み出し電位 V<sub>read</sub> を比較して結果を出力する。リードイネーブル信号 RE によって読み出し回路とビット線との導通が決定される。

#### 【0100】

書き込み回路 237 は、例えば、図 8 に示した書き込み回路を用いることができる。図 8 に示した書き込み回路は、3 つのスイッチによって構成され、互いに反転する信号対によって V<sub>write</sub> と GND のいずれかの電位が選択され、ライトイネーブル信号 WE によって選択された電位の供給の有無が決定される。

#### 【0101】

図 9 に、図 3 及び図 4 に示す半導体装置のセレクタ 221 の回路図の一例を示す。ここで、セレクタ 221 は、第 1 の積層体 210a に設けられる場合について説明する。

#### 【0102】

セレクタ 221 は複数のトランジスタを有する。また、セレクタ 221 は、メモリセルアレイ 211a と、WL(1, 1) ~ WL(m, 1) 及び S(1, 1) ~ S(m, 1) を介して接続されている。同様に、メモリセルアレイ 211b と、WL(1, 2) ~ WL(m, 2) 及び S(1, 2) ~ S(m, 2) を介して接続されており、メモリセルアレイ 211c と、WL(1, 3) ~ WL(m, 3) 及び S(1, 3) ~ S(m, 3) を介して接続されている。セレクタ 221 は、層選択信号 LAY1、LAY2、LAY3 に従って、ワード線 WL 及び信号線 S と回路 222 の端子とを導通させる。信号 LAY1 がアクティブであれば、WL(1, 1) ~ WL(m, 1) 及び S(1, 1) ~ S(m, 1) と回路 222 の端子とが導通する。信号 LAY2 がアクティブであれば、WL(1, 2) ~ WL(m, 2) 及び S(1, 2) ~ S(m, 2) と回路 222 の端子とが導通する。信号 LAY3 がアクティブであれば、WL(1, 3) ~ WL(m, 3) 及び S(1, 3) ~ S(m, 3) と回路 222 の端子とが導通する。

#### 【0103】

第 1 の駆動回路 202 および第 2 の駆動回路 203 に設けられる回路を、第 1 の半導体材料を用いて形成することにより、第 1 の駆動回路 202 および第 2 の駆動回路 203 を高速動作させることができる。

#### 【0104】

図 10 は、図 3 に示す半導体装置の積層状態の他の一例を表す簡易ブロック図である。図 10 に示す半導体装置では、メモリセルアレイ 201 は積層体が 3 層の構造であり、第 1 の駆動回路 202 が有するセレクタ 221a、221b、221c、および第 2 の駆動回路 203 が有するセレクタ 231a、231b、231c は積層体が 3 層の構造であり、第 1 の駆動回路 202 および第 2 の駆動回路 203 が有する他の回路は積層体が 1 層の構造である。メモリセルアレイ 211a、セレクタ 221a およびセレクタ 231a は、第 1 の積層体 210a に設けられ、メモリセルアレイ 211b、セレクタ 221b およびセレクタ 231b は、第 2 の積層体 210b に設けられ、メモリセルアレイ 211c、セレクタ 221c およびセレクタ 231c は、第 3 の積層体 210c に設けられる。

#### 【0105】

図 11 に、図 10 に示す半導体装置の第 2 の駆動回路 203 におけるセレクタ 231a、231b、231c の回路図の一例を示す。図 11 に示すセレクタは、図 5 に示すセレクタと同様な回路構成を有する。図 11 と、図 5 との相違は、セレクタの積層構造である。図 5 では、セレクタが有するトランジスタは第 1 の積層体 210a に設けられるが、図 11 では、セレクタが有するトランジスタは 3 層にわたって設けられる。例えば、第 2 の駆動回路 203 におけるセレクタ 231a は、メモリセルアレイ 211a と同じ層に形成されており、セレクタ 231b は、メモリセルアレイ 211b と同じ層に形成されており、セレクタ 231c は、メモリセルアレイ 211c と同じ層に形成されている。つまり、第 2 の駆動回路 203 におけるセレクタ 231a は、第 1 の半導体材料を含んで構成され、セレクタ 231b およびセレクタ 231c は、第 2 の半導体材料を含んで構成される。

10

20

30

40

50

**【 0 1 0 6 】**

図10に示す半導体装置の回路群232は、図4に示す半導体装置の回路群232と同じ回路構成、および積層構造とすればよい。詳細は図6に示したブロック図の例を参照することができる。

**【 0 1 0 7 】**

図12に、図10に示す半導体装置の第1の駆動回路202におけるセレクタ221a、221b、221cの回路図の一例を示す。図12に示すセレクタは、図9に示すセレクタと同様の回路構成を有する。図12と、図9との相違は、セレクタの積層構造である。図9では、セレクタが有するトランジスタは第1の積層体210aに設けられるが、図12では、セレクタが有するトランジスタは3層にわたって設けられる。例えば、第1の駆動回路202におけるセレクタ221aは、メモリセルアレイ211aと同じ層に形成されており、セレクタ221bは、メモリセルアレイ211bと同じ層に形成されており、セレクタ221cは、メモリセルアレイ211cと同じ層に形成されている。つまり、第1の駆動回路202におけるセレクタ221aは、第1の半導体材料を含んで構成され、セレクタ221bおよびセレクタ221cは、第2の半導体材料を含んで構成される。

**【 0 1 0 8 】**

このような構成を採用することで、駆動回路の占める面積を低減し、記憶密度を高めることができる。また、メモリセルアレイの面積を増大させることによって、記憶容量を高めることができる。

**【 0 1 0 9 】**

図13は、図3に示す半導体装置の積層状態の他の一例を表す簡易ブロック図である。図13に示す半導体装置では、メモリセルアレイ201は積層体が3層の構造であり、第1の駆動回路202および第2の駆動回路203が部分的に複数の層からなる積層構造となっている。メモリセルアレイ211a、セレクタ221a、セレクタ231a、回路群232aは、第1の積層体210aに設けられ、メモリセルアレイ211b、セレクタ221b、セレクタ231bおよび回路群232bは、第2の積層体210bに設けられ、メモリセルアレイ211c、セレクタ221cおよびセレクタ231cは、第3の積層体210cに設けられる。

**【 0 1 1 0 】**

図13と、図10との相違は、第2の駆動回路203の構造である。例えば、図10では、第2の駆動回路203における回路群232は1層の構造であるが、図13では、第2の駆動回路203における回路群232a、232bは2層の積層構造である。

**【 0 1 1 1 】**

図13に示す半導体装置のセレクタ231a～231cおよびセレクタ221a、221b、221cは、図10に示す半導体装置のセレクタ231a、231b、231cおよびセレクタ221a～221cと同じ回路構成、および積層構造とすればよい。詳細はそれぞれ、図11および図12に示したブロック図の例を参照することが出来る。

**【 0 1 1 2 】**

図14に、図13に示す半導体装置の第2の駆動回路203における回路群232a、232bおよびセレクタ231a、231b、231cの回路図の一例を示す。図14に示す回路群232a、232bは、図6に示す回路群232と同様の回路構成を有する。図14に示す回路群232a、232bと、図6に示す回路群232との相違は、積層構造である。図6では、回路群232が有するトランジスタは第1の積層体210aに設けられるが、図14では、回路群232a、232bが有するトランジスタは2層にわたって設けられる。例えば、第2の駆動回路203における回路群232aは、メモリセルアレイ211aと同じ層に形成されており、回路群232bは、メモリセルアレイ211bと同じ層に形成されている。つまり、第2の駆動回路203における回路群232aは、第1の半導体材料を含んで構成され、回路群232bは、第2の半導体材料を含んで構成される。

**【 0 1 1 3 】**

10

20

30

40

50

図14に示す回路群232aは、レジスタ群236と読み出し回路群235を有する。図14に示す回路群232bは、書き込み回路群234を有する。読み出し回路群235が有する読み出し回路は、例えば、図7に示した読み出し回路を用いることができる。書き込み回路群234が有する書き込み回路は、例えば、図15に示した書き込み回路を用いることができる。図15に示した書き込み回路は、第2の半導体材料を含む3つのトランジスタによって構成され、互いに反転した信号対によってVwritetとGNDのいずれかの電位が選択され、ライトイネーブル信号WEによって選択された電位の供給の有無が決定される。

#### 【0114】

このような構成を採用することで、駆動回路の占める面積を低減し、記憶密度を高めることができる。また、メモリセルアレイの面積を増大させることによって、記憶容量を高めることができる。10

#### 【0115】

なお、本実施の形態では、メモリセルアレイ201、第1の駆動回路202または第2の駆動回路203を3層積層する例について説明したが、本発明の一態様はこれに限定されず、2層または4層以上の積層構造とすることもできる。

#### 【0116】

##### 半導体装置の作製方法

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに第1の積層体210aにおける下部のトランジスタ160の作製方法について図16および図17を参照して説明し、その後、上部のトランジスタ162および容量素子164の作製方法について図18および図19を参照して説明する。なお、第2の積層体210bにおけるトランジスタ170、トランジスタ172および容量素子174の作製方法は、トランジスタ162および容量素子164の作製方法と同様であるから、詳細については省略する。20

#### 【0117】

##### 下部のトランジスタの作製方法

下部のトランジスタ160の作製方法について、図16および図17を参照して説明する。30

#### 【0118】

まず、半導体材料を含む基板100を用意する。半導体材料を含む基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「SOI基板」が有する半導体層は、シリコン系の半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

#### 【0119】

半導体材料を含む基板100として、シリコンウエハなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。40

#### 【0120】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図16(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素50

、アルミニウム、ガリウムなどを用いることができる。

#### 【0121】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域（露出している領域）の、基板100の一部を除去する。これにより他の半導体領域と分離された半導体領域104が形成される（図16（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

#### 【0122】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畠する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する（図16（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

10

#### 【0123】

ここで、CMP処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により研磨する方法である。

20

#### 【0124】

なお、素子分離絶縁層106の形成方法として、絶縁層を選択的に除去する方法の他、酸素を打ち込むことにより絶縁性の領域を形成する方法などを用いることもできる。

#### 【0125】

次に、半導体領域104の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

#### 【0126】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域104表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ )）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$  ( $x > 0$ ,  $y > 0$ )）、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_y$  ( $x > 0$ ,  $y > 0$ )）等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

30

40

#### 【0127】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドルコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

#### 【0128】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108

50

、ゲート電極 110 を形成する（図 16（C）参照）。

#### 【0129】

次に、半導体領域 104 にリン（P）やヒ素（As）などを添加して、チャネル形成領域 116 および不純物領域 120 を形成する（図 16（D）参照）。なお、ここでは n 型トランジスタを形成するためにリンやヒ素を添加しているが、p 型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

#### 【0130】

なお、ゲート電極 110 の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。10

#### 【0131】

次に、ゲート電極 110、不純物領域 120 等を覆うように金属層 122 を形成する（図 17（A）参照）。当該金属層 122 は、真空蒸着法やスパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層 122 は、半導体領域 104 を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンゲステン、ニッケル、コバルト、白金等がある。

#### 【0132】

次に、熱処理を施して、上記金属層 122 と半導体材料とを反応させる。これにより、不純物領域 120 に接する金属化合物領域 124 が形成される（図 17（A）参照）。なお、ゲート電極 110 として多結晶シリコンなどを用いる場合には、ゲート電極 110 の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。20

#### 【0133】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後には、金属層 122 は除去する。30

#### 【0134】

次に、金属化合物領域 124 の一部と接する領域に、電極 126 を形成する（図 17（B）参照）。電極 126 は、例えば、導電材料を含む層を形成した後に、当該層を選択的にエッチングすることで形成される。導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD 法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。

#### 【0135】

次に、上述の工程により形成された各構成を覆うように、絶縁層 128 を形成する（図 17（C）参照）。絶縁層 128 は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 128 に誘電率の低い（low-k）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することができるため好ましい。なお、絶縁層 128 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層 128 は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層 128 の単層構造としているが、本発明の一態様はこれに限定されない。2 層以上の積層構造としても良い。3 層構造と4050

する場合には、例えば、酸化窒化シリコン層と、窒化酸化シリコン層と、酸化シリコン層の積層構造とすることができます。

#### 【0136】

なお、電極126は、絶縁層128を形成した後に、絶縁層128に金属化合物領域124にまで達する開口を形成し、当該開口を埋め込むように形成することも可能である。

#### 【0137】

この場合、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタンゲステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域124）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。10

#### 【0138】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される（図17（C）参照）。これにより積層体213aを形成することができる。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

#### 【0139】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層128にCMP処理を施して、ゲート電極110および電極126の上面を露出させる（図17（D）参照）。ゲート電極110および電極126の上面を露出させる処理としては、CMP処理の他にエッティング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁層128の表面は可能な限り平坦にしておくことが望ましい。20

#### 【0140】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。30

#### 【0141】

なお、上記の工程では、下部のトランジスタとして、トランジスタ160の作製方法について説明したが、下部のトランジスタを作製する際に、図4及び図3などに示す第1の駆動回路202や第2の駆動回路203を作製することができる。

#### 【0142】

##### 上部のトランジスタの作製方法

次に、上部のトランジスタ162および容量素子164の作製方法について、図18および図19を参照して説明する。

#### 【0143】

まず、ゲート電極110、電極126、絶縁層128などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層144を形成する（図18（A）参照）。なお、酸化物半導体層を形成する前に、ゲート電極110、電極126、絶縁層128の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとするPVD法やプラズマCVD法などのCVD法などを用いて形成することができる。40

#### 【0144】

酸化物半導体層に用いる材料としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系の材料や、三元系金属酸化物であるIn-Ga-Zn-O系の材料、In-Sn-Zn-O系の材料、In-Al-Zn-O系の材料、Sn-Ga-Zn-O系の材料、Al-Ga-Zn-O系の材料、Sn-Al-Zn-O系の材料や、二元系金属酸化物であ50

るIn-Zn-O系の材料、Sn-Zn-O系の材料、Al-Zn-O系の材料、Zn-Mg-O系の材料、Sn-Mg-O系の材料、In-Mg-O系の材料、In-Ga-O系の材料や、In-O系の材料、Sn-O系の材料、Zn-O系の材料などを用いることができる。また、上記の材料に $\text{SiO}_2$ を含ませてもよい。ここで、例えば、In-Ga-Zn-O系の材料とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体という意味であり、その組成比は特に問わない。また、InとGaとZn以外の元素を含んでいてもよい。

#### 【0145】

また、酸化物半導体層は、化学式 $\text{InMO}_3$ ( $\text{ZnO})_m$ ( $m > 0$ )で表記される材料を用いた薄膜とすることができます。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとして、Ga、GaおよびAl、GaおよびMn、またはGaおよびCoなどを用いることができる。10

#### 【0146】

また、酸化物半導体層の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると(例えば、膜厚を50nm以上)、トランジスタがノーマリーオンとなってしまうおそれがあるためである。

#### 【0147】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

#### 【0148】

本実施の形態では、酸化物半導体層を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。20

#### 【0149】

酸化物半導体としてIn-Ga-Zn-O系の材料を用いる場合、ターゲットとしては、例えば、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比の酸化物ターゲットを用いることもできる。

#### 【0150】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ )、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 1 : 2$ )、さらに好ましくは $\text{In} : \text{Zn} = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 15 : 2 \sim 3 : 4$ )とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。30

#### 【0151】

ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高いターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜とすることができます。40

#### 【0152】

成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

#### 【0153】

例えば、酸化物半導体層は、次のように形成することができる。

#### 【0154】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200℃を超えて500℃以下、好ましくは300℃を超えて500℃以下、より好ましくは350℃以上45

50 以下となるように加熱する。

**【0155】**

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。10

**【0156】**

成膜中の基板温度が低温（例えば、100 以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。20

**【0157】**

成膜条件の一例として、基板とターゲットの間との距離を 60 mm、圧力を 0.4 Pa、直流（DC）電源を 0.5 kW、基板温度を 400 、成膜雰囲気を酸素（酸素流量比率 100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

**【0158】**

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。30

**【0159】**

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

**【0160】**

その後、酸化物半導体層 144 に対して、熱処理（第 1 の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層 144 中に含まれる水素原子を含む物質をさらに除去し、酸化物半導体層 144 の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。熱処理の温度は、不活性ガス雰囲気下、250 以上 700 以下、好ましくは 450 以上 600 以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%) 以上、好ましくは 7 N (99.99999%) 以上（すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下）とする。40

**【0161】**

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450℃、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

#### 【0162】

ところで、上述の熱処理には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁層の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

#### 【0163】

次に、酸化物半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図18（B）参照）。

#### 【0164】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

#### 【0165】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bへの加工が容易であるというメリットがある。

#### 【0166】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム( $In_2O_3$ )、酸化スズ( $SnO_2$ )、酸化亜鉛( $ZnO$ )、酸化インジウム酸化スズ合金( $In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金( $In_2O_3-ZnO$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

#### 【0167】

導電層のエッチングは、形成されるソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、30°以上60°以下であることが好ましい。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの端部をテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

#### 【0168】

上部のトランジスタのチャネル長(L)は、ソース電極またはドレイン電極142a、およびソース電極またはドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、10nm以上1000nm(1μm)以下とすることも可能であり、回路の動作速度を高めることができるものである。また、微細化によって、半導体装置の消費電力を低減することも可能である。

10

20

30

40

50

## 【0169】

次に、ソース電極またはドレイン電極142a、142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁層146を形成する(図18(C)参照)。

## 【0170】

ゲート絶縁層146は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコンなどの材料を用いて形成する。また、ゲート絶縁層146は、13族元素および酸素を含む材料を用いて形成することもできる。13族元素および酸素を含む材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウムなどを用いることができる。さらに、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>(x>0, y>0))、窒素が添加されたハフニウムシリケート(HfSi<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、窒素が添加されたハフニウムアルミネート(HfAl<sub>x</sub>O<sub>y</sub>N<sub>z</sub>(x>0, y>0, z>0))、などの高誘電率(high-k)材料を含むように形成してもよい。ゲート絶縁層146は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

## 【0171】

ゲート絶縁層146は、水素、水などの不純物を混入させない方法を用いて成膜することが好ましい。ゲート絶縁層146に水素、水などの不純物が含まれると、酸化物半導体層に水素、水などの不純物の浸入や、水素、水などの不純物による酸化物半導体層中の酸素の引き抜き、などによって酸化物半導体層のバックチャネルが低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがあるためである。よって、ゲート絶縁層146はできるだけ水素、水などの不純物が含まれないように成膜することが好ましい。例えば、スパッタリング法によって成膜するのが好ましい。成膜する際に用いるスパッタガスとしては、水素、水などの不純物が除去された高純度ガスを用いることが好ましい。

## 【0172】

なお、酸化物半導体層144に用いられる酸化物半導体材料には、13族元素を含むものが多い。このため、13族元素および酸素を含む材料を用いて、酸化物半導体層144と接するゲート絶縁層146を形成する場合には、酸化物半導体層144との界面の状態を良好に保つことができる。これは、13族元素および酸素を含む材料と、酸化物半導体材料との相性が良いことによる。例えば、酸化物半導体層144と酸化ガリウムを用いたゲート絶縁層146を接して設けることにより、酸化物半導体層144とゲート絶縁層146との界面における水素のパイルアップを低減することができる。また、ゲート絶縁層146として、酸化アルミニウムを用いる場合は、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層144の水の浸入防止という点においても好ましい。

## 【0173】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層146に、上述のhigh-k材料を用いると良い。high-k材料をゲート絶縁層146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

## 【0174】

また、ゲート絶縁層146は、酸素が化学量論的組成比よりも多く含むことが好ましい。例えば、ゲート絶縁層146として酸化ガリウムを用いた場合、化学量論的組成比はGa<sub>2</sub>O<sub>3+</sub>(0<<1)と表すことができる。また、酸化アルミニウムを用いた場合は

、 $\text{Al}_2\text{O}_{3+x}$  ( $0 < x < 1$ )と表すことができる。さらに、酸化ガリウムアルミニウムを用いた場合は、 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+x}$  ( $0 < x < 2$ 、 $0 < x < 1$ )と表すことができる。

#### 【0175】

なお、酸化物半導体層の成膜後、酸化物半導体層144の形成後、またはゲート絶縁層146の形成後のいずれかにおいて、酸素ドープ処理を行ってもよい。酸素ドープとは、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）をバルクに添加することを言う。なお、当該「バルク」の用語は、酸素を、薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、「酸素ドープ」には、プラズマ化した酸素をバルクに添加する「酸素プラズマドープ」が含まれる。酸素ドープ処理を行うことにより、酸化物半導体層やゲート絶縁層に含まれる酸素を、化学量論的組成比より多くすることができる。10

#### 【0176】

酸素ドープ処理は、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) 方式を用いて、マイクロ波（例えば、周波数2.45GHz）により励起された酸素プラズマを用いて行なうことが好ましい。

#### 【0177】

ゲート絶縁層146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層146が酸素を含む場合、酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填することができる。20

#### 【0178】

なお、本実施の形態では、ゲート絶縁層146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。30

#### 【0179】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物半導体層144を、その水素原子を含む物質が極力含まれないように高純度化することができる。

#### 【0180】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148aおよび導電層148bを形成する（図18（D）参照）。

#### 【0181】

ゲート電極148aおよび導電層148bは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極148aおよび導電層148bは、単層構造としても良いし、積層構造としても良い。40

#### 【0182】

次に、ゲート絶縁層146、ゲート電極148a、および導電層148b上に、絶縁層150および絶縁層152を形成する（図19（A）参照）。絶縁層150および絶縁層152は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム、酸化ガリウムアルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。なお、絶縁層150および絶縁層152には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層150および絶縁層152の誘電率を50

低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層150および絶縁層152の単層構造としているが、本発明の一態様はこれに限定されず、2層以上の積層構造としても良い。

#### 【0183】

次に、ゲート絶縁層146、絶縁層150および絶縁層152に、ソース電極またはドレイン電極142bにまで達する開口153を形成する。その後、開口153にソース電極またはドレイン電極142bと接する電極154を形成し、絶縁層152上に電極154に接する配線156を形成する(図19(B)参照)。これにより積層体213bを形成することができる。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

10

#### 【0184】

電極154は、例えば、開口153を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMP処理といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

#### 【0185】

より具体的には、例えば、開口153を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口153に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、被形成面の酸化膜(自然酸化膜など)を還元し、下部電極など(ここではソース電極またはドレイン電極142b)との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

20

#### 【0186】

なお、上記導電層の一部を除去して電極154を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口153を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口153に埋め込むようにタングステン膜を形成する場合には、その後のCMP処理によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極154を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

30

#### 【0187】

配線156は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極142a、142bなどと同様である。

40

#### 【0188】

以上により、トランジスタ160、トランジスタ162、および容量素子164を含む第1の積層体210aが完成する(図19(B)参照)。

#### 【0189】

次に、第1の積層体210a上に絶縁層158を形成し、該絶縁層158上に第2の積層体210bを形成する(図1参照)。第2の積層体210bは、トランジスタ170、トランジスタ172、および容量素子174を有する。ここで、トランジスタ170、トランジスタ172および容量素子174の作製方法は、トランジスタ162および容量素子164の作製方法と同様であるから、詳細については省略する。また、第2の積層体210b上に、第3の積層体や第4の積層体を形成する場合には、絶縁層を介して、トランジ

50

スタ 170、トランジスタ 172 および容量素子 174 と同様のトランジスタおよび容量素子を形成すればよい。

#### 【0190】

酸化物半導体層を用いたトランジスタの作製工程は、高温処理を必要とせず、第1の積層体のデバイスや配線に影響を与えることなく作製することができる。また、酸化物半導体層を用いたトランジスタの作製工程は、酸化物半導体以外の半導体材料（例えば、シリコン）を用いたトランジスタに比べて作製工程が少ない。このため、酸化物半導体層を用いたトランジスタの積層体を、第2の積層体や第3の積層体として用いることで、製造コストを低減することができる。

#### 【0191】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

#### 【0192】

##### (実施の形態 2)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図20を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

#### 【0193】

図20(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一の内部にはメモリ回路が設けられており、該メモリ回路には先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

#### 【0194】

図20(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスライラス712などを備えている。本体711の内部にはメモリ回路が設けられており、該メモリ回路には先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

#### 【0195】

図20(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源スイッチ731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一の内部にはメモリ回路が設けられており、該メモリ回路には先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

#### 【0196】

図20(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図20(D)のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子74

10

20

30

40

50

8などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一の内部にはメモリ回路が設けられており、該メモリ回路には先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

#### 【0197】

図20(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。10

#### 【0198】

図20(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780の内部にはメモリ回路が設けられており、該メモリ回路には先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。20

#### 【0199】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

#### 【符号の説明】

##### 【0200】

100	基板	30
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108	ゲート絶縁層	
110	ゲート電極	
116	チャネル形成領域	
120	不純物領域	
122	金属層	
124	金属化合物領域	
126	電極	
128	絶縁層	
142 a	ソース電極またはドレイン電極	
142 b	ソース電極またはドレイン電極	
144	酸化物半導体層	
146	ゲート絶縁層	
148 a	ゲート電極	
148 b	導電層	
150	絶縁層	
152	絶縁層	
153	開口	
154	電極	
156	配線	
158	絶縁層	
160	トランジスタ	

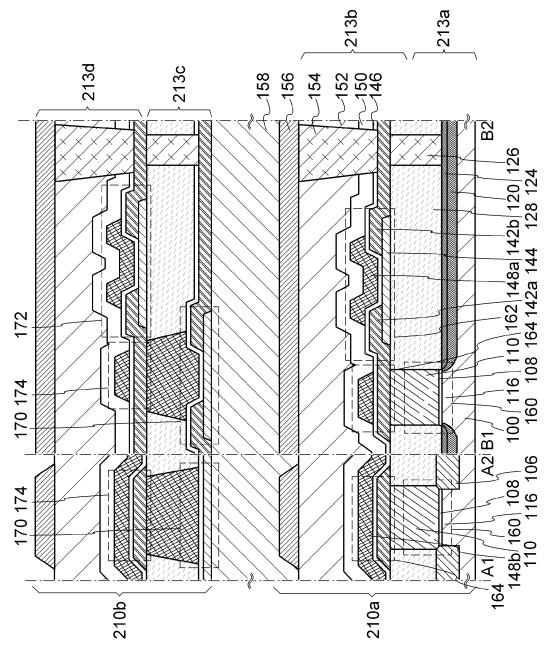
40

50

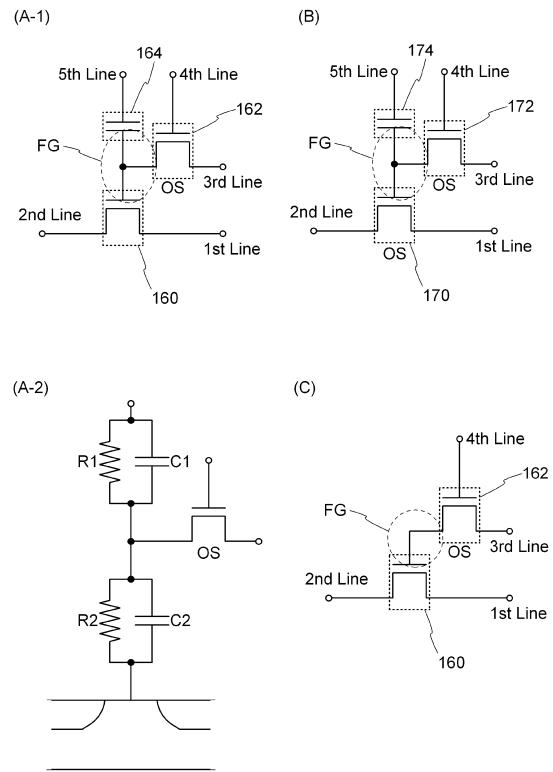
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	トランジスタ	
1 7 2	トランジスタ	
1 7 4	容量素子	
2 0 1	メモリセルアレイ	
2 0 2	第1の駆動回路	
2 0 3	第2の駆動回路	
2 1 0 a	第1の積層体	10
2 1 0 b	第2の積層体	
2 1 0 c	第3の積層体	
2 1 1 a	メモリセルアレイ	
2 1 1 b	メモリセルアレイ	
2 1 1 c	メモリセルアレイ	
2 1 2 a	メモリセル	
2 1 2 b	メモリセル	
2 1 2 c	メモリセル	
2 1 3 a	積層体	
2 1 3 b	積層体	
2 1 3 c	積層体	20
2 1 3 d	積層体	
2 2 1	セレクタ	
2 2 1 a	セレクタ	
2 2 1 b	セレクタ	
2 2 1 c	セレクタ	
2 2 2	回路	
2 2 3	ローデコーダ	
2 3 1	セレクタ	
2 3 1 a	セレクタ	
2 3 1 b	セレクタ	30
2 3 1 c	セレクタ	
2 3 2	回路群	
2 3 2 a	回路群	
2 3 2 b	回路群	
2 3 3	コラムデコーダ	
2 3 4	回路群	
2 3 5	回路群	
2 3 6	レジスタ群	
2 3 7	回路	
2 3 8	回路	40
2 3 9	レジスタ	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイルス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	50

7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源スイッチ	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	10
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	20
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	30
7 8 0	リモコン操作機	

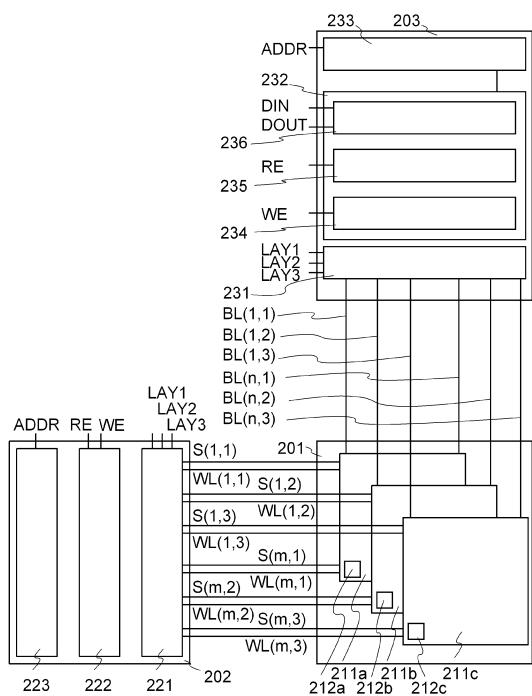
【図1】



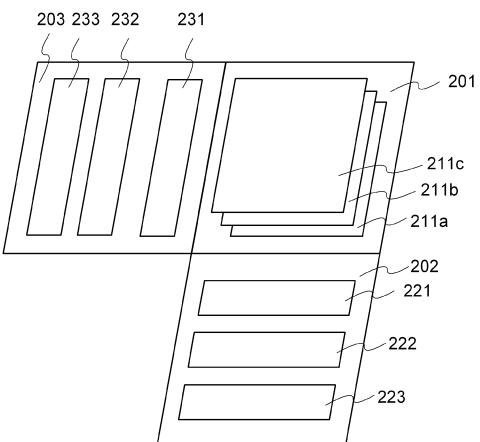
【図2】



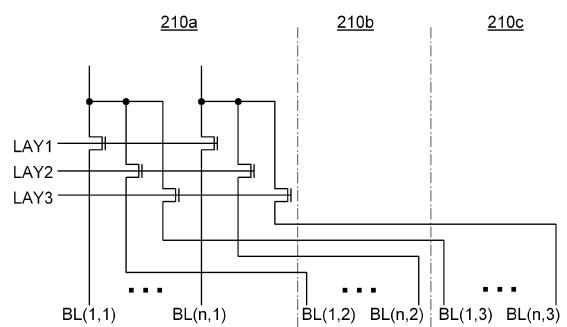
【図3】



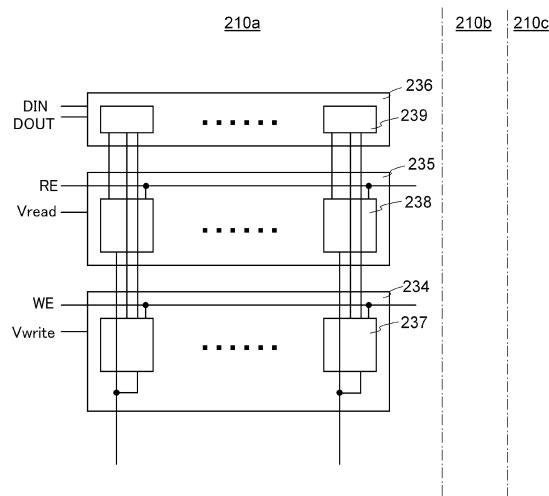
【図4】



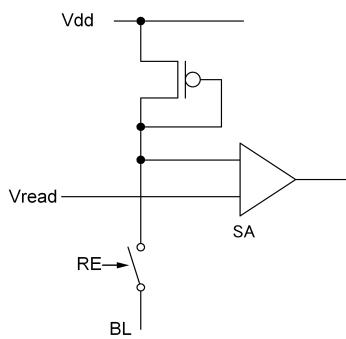
【図5】



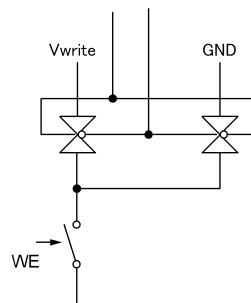
【図6】



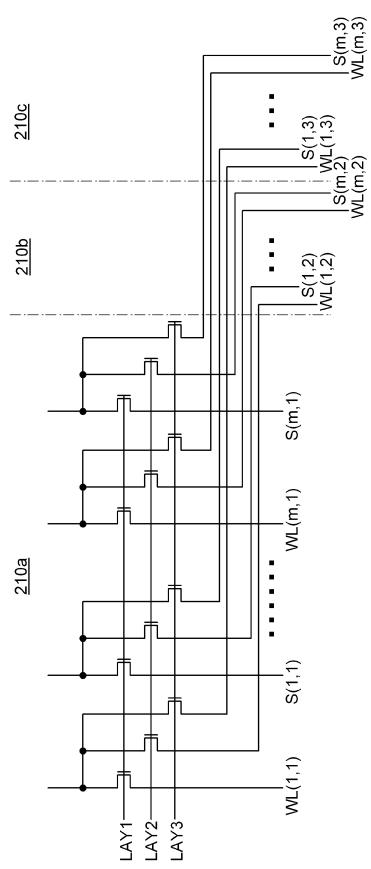
【図7】



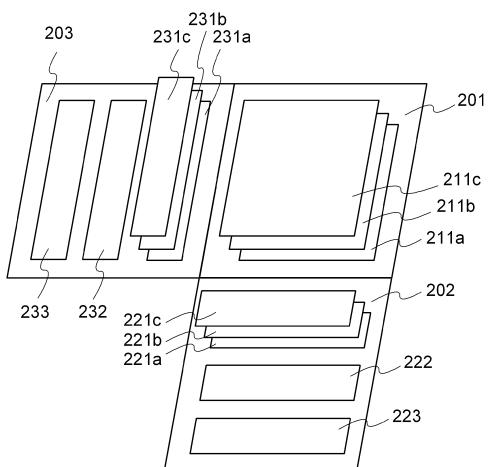
【図8】



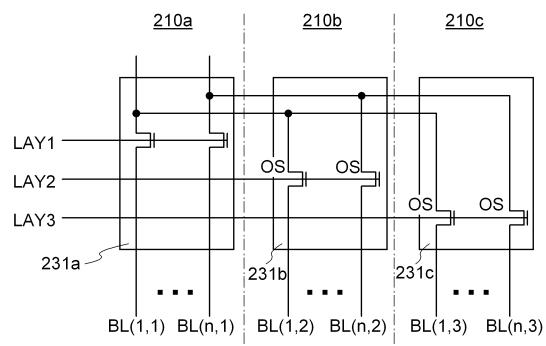
【図9】



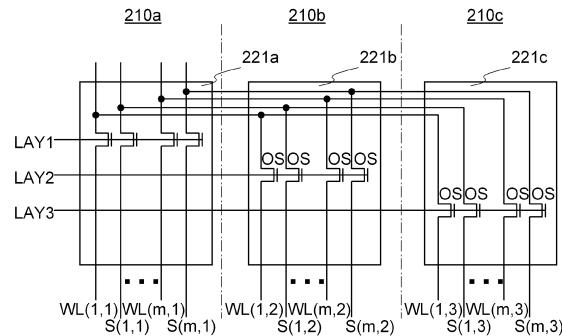
【図10】



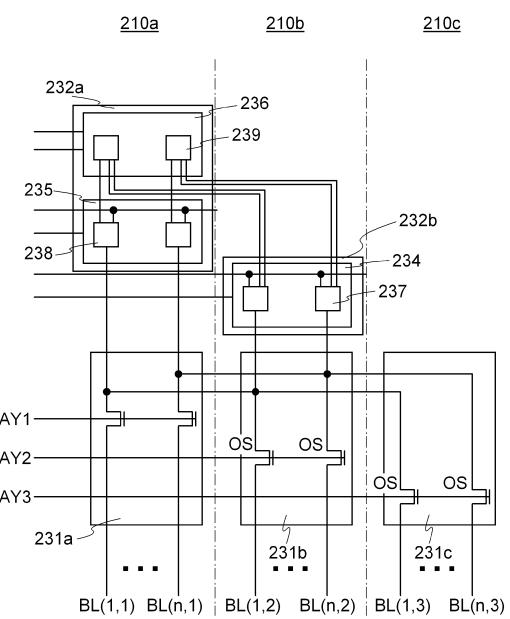
【図11】



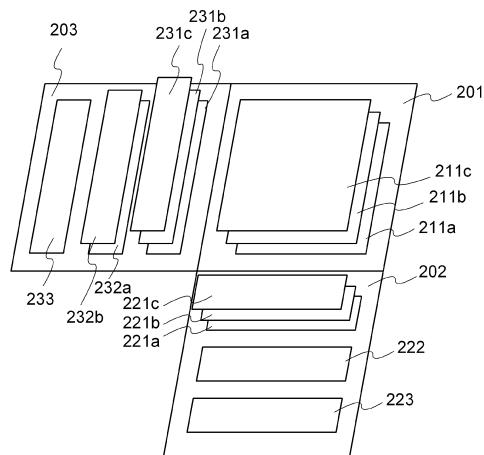
【図12】



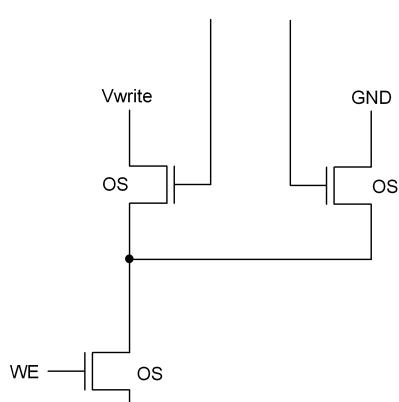
【図14】



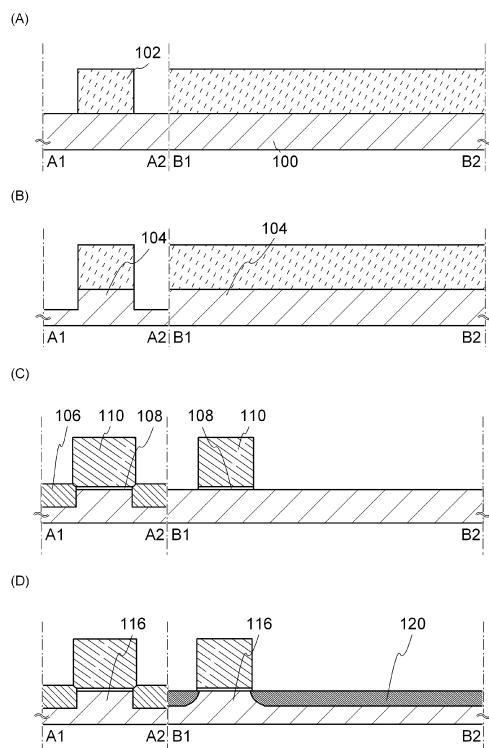
【図13】



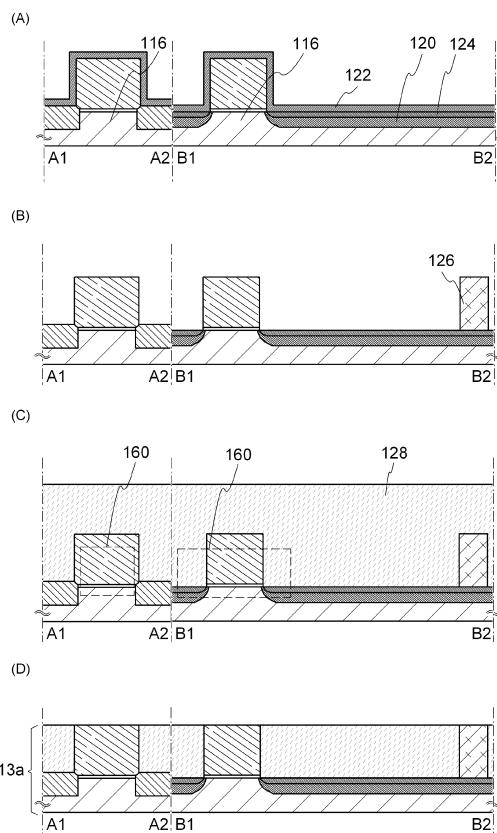
【図15】



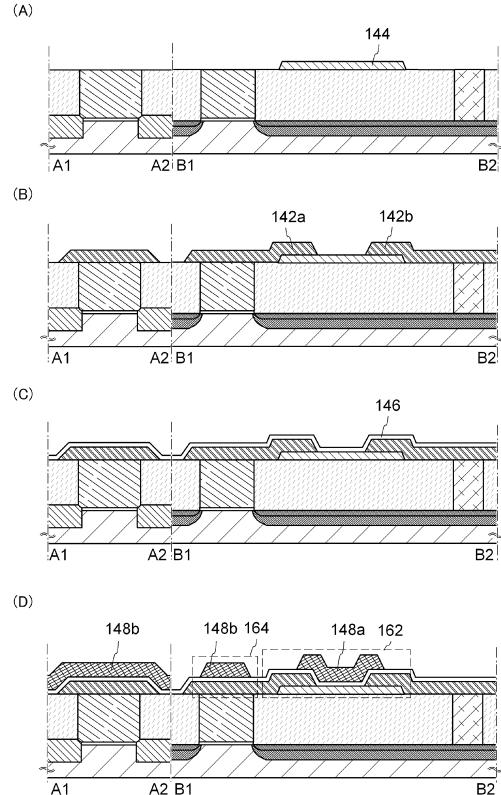
【図16】



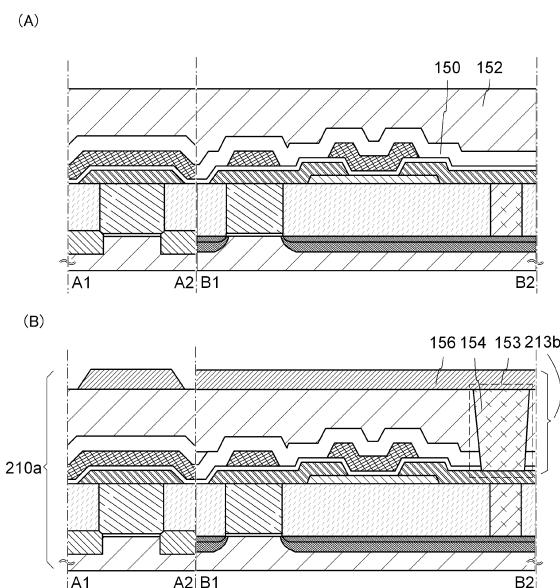
【図17】



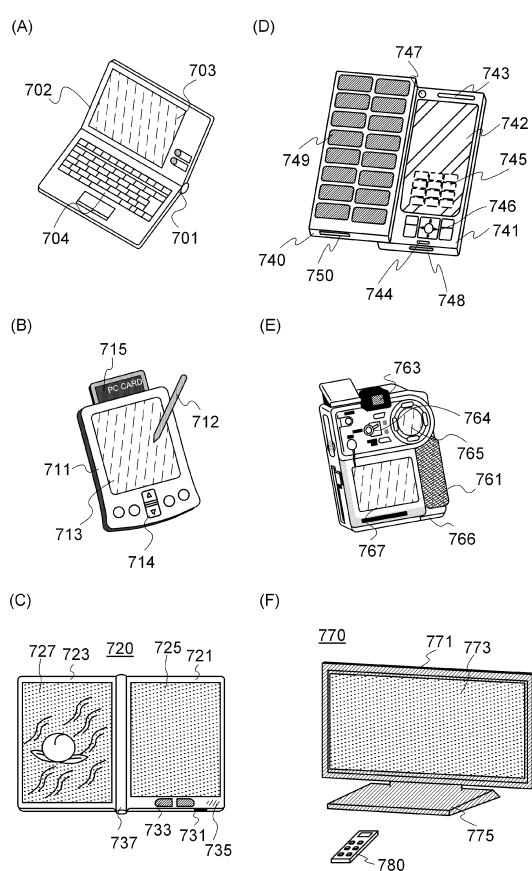
【図18】



【図19】



【図20】



---

フロントページの続き

(56)参考文献 特開2001-053164(JP,A)  
特開2010-021170(JP,A)  
特開2006-294116(JP,A)  
特開2010-141230(JP,A)  
特開2002-093171(JP,A)  
特開2000-114453(JP,A)  
特開2001-339057(JP,A)  
特開昭62-274773(JP,A)  
米国特許出願公開第2006/0079034(US,A1)  
米国特許第06429484(US,B1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242, 27/108