



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년01월02일

(11) 등록번호 10-1478525

(24) 등록일자 2014년12월26일

(51) 국제특허분류(Int. Cl.)

H01L 27/12 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2008-0028711

(22) 출원일자 2008년03월28일

심사청구일자 2013년03월26일

(65) 공개번호 10-2008-0096378

(43) 공개일자 2008년10월30일

(30) 우선권주장

JP-P-2007-00118086 2007년04월27일 일본(JP)

(56) 선행기술조사문헌

JP11274500 A\*

US05895766 A\*

US06958255 B2\*

JP2000030995 A

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

미야이리 히데카즈

일본국 가나가와켄 아쓰기시 하세 398 가부시키가

이샤 한도오파이에네루기 켄큐쇼 나이

(74) 대리인

이화익

전체 청구항 수 : 총 11 항

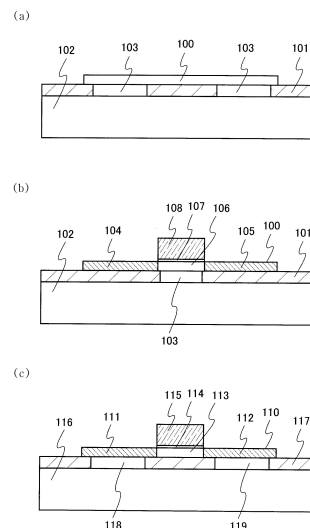
심사관 : 류정현

(54) 발명의 명칭 반도체 장치 및 그 제작 방법

### (57) 요약

본 발명은, 보다 단순한 프로세스로, 종래보다 접합용량을 저감하고, 저소비 전력화를 실현할 수 있는 반도체 장치 및 그 제작 방법을 제공한다. 베이스 기판에 개구부를 갖는 절연막을 형성하고, 상기 절연막을 사이에 겹쳐 본드 기판의 일부를 베이스 기판에 전치함으로써, 베이스 기판과의 사이에 있어서 공동을 갖는 반도체 막을 베이스 기판 위에 형성한다. 그리고 상기 반도체 막을 사용하여, 트랜지스터 등의 반도체 소자를 갖는 반도체 장치를 형성한다. 상기 트랜지스터는, 활성층으로서 사용하는 반도체 막과 베이스 기판과의 사이에 공동을 가진다. 상기 공동은 단수라도 좋고, 복수라도 좋다.

대표도 - 도1



## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

반도체 장치의 제작 방법에 있어서,

베이스 기판 위에 제 1 개구부 및 제 2 개구부를 포함하는 제 1 절연막을 형성하는 단계와,

상기 제 1 절연막을 사이에 끼워 상기 베이스 기판에 본드 기판을 접합하는 단계와,

상기 본드 기판의 일부인 반도체 막을 상기 제 1 절연막에 고정하는 단계와,

상기 고정된 반도체 막을 원하는 형상으로 가공하는 단계와,

채널형성영역을 포함하는 상기 고정된 반도체 막 위에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계와,

상기 고정된 반도체 막 위에 제 2 절연막을 형성하는 단계와,

상기 채널 형성영역을 사이에 끼워 한 쌍의 불순물 영역을 형성하는 단계와,

상기 제 2 절연막에 제 3 개구부를 형성하는 단계와,

상기 제 3 개구부를 통해 상기 고정된 반도체 막에 전기적으로 접속되는 배선을, 상기 제 2 절연막 위에 형성하는 단계를 포함하고,

상기 반도체 막의 상기 채널형성영역은 상기 제 1 개구부 및 상기 제 2 개구부와 겹치고,

상기 한 쌍의 불순물 영역 중 한쪽은 상기 제 1 개구부 및 상기 제 2 개구부와 겹치는, 반도체 장치의 제작 방법.

### 청구항 6

반도체 장치의 제작 방법에 있어서,

베이스 기판 위에 제 1 절연막을 형성하는 단계와,

에칭에 의하여 상기 제 1 절연막에 복수의 제 1 개구부를 형성하는 단계와,

상기 복수의 제 1 개구부가 형성된 상기 제 1 절연막을 사이에 끼워 상기 베이스 기판에 본드 기판을 접합하는 단계와,

상기 본드 기판의 일부인 반도체 막을 상기 제 1 절연막에 고정하는 단계와,

상기 고정된 반도체 막을 원하는 형상으로 가공하는 단계와,

채널형성영역을 포함하는 상기 고정된 반도체 막 위에 게이트 절연막을 형성하는 단계와,

상기 게이트 절연막 위에 게이트 전극을 형성하는 단계와,

상기 고정된 반도체 막 위에 제 2 절연막을 형성하는 단계와,  
 상기 채널 형성영역을 사이에 끼워 한 쌍의 불순물 영역을 형성하는 단계와,  
 상기 제 2 절연막에 제 2 개구부를 형성하는 단계와,  
 상기 제 2 개구부를 통해 상기 고정된 반도체 막에 전기적으로 접속되는 배선을, 상기 제 2 절연막 위에 형성하는 단계를 포함하고,  
 상기 반도체 막의 상기 채널형성영역은 상기 복수의 제 1 개구부와 겹치고,  
 상기 한 쌍의 불순물 영역 중 한쪽은 상기 제 1 개구부 및 상기 제 2 개구부와 겹치는, 반도체 장치의 제작 방법.

#### 청구항 7

제 5 항에 있어서,  
 상기 베이스 기판은 반도체 기판인, 반도체 장치의 제작 방법.

#### 청구항 8

제 5 항에 있어서,  
 상기 본드 기판은 반도체 기판인, 반도체 장치의 제작 방법.

#### 청구항 9

제 6 항에 있어서,  
 상기 베이스 기판은 반도체 기판이고,  
 상기 제 1 절연막은 상기 베이스 기판의 열산화에 의해 형성되는, 반도체 장치의 제작 방법.

#### 청구항 10

제 6 항에 있어서,  
 상기 본드 기판은 반도체 기판인, 반도체 장치의 제작 방법.

#### 청구항 11

제 5 항에 있어서,  
 상기 제 3 개구부는 상기 제 1 개구부 및 상기 제 2 개구부 중 적어도 한쪽과 겹치는, 반도체 장치의 제작 방법.

#### 청구항 12

제 5 항에 있어서,  
 상기 반도체 막은 LDD(Lightly Doped Drain) 영역들 사이에 상기 채널형성영역을 포함하고,  
 상기 LDD 영역들은 상기 제 1 개구부 및 상기 제 2 개구부와 겹치는, 반도체 장치의 제작 방법.

#### 청구항 13

제 6 항에 있어서,  
 상기 반도체 막은 LDD 영역들 사이에 상기 채널형성영역을 포함하고,  
 상기 LDD 영역들은 상기 복수의 제 1 개구부와 겹치는, 반도체 장치의 제작 방법.

#### 청구항 14

제 5 항에 있어서,

상기 채널형성영역은 상기 제 1 절연막과 접하여 있는, 반도체 장치의 제작 방법.

## 청구항 15

제 6 항에 있어서,

상기 채널형성영역은 상기 제 1 절연막과 접하여 있는, 반도체 장치의 제작 방법.

## 명세서

### 발명의 상세한 설명

#### 기술 분야

[0001]

본 발명은, SOI(Silicon on Insulator) 기판을 사용한 반도체 장치 및 그 제작 방법에 관한 것이다. 특히, 접합 SOI 기술에 관한 것이며, 절연막을 사이에 끼워 단결정 또는 다결정의 반도체 막을 기판에 접합함으로써 얻어지는 SOI 기판을 사용한, 반도체 장치 및 그 제작 방법에 관한 것이다.

#### 배경 기술

[0002]

반도체 집적회로에 대한 고집적화, 고속화, 고기능화, 저소비 전력화의 요구가 보다 거세지고 있고, 그 실현을 위해서, 벌크(bulk)의 트랜지스터를 대신하는 유력한 수단으로서 SOI 기판을 사용한 트랜지스터가 주목을 받는다. SOI 기판을 사용한 트랜지스터는, 벌크의 트랜지스터와 비교하면, 반도체 막이 절연막 위에 형성되기 때문에, 기생 용량을 저감하고, 기판에 흐르는 누설 전류의 발생을 억제할 수 있고, 고속화, 저소비 전력화를 보다 기대할 수 있다. 그리고, 활성층으로서 사용하는 반도체 막을 얇게 할 수 있기 때문에, 단 채널 효과를 억제하고, 따라서, 소자의 미세화, 나아가서는 반도체 집적회로의 고집적화를 실현할 수 있다. 또한, SOI 기판을 사용한 트랜지스터는 완전히 래치 업 프리(latch up free)이기 때문에, 래치 업에 의한 발열로 소자가 파괴될 우려가 없다. 또한, 벌크의 트랜지스터와 같이, 웰(well)에 의한 소자분리를 행할 필요가 없기 때문에, 소자간의 거리를 짧게 할 수 있고, 고집적화를 실현할 수 있다고 하는 장점도 가진다.

[0003]

SOI 기판의 제작 방법의 하나는, 스마트 컷으로 대표되는 UNIBOND, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 절연막을 통하여 반도체 막을 기판에 접합하는 접합법이 있다. 상기 접합법을 사용함으로써, 단결정의 반도체 막을 사용한 고기능의 집적 회로를 다양한 기판 위에 형성할 수 있다.

[0004]

그런데, SOI 기판을 사용한 트랜지스터는, 반도체 막의 불순물 영역과 기판의 사이에 접합 용량이 형성된다. 반도체 집적회로의 더 저소비 전력화를 실현하기 위해서는, 이 접합 용량의 저감은 매우 중요한 과제이다. 접합 용량을 저감하고, 집적 회로의 안정한 동작을 확보하기 위해서는, 불순물 영역과 기판의 사이에 존재하는 절연막에 절연성을 유지하면서 유전율이 낮은 재료를 사용하는 일이 기대된다.

[0005]

하기의 특허 문헌1에는, 반도체 막과 기판의 사이에 중공의 스페이스가 설치된 SON(Silicon on Nothing) 구조의 트랜지스터에 대해서 기재된다. 또한, 특허 문헌 2에는, 반도체 막과 기판의 사이에 공동을 갖는 SOI 기판의 구성에 대해서 기재된다. 비유전율이 1인 공기를 사용하여 기판과 반도체 막의 사이를 절연함으로써, 접합 용량을 저감할 수 있다.

[0006]

[특허 문헌 1] 특개2001-144276호 공보

[0007]

[특허 문헌 2] 특개2004-146461호 공보

### 발명의 내용

#### 해결 하고자하는 과제

[0008]

그렇지만, 특허 문헌 1에 기재되는 SON 구조의 트랜지스터는, 제작 공정에 있어서, 취급할 때에 주의가 필요한 수소 가스를 많이 사용한다. 게다가 반도체 막의 막 두께나 공동의 위치의 제어가 어렵고, 복잡한 프로세스로 형성해야 한다. 그리고 반도체 막 중에 있어서, 결정 성장이 진행하여 충돌하는 곳의 결정성이 다른 곳과 비하여 뒤떨어지기 때문에, 소자의 특성이 불균일하게 되고, 높은 수율을 얻기 어렵다는 문제가 있다. 또한, 특허 문헌 2에 기재되는 SOI 기판에서는, 형성되는 SON 구조의 트랜지스터에 접합 용량을 저감시키는 여

지가 더 남겨진다.

[0009] 본 발명은, 상술한 문제를 감안하여, 보다 단순한 프로세스로, 종래보다 집합 용량을 저감하고, 저소비 전력화를 실현할 수 있는 반도체 장치 및 그 제작 방법의 제안을 과제로 한다.

### 과제 해결수단

[0010] 본 발명에서는, 베이스 기판(지지 기판)에 개구부를 갖는 절연막을 형성하고, 상기 절연막을 사이에 끼워 본드 기판(반도체 기판)의 일부를 베이스 기판에 전치함으로써, 베이스 기판과의 사이에 있어서 공동을 갖는 반도체 막을 베이스 기판 위에 형성한다. 그리고 상기 반도체 막을 사용하여, 트랜지스터 등의 반도체 소자를 갖는 반도체 장치를 형성한다. 구체적으로는, 본 발명의 반도체 장치가 갖는 트랜지스터는, 활성층으로서 사용하는 반도체 막과 베이스 기판의 사이에 절연막의 개구부에 의하여 형성되는 공동을 가진다. 상기 공동은 단수라도 좋고, 복수라도 좋다. 또한, 상기 공동은, 반도체 막의 채널 형성 영역과 겹치도록 형성되어도 좋고, 소스 또는 드레인의 어느 한쪽과 겹치도록 형성되어도 좋고, 혹은 소스, 드레인 및 채널 형성 영역과 겹치도록 형성되어도 좋다.

[0011] 또한, 본 발명의 반도체 장치의 제작 방법은, 후에 공동으로서 사용되는 개구부를 갖는 절연막을 베이스 기판 위에 형성한다. 다음, 상기 개구부가 본드 기판 측을 향하도록 본드 기판과 베이스 기판을 접합함으로써, 본드 기판이나 베이스 기판의 사이에 공동을 형성한다. 그리고, 그 일부가 베이스 기판에 잔존하도록 본드 기판을 벽개(壁開)하여, 상기 공동을 베이스 기판과의 사이에 가지도록 반도체 막을 베이스 기판 위에 형성한다. 다음, 상기 공동을 베이스 기판과의 사이에 유지한 채로 상기 반도체 막을 원하는 형상으로 가공하여, 트랜지스터 등의 반도체 소자를 형성한다.

### 효과

[0012] 본 발명의 반도체 장치가 갖는 트랜지스터는, 반도체 막과 공동이 접한다. 따라서, 예를 들면, 산화규소 등의 무기 절연막에 비하여 비유전율이 낮은 공기, 질소, 불활성 가스 등으로 공동을 충만시킴으로써, 트랜지스터의 기생 용량 또는 집합 용량을 저감할 수 있다. 따라서, 반도체 장치의 저소비 전력화를 실현할 수 있다.

[0013] 본 발명의 제작 방법은, 에칭 등의 미리 확립된 수단을 사용하여 개구부를 형성할 수 있기 때문에, 원하는 깊이 및 형상을 갖는 공동을 보다 안전하고 간단한 제작 방법으로 정밀하게 형성할 수 있기 때문에, 반도체 장치의 제작에 드는 비용을 억제할 수 있고, 수율도 높게 할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0014] 이하, 본 발명의 실시형태에 대해서 도면을 참조하면서 설명한다. 그러나, 본 발명은 많은 다른 모양으로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0015] (실시형태 1)

[0016] 본 발명의 반도체 장치에 있어서, 반도체 소자가 갖는 반도체 막의 구성에 대해서, 도 1a를 사용하여 설명한다.

[0017] 도 1a에 나타내는 반도체 막(100)은, 절연막(101)을 사이에 끼우도록 베이스 기판(102) 위에 형성된다. 절연막(101)과 반도체 막(100)이 접합함으로써, 반도체 막(100)을 베이스 기판(102)에 접합시킬 수 있다. 또한, 절연막(101)은 개구부를 적어도 1개 가지며, 상기 개구부에 의하여, 반도체 막(100)과 베이스 기판(102)의 사이에 공동(103)이 형성된다. 공동(103)의 일부 또는 전부는 반도체 막(100)의 일부와 겹쳐, 따라서, 절연막(101)은 개구부 이외의 영역에 있어서, 적어도 그 일부가 반도체 막(100)과 접한다. 공동(103)의 수는, 도 1a에 나타내는 구성에 한정되지 않는다. 반도체 막(100)과 베이스 기판(102)의 사이에 공동(103)이 단수 형성되어도 좋고, 복수 형성되어도 좋다.

[0018] 절연막(101)은 단수의 절연막으로 형성되어도 좋고, 복수의 절연막이 적층되도록 형성되어도 좋다.

[0019] 절연막(101)은, 개구부를 제외한 베이스 기판(102)의 전면에 형성되어도 좋고, 적어도 반도체 막(100)과 그 일부가 접하는 정도로 부분적으로 형성되어도 좋다. 또한, 도 1a에서는, 절연막(101)이 갖는 개구부에

있어서 베이스 기관(102)이 노출하지만, 본 발명은 이 구성에 한정되지 않는다. 절연막(101)이 개구부에 있어서도 베이스 기관(102) 위에 형성되어도 좋다.

[0020]

다음, 도 1a에 나타내는 반도체 막(100)을 사용한 반도체 소자의 하나인, 트랜지스터의 구성에 대해서 설명한다. 도 1b는, 반도체 막(100)을 사용하여 형성된 트랜지스터의 단면도의 일례이다. 도 1b에 나타내는 트랜지스터는, 반도체 막(100)에, 소스 또는 드레인으로서 기능하는 한 쌍의 불순물 영역(104, 105)과, 채널 형성 영역(106)을 가진다. 그리고, 도 1b에 나타내는 트랜지스터는, 게이트 절연막(107)을 사이에 끼우고 채널 형성 영역(106)과 겹치도록 게이트 전극으로서 기능하는 전극(108)을 가진다.

[0021]

도 1b에 나타내는 트랜지스터에서는, 공동(103)이, 채널 형성 영역(106), 전극(108)과 겹치는 위치에 형성된다. 또한, 본 발명에 있어서, 공동의 위치는, 도 1b에 나타난 구성에 한정되지 않는다. 공동은, 한 쌍의 불순물 영역(104, 105)의 어느 한 쪽과 겹치도록 형성되어도 좋고, 한 쌍의 불순물 영역(104, 105) 및 채널 형성 영역(106)과 겹치도록 형성되어도 좋다. 적어도 채널 형성 영역(106)과 겹치도록 공동을 형성하는 경우, 불순물 영역(104, 105)만과 겹치도록 공동을 형성하는 경우에 비교하여, 보다 셀프 히팅(self heating)을 억제할 수 있다.

[0022]

다음, 2개의 공동과 겹치도록 형성되는 반도체 막(110)을 사용한 트랜지스터의 구성에 대해서 설명한다. 도 1c는, 2개의 공동과 겹치는 반도체 막(110)을 사용하여 형성된 트랜지스터의 단면도의 일례이다. 도 1c에 나타내는 트랜지스터는, 반도체 막(110)에, 소스 또는 드레인으로서 기능하는 한 쌍의 불순물 영역(111, 112)과, 채널 형성 영역(113)을 가진다. 그리고 도 1c에 나타내는 트랜지스터는, 게이트 절연막(114)을 사이에 끼워 채널 형성 영역(113)과 겹치도록, 게이트로서 기능하는 전극(115)을 가진다.

[0023]

도 1c에 나타내는 트랜지스터에서는, 반도체 막(110)과 베이스 기관(116)의 사이에, 절연막(117)이 갖는 개구부에 의하여 형성되는 공동(118, 119)을 가진다. 그리고 공동(118, 119)이, 한 쌍의 불순물 영역(111, 112)과, 각각 겹치는 위치에 형성된다. 공동(118, 119)이 적어도 불순물 영역(111, 112)과 겹치는 경우, 채널 형성 영역(113)만과 겹치는 공동을 형성하는 경우와 비교하여, 트랜지스터의 접합 용량을 보다 저감시킬 수 있다.

[0024]

본 발명의 반도체 장치가 갖는 트랜지스터는, 반도체 막(100, 110)과, 베이스 기관(102, 116)의 사이에 공동(103, 118, 119)을 가지고, 또한, 반도체 막(100, 110)과 공동(103, 118, 119)이 각각 접한다. 따라서, 예를 들면, 산화규소 등의 무기 절연막에 비교하여 비유전율이 낮은 공기, 질소, 불활성 가스 등으로 공동(103, 118, 119)을 충만시킴으로써, 트랜지스터의 기생 용량 또는 접합 용량이 저감될 수 있다. 상기 기체는, 온도 변화에 따른 체적 팽창을 억제하기 위해서, 수분의 함유율을 저감시키는 것이 바람직하다. 또한, 실제로는, 반도체 막(100, 110)의 공동(103, 118, 119)과 각각 접하는 부분에는, 자연 산화막이 형성되는 경우가 있다. 그러나, 특허 문헌 2에 기재되는 절연막은 수 $\mu\text{m}$  내지 수백 $\mu\text{m}$ 의 막 두께를 갖는 것이 전체가 되며, 자연 산화막은, 상기 절연막에 비교하여 그 막 두께는 수nm 정도이며, 비약적으로 얇다. 따라서, 본 발명은, 반도체 막(100, 110)의 공동(103, 118, 119)에 각각 접하는 부분에 상기 막 두께를 갖는 절연막을 형성한 경우에 비교하여, 트랜지스터의 기생 용량 또는 접합 용량을 저감할 수 있다고 말할 수 있다.

[0025]

또한, 본 실시형태에서는, 공동(103, 118, 119)을 공기 등의 기체로 충만시키는 경우에 대해서 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들면, 공동(103, 118, 119)을 산화규소 등의 무기 절연막보다 비유전율이 낮은 기체 이외의 재료, 예를 들면, 내부에 다수의 기공을 갖는 다공질 절연막(다공성 재료) 등으로 충만시켜도 좋다.

[0026]

또한, 본 발명의 범주에 포함되는 반도체 장치로서는, 마이크로 프로세서, 화상 처리회로 등의 집적 회로나, 반도체 표시장치 등, 다양한 반도체 장치가 포함된다. 반도체 표시 장치에는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이나, 반도체 막을 사용한 회로 소자를 구동 회로로 갖는 그 이외의 표시 장치가 그 범주에 포함된다.

[0027]

(실시형태 2)

[0028]

본 실시형태에서는, 본 발명의 반도체 장치가 갖는 트랜지스터의 보다 구체적인 구성에 대해서 설명한다.

[0029]

도 2a 내지 도 2c에 본 발명의 반도체 장치가 갖는 트랜지스터의 단면도 및 상면도의 일례를 나타낸다. 도 2a는, 트랜지스터의 상면도이며, 도 2a의 A-A'에 있어서의 단면도를 도 2b에 나타내고, 도 2a의 B-B'에 있



어서의 단면도를 도 2c에 나타낸다.

- [0030] 도 2a 내지 도 2c에 나타내는 트랜지스터는, 활성층으로서 기능하는 반도체 막(120)과, 반도체 막(120)과 겹치는 부분이 게이트로서 기능하는 전극(121)과, 반도체 막(120)과 전극(121)의 사이에 형성된 게이트 절연막(122)을 가진다. 또한, 반도체 막(120)은, 소스 또는 드레인으로서 기능하는 불순물 영역(123, 124), 채널 형성 영역(125), 불순물 영역(123, 124)과 채널 형성 영역(125)의 사이에 형성된 LDD(Lightly Doped Drain)영역(126, 127)을 가진다.
- [0031] 반도체 막(120)과 베이스 기판(129)의 사이에는, 절연막(131)이 형성된다. 그리고, 절연막(131)이 갖는 개구부에 의하여, 반도체 막(120)과 베이스 기판(129)의 사이에 공동(130)이 1개 형성된다. 도 2a 내지 도 2c에서는, 공동(130)이, 반도체 막(120)과 겹치는 영역의 내부에 완전히 들어간다. 또한, 공동(130)은, 반도체 막(120) 중, 채널 형성 영역(125)과 겹친다. 적어도 채널 형성 영역(125)과 겹치도록 공동(130)을 형성하는 경우, 불순물 영역(123, 124)과만 겹치도록 공동(130)을 형성하는 경우에 비교하여 보다 셀프 히팅을 억제할 수 있다.
- [0032] 또한, 도 2a 내지 도 2c에서는, 공동(130)이 반도체 막(120)과 겹치는 영역의 내부에 완전히 들어가지만, 본 발명은, 이 구성에 한정되지 않는다. 공동(130)이 반도체 막(120)과 겹치는 영역의 외부까지 형성되어도 좋다. 이 경우, 공동(130)이 반도체 막(120)과 겹치는 영역의 외부에 있어서 개구된다. 공동(130)이 개구됨으로써, 공동(130)의 내부와 외부의 기압의 차이가 없어진다. 따라서, 가열 처리에 있어서의 온도 변화가 급격해도 반도체 막(120)의 형상이 변화하는 것을 방지할 수 있다.
- [0033] 또한, 도 2a 내지 도 2c에 나타내는 트랜지스터는, 반도체 막(120)이 LDD영역(126, 127)을 가지지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(126, 127)은 반드시 형성되지 않아도 좋고, 또는 어느 한 쪽만이 형성되어도 좋다. 또한, 도 2a 내지 도 2c에 나타내는 트랜지스터는, 반도체 막(120)에 있어서, 전극(121)과 겹치는 영역과 다른 영역에 LDD영역(126, 127)이 형성되지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(126, 127)은, 전극(121)과 겹치는 영역에 형성되어도 좋다. 또는 전극(121)과 겹치는 영역과, 그 이외의 영역에 겹치도록 형성되어도 좋다.
- [0034] 또한, 도 2a 내지 도 2c에 나타내는 트랜지스터는, LDD영역(126, 127)을 형성할 때에 마스크로서 사용하는 사이드 월(128)이 전극(121)의 측면부에 형성되지만, 본 발명은 이 구성에 한정되지 않는다.
- [0035] 도 3a 내지 도 3c에 본 발명의 반도체 장치가 갖는 트랜지스터의 단면도 및 상면도의 일례를 나타낸다. 도 3a에는 트랜지스터의 상면도이며, 도 3a의 A-A'에 있어서의 단면도를 도 3b에 나타내고, 도 3a의 B-B'에 있어서의 단면도를 도 3c에 나타낸다.
- [0036] 도 3a 내지 도 3c에 나타내는 트랜지스터는, 활성층으로서 기능하는 반도체 막(140)과, 반도체 막(140)과 겹치는 부분이 게이트로서 기능하는 전극(141)과, 반도체 막(140)과 전극(141)의 사이에 형성된 게이트 절연막(142)을 가진다. 또한, 반도체 막(140)은, 소스 또는 드레인으로서 기능하는 불순물 영역(143, 144), 채널 형성 영역(145), 불순물 영역(143, 144)과 채널 형성 영역(145)의 사이에 형성된 LDD(Lightly Doped Drain)영역(146, 147)을 가진다.
- [0037] 반도체 막(140)과 베이스 기판(149)의 사이에는, 절연막(152)이 형성된다. 그리고, 절연막(152)이 갖는 개구부에 의하여, 반도체 막(140)과 베이스 기판(149)의 사이에 2개의 공동(150)과 공동(151)이 형성된다. 공동(150)은 불순물 영역(143)과 겹치고, 공동(151)은 불순물 영역(144)과 겹친다. 공동(150, 151)이 적어도 불순물 영역(143, 144)과 겹치는 경우, 채널 형성 영역(145)만과 겹치는 공동(150)을 형성하는 경우와 비교하여, 트랜지스터의 접합 용량을 보다 저감시킬 수 있다. 또한, 공동(150)과 공동(151)은, 반도체 막(140)과 겹치는 영역의 내부에 완전히 들어가도 좋고, 도 3a 내지 도 3c와 같이, 공동(150), 공동(151)이 반도체 막(140)과 겹치는 영역의 외부까지 형성되어도 좋다. 후자의 경우, 공동(150), 공동(151)이 반도체 막(140)과 겹치는 영역의 외부에 있어서 개구된다. 공동(150, 151)이 개구되는 경우, 공동(150, 151)의 내부와 외부의 기압의 차이가 없어진다. 따라서, 가열 처리에 있어서의 온도 변화가 급격해도, 반도체 막(140)의 형상이 변화하는 것을 방지할 수 있다.
- [0038] 또한, 도 3a 내지 도 3c에 나타내는 트랜지스터는, 반도체 막(140)이 LDD 영역(146, 147)을 갖지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(146, 147)은 반드시 형성하지 않아도 좋고, 또는 어느 한 쪽만이 형성되어도 좋다. 또한, 도 3a 내지 도 3c에 나타내는 트랜지스터는, 반도체 막(140)에 있어서, 전극(141)과 겹치는 영역과 다른 영역에 LDD영역(146, 147)이 형성되지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(146, 147)은, 전극(141)과 겹치는 영역에 형성되어도 좋다. 또는 전극(141)과 겹치는 영역과, 그 이외의 영역

에 걸치도록 형성되어도 좋다.

- [0039] 또한, 도 3a 내지 도 3c에 나타내는 트랜지스터는, LDD영역(146, 147)을 형성할 때에 마스크로서 사용하는 사이드 월(148)이 전극(141)의 측면부에 형성되지만, 본 발명은 이 구성에 한정되지 않는다.
- [0040] 도 4a 내지 도 4c에 본 발명의 반도체 장치가 갖는 트랜지스터의 단면도 및 상면도의 일례를 나타낸다. 도 4a는, 트랜지스터의 상면도이며, 도 4a의 A-A'에 있어서의 단면도를 도 4b에 나타내고, 도 4a의 B-B'에 있어서의 단면도를 도 4c에 나타낸다.
- [0041] 도 4a 내지 도 4c에 나타내는 트랜지스터로서는, 활성층으로서 기능하는 반도체 막(160)과, 반도체 막(160)과 겹치는 부분이 게이트로서 기능하는 전극(161)과, 반도체 막(160)과 전극(161)의 사이에 형성된 게이트 절연막(162)을 가진다. 또한, 반도체 막(160)은, 소스 또는 드레인으로서 기능하는 불순물 영역(163, 164), 채널 형성 영역(165), 불순물 영역(163, 164)과 채널 형성 영역(165)의 사이에 형성된 LDD(Lightly Doped Drain)영역(166, 167)을 가진다.
- [0042] 반도체 막(160)과 베이스 기판(169)의 사이에는, 절연막(171)이 형성된다. 그리고, 절연막(171)이 갖는 개구부에 의하여, 반도체 막(160)과 베이스 기판(169)의 사이에 1개의 공동(172)이 형성된다. 그리고 공동(172)은 불순물 영역(163, 164) 및 채널 형성 영역(165)과 겹친다. 공동(172)이 불순물 영역(163, 164) 및 채널 형성 영역(165)과 겹치는 경우, 셀프 히팅을 억제하는 것뿐만 아니라, 트랜지스터의 접합 용량을 보다 저감시킬 수 있다. 또한, 공동(172)은, 도 4a 내지 도 4c와 같이, 반도체 막(160)과 겹치는 영역의 내부에 완전히 들어가도 좋고, 공동(172)이 반도체 막(160)과 겹치는 영역의 외부까지 형성되어도 좋다. 후자의 경우, 공동(172)이 반도체 막(160)과 겹치는 영역의 외부에 있어서 개구된다. 공동(172)이 개구되는 경우, 공동(172)의 내부와 외부의 기압의 차이가 없어진다. 따라서, 가열 처리에 있어서의 온도 변화가 급격해도, 반도체 막(160)의 형상이 변화하는 것을 방지할 수 있다.
- [0043] 또한, 도 4a 내지 도 4c에 나타내는 트랜지스터는, 반도체 막(160)이 LDD영역(166, 167)을 갖지만, 본 발명은, 이 구성에 한정되지 않는다. LDD영역(166, 167)은 반드시 형성되지 않아도 좋고, 또는 어느 한 쪽만이 형성되어도 좋다. 또한, 도 4a 내지 도 4c에 나타내는 트랜지스터는, 반도체 막(160)에 있어서, 전극(161)과 겹치는 영역과 다른 영역에 LDD영역(166, 167)이 형성되지만, 본 발명은 이 구성에 한정되지 않는다. LDD 영역(166, 167)은, 전극(161)과 겹치는 영역에 형성되어도 좋다. 또는 전극(161)과 겹치는 영역과, 그 이외의 영역에 걸치도록 형성되어도 좋다.
- [0044] 또한, 도 4a 내지 도 4c에 나타내는 트랜지스터는, LDD영역(166, 167)을 형성할 때에, 마스크로서 사용하는 사이드 월(168)이 전극(161)의 측면부에 형성되지만, 본 발명은 이 구성에 한정되지 않는다.
- [0045] 도 5a 내지 도 5d에, 본 발명의 반도체 장치가 갖는 트랜지스터의 단면도 및 상면도의 일례를 나타낸다. 도 5a는, 트랜지스터의 상면도이며, 도 5a의 A-A'에 있어서의 단면도를 도 5b에 나타내고, 도 5a의 B-B'에 있어서의 단면도를 도 5c에 나타내고, 도 5a의 C-C'에 있어서의 단면도를 도 5d에 나타낸다.
- [0046] 도 5a 내지 도 5d에 나타내는 트랜지스터는, 활성층으로서 기능하는 반도체 막(180)과, 반도체 막(180)과 겹치는 부분이 게이트로서 기능하는 전극(181)과, 반도체 막(180)과 전극(181)의 사이에 형성된 게이트 절연막(182)을 가진다. 또한, 반도체 막(180)은, 소스 또는 드레인 전극으로서 기능하는 불순물 영역(183, 184), 채널 형성 영역(185), 불순물 영역(183, 184)과 채널 형성 영역(185)의 사이에 형성된 LDD(Lightly Doped Drain)영역(186, 187)을 가진다.
- [0047] 반도체 막(180)과 베이스 기판(189)의 사이에는, 절연막(191)이 형성된다. 그리고, 절연막(191)이 갖는 개구부에 의하여, 반도체 막(180)과 베이스 기판(189)의 사이에, 복수의 공동(192 내지 195)이 형성된다. 공동(192 내지 195)은, 불순물 영역(183, 184) 및 채널 형성 영역(185)과 겹친다. 공동(192 내지 195)이 불순물 영역(183, 184) 및 채널 형성 영역(185)과 겹침으로써, 셀프 히팅을 억제하는 것뿐만 아니라, 트랜지스터의 접합 용량을 보다 저감시킬 수 있다.
- [0048] 또한, 공동(192 내지 195)은, 반도체 막(180)과 겹치는 영역의 내부에 완전히 들어가도 좋고, 도 5a 내지 도 5d에 나타내는 바와 같이, 반도체 막(180)과 겹치는 영역의 외부까지 형성되어도 좋다. 후자의 경우, 공동(192 내지 195)이 반도체 막(180)과 겹치는 영역의 외부에 있어서 개구한다. 공동(192 내지 195)이 개구되는 경우, 공동(192 내지 195)의 내부와 외부의 기압의 차이가 없어진다. 따라서, 가열 처리에 있어서의 온도 변화가 급격해도, 반도체 막(180)의 형상이 변화하는 것을 방지할 수 있다.



- [0049] 또한, 도 5a 내지 도 5d에 나타내는 트랜지스터는, 반도체 막(180)이 LDD영역(186, 187)을 갖지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(186, 187)은 반드시 형성되지 않아도 좋고, 또는 어느 한 쪽만이 형성되어도 좋다. 또한, 도 5a 내지 도 5c에 나타내는 트랜지스터는, 반도체 막(180)에 있어서, 전극(181)과 겹치는 영역과 다른 영역에 LDD영역(186, 187)이 형성되지만, 본 발명은 이 구성에 한정되지 않는다. LDD영역(186, 187)은, 전극(181)과 겹치는 영역에 형성되어도 좋다. 또는, 전극(181)과 겹치는 영역과, 그 이외의 영역에 걸쳐도록 형성되어도 좋다.
- [0050] 또한, 도 5a 내지 도 5c에 나타내는 트랜지스터는, LDD영역(186, 187)을 형성할 때에 마스크로서 사용하는 사이드 월(188)이 전극(181)의 측면부에 형성되지만, 본 발명은 이 구성에 한정되지 않는다.
- [0051] 또한, 반도체 막의 아래 부분에 형성되는 공동이 도 4a 내지 도 4c에 나타내는 바와 같이, 단수의 경우, 반도체 막의 아래 부분에 보다 넓은 면적으로 공동을 레이아웃할 수 있기 때문에, 공동이 복수의 경우보다 접합 용량 및 기생 용량을 보다 저감시킬 수 있고, 셀프 히팅도 보다 억제할 수 있다. 또한, 반도체 막의 아래 부분에 형성되는 공동이 도 5a 내지 도 5d에 나타내는 바와 같이, 복수의 경우, 단수의 경우보다 물리적 강도가 보다 강한 트랜지스터를 형성할 수 있다.
- [0052] 또는, 도 2a 내지 도 2c에 나타내는 트랜지스터의 경우, 채널 형성 영역과 겹치도록 공동이 1개만 형성되지만, 본 발명은 이 구성에 한정되지 않는다. 채널 형성 영역과 겹치도록 공동이 복수 형성되어도 좋다. 공동이 단수인 경우, 채널 형성 영역의 아래 부분에 보다 넓은 면적으로 공동을 레이아웃할 수 있기 때문에, 공동이 복수의 경우보다 셀프 히팅을 보다 억제할 수 있다. 또한, 채널 형성 영역의 아래 부분에 형성되는 공동이 복수인 경우, 단수의 경우보다 물리적 강도가 보다 강한 트랜지스터를 형성할 수 있다.
- [0053] 또한, 도 3a 내지 도 3c에 나타내는 트랜지스터의 경우, 각 불순물 영역과 겹치는 공동이 1개씩 형성되지만, 본 발명은 이 구성에 한정되지 않는다. 하나의 불순물 영역과 겹치는 공동이 복수 형성되어도 좋다. 하나의 불순물 영역과 겹치는 공동이 단수의 경우, 불순물 영역의 아래 부분에 보다 넓은 면적으로 공동을 레이아웃할 수 있기 때문에, 공동이 복수의 경우보다 셀프 히팅을 억제할 수 있다. 또한, 하나의 불순물 영역의 아래 부분에 형성되는 공동이 복수의 경우, 단수의 경우보다 물리적 강도가 강한 트랜지스터를 형성할 수 있다.
- [0054] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0055] (실시형태 3)
- [0056] 본 실시형태에서는, 반도체 기판(본드 기판)으로부터 개구부를 갖는 절연막이 형성된 지지 기판(베이스 기판)에 반도체 막을 전치하는, 본 발명의 반도체 장치의 제작 방법에 대해서 설명한다.
- [0057] 우선, 도 6a에 나타내는 바와 같이, 본드 기판(200)에 화살표로 나타내는 바와 같이, 수소 또는 희가스, 혹은 수소 이온 또는 희가스 이온을 조사하고, 본드 기판(200)의 표면으로부터 일정한 깊이의 영역에, 미소 보이드(void)를 갖는 결함층(201)을 형성한다. 결함층(201)이 형성되는 위치는, 상기 주입의 가속 전압에 따라 결정된다. 그리고 결함층(201)의 위치에 따라 본드 기판(200)으로부터 베이스 기판에 전치하는 반도체 막(205)의 두께가 결정하기 때문에, 주입의 가속 전압은 반도체 막의 두께를 고려하여 행한다. 상기 반도체 막(205)의 두께는 10nm 내지 200nm, 바람직하게는, 10nm 내지 50nm의 두께로 한다. 예를 들면, 수소를 본드 기판(200)에 주입하는 경우, 도즈량은  $1 \times 10^{16}/\text{cm}^2$  내지  $1 \times 10^{17}/\text{cm}^2$ 로 하는 것이 바람직하다.
- [0058] 다음, 도 6b에 나타내는 바와 같이, 베이스 기판(202) 위에 형성된 절연막(203)을 원하는 형상으로 가공(패터닝)함으로써, 절연막(203)을 부분적으로 제거하여 개구부(204)를 형성한다. 베이스 기판(202)은 개구부(204)에 있어서 노출되어도 좋고, 개구부(204)에 있어서 절연막(203)에 덮여도 좋다. 구체적으로는, 레지스트로 형성된 마스크를 사용하여, 절연막(203)을 에칭함으로써, 패터닝을 행할 수 있다. 개구부(204)는, 후에 트랜지스터의 반도체 막과 베이스 기판(202)의 사이에 형성되는 공동에 상당한다. 따라서, 개구부(204)의 형성은, 트랜지스터의 반도체 막의 레이아웃을 고려하여 행해진다.
- [0059] 절연막(203)은, 산화규소, 질화산화규소, 질화규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 예를 들면, 산화규소를 절연막(203)으로서 사용하는 경우, 절연막(203)은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등의 혼합 가스를 사용하여, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 기상 성장법에 의하여 형성할 수 있다. 이 경우, 절연막(203)의 표면을 산소 플라즈마 처리로 치밀화하여도 좋다.
- [0060] 또한, 절연막(203)으로서, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소를

사용하여도 좋다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ), 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ), 트리디메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0061] 절연막(203)은, 단수의 절연막을 사용하는 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 예를 들면, 본 실시형태에서는, 베이스 기판(202)에 가까운 측에서, 질소보다 산소의 함유량이 많은 질화산화규소, 산소보다 질소의 함유량이 많은 질화산화규소, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소의 순서로 적층된 절연막(203)을 사용한다.

[0062] 또한, 질화규소를 절연막(203)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다. 또한, 질화산화규소를 절연막(203)으로서 사용하는 경우, 실란과 암모니아의 혼합가스, 또는 실란과 산화질소의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다.

[0063] 또한, 본드 기판(200)과, 베이스 기판(202)을 접합하기 전에, 본드 기판(200)에 수소화 처리를 행하여도 좋다. 수소화 처리는, 예를 들면, 수소 분위기 중에 있어서 350℃, 2시간 정도 행한다.

[0064] 마스크를 제거한 후, 도 6c에 나타내는 바와 같이, 본드 기판(200)과, 베이스 기판(202)을, 절연막(203)을 사이에 끼우도록 접합한다. 본드 기판(200)과 베이스 기판(202)의 접합은, 개구부(204)가 본드 기판(200) 측을 향하도록 행한다. 절연막(203)과 본드 기판(200)이, 개구부(204) 이외의 영역에 있어서 접합함으로써, 본드 기판(200)과 베이스 기판(202)을 접합시킬 수 있다.

[0065] 접합의 형성은 반데르발스 힘(Van der Waal's forces)을 사용하여 행해지고, 실온에서 강고한 접합이 형성된다. 또한, 상기 접합은 저온에서 행할 수 있기 때문에, 베이스 기판(202)은 다양한 것을 사용할 수 있다. 예를 들면, 베이스 기판(202)으로서, 알루미늄 실리케이트 유리, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기판 이외에도, 석용 기판, 사파이어 기판 등의 기판을 사용할 수 있다. 또한, 베이스 기판(202)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기판 등을 사용할 수 있다.

[0066] 또한, 반도체 기판을 베이스 기판(202)으로서 사용하는 경우, 베이스 기판(202)을 열 산화시킴으로써, 절연막(203)을 형성할 수 있다.

[0067] 본드 기판(200)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기판 또는 다결정 반도체 기판을 사용할 수 있다. 그 이외에도, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기판 또는 다결정 반도체 기판을, 본드 기판(200)으로서 사용할 수 있다. 또한, 본드 기판(200)으로서 결정 격자에 뒤틀림을 갖는 실리콘, 실리콘에 대해서 게르마늄이 첨가된 실리콘 게르마늄 등의 반도체 기판을 사용하여도 좋다. 뒤틀림을 갖는 실리콘은, 실리콘보다 격자 정수가 큰 실리콘게르마늄 또는 질화규소 위에 있어서의 성막에 의하여, 형성할 수 있다.

[0068] 또한, 베이스 기판(202)과 본드 기판(200)을 접합한 후에, 가열 처리 또는 가압 처리를 행하여도 좋다. 가열 처리 또는 가압 처리를 행함으로써, 접합 강도를 향상시킬 수 있다.

[0069] 본드 기판(200)과 베이스 기판(202)의 사이에서 접합을 행한 후, 열 처리를 행함으로써, 결합층(201)에 있어서 인접하는 미소 보이드끼리가 결합하고, 미소 보이드의 체적이 증대한다. 그 결과, 도 6d에 나타내는 바와 같이, 결합층(201)에 있어서, 본드 기판(200)이 벽개하고, 본드 기판(200)의 일부인 반도체 막(205)이 박리한다. 열 처리의 온도는 본드 기판(200)의 내열 온도 이하로 행하는 것이 바람직하고, 예를 들면, 400℃ 내지 600℃의 범위내로 열 처리를 행하면 좋다. 이 박리에 의하여, 반도체 막(205)이 베이스 기판(202)에 전치된다. 그 후, 절연막(203)과 반도체 막(205)의 접합을 또 강고하게 하기 위해서, 400℃ 내지 600℃의 열 처리를 행하는 것이 바람직하다.

[0070] 반도체 막(205)의 결정면방위는, 본드 기판(200)의 면방위에 의하여 제어할 수 있다. 형성하는 반도체 소자에 적합한 결정면방위를 갖는 본드 기판(200)을, 적절히 선택하여 사용하면 좋다. 또한, 트랜지스터의 이동도는 반도체 막(205)의 결정면방위에 따라 다르다. 보다 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정면방위를 고려하여, 본드 기판(200)을 접합하는 방향을 결정한다.

[0071] 반도체 막(205)과 베이스 기판(202)의 사이에는, 개구부(204)에 의하여 형성되는 한 쌍의 공동(207)이

형성된다.

- [0072] 다음, 도 7a에 나타내는 바와 같이, 전치된 반도체 막(205)의 표면을 평탄화한다. 평탄화는 반드시 필수가 아니지만, 평탄화를 행함으로써, 후에 형성되는 트랜지스터에 있어서 반도체 막(205)과 게이트 절연막의 계면의 특성을 향상시킬 수 있다. 구체적으로는, 평탄화는, 화학적 기계적 연마(CMP: Chemical Mechanical Polishing) 또는 액체 젯 연마 등에 의하여 행할 수 있다. 반도체 막(205)의 두께는, 상기 평탄화에 의하여 박막화된다. 평탄화한 후의 반도체 막(205)은, 두께가 5nm 내지 25nm인 것이 바람직하다.
- [0073] 또한, 본 실시형태에서는, 결함층(201)의 형성에 의하여 반도체 막(205)을 본드 기판(200)으로부터 박리하는 스마트 컷 법을 사용하는 경우에 대해서 나타내지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 다른 침작법을 사용하여 반도체 막(205)을 베이스 기판(202)에 접합하여도 좋다.
- [0074] 다음, 도 7b에 나타내는 바와 같이, 반도체 막(205)을 패터닝함으로써, 섬 형상의 반도체 막(206)을 형성한다. 반도체 막(205)을 패터닝한 후에도, 섬 형상의 반도체 막(206)과 베이스 기판(202)의 사이에는, 개구부(204)에 의하여 형성되는 한 쌍의 공동(207)이 유지된다.
- [0075] 상기 공정을 거쳐 형성된 반도체 막(206)을 사용하여, 본 발명은 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다. 도 7c에는, 반도체 막(206)을 사용하여 형성된 트랜지스터(210)를 예시한다.
- [0076] 본 발명의 제작 방법에서는, 개구부(204)를 에칭에 의하여 형성하기 때문에, 원하는 깊이 및 형상을 갖는 공동(207)을, 간단한 방법으로 정밀하게 형성할 수 있다.
- [0077] 또한, 제작된 트랜지스터(210)는, 반도체 막(206)과 베이스 기판(202)의 사이에 공동(207)을 가지며, 또한, 반도체 막(206)과 공동(207)이 접한다. 따라서, 예를 들면, 산화규소 등의 무기 절연막에 비교하여 비유전율이 낮은 공기, 질소, 불활성 가스 등으로 공동(207)을 충만시킴으로써, 트랜지스터(210)의 기생 용량 또는 접합 용량을 저감할 수 있다. 상기 기체는, 온도 변화에 따른 체적팽창을 억제하기 위하여 수분의 함유율을 저감시키는 것이 바람직하다. 또한, 실제로는, 반도체 막(206)의 공동(207)과 접하는 부분에는, 자연 산화막이 형성되는 경우가 있다. 그러나, 특허 문헌 2에 기재되는 절연막은 수 $\mu\text{m}$  내지 수백 $\mu\text{m}$ 의 막 두께인 것이 전제이며, 자연 산화막은, 상기의 절연막에 비교하여 그 막 두께는 수nm 정도이며, 비약적으로 얇다. 따라서, 본 발명은, 반도체 막(206)의 공동에 접하는 부분에 상기 막 두께를 갖는 절연막을 형성한 경우에 비교하여, 트랜지스터(210)의 기생 용량 또는 접합 용량을 저감할 수 있다고 말할 수 있다.
- [0078] 또한 본 실시형태에서는, 공동(207)을 기체로 충만시키는 경우에 대해서 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들면, 공동(207)을 산화규소 등의 무기 절연막보다 비유전율이 낮은 재료, 예를 들면, 내부에 다수의 기공을 갖는 다공질 절연막(다공성 재료) 등으로 충만시켜도 좋다.
- [0079] 또한, 본 실시형태에서는, 섬 형상의 반도체 막(206)과 베이스 기판(202)의 사이에 공동(207)이 2개 형성되는 구성을 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 형성되는 공동(207)은 단수라도 좋고, 3개 이상의 복수라도 좋다. 또한, 본 실시형태에서는, 소스 또는 드레인으로서 기능하는 불순물 영역(211)과 겹치도록 공동(207)이 형성되지만, 본 발명은 이 구성에 한정되지 않는다. 반도체 막(206)의 채널 형성 영역(212)과 겹치도록 공동(207)이 형성되어도 좋고, 한 쌍의 불순물 영역(211) 및 채널 형성 영역(212)과 겹치도록 공동(207)이 형성되어도 좋다.
- [0080] 또한, 공동(207)이 적어도 불순물 영역(211)과 겹치는 경우, 채널 형성 영역(212)과만 겹치는 공동(207)을 형성하는 경우와 비교하여, 트랜지스터(210)의 접합 용량을 보다 저감시킬 수 있다. 또한, 적어도 채널 형성 영역(212)과 겹치는 공동(207)을 형성하는 경우, 불순물 영역(211)과만 겹치는 공동(207)을 형성하는 경우에 비교하여, 보다 셀프 히팅을 억제할 수 있다.
- [0081] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0082] (실시형태 4)
- [0083] 본 실시형태에서는, 개구부를 갖는 절연막이 형성된 반도체 기판(본드 기판)과, 지지 기판(베이스 기판)을 접합함으로써, 반도체 막을 베이스 기판에 전치하는, 본 발명의 반도체 장치의 제작 방법에 대해서 설명한다.
- [0084] 우선, 도 8a에 나타내는 바와 같이, 표면에 절연막(301)이 형성된 본드 기판(300)을 준비한다. 절연막

(301)은, 산화규소, 질화산화규소, 질화규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(301)의 막 두께는, 후에 형성되는 결합층(302)의 깊이에 관계하기 때문에, 그 막 두께는 균일한 것이 바람직하다. 예를 들면, 산화규소를 절연막(301)으로서 사용하는 경우, 절연막(301)은 본드 기판(300)을 열 산화에 의하여 형성하는 것이 바람직하고, 예를 들면, 수증기 분위기하에서 900℃ 내지 1100℃의 열 처리에 의하여 형성하면 좋다. 혹은, 산소 플라즈마 처리에 의하여 본드 기판(300)을 산화하여 형성하여도 좋다. 또한, 산화규소를 절연막(301)으로서 사용하는 경우, 절연막(301)은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등의 혼합 가스를 사용하여, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 기상성장법에 의하여 형성할 수도 있다. 이 경우, 절연막(301)의 표면을 산소 플라즈마 처리로 치밀화하여도 좋다.

[0085]

또한, 절연막(301)으로서, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소를 사용하여도 좋다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ), 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ), 트리스디메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 등의 실리콘 함유화합물을 사용할 수 있다.

[0086]

절연막(301)은, 단수의 절연막을 사용하는 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 예를 들면, 본 실시형태에서는, 본드 기판(300)에 가까운 측에서, 질소보다 산소의 함유량이 많은 질화산화규소, 산소보다 질소의 함유량이 많은 질화산화규소, 유기실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소의 순서로 적층된 절연막(301)을 사용한다.

[0087]

또한, 질화규소를 절연막(301)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다. 또한, 질화산화규소를 절연막(301)으로서 사용하는 경우, 실란과 암모니아의 혼합가스, 또는 실란과 산화질소의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다.

[0088]

또한, 본드 기판(300)으로부터 반도체 막(305)을 취출하는 공정에 있어서, 본드 기판(300)에 농도가 높은 수소 또는 회가스, 혹은 수소 이온 또는 회가스 이온을 주입하기 때문에, 본드 기판(300)의 표면이 거칠게 되어, 베이스 기판과 접합할 때에 충분한 결합강도를 얻을 수 없는 경우가 있다. 절연막(301)을 형성함으로써, 수소 또는 회가스, 혹은 수소와 회가스의 이온을 주입할 때에 본드 기판(300)의 표면이 보호되고, 베이스 기판과 본드 기판(300)의 접합을 양호하게 행할 수 있다.

[0089]

다음에, 본드 기판(300)에 화살표로 나타내는 바와 같이, 수소 혹은 회가스, 또는 수소 이온 또는 회가스 이온을 주입하고, 본드 기판(300)의 표면으로부터 일정한 깊이의 영역에, 미소 보이드를 갖는 결합층(302)을 형성한다. 결합층(302)이 형성되는 위치는, 상기 주입의 가속 전압에 의하여 결정한다. 그리고 결합층(302)의 위치에 의하여, 본드 기판(300)으로부터 베이스 기판에 전치하는 반도체 막(305)의 두께가 결정되기 때문에, 주입의 가속 전압은 반도체 막의 두께를 고려하여 행해진다. 상기 반도체 막(310)의 두께는 10nm 내지 200nm, 바람직하게는, 10nm 내지 50nm의 두께로 한다. 예를 들면, 수소를 본드 기판(300)에 주입하는 경우, 도즈량은  $1 \times 10^{16} / \text{cm}^2$  내지  $1 \times 10^{17} / \text{cm}^2$ 로 하는 것이 바람직하다.

[0090]

또한, 본 실시형태에서는, 절연막(301)이 본드 기판(300) 위에 형성하고 본드 기판(300)에 결합층(302)을 형성하지만, 본 발명은 이 구성에 한정되지 않는다. 절연막(301)을 형성하기 전에 본드 기판(300)에 결합층(302)을 형성하여도 좋다. 혹은, 복수의 절연막을 절연막(301)으로서 사용하는 경우, 상기 복수의 절연막 중의 몇 개를 본드 기판(300) 위에 형성한 후에, 본드 기판(300)에 결합층(302)을 형성하고, 다음, 상기 복수의 절연막 중의 나머지 절연막을 형성하여도 좋다. 이 경우, 예를 들면, 질화산화규소막과 산화규소막을 적층한 것을 절연막(301)으로서 사용하면 좋다. 그리고, 질화산화규소막을 본드 기판(300) 위에 형성하고 본드 기판(300)에 결합층(302)을 형성하고, 다음, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소막을 형성하면 좋다.

[0091]

다음, 도 8b에 나타내는 바와 같이, 본드 기판(300) 위에 형성된 절연막(301)을 원하는 형상으로 가공(패터닝)함으로써, 절연막(301)을 부분적으로 제거하여 개구부(303)를 형성한다. 본드 기판(300)은, 개구부(303)에 있어서 노출하여도 좋고, 개구부(303)에 있어서 절연막(301)에 덮여도 좋다. 구체적으로는, 레지스트로 형성된 마스크를 사용하여, 절연막(301)을 에칭함으로써, 패터닝할 수 있다. 개구부(303)는, 후에 트랜지스터의 반도체 막과 베이스 기판(304)의 사이에 형성되는 공동에 상당한다. 따라서, 개구부(303)의 형성은, 트랜



지스터의 반도체 막의 레이아웃을 고려하여 행해진다.

- [0092] 또한, 본드 기관(300)과 베이스 기관(304)을 접합하기 전에, 본드 기관(300)에 수소화 처리를 행하여도 좋다. 수소화 처리는, 예를 들면, 수소 분위기 중에 있어서 350℃, 2시간 정도 행한다.
- [0093] 마스크를 제거한 후, 도 8c에 나타내는 바와 같이, 본드 기관(300)과, 베이스 기관(304)을 절연막(301)을 사이에 끼우도록 접합한다. 본드 기관(300)과 베이스 기관(304)의 접합은, 개구부(303)가 베이스 기관(304) 측을 향하도록 행한다. 절연막(301)과 베이스 기관(304)이, 개구부(303) 이외의 영역에 있어서 접합함으로써, 본드 기관(300)과 베이스 기관(304)을 접합시킬 수 있다.
- [0094] 접합의 형성은 반데르발스 힘(Van der Waal's forces)을 사용하여 행해지고, 실온에서 강고한 접합이 형성된다. 또한, 상기 접합은 저온에서 행할 수 있기 때문에, 베이스 기관(304)은 다양한 것을 사용할 수 있다. 예를 들면, 베이스 기관(304)으로서, 알루미늄 실리케이트 유리, 박막 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기관 이외에도, 석용 기관, 사파이어 기관 등의 기관을 사용할 수 있다. 또한, 베이스 기관(304)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기관 등을 사용할 수 있다.
- [0095] 본드 기관(300)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기관 또는 다결정 반도체 기관을 사용할 수 있다. 그 이외에도, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기관 또는 다결정 반도체 기관을, 본드 기관(300)으로서 사용할 수 있다. 또한, 본드 기관(300)으로서 결정 격자에 뒤틀림을 갖는 실리콘, 실리콘에 대해서 게르마늄이 첨가된 실리콘 게르마늄 등의 반도체 기관을 사용하여도 좋다. 뒤틀림을 갖는 실리콘은, 실리콘보다 격자 정수가 큰 실리콘게르마늄 또는 질화규소 위에 있어서의 성막에 의하여, 형성할 수 있다.
- [0096] 또한, 베이스 기관(304)과 본드 기관(300)을 접합한 후에, 가열 처리 또는 가압 처리를 행하여도 좋다. 가열 처리 또는 가압 처리를 행함으로써, 접합 강도를 향상시킬 수 있다.
- [0097] 본드 기관(300)과 베이스 기관(308)의 사이에서 접합을 행한 후, 열 처리를 행함으로써, 결합층(302)에 있어서 인접하는 미소 보이드끼리가 결합하고, 미소 보이드의 체적이 증대한다. 그 결과, 도 8d에 나타내는 바와 같이, 결합층(302)에 있어서, 본드 기관(300)이 벽개하고, 본드 기관(300)의 일부인 반도체 막(305)과, 절연막(301)이 박리한다. 열 처리의 온도는 본드 기관(300)의 내열 온도 이하로 행하는 것이 바람직하고, 예를 들면, 400℃ 내지 600℃의 범위내로 열 처리를 행하면 좋다. 이 박리에 의하여, 반도체 막(305)과 절연막(301)이 베이스 기관(304)에 전치된다. 그 후, 절연막(301)과 베이스 기관(304)의 접합을 또 강고하게 하기 위해서, 400℃ 내지 600℃의 열 처리를 행하는 것이 바람직하다.
- [0098] 반도체 막(305)의 결정면방위는, 본드 기관(300)의 면방위에 의하여 제어할 수 있다. 형성하는 반도체 소자에 적합한 결정면방위를 갖는 본드 기관(300)을, 적절히 선택하여 사용하면 좋다. 또한, 트랜지스터의 이동도는 반도체 막(305)의 결정면방위에 따라 다르다. 보다 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정면방위를 고려하여, 본드 기관(300)을 접합하는 방향을 결정한다.
- [0099] 반도체 막(305)과 베이스 기관(304)의 사이에는, 개구부(303)에 의하여 형성되는 공동(306)이 형성된다.
- [0100] 도 8d의 공정까지 끝난 후, 실시형태 3과 마찬가지로, 전치된 반도체 막(305)의 표면을 평탄화하여, 패터닝함으로써, 섬 형상의 반도체 막을 형성한다. 반도체 막(305)을 패터닝한 후에도, 섬 형상의 반도체 막과 베이스 기관(304)의 사이에는, 개구부(303)에 의하여 형성되는 공동(306)이 유지된다.
- [0101] 상기 공정을 거쳐 형성된 섬 형상의 반도체 막을 사용하여, 본 발명은 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다.
- [0102] 본 발명의 제작 방법에서는, 개구부(303)를 에칭에 의하여 형성하기 때문에, 원하는 깊이 및 형상을 갖는 공동(306)을 간단한 순서로 정밀하게 형성할 수 있다.
- [0103] 또한, 본 실시형태에서는, 결합층(302)의 형성에 의하여 반도체 막(305)을 본드 기관(300)으로부터 박리하는 스마트 컷법을 사용하는 경우에 대해서 나타내지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 다른 침작법을 사용하여 반도체 막(305)을 베이스 기관(304)에 접합하여도 좋다.
- [0104] 또한, 섬 형상의 반도체 막을 사용하여 제작되는 트랜지스터는, 섬 형상의 반도체 막과 베이스 기관

(304)의 사이에 공동(306)을 가지며, 또한, 반도체 막(305)과 공동(306)이 접한다. 따라서, 예를 들면, 산화규소 등의 무기 절연막에 비교하여 비유전율이 낮은 공기, 질소, 불활성 가스 등으로 공동(306)을 충만시킴으로써, 트랜지스터의 기생 용량 또는 접합 용량을 저감할 수 있다. 상기 기체는, 온도 변화에 따른 체적팽창을 억제하기 위하여 수분의 함유율을 저감시키는 것이 바람직하다.

[0105] 또한, 실제로는, 섬 형상의 반도체 막의 공동(306)과 접하는 부분에는, 자연 산화막이 형성되는 경우가 있다. 그러나, 특허 문헌 2에 기재되는 절연막은 수 $\mu\text{m}$  내지 수백 $\mu\text{m}$ 의 막 두께를 갖는 것이 전제이며, 자연 산화막은, 상기의 절연막에 비교하여 그 막 두께는 수nm 정도이며, 비약적으로 얇다. 따라서, 본 발명은, 반도체 막(310)의 공동에 접하는 부분에 상기 막 두께를 갖는 절연막을 형성한 경우에 비교하여, 트랜지스터의 기생 용량 또는 접합 용량을 저감할 수 있다, 또는 셀프 히팅을 억제할 수 있다고 말할 수 있다.

[0106] 또한 본 실시형태에서는, 공동(306)을 기체로 충만시키는 경우에 대해서 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들면, 공동(306)을 산화규소 등의 무기 절연막보다 비유전율이 낮은 재료, 예를 들면, 내부에 다수의 기공을 갖는 다공질 절연막(다공성 재료) 등으로 충만시켜도 좋다.

[0107] 또한, 본 실시형태에서는, 반도체 막(305)과 접하도록 절연막(301)을 먼저 형성하고, 절연막(301)과 베이스 기판(304)을 접합시킨다. 따라서, 반도체 막(305)과 절연막(301)의 계면에 있어서의 계면 준위 밀도를, 반도체 막(305)과 절연막(301)을 접합시킨 경우에 비교하여, 균일하게 할 수 있다. 따라서, 반도체 막(305)을 패터닝하여 형성되는 섬 형상의 반도체 막을 사용한 트랜지스터는, 임계 값 전압 등의 특성의 편차를 보다 억제할 수 있다.

[0108] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

[0109] (실시형태 5)

[0110] 본 실시형태에서는, 개구부를 갖는 절연막이 형성된 반도체 기판(본드 기판)과, 지지 기판(베이스 기판)을 접합함으로써, 반도체 막을 베이스 기판에 전치하는, 본 발명의 반도체 장치의 제작 방법에 대해서 설명한다.

[0111] 우선, 도 9a에 나타내는 바와 같이, 표면에 절연막(311)이 형성된 본드 기판(310)을 준비한다. 절연막(311)은, 산화규소, 질화산화규소, 질화규소 등의 절연성을 갖는 재료를 사용하여 형성한다. 절연막(311)의 막 두께는, 후에 형성되는 결합층(312)의 깊이에 관계하기 때문에, 그 막 두께는 균일한 것이 바람직하다. 예를 들면, 산화규소를 절연막(311)으로서 사용하는 경우, 절연막(311)은 본드 기판(310)을 열 산화에 의하여 형성하는 것이 바람직하고, 예를 들면, 수증기 분위기하에서 900℃ 내지 1100℃의 열 처리에 의하여 형성하면 좋다. 혹은, 산소 플라즈마 처리에 의하여 본드 기판(310)을 산화하여 절연막(311)을 형성하여도 좋다. 또한, 산화규소를 절연막(311)으로서 사용하는 경우, 절연막(311)은 실란과 산소, TEOS(테트라에톡시실란)와 산소 등의 혼합 가스를 사용하여, 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD 등의 기상성장법에 의하여 형성할 수도 있다. 이 경우, 절연막(311)의 표면을 산소 플라즈마 처리로 치밀화하여도 좋다.

[0112] 또한, 절연막(311)으로서, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소를 사용하여도 좋다. 유기 실란 가스로서는, 규산 에틸(TEOS: 화학식  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ), 테트라메틸실란(TMS: 화학식  $\text{Si}(\text{CH}_3)_4$ ), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란( $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ), 트리스디메틸아미노실란( $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ) 등의 실리콘 함유화합물을 사용할 수 있다.

[0113] 절연막(311)은, 단수의 절연막을 사용한 것이라도, 복수의 절연막을 적층하여 사용한 것이라도 좋다. 예를 들면, 본 실시형태에서는, 본드 기판(310)에 가까운 측에서, 질소보다 산소의 함유량이 많은 질화산화규소, 산소보다 질소의 함유량이 많은 질화산화규소, 유기실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소의 순서로 적층된 절연막(311)을 사용한다.

[0114] 또한, 질화규소를 절연막(311)으로서 사용하는 경우, 실란과 암모니아의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다. 또한, 질화산화규소를 절연막(311)으로서 사용하는 경우, 실란과 암모니아의 혼합가스, 또는 실란과 산화질소의 혼합 가스를 사용하여, 플라즈마 CVD 등의 기상성장법에 의하여 형성할 수 있다.

[0115] 또한, 본드 기판(310)으로부터 반도체 막(317)을 취출하는 공정에 있어서, 본드 기판(310)에 농도가 높



은 수소 또는 희가스, 혹은 수소 이온 또는 희가스 이온을 주입하기 때문에, 본드 기관(310)의 표면이 거칠게 되어, 베이스 기관과 접합할 때에 충분한 결합강도를 얻을 수 없는 경우가 있다. 절연막(311)을 형성함으로써, 수소 또는 희가스, 혹은 수소와 희가스의 이온을 주입할 때에 본드 기관(310)의 표면이 보호되고, 베이스 기관과 본드 기관(310)의 접합을 양호하게 행할 수 있다.

[0116]

다음에, 본드 기관(310)에 화살표로 나타내는 바와 같이, 수소 혹은 희가스, 또는 수소 이온 또는 희가스 이온을 주입하고, 본드 기관(310)의 표면으로부터 일정의 깊이의 영역에, 미소 보이드를 갖는 결합층(312)을 형성한다. 결합층(312)이 형성되는 위치는, 상기 주입의 가속 전압에 의하여 결정한다. 그리고 결합층(312)의 위치에 의하여, 본드 기관(310)으로부터 베이스 기관에 전치하는 반도체 막(317)의 두께가 결정되기 때문에, 주입의 가속 전압은 반도체 막의 두께를 고려하여 행해진다. 상기 반도체 막(317)의 두께는 10nm 내지 200nm, 바람직하게는, 10nm 내지 50nm의 두께로 한다. 예를 들면, 수소를 본드 기관(310)에 주입하는 경우, 도즈량은  $1 \times 10^{16} / \text{cm}^2$  내지  $1 \times 10^{17} / \text{cm}^2$ 로 하는 것이 바람직하다.

[0117]

또한, 본 실시형태에서는, 절연막(311)이 본드 기관(310) 위에 형성하고 본드 기관(310)에 결합층(312)을 형성하지만, 본 발명은 이 구성에 한정되지 않는다. 절연막(311)을 형성하기 전에 본드 기관(310)에 결합층(312)을 형성하여도 좋다. 혹은, 복수의 절연막을 절연막(311)으로서 사용하는 경우, 상기 복수의 절연막 중의 몇 개를 본드 기관(310) 위에 형성한 후에, 본드 기관(310)에 결합층(312)을 형성하고, 다음, 상기 복수의 절연막 중의 나머지 절연막을 형성하여도 좋다. 이 경우, 예를 들면, 질화산화규소막과 산화규소막을 적층한 것을 절연막(311)으로서 사용하면 좋다. 그리고, 질화산화규소막을 본드 기관(310) 위에 형성하고 본드 기관(310)에 결합층(312)을 형성하고, 다음, 유기 실란 가스를 사용하여 화학기상성장법에 의하여 제작되는 산화규소막을 형성하면 좋다.

[0118]

다음, 도 9b에 나타내는 바와 같이, 본드 기관(310) 위에 형성된 절연막(311)을 원하는 형상으로 가공(패터닝)함으로써, 절연막(311)을 부분적으로 제거하여 개구부(313)를 형성한다. 본드 기관(310)은, 개구부(313)에 있어서 노출하여도 좋고, 개구부(313)에 있어서 절연막(311)에 덮여도 좋다. 구체적으로는, 레지스트로 형성된 마스크를 사용하여, 절연막(311)을 에칭함으로써, 패터닝할 수 있다. 개구부(313)는, 후에 트랜지스터의 반도체 막과 베이스 기관(314)의 사이에 형성되는 공동에 상당한다. 따라서, 개구부(313)의 형성은, 트랜지스터의 반도체 막의 레이아웃을 고려하여 행해진다.

[0119]

또한, 본드 기관(310)과 베이스 기관(314)을 접합하기 전에, 본드 기관(310)에 수소화 처리를 행하여도 좋다. 수소화 처리는, 예를 들면, 수소 분위기 중에 있어서 350℃, 2시간 정도 행한다.

[0120]

마스크를 제거한 후, 도 9c에 나타내는 바와 같이, 본드 기관(310)과, 베이스 기관(314)을 접합한다. 본 실시형태에서는, 개구부(315)를 갖는 절연막(316)이 형성된 베이스 기관(314)을 준비한다. 절연막(316)은, 절연막(311)으로서 사용할 수 있는 상기의 재료로 형성할 수 있다. 또한, 개구부(315)는 에칭 등에 의하여 형성할 수 있다. 본드 기관(310)과 베이스 기관(314)의 접합은, 절연막(311) 및 절연막(316)을 사이에 끼우도록, 및 개구부(313)와 개구부(315)가 적어도 일부 겹치도록 접합한다. 절연막(311)과 절연막(316)이 개구부(313) 및 개구부(315) 이외의 영역에 있어서 접합함으로써, 본드 기관(310)과 베이스 기관(314)을 접합시킬 수 있다.

[0121]

접합의 형성은 반데르발스 힘(Van der Waal's forces)을 사용하여 행해지고, 실온에서 강고한 접합이 형성된다. 또한, 상기 접합은 저온에서 행할 수 있기 때문에, 베이스 기관(314)은 다양한 것을 사용할 수 있다. 예를 들면, 베이스 기관(314)으로서, 알루미늄 실리케이트 유리, 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 등의 유리 기관 이외에도, 석용 기관, 사파이어 기관 등의 기관을 사용할 수 있다. 또한, 베이스 기관(314)으로서, 실리콘, 갈륨비소, 인듐인 등의 반도체 기관 등을 사용할 수 있다.

[0122]

또한, 반도체 기관을 베이스 기관(314)으로서 사용하는 경우, 베이스 기관(314)을 열 산화시킴으로써, 절연막(316)을 형성할 수 있다.

[0123]

본드 기관(310)으로서, 실리콘, 게르마늄 등의 단결정 반도체 기관 또는 다결정 반도체 기관을 사용할 수 있다. 그 이외에도, 갈륨비소, 인듐인 등의 화합물 반도체로 형성된 단결정 반도체 기관 또는 다결정 반도체 기관을, 본드 기관(310)으로서 사용할 수 있다. 또한, 본드 기관(310)으로서 결정 격자에 뒤틀림을 갖는 실리콘, 실리콘에 대해서 게르마늄이 첨가된 실리콘 게르마늄 등의 반도체 기관을 사용하여도 좋다. 뒤틀림을 갖는 실리콘은, 실리콘보다 격자 정수가 큰 실리콘게르마늄 또는 질화규소 위에 있어서의 성막에 의하여, 형성할 수 있다.

[0124]

또한, 베이스 기관(314)과 본드 기관(310)을 접합한 후에, 가열 처리 또는 가압 처리를 행하여도 좋다.

가열 처리 또는 가압 처리를 행함으로써, 접합 강도를 향상시킬 수 있다.

[0125] 본드 기관(310)과 베이스 기관(314)의 사이에서 접합을 행한 후, 열 처리를 행함으로써, 결합층(312)에 있어서 인접하는 미소 보이드끼리가 결합하고, 미소 보이드의 체적이 증대한다. 그 결과, 도 9d에 나타내는 바와 같이, 결합층(312)에 있어서, 본드 기관(310)이 벽개하고, 본드 기관(310)의 일부인 반도체 막(317)과, 절연막(311)이 박리한다. 열 처리의 온도는 본드 기관(310)의 내열 온도 이하로 행하는 것이 바람직하고, 예를 들면, 400℃ 내지 600℃의 범위내로 열 처리를 행하면 좋다. 이 박리에 의하여, 반도체 막(317)과 절연막(311)이 베이스 기관(314)에 전치된다. 그 후, 절연막(311)과 절연막(316)의 접합을 보다 강고하게 하기 위해서, 400℃ 내지 600℃의 열 처리를 행하는 것이 바람직하다.

[0126] 반도체 막(317)의 결정면방위는, 본드 기관(310)의 면방위에 의하여 제어할 수 있다. 형성하는 반도체 소자에 적합한 결정면방위를 갖는 본드 기관(310)을, 적절히 선택하여 사용하면 좋다. 또한, 트랜지스터의 이동도는 반도체 막(317)의 결정면방위에 따라 다르다. 보다 이동도가 높은 트랜지스터를 얻고자 하는 경우, 채널의 방향과 결정면방위를 고려하여, 본드 기관(310)을 접합하는 방향을 결정한다.

[0127] 반도체 막(317)과 베이스 기관(314)의 사이에는, 개구부(313) 및 개구부(315)에 의하여 형성되는 공동(318)이 형성된다.

[0128] 도 9d의 공정까지 끝난 후, 실시형태 3과 마찬가지로, 전치된 반도체 막(317)의 표면을 평탄화하여, 패터닝함으로써, 섬 형상의 반도체 막을 형성한다. 반도체 막(317)을 패터닝한 후에도, 섬 형상의 반도체 막과 베이스 기관(314)의 사이에는, 개구부(313, 315)에 의하여 형성되는 공동(318)이 유지된다.

[0129] 상기 공정을 거쳐 형성된 섬 형상의 반도체 막을 사용하여, 본 발명은 트랜지스터 등의 각종 반도체 소자를 형성할 수 있다.

[0130] 본 발명의 제작 방법에서는, 개구부(313) 또는 개구부(315)를 에칭에 의하여 형성하기 때문에, 원하는 깊이 및 형상을 갖는 공동(318)을 간단한 방법으로 정밀하게 형성할 수 있다.

[0131] 또한, 본 실시형태에서는, 결합층(312)의 형성에 의하여 반도체 막(317)을 본드 기관(310)으로부터 박리하는 스마트 컷 법을 사용하는 경우에 대해서 나타내지만, ELTRAN(Epitaxial Layer Transfer), 유전체 분리법, PACE(Plasma Assisted Chemical Etching)법 등의 다른 적작법을 사용하여 반도체 막(317)을 베이스 기관(314)에 접합하여도 좋다.

[0132] 또한, 섬 형상의 반도체 막을 사용하여 제작되는 트랜지스터는, 섬 형상의 반도체 막과 베이스 기관(314)의 사이에 공동(318)을 가지며, 또한, 반도체 막(317)과 공동(318)이 접한다. 따라서, 예를 들면, 산화규소 등의 무기 절연막에 비교하여 비유전율이 낮은 공기, 질소, 불활성 가스 등으로 공동(318)을 충만시킴으로써, 트랜지스터의 기생 용량 또는 접합 용량을 저감할 수 있다. 상기 기체는, 온도 변화에 따른 체적팽창을 억제하기 위하여 수분의 함유율을 저감시키는 것이 바람직하다.

[0133] 또한, 실제로는, 섬 형상의 반도체 막의 공동(318)과 접하는 부분에는, 자연 산화막이 형성되는 경우가 있다. 그러나, 특허 문헌 2에 기재되는 절연막은 수 $\mu\text{m}$  내지 수백 $\mu\text{m}$ 의 막 두께를 갖는 것이 전제이며, 자연 산화막은, 상기의 절연막에 비교하여 그 막 두께는 수nm 정도이며, 비약적으로 얇다. 따라서, 본 발명은, 반도체 막의 공동에 접하는 부분에 상기 막 두께를 갖는 절연막을 형성한 경우에 비교하여, 트랜지스터의 기생 용량 또는 접합 용량을 저감한다, 또는 셀프 히팅을 억제할 수 있다고 말할 수 있다.

[0134] 또한 본 실시형태에서는, 공동(318)을 기체로 충만시키는 경우에 대해서 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 예를 들면, 공동(318)을 산화규소 등의 무기 절연막보다 비유전율이 낮은 재료, 예를 들면, 내부에 다수의 기공을 갖는 다공질 절연막(다공성 재료) 등으로 충만시켜도 좋다.

[0135] 또한, 본 실시형태에서는, 반도체 막(317)과 접하도록 절연막(311)을 먼저 형성하고, 절연막(311)과 베이스 기관(314) 위에 형성된 절연막(316)을 접합시킨다. 따라서, 반도체 막(317)과 절연막(311)의 계면에 있어서의 계면 준위 밀도를, 반도체 막(317)과 절연막(311)을 접합시킨 경우에 비교하여, 균일하게 할 수 있다. 따라서, 반도체 막(317)을 패터닝하여 형성되는 섬 형상의 반도체 막을 사용한 트랜지스터는, 임계 값 전압 등의 특성의 편차를 보다 억제할 수 있다.

[0136] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

[0137] (실시형태 6)

- [0138] 본 실시형태에서는, 실시형태 3에 나타내는 제작 방법을 사용하여 형성된 반도체 막이며, 트랜지스터를 제작하는 방법의 일례에 대해서 설명한다. 또한, 실시형태 4 또는 실시형태 5에 나타내는 제작 방법을 사용하여 형성된 반도체 막이라도, 본 실시형태에 나타내는 제작 방법으로 트랜지스터를 제작하는 것은 가능하다.
- [0139] 우선, 도 10a에 나타내는 바와 같이, 개구부를 갖는 절연막(402)을 베이스 기판(401)과의 사이에 갖는 섬 형상의 반도체 막(403), 섬 형상의 반도체 막(404)을 형성한다. 실시형태 3에 나타내는 제작 방법을 사용하는 경우, 절연막(402)과 섬 형상의 반도체 막(403) 및 섬 형상의 반도체 막(404)이 접합됨으로써, 베이스 기판(401)에 섬 형상의 반도체 막(403) 및 섬 형상의 반도체 막(404)이 접합된다. 그리고, 절연막(402)이 갖는 개구부에 의하여, 베이스 기판(401)과 섬 형상의 반도체 막(403)의 사이에 공동(405)이, 또한, 베이스 기판(401)과 섬 형상의 반도체 막(404)의 사이에 공동(406)이 각각 형성된다.
- [0140] 섬 형상의 반도체 막(403, 404)에는, 임계 값 전압을 제어하기 위해서 불순물이 첨가되어도 좋다. 예를 들면, p형 불순물로서 붕소를 첨가하는 경우,  $5 \times 10^{17} \text{ cm}^{-3}$  이상  $1 \times 10^{18} \text{ cm}^{-3}$  이하의 농도로 첨가하면 좋다. 임계 값 전압을 제어하기 위한 불순물의 첨가는, 베이스 기판(401)에 반도체 막을 전치하기 전에 행하여도 좋고, 전치한 후에 행하여도 좋다.
- [0141] 또한, 섬 형상의 반도체 막(403, 404)을 형성한 후, 게이트 절연막(407)을 형성하기 전에 수소화 처리를 행하여도 좋다. 수소화 처리는, 예를 들면, 수소 분위기 중에 있어서  $350^{\circ}\text{C}$ 에서 2시간 정도 행한다.
- [0142] 다음, 도 10b에 나타내는 바와 같이, 섬 형상의 반도체 막(403, 404)을 덮도록 게이트 절연막(407)을 형성한다. 게이트 절연막(407)은, 고밀도 플라즈마 처리를 행함으로써 섬 형상의 반도체 막(403, 404)의 표면을 산화 또는 질화하여 형성할 수 있다. 고밀도 플라즈마 처리는, 예를 들면, He, Ar, Kr, Xe 등의 희가스화 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행한다. 이 경우, 플라즈마의 여기를 마이크로파의 도입에 의하여 행함으로써, 저전자 온도에서 고밀도의 플라즈마를 생성할 수 있다. 이러한 고밀도의 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의하여 반도체 막의 표면을 산화 또는 질화함으로써, 1nm 내지 20nm, 바람직하게는, 5nm 내지 10nm의 절연막이 반도체 막에 접하도록 형성된다. 이 5nm 내지 10nm의 절연막을 게이트 절연막(407)으로서 사용한다.
- [0143] 상술한 고밀도 플라즈마 처리에 의한 반도체 막의 산화 또는 질화는 고상 반응에 의하여 진행하기 때문에, 게이트 절연막(407)과 반도체 막(403, 404)의 계면준위밀도를 극히 낮게 할 수 있다. 또한, 고밀도 플라즈마 처리에 의하여 반도체 막을 직접 산화 또는 질화함으로써, 형성되는 절연막의 두께의 편차를 억제할 수 있다. 또한, 반도체 막이 결정성을 갖는 경우, 고밀도 플라즈마 처리를 사용하여 반도체 막의 표면을 고상반응으로 산화시킴으로써, 결정립계에 있어서만 산화가 빠르게 진행되는 것을 억제하고, 균일성이 좋고, 계면준위밀도가 낮은 게이트 절연막을 형성할 수 있다. 고밀도 플라즈마 처리에 의하여 형성된 절연막을, 게이트 절연막의 일부 또는 전부에 포함하여 형성되는 트랜지스터는, 특성의 편차를 억제할 수 있다.
- [0144] 혹은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화규소, 산화질화규소, 질화규소, 산화하프늄, 산화알루미늄 또는 산화탄탈을 포함하는 막을, 단층으로, 또는 적층시킴으로써, 게이트 절연막(407)을 형성하여도 좋다.
- [0145] 다음, 도 10c에 나타내는 바와 같이, 게이트 절연막(407) 위에 도전막을 형성한 후, 상기 도전막을 소정의 형상으로 가공(패터닝)함으로써, 섬 형상의 반도체 막(403, 404)의 상방에 전극(408)을 형성한다. 도전막의 형성에는 CVD법, 스퍼터링법 등을 사용할 수 있다. 도전막은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 니오븀(Nb) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는 합금을 사용하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 또한, 반도체 막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한, 다결정 규소 등의 반도체를 사용하여 형성하여도 좋다.
- [0146] 2개의 도전막의 조합으로서, 1층째에 질화탄탈 또는 탄탈(Ta)을, 2층째에 텅스텐(W)을 사용할 수 있다. 상기의 예 이외에도, 질화 텅스텐과 텅스텐, 질화 몰리브덴과 몰리브덴, 알루미늄과 탄탈, 알루미늄과 티타늄 등을 들 수 있다. 텅스텐이나 질화 탄탈은 내열성이 높기 때문에, 2층의 도전막을 형성한 후의 공정에 있어서, 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2층째의 도전막의 조합으로서, 예를 들면, n형을 부여하는 불순물이 도핑된 규소와 NiSi(니켈실리사이드), n형을 부여하는 불순물이 도핑된 Si와  $\text{WSi}_x$ 등도 사용할 수 있다.

- [0147] 또한, 본 실시형태에서는, 전극(408)을 단층의 도전막으로 형성하지만, 본 실시형태는 이 구성에 한정되지 않는다. 전극(408)은 적층된 복수의 도전막으로 형성되어도 좋다. 3개 이상의 도전막을 적층하는 3층 구조의 경우는, 몰리브덴 막과 알루미늄 막과 몰리브덴 막의 적층 구조를 채용하면 좋다.
- [0148] 또한, 전극(408)을 형성할 때에 사용하는 마스크로서, 레지스트 대신에 산화규소, 산화질화규소 등을 마스크로서 사용하여도 좋다. 이 경우, 패터닝하여 산화규소, 산화질화규소 등의 마스크를 형성하는 공정이 가해지지만, 에칭을 할 때에 마스크의 막 감소가 레지스트보다 적기 때문에, 원하는 폭을 갖는 전극(408)을 형성할 수 있다. 또한, 마스크를 사용하지 않아도, 액적 토출법을 사용하여 선택적으로 전극(408)을 형성하여도 좋다.
- [0149] 또한, 액적 토출법이란, 소정의 조성물을 포함하는 액적을 세공(pore)으로부터 분출함으로써 소정의 패턴을 형성하는 방법을 의미하고, 잉크젯법 등이 그 범주에 포함된다.
- [0150] 또한, 전극(408)은, 도전막을 형성한 후, ICP(Inductively Coupled Plasma: 유도결합형 플라즈마)에칭법을 사용하여, 에칭 조건(코일형의 전극층에 인가되는 전력량, 기관 층의 전극층에 인가되는 전력량, 기관 층의 전극 온도 등)을 적절히 조절함으로써, 원하는 테이퍼 형상을 가지도록 에칭할 수 있다. 또한, 테이퍼 형상은, 마스크의 형상에 따라도 각도 등을 제어할 수 있다. 또한, 에칭용 가스로서는,  $\text{Cl}_2$ ,  $\text{BCl}_3$ ,  $\text{SiCl}_4$ , 또는  $\text{CCl}_4$  등의 염소계 가스,  $\text{CF}_4$ ,  $\text{SF}_6$ , 또는  $\text{NF}_3$  등의 불소계 가스 또는 산소를 적절히 사용할 수 있다.
- [0151] 게이트 절연막(407)에 고유전율 물질(high-k재료)을 사용하는 경우에는, 전극(408)을 다결정 규소, 실리콘사이드, 금속 또는 금속 질화물로 형성한다. 특히, 고유전율 물질을 사용하는 경우, 금속 또는 금속 질화물로 전극(408)을 형성하는 것이 가장 바람직하다. 예를 들면, 게이트 절연막(407)과 접하는 도전막을 금속 질화물 재료로 형성하고, 그 위의 도전막을 금속 재료로 형성한다. 이 조합을 사용함으로써, 게이트 절연막(407)이 박막화한 경우라도 전극(408)에 공핍층이 형성되는 것을 방지할 수 있고, 미세화한 경우에도 트랜지스터의 구동능력을 잃는 것을 방지할 수 있다.
- [0152] 다음, 도 10d에 나타내는 바와 같이, 전극(408)을 마스크로서 일 도전형을 부여하는 불순물 원소를 반도체 막(403, 404)에 첨가한다. 본 실시형태에서는, 반도체 막(404)에 p형을 부여하는 불순물 원소(예를 들면, 붕소)를, 반도체 막(403)에 n형을 부여하는 불순물 원소(예를 들면, 인 또는 비소)를 첨가한다. 또한, p형을 부여하는 불순물 원소를 반도체 막(404)에 첨가할 때, n형의 불순물이 첨가되는 반도체 막(403)은 마스크 등으로 덮고, p형을 부여하는 불순물 원소의 첨가가 선택적으로 행해진다. 또한, n형을 부여하는 불순물 원소를 반도체 막(403)에 첨가할 때, p형의 불순물이 첨가되는 반도체 막(404)은 마스크 등으로 덮고, n형을 부여하는 불순물 원소의 첨가가 선택적으로 행해진다. 혹은, 먼저 반도체 막(403 및 404)에 p형 또는 n형을 부여하는 불순물 원소를 첨가한 후, 한쪽의 반도체 막에만 선택적으로, 보다 높은 농도로 p형 혹은 n형을 부여하는 불순물 원소의 어느 한 쪽을 첨가해도 좋다. 상기 불순물의 첨가에 의하여, 반도체 막(404)에 불순물 영역(410), 반도체 막(404)에 불순물 영역(411)이 형성된다.
- [0153] 다음, 도 11a에 나타내는 바와 같이, 전극(408)의 측면에 사이드 월(412)을 형성한다. 사이드 월(412)은, 예를 들면, 게이트 절연막(407) 및 전극(408)을 덮도록 새로 절연막을 형성하고, 수직 방향을 주체로 한 이방성 에칭에 의하여, 새로 형성된 상기 절연막을 부분적으로 에칭함으로써, 형성할 수 있다. 상기 이방성 에칭에 의하여, 새로 형성된 절연막이 부분적으로 에칭되어, 전극(408)의 측면에 사이드 월(412)이 형성된다. 또한, 상기 이방성 에칭에 의하여, 게이트 절연막(407)도 부분적으로 에칭된다. 사이드 월(412)을 형성하기 위한 절연막은, 플라즈마 CVD법이나 스퍼터링법 등에 의하여, 규소막, 산화규소막, 산화질화규소막 또는 질화산화규소막이나, 유기 수지 등의 유기 재료를 포함하는 막을 단층 또는 적층하여 형성할 수 있다. 본 실시형태에서는, 막 두께 100nm의 산화규소막을 플라즈마 CVD법에 의하여 형성한다. 또한, 에칭 가스로서는,  $\text{CHF}_3$ 와 He의 혼합 가스를 사용할 수 있다. 또한, 사이드 월(412)을 형성하는 공정은, 이것들에 한정되지 않는다.
- [0154] 다음, 도 11b에 나타내는 바와 같이, 전극(408) 및 사이드 월(412)을 마스크로서, 반도체 막(403, 404)에 일 도전형을 부여하는 불순물 원소를 첨가한다. 또한, 반도체 막(403, 404)에는, 각각, 상기 공정으로 첨가한 불순물 원소와 같은 도전형의 불순물 원소를 보다 높은 농도로 첨가한다. 또한, p형을 부여하는 불순물 원소를 반도체 막(404)에 첨가할 때, n형의 불순물이 첨가되는 반도체 막(403)은 마스크 등으로 덮고, p형을 부여하는 불순물 원소의 첨가가 선택적으로 행해진다. 또한, n형을 부여하는 불순물 원소를 반도체 막(403)에 첨가할 때, p형의 불순물이 첨가되는 반도체 막(404)은 마스크 등으로 덮고, n형을 부여하는 불순물 원소의 첨가가 선택적으로 행해진다.



- [0155]           상기 불순물 원소의 첨가에 의하여, 반도체 막(403)에 한 쌍의 고농도 불순물 영역(413)과, 한 쌍의 저농도 불순물 영역(414)과 채널 형성 영역(423)이 형성된다. 고농도 불순물 영역(413)은 소스 또는 드레인으로서 기능하고, 저농도 불순물 영역(414)은 LDD(Lightly Doped Drain)영역으로서 기능한다. 또한, 상기 불순물 원소의 첨가에 의하여, 반도체 막(404)에 한 쌍의 고농도 불순물 영역(415)과 한 쌍의 저농도 불순물 영역(42)과 채널 형성 영역(424)이 형성된다.
- [0156]           또한, 반도체 막(404) 위에 형성된 사이드 월(412)과, 반도체 막(403) 위에 형성된 사이드 월(412)은, 채널이 이동하는 방향에 있어서의 폭이 같게 되도록 형성되어도 좋지만, 상기 폭이 다르게 되도록 형성하여도 좋다. p형 트랜지스터가 되는 반도체 막(404) 위의 사이드 월(412)의 폭은, n형 트랜지스터가 되는 반도체 막(403) 위의 사이드 월(412)의 폭보다 길게 하면 좋다. 왜냐하면, p형 트랜지스터에 있어서 소스 및 드레인을 형성하기 위하여 주입되는 봉소는, 확산하기 쉽고, 단채널 효과를 유발하기 쉽기 때문이다. p형 트랜지스터에 있어서, 사이드 월(412)의 폭을 보다 길게 함으로써, 소스 및 드레인에 고농도의 봉소를 첨가할 수 있고, 소스 및 드레인을 저저항화할 수 있다.
- [0157]           다음, 소스 및 드레인을 더 저저항화하기 위해서, 반도체 막(403, 404)을 실리사이드화함으로써, 실리사이드 층을 형성하여도 좋다. 실리사이드화는, 반도체 막에 금속을 접촉시켜, 가열 처리, GRTA 법, LRTA 법 등에 의하여, 반도체 막 중의 규소와 금속을 반응시켜 행해진다. 실리사이드 층으로서, 코발트 실리사이드 혹은 니켈 실리사이드를 사용하면 좋다. 반도체 막(404, 405)의 두께가 얇은 경우에는, 이 영역의 반도체 막(404, 405)의 저부까지 실리사이드 반응을 진행시켜 풀 실리사이드화하여도 좋다. 실리사이드화에 사용하는 금속의 재료로서는, 티타늄(Ti), 니켈(Ni), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 지르코늄(Zr), 하프늄(Hf), 탄탈(Ta), 바나듐(V), 네오듐(Nd), 크롬(Cr), 백금(Pt), 팔라듐(Pd) 등을 사용할 수 있다. 또한, 레이저 조사나 램프 등의 광 조사에 의하여 실리사이드를 형성하여도 좋다.
- [0158]           상술한 일련의 공정에 의하여, n채널형 트랜지스터(416)와, p채널형 트랜지스터(417)가 형성된다.
- [0159]           다음, 도 11c에 나타내는 바와 같이, 트랜지스터(416, 417)를 보호하기 위한 절연막(418)을 형성한다. 절연막(418)은, 반드시 형성할 필요는 없지만, 절연막(418)을 형성함으로써, 알칼리 금속이나 알칼리 토류 금속 등의 불순물이 트랜지스터(416, 417)에 침입하는 것을 방지할 수 있다. 구체적으로는, 절연막(418)으로서, 질화규소, 질화산화규소, 질화알루미늄, 산화알루미늄, 산화규소 등을 사용하는 것이 바람직하다. 본 실시형태에서는, 막 두께가 600nm 정도의 산화질화규소막을 절연막(418)으로서 사용한다. 이 경우, 상기 수소화의 공정은, 상기 산화질화규소막을 형성한 후에 행하여도 좋다.
- [0160]           다음, 트랜지스터(416, 417)를 덮도록, 절연막(418) 위에 절연막(419)을 형성한다. 절연막(419)은, 폴리이미드, 아크릴, 폴리이미드아미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에도, 저유전율 재료(low-k 재료), 실록산계 수지, 산화규소, 질화규소, 산화질화규소, 질화산화규소, PSG(인실리케이트유리), BPSG(인붕소실리케이트유리), 알루미늄 등을 사용할 수 있다. 실록산계 수지는, 치환기에 수소 이외에도 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 1종을 가져도 좋다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(419)을 형성하여도 좋다. 절연막(419)은, 그 표면을 CMP법 또는 액체 젯 연마 등에 의하여 평탄화시켜도 좋다.
- [0161]           또한, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지로 상당한다. 실록산계 수지는, 치환기에 수소 이외에도 불소, 알킬기, 또는 방향족 탄화수소 중 적어도 1종을 가져도 좋다.
- [0162]           절연막(419)의 형성에는, 그 재료에 따라, CVD법, 스퍼터링법, SOG법, 스핀코팅법, 딥법, 스프레이 도포법, 액적 토출법(잉크 젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.
- [0163]           다음에, 도 12에 나타내는 바와 같이, 섬 형상의 반도체막(403, 404)이 각각 일부 노출하도록 절연막(418) 및 절연막(419)에 콘택트 홀을 형성한다. 그리고, 상기 콘택트 홀을 통하여 섬 형상의 반도체막(403 내지 404)에 접하는 도전막(420, 421)을 형성한다. 콘택트 홀 개구시의 에칭에 사용되는 가스는  $\text{CHF}_3$ 과 He의 혼합 가스를 사용하였지만, 이것에 한정되지 않는다.
- [0164]           도전막(420, 421)은 CVD법이나 스퍼터링법 등에 의해 형성할 수 있다. 구체적으로 도전막(420, 421)으로서 알루미늄(Al), 텅스텐(W), 티타늄(Ti), 탄탈(Ta), 몰리브덴(Mo), 니켈(Ni), 백금(Pt), 구리(Cu), 금(Au), 은(Ag), 망간(Mn), 네오듐(Nd), 탄소(C), 규소(Si) 등을 사용할 수 있다. 또한, 상기 금속을 주성분으로 하는

합금을 사용하여도 좋고, 상기 금속을 포함하는 화합물을 사용하여도 좋다. 도전막(420, 421)은 상기 금속이 사용된 막을 단층 또는 복수 적층시켜 형성할 수 있다.

[0165] 알루미늄을 주성분으로 하는 합금의 예로서 알루미늄을 주성분으로 하여 니켈을 포함하는 것을 들 수 있다. 또한, 알루미늄을 주성분으로 하여, 니켈과, 탄소 또는 규소의 한 쪽 또는 양쪽 모두를 포함하는 것도 예로서 들 수 있다. 알루미늄이나 알루미늄규소는 저항치가 낮고, 저비용이기 때문에, 도전막(420 내지 421)을 형성하는 재료로서 최적이다. 특히, 알루미늄규소(Al-Si)막은 도전막(420 내지 421)을 패터닝할 때, 레지스트 베이크에 있어서의 힐록(hillock)의 발생을 알루미늄막과 비교하여 방지할 수 있다. 또한, 규소(Si) 대신에, 알루미늄막에 0.5atoms% 정도의 Cu를 혼입시켜도 좋다.

[0166] 도전막(420, 421)은 예를 들면, 배리어 막과 알루미늄규소 막과 배리어 막의 적층 구조, 배리어 막과 알루미늄규소 막과 질화티타늄막과 배리어 막의 적층 구조를 채용하면 좋다. 또한, 배리어 막은, 티타늄, 티타늄의 질화물, 폴리브덴 또는 폴리브덴의 질화물을 사용하여 형성된 막이다. 알루미늄규소 막을 사이에 끼우도록 배리어 막을 형성하면, 알루미늄이나 알루미늄규소의 힐록의 발생을 더욱 방지할 수 있다. 또한, 환원성이 높은 원소인 티타늄을 사용하여 배리어 막을 형성하면, 섬 형상의 반도체 막(403, 404) 위에 얇은 산화막이 생겼다고 해도, 배리어 막에 포함되는 티타늄이 이 산화막을 환원하여, 도전막(420, 421)과 섬 형상의 반도체 막(403, 404)이 양호한 콘택트를 취할 수 있다. 또한 배리어 막을 복수 적층하도록 하여 사용하여도 좋다. 이 경우, 예를 들면, 도전막(420, 421)을 하층으로부터 티타늄, 질화티타늄, 알루미늄규소, 티타늄, 질화티타늄의 차례로 적층된 5층 구조로 할 수 있다.

[0167] 또한, 도전막(420)은 n채널형 TFT(416)의 고농도 불순물영역(413)에 접속되어 있다. 도전막(421)은 p채널형 TFT(417)의 고농도 불순물영역(415)에 접속된다.

[0168] 도 12에는, n채널형 트랜지스터(416) 및 p채널형 트랜지스터(417)의 상면도를 나타낸다. 본 실시형태에서는, 복수의 각 공동(405)이, 한 쌍의 불순물 영역(413) 및 채널 형성 영역(423)과 겹친다. 또한 복수의 각 공동(406)이 한 쌍의 불순물 영역(415) 및 채널 형성 영역(424)과 겹친다. 그러나, 본 발명은 이 구성에 한정되지 않는다. 공동(405) 및 공동(406)의 수 및 그 레이아웃은, 본 실시형태에서 나타낸 구성에 한정되지 않는다.

[0169] 또한, 본 실시형태에서는, n채널형 트랜지스터(416)와 p채널형 트랜지스터(417)가, 각각 게이트로서 기능하는 전극(408)을 하나씩 갖는 경우를 예시하지만, 본 발명은 이 구성에 한정되지 않는다. 본 발명의 반도체 장치가 갖는 트랜지스터는, 게이트로서 기능하는 전극을 복수 가지고, 상기 복수의 전극이 접속되는 멀티 게이트 구조를 가져도 좋다.

[0170] 또한, 본 발명의 반도체 장치가 갖는 트랜지스터는, 게이트 플래너 구조를 가져도 좋다.

[0171] 본 발명의 제작 방법을 사용한 반도체 장치에서는, 베이스 기관에 섬 형상의 반도체 막을 형성하기 위하여, 소자 분리를 행할 필요가 없기 때문에, 공정을 간략화할 수 있다. 또한, 본 발명의 제작 방법에서는, 절연막(402)을 에칭함으로써, 공동(405), 공동(406)을 형성하기 때문에, 원하는 깊이 및 형상을 갖는 공동(405), 공동(406)을 간단한 방법으로 정밀하게 형성할 수 있다.

[0172] 본 실시형태는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.

[0173] [실시예 1]

[0174] 본 실시예에서는, 본 발명의 SON 구조를 갖는 트랜지스터를 사용한 각종 회로의 구체적인 구성에 대해서 인버터를 예로 들어 설명한다. 일례로서, 인버터의 회로도들 도 13a에 나타내고, 도 13a에 나타내는 인버터의 상면도를 도 13b에 나타낸다.

[0175] 도 13a에 나타내는 인버터는, p채널형 트랜지스터(2001)와, n채널형 트랜지스터(2002)를 가진다. 트랜지스터(2001)와 트랜지스터(2002)는, 직렬로 접속된다. 구체적으로는, 트랜지스터(2001)의 드레인과, 트랜지스터(2002)의 드레인이 접속된다. 그리고, 트랜지스터(2001)의 드레인 및 트랜지스터(2002)의 드레인의 전위는, 출력 단자 OUT에 주어진다.

[0176] 또한, 트랜지스터(2001)의 게이트와 트랜지스터(2002)의 게이트는 접속된다. 그리고, 입력 단자 IN에 입력된 신호의 전위는 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트에 주어진다. 트랜지스터(2001)의 소스에는, 하이(HIGH) 레벨의 전압 VDD가 주어지고, 트랜지스터(2002)의 소스에는 로(LOW) 레벨의 전



압 VSS가 주어진다.

- [0177] 도 13b에 나타내는 인버터에서는, 트랜지스터(2001)의 드레인과, 트랜지스터(2002)의 드레인은, 배선(2003)을 통하여 전기적으로 접속된다. 그리고, 배선(2003)은 배선(2004)에 접속된다. 따라서, 트랜지스터(2001)의 드레인 및 트랜지스터(2002)의 드레인의 전위는, 배선(2003) 및 배선(2004)을 통하여 출력 단자 OUT의 전위로서 후단의 회로에 주어진다.
- [0178] 또한, 도 13b에 나타내는 인버터에서는, 배선(2005)의 일부가 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트로서 기능한다. 그리고 배선(2005)에 주어진 전위가, 입력 단자 IN의 전위로서 트랜지스터(2001)의 게이트 및 트랜지스터(2002)의 게이트에 주어진다. 그리고, 트랜지스터(2001)의 소스에는, 배선(2006)을 통하여 전압 VDD가 주어지고, 트랜지스터(2002)의 소스에는, 배선(2007)을 통하여 전압 VSS가 주어진다.
- [0179] 트랜지스터(2002)가 갖는 반도체 막(2008)은, 기판과의 사이에 형성되는 공동(2009)이 형성된다. 또한, 트랜지스터(2001)가 갖는 반도체 막(2010)은, 기판과의 사이에 공동(2011)이 형성된다. 반도체 막(2008)과 공동(2009)과의 위치 관계, 반도체 막(2010)과 공동(2011)의 위치 관계를 명확하게 하기 위해서, 도 13b에 나타내는 인버터 중의 반도체 막(2008), 공동(2009), 반도체 막(2010), 공동(2011)만을 도 13c에 나타낸다.
- [0180] 도 13c에 나타내는 바와 같이, 공동(2009)은, 반도체 막(2008)과 기판의 사이에 복수 형성된다. 그리고 복수의 공동(2009)은, 트랜지스터(2001)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 각각 형성된다. 또한 공동(2011)도 반도체 막(2010)과 기판의 사이에 복수 형성된다. 그리고, 복수의 공동(2011)은 트랜지스터(2002)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 각각 형성된다.
- [0181] 또한, 도 13b 및 도 13c에서는, 반도체 막(2008), 반도체 막(2010)과 각각 겹치는 공동(2009), 공동(2011)이 복수 형성되는 예를 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 반도체 막의 하부에 형성되는 공동은 단수라도 좋다. 공동이 형성되는 면적이 동일하면, 공동이 단수의 경우보다 복수의 경우가 보다 물리적 강도가 강한 트랜지스터를 형성할 수 있다. 또한, 공동이 단수의 경우, 반도체 막의 하부에 보다 넓은 면적으로 공동을 레이아웃할 수 있기 때문에, 공동이 복수의 경우보다 더 집합 용량을 저감시킬 수 있다.
- [0182] 또한, 도 13b 및 도 13c에서는, 공동(2009), 공동(2011)이 트랜지스터(2001), 트랜지스터(2002)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 형성되는 예를 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 소스와 드레인 중의 어느 한 쪽과만 공동이 겹치도록 형성되어도 좋다. 이 경우, 공동은 채널 형성 영역과 겹쳐도 좋고, 겹치지 않아도 좋다. 공동이 적어도 소스 또는 드레인과 겹치는 경우, 채널 형성 영역만 겹치는 공동을 형성하는 경우와 비교하여, 보다 집합 용량을 저감시킬 수 있다. 또한, 적어도 채널 형성 영역과 겹치는 공동을 형성하는 경우, 소스 또는 드레인과만 겹치는 공동을 형성하는 경우에 비교하여, 보다 셀프 히팅을 억제할 수 있다.
- [0183] 본 실시예는, 상기 실시형태와 적절히 조합하여 실시할 수 있다.
- [0184] [실시예 2]
- [0185] 본 실시예에서는, 본 발명의 SON 구조를 갖는 트랜지스터를 사용한 각종 회로의 구체적인 구성에 대해서 NAND를 예로 들어 설명한다. 일례로서 NAND의 회로도들 도 14a에, 또한 도 14a에 나타내는 NAND의 상면도를 도 14b에 나타낸다.
- [0186] 도 14a에 나타내는 NAND는, p채널형 트랜지스터(3001)와, p채널형 트랜지스터(3002)와, n채널형 트랜지스터(3003)와, n채널형 트랜지스터(3004)를 가진다. 트랜지스터(3001), 트랜지스터(3003), 트랜지스터(3004)는 순서로 직렬로 접속된다. 또한, 트랜지스터(3001)와 트랜지스터(3002)는 병렬로 접속된다.
- [0187] 구체적으로는, 트랜지스터(3001)의 소스와 드레인은, 한 쪽에는 하이 레벨의 전압 VDD가 주어지고, 다른 쪽은 출력 단자 OUT에 접속된다. 트랜지스터(3002)의 소스와 드레인은, 한 쪽에는 하이 레벨의 전압 VDD가 주어지고, 다른 쪽은 출력 단자 OUT에 접속된다. 트랜지스터(3004)의 소스와 드레인은, 한 쪽에는 로 레벨의 전압 VSS가 주어진다. 트랜지스터(3003)의 소스와 드레인은, 한 쪽은 출력 단자 OUT에 접속된다. 그리고, 트랜지스터(3003)의 소스와 드레인의 다른 쪽과, 트랜지스터(3004)의 소스와 드레인의 다른 쪽이 접속된다. 트랜지스터(3001)의 게이트와, 트랜지스터(3003)의 게이트에는, 입력 단자 IN1의 전위가 주어진다. 또한, 트랜지스터(3002)의 게이트와, 트랜지스터(3004)의 게이트에는, 입력 단자 IN2의 전위가 주어진다.
- [0188] 도 14b에 나타내는 NAND에서는, 직렬로 접속되는 트랜지스터(3001)와 트랜지스터(3002)가 반도체 막

(3005)을 공유한다. 또한, 직렬로 접속되는 트랜지스터(3003)와 트랜지스터(3004)가 반도체 막(3006)을 공유한다. 또한, 배선(3007)의 일부는, 트랜지스터(3001)의 게이트 및 트랜지스터(3003)의 게이트로서 기능한다. 그리고 배선(3007)에 주어진 전위가, 입력 단자 IN1의 전위로서 트랜지스터(3001)의 게이트 및 트랜지스터(3003)의 게이트에 주어진다. 배선(3008)의 일부는 트랜지스터(3002)의 게이트 및 트랜지스터(3004)의 게이트로서 기능한다. 그리고, 배선(3008)에 주어진 전위가, 입력단자 IN2의 전위로서 트랜지스터(3002)의 게이트 및 트랜지스터(3004)의 게이트에 주어진다.

[0189] 하이 레벨의 전압 VDD는, 배선(3009)을 통하여 트랜지스터(3001)의 소스와 드레인의 한 쪽, 및 트랜지스터(3002)의 소스와 드레인의 한 쪽에 주어진다. 또한, 로 레벨의 전압 VSS는, 배선(3010)을 통하여 트랜지스터(3004)의 소스와 드레인의 한 쪽에 주어진다. 트랜지스터(3001)의 소스와 드레인의 다른 쪽, 트랜지스터(3002)의 소스와 드레인의 다른 쪽, 및 트랜지스터(3003)의 소스와 드레인의 한 쪽은, 그 전위가 배선(3011) 및 배선(3012)을 통하여 출력 단자 OUT의 전위로서 후단의 회로에 주어진다.

[0190] 반도체 막(3005)은, 기판과의 사이에 형성되는 공동(3013)을 가진다. 또한, 반도체 막(3006)은 기판과의 사이에 형성되는 공동(3014)을 가진다. 반도체 막(3005)과 공동(3013)의 위치 관계, 반도체 막(3006)과 공동(3014)의 위치 관계를 명확하게 하기 위해서, 도 14b에 나타내는 NAND 중의 반도체 막(3005), 공동(3013), 반도체 막(3006), 공동(3014)만을 도 14c에 나타낸다.

[0191] 도 14c에 나타내는 바와 같이, 공동(3013)은, 반도체 막(3005)과 기판의 사이에 복수 형성된다. 그리고 복수의 공동(3013)은, 트랜지스터(3001)의 소스, 채널 형성 영역, 드레인 및 트랜지스터(3002)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 각각 형성된다. 또한 공동(3014)도 반도체 막(3006)과 기판의 사이에 복수 형성된다. 그리고 복수의 공동(3014)은 트랜지스터(3003)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 각각 형성된다.

[0192] 또한, 도 14b 및 도 14c에서는, 반도체 막(3005), 반도체 막(3006)과 각각 겹치는 공동(3013), 공동(3014)이 복수 형성되는 예를 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 반도체 막의 하부에 형성되는 공동은 단수라도 좋다. 공동이 형성되는 면적이 동일하면, 공동이 단수의 경우보다 복수의 경우가 보다 물리적 강도가 강한 트랜지스터를 형성할 수 있다. 또한, 공동이 단수의 경우, 반도체 막의 하부에 보다 넓은 면적으로 공동을 레이아웃할 수 있기 때문에, 공동이 복수의 경우보다 더 집합 용량을 저감시킬 수 있다.

[0193] 또한, 도 14b 및 도 14c에서는, 공동(3013), 공동(3014)이 트랜지스터(3001), 트랜지스터(3002), 트랜지스터(3003), 트랜지스터(3004)의 소스, 채널 형성 영역, 드레인과 겹치는 영역에 형성되는 예를 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 소스와 드레인 중의 어느 한 쪽과만 공동이 겹치도록 형성되어도 좋다. 이 경우, 공동은 채널 형성 영역과 겹쳐도 좋고, 겹치지 않아도 좋다. 공동이 적어도 소스 또는 드레인과 겹치는 경우, 채널 형성 영역만 겹치는 공동을 형성하는 경우와 비교하여, 보다 집합 용량을 저감시킬 수 있다. 또한, 적어도 채널 형성 영역과 겹치는 공동을 형성하는 경우, 소스 또는 드레인과만 겹치는 공동을 형성하는 경우에 비교하여, 보다 셀프 히팅을 억제할 수 있다.

[0194] 또한, 도 14b 및 도 14c에서는, 트랜지스터(3001)와 트랜지스터(3002)가 반도체 막(3005) 및 공동(3013)을 공유하는 예에 대해서 나타내지만, 본 발명은 이 구성에 한정되지 않는다. 복수의 트랜지스터로 반도체 막 및 공동을 공유하는 경우, 기판에 있어서의 복수의 트랜지스터의 점유 면적을 보다 작게 하면서, 집합 용량이 보다 작은 트랜지스터를 형성할 수 있다.

[0195] 본 실시예는, 상기 실시형태 또는 실시예와 적절히 조합하여 실시할 수 있다.

[0196] [실시예 3]

[0197] 본 실시예에서는, 본 발명의 반도체 장치의 하나인 RF 태그의 구성에 대해서 설명한다. 도 15는 본 발명의 RF 태그의 일 형태를 나타내는 블록도이다. 도 15에 있어서 RF 태그(900)는, 안테나(901)와, 집적 회로(902)를 가진다. 집적 회로(902)는, 전원 회로(903), 복조 회로(904), 변조 회로(905), 레귤레이터(906), 제어 회로(907), 메모리(909)를 가진다. 본 발명의 정류 회로는, 전원 회로(903), 복조 회로(904)에서 사용할 수 있다.

[0198] 질문기로부터 전파가 송신되면, 안테나(901)에 있어서 상기 전파가 교류 전압으로 변환된다. 전원 회로(903)에서는, 안테나(901)로부터의 교류 전압을 정류하여, 전원용의 전압을 생성한다. 전원 회로(903)에 있어서 생성된 전원용의 전압은, 제어 회로(907)와 레귤레이터(906)에 주어진다. 레귤레이터(906)는, 전원 회로(903)로부터의 전원용의 전압을 안정화시킨다. 또는, 그 높이를 조정된 후, 집적 회로(902) 내의 복조 회로

(904), 변조 회로(905), 제어 회로(907), 또는 메모리(909) 등의 각종 회로에 공급한다.

[0199] 복조 회로(904)는, 안테나(901)가 수신한 교류 신호를 복조하여, 후단의 제어 회로(907)에 출력한다. 제어 회로(907)는 복조 회로(904)로부터 입력된 신호에 따라 연산 처리를 행하여, 별도 신호를 생성한다. 상기 연산 처리를 행할 때에, 메모리(909)는 1차 캐시 메모리(cache memory) 또는 2차 캐시 메모리로서 사용할 수 있다. 또한, 제어 회로(907)는, 복조 회로(904)로부터 입력된 신호를 해석하여, 질문기로부터 송신된 명령의 내용에 따라, 메모리(909) 내의 정보의 출력, 또는 메모리(909) 내에 있어서의 명령의 내용의 보존을 행한다. 제어 회로(907)로부터 출력되는 신호는 부호화되고, 변조 회로(905)에 송신된다. 변조 회로(905)는, 상기 신호에 따라 안테나(901)가 수신하는 전파를 변조한다. 안테나(901)에 있어서 변조된 전파는 질문기에서 받는다. 그리고 RF 태그(900)로부터 출력된 정보를 알 수 있다.

[0200] 이와 같이, RF 태그(900)와 질문기와의 통신은, 캐리어(반송파)로서 사용하는 전파를 변조함으로써 행해진다. 캐리어는, 125kHz, 13.56MHz, 950MHz 등 규격에 따라, 다양하다. 또한, 변조의 방식도 규격에 따라 진폭 변조, 주파수 변조, 위상 변조 등 다양한 방식이 있지만, 규격에 맞는 변조 방식이라면 어느 변조 방식을 사용해도 좋다.

[0201] 신호의 전송 방식은 캐리어의 파장에 따라서 전자결합 방식, 전자유도 방식, 마이크로파 방식 등 다양한 종류로 분류할 수 있다.

[0202] 메모리(909)는 불휘발성 메모리이어도 휘발성 메모리이어도 어느 쪽이나 좋다. 메모리(909)로서 예를 들면, SRAM, DRAM, 플래시 메모리, EEPROM, FeRAM 등을 사용할 수 있다.

[0203] 본 실시예에서는, 안테나(901)를 갖는 RF 태그(900)의 구성에 대해서 설명했지만, 본 발명의 RF 태그는 반드시 안테나를 갖지 않아도 좋다. 또한, 도 15에 나타난 RF 태그에 발진 회로 또는 2차 전지를 형성하여도 좋다.

[0204] 또한 도 15에서는 안테나를 1개만 갖는 RF 태그의 구성에 대해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 전력을 수신하기 위한 안테나와, 신호를 수신하기 위한 안테나의, 2개의 안테나를 가져도 좋다. 안테나가 1개이면, 예를 들면 950MHz의 전파로 전력의 공급과 신호의 전송을 양쪽 모두에서 행하는 경우, 먼 곳까지 대전력이 전송되고, 다른 무선기기의 수신 방해를 일으킬 가능성이 있다. 이 때문에, 전력의 공급은 전파의 주파수를 내려 근거리에서 행하는 것이 바람직하지만, 이 경우 통신거리는 필연적으로 짧아져 버린다. 그러나, 안테나가 2개 있으면, 전력을 공급하는 전파의 주파수와, 신호를 송신하기 위한 전파의 주파수를 구별하여 사용할 수 있다. 예를 들면, 전력을 보낼 때는 전파의 주파수를 13.56MHz로 하여 전자유도방식을 사용하고, 신호를 송신할 때는 전파의 주파수를 950MHz로 하여 전파방식을 사용할 수 있다. 이와 같이, 기능에 맞추어 안테나를 구별하여 사용함으로써, 전력의 공급은 근거리만의 통신으로 하여, 신호의 전송은 원거리도 가능한 것으로 할 수 있다.

[0205] 본 발명의 반도체 장치의 하나인 RF 태그는, 절연 표면을 갖는 기판 혹은 절연 기판 위에 집합된 단결정 반도체 층(SOI층)에 의하여 집적 회로(902)가 형성되기 때문에, 처리 속도의 고속화뿐만 아니라, 저소비 전력화를 도모할 수 있다. 또한, 집합 용량을 억제한 트랜지스터를 사용함으로써, RF 태그의 고속 구동이 가능하게 된다. 또, 반도체 막에 접하는 공동을 가짐으로써, 트랜지스터의 구동 시에 발생하는 열을 효율 좋게 방산시킬 수 있고, 셀프 히팅에 의한 오동작, 소자의 파괴 등을 방지할 수 있다.

[0206] 본 실시예는, 상기 실시형태 또는 실시예와 적절히 조합하여 실시할 수 있다.

[0207] [실시예 4]

[0208] 본 실시예에서는, 본 발명의 반도체 장치의 하나인 CPU(Central Processing Unit)의 구성에 대해서 설명한다.

[0209] 도 16에 본 실시예의 CPU의 구성을 블록도로 나타낸다. 도 16에 나타내는 CPU는, 기판(800) 위에 연산 회로(ALU: Arithmetic logic unit)(801), 연산 회로용 제어부(ALU Controller)(802), 명령 해석부(Instruction Decoder)(803), 인터럽트 제어부(Interrupt Controller)(804), 타이밍 제어부(Timing Controller)(805), 레지스터(Register)(806), 레지스터 제어부(Register Controller)(807), 버스 인터페이스(Bus I/F)(808), 메모리(809), 메모리용 인터페이스(820)를 주로 가진다. 메모리(809) 및 메모리용 인터페이스(820)는 다른 칩에 형성하여도 좋다. 물론, 도 16에 나타내는 CPU는, 그 구성을 간략화하여 나타난 일례에 불과하고, 실제의 CPU는 그 용도에 따라, 다종다양한 구성을 가진다.

- [0210] 버스 인터페이스(808)를 통해서 CPU에 입력된 명령은 명령 해석부(803)에 있어서 디코드된 후, 연산 회로용 제어부(802), 인터럽트 제어부(804), 레지스터 제어부(807), 타이밍 제어부(805)에 입력된다. 연산 회로용 제어부(802), 인터럽트 제어부(804), 레지스터 제어부(807), 타이밍 제어부(805)는 디코드된 명령에 의거하여, 각종 제어를 한다. 구체적으로는, 연산 회로용 제어부(802)는 연산 회로(801)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(804)는 CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변회로부터의 인터럽트 요구를, 그 우선도나 마스크 상태에서부터 판단하여 처리한다. 레지스터 제어부(807)는 레지스터(806)의 어드레스를 생성하여, CPU의 상태에 따라서 레지스터(806)의 판독이나 기록을 한다.
- [0211] 또한 타이밍 제어부(805)는 연산 회로(801), 연산 회로용 제어부(802), 명령 해석부(803), 인터럽트 제어부(804), 레지스터 제어부(807)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면, 타이밍 제어부(805)는 기준 클럭신호에 의거하여, 내부 클럭신호를 생성하는 내부 클럭 생성부를 구비하고, 내부 클럭신호를 상기 각종 회로에 공급한다.
- [0212] 본 발명의 반도체 장치의 하나인 CPU는, 절연 표면을 갖는 기판 혹은 절연 기판 위에 접합된 단결정 반도체 층(SOI층)에 의하여 집적 회로가 형성되기 때문에, 처리 속도의 고속화뿐만 아니라, 저소비 전력화를 도모할 수 있다. 또한, 접합 용량을 억제한 트랜지스터를 사용함으로써, CPU의 고속 구동이 가능하게 된다. 또, 반도체 막에 접하는 공동을 가짐으로써, 트랜지스터의 구동 시에 발생하는 열을 효율 좋게 방산시킬 수 있고, 셀프 히팅에 의한 오동작, 소자의 파괴 등을 방지할 수 있다.
- [0213] 또한, 반도체 기판은 유리 기판보다도 열 처리에 의한 쉬링크(shrink)가 작고, 기판의 표면에 있어서의 요철이 작다. 따라서, 반도체 기판을 베이스 기판으로서 사용하는 경우, 마스크의 맞춤 정밀도를 높게 할 수 있기 때문에, 100nm이하의 극미세 패턴을 형성할 수 있다. 또한, 반도체 기판을 베이스로서 사용하는 경우, 해상도가 높은 마스크를 사용할 수 있기 때문에, 트랜지스터의 채널길이 L를 짧게 할 수 있다. 따라서, 고성능, 저소비 전력, 고집적도를 실현할 수 있기 때문에, CPU를 포함하는 각종의 대규모 집적회로(LSI)를 제작할 수 있다.
- [0214] 본 실시예는, 상기 실시 형태 또는 실시예와 적절히 조합하여 실시할 수 있다.
- [0215] [실시예 5]
- [0216] 본 실시예에서는, 1장의 베이스 기판을 사용하여 복수의 반도체 장치를 형성하는 경우의 순서에 대해서 설명한다.
- [0217] 도 17a에, 개구부(1801)를 갖는 절연막(1802)이 형성된, 베이스 기판(1803)의 외관을 나타낸다. 도 17a에서는, 베이스 기판(1803)의 표면을 부분적으로 확대한 도면도 함께 나타낸다.
- [0218] 다음, 도 17b에 나타내는 바와 같이, 접합에 의하여 본드 기판(1804)을 베이스 기판(1803)에 접합시킨다. 본드 기판(1804)은, 개구부(1801)를 갖는 절연막(1802)을 사이에 끼우도록 베이스 기판(1803)에 접합된다.
- [0219] 그리고, 도 18a에 나타내는 바와 같이, 본드 기판(1804)을 벽개시킴으로써, 도 18b에 나타내는 바와 같이 본드 기판(1804)의 일부인 반도체 막(1805)을, 베이스 기판(1803)에 전치한다. 반도체 막(1805)과 베이스 기판(1803)의 사이에는, 절연막(1802)이 갖는 개구부(1801)에 의하여 형성되는 공동이 형성된다.
- [0220] 그리고, 도 19에 나타내는 바와 같이, 베이스 기판(1803) 위에 형성된 반도체 막(1805)을 사용하여, 반도체 장치(1806)를 복수 형성하고, 다이싱 등으로 베이스 기판(1803)과 반도체 장치(1806)끼리를 분할한다. 상기 구성에 의하여, 복수의 반도체 장치(1806)를 형성할 수 있다.
- [0221] 또한, 본 실시예에서는, 베이스 기판(1803)과 본드 기판(1804)을 1:1로 접합하는 경우에 대해서 설명하였지만, 본 발명은 이 구성에 한정되지 않는다. 1개의 베이스 기판(1803)에 본드 기판(1804)을 복수 접합시켜도 좋다. 다만, 이 경우, 각 본드 기판(1804)의 면방위가 일치하도록 함으로써, 베이스 기판(1803) 위에 형성되는 복수의 반도체 막의 결정면방위를 일치시킬 수 있고, 따라서, 반도체 장치(1805)의 특성을 일치시킬 수 있다.
- [0222] 본 실시예에서는, 상기 실시형태 또는 실시예와 적절히 조합하여 실시할 수 있다.
- [0223] [실시예 6]
- [0224] 본 발명의 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형 게임기 또는 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드마운트 디스플레이), 네비게이션 시스템

템, 음향재생장치(카 오디오, 오디오 콤포넌트 등), 노트북 퍼스널 컴퓨터, 기록매체를 구비한 화상재생장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록매체를 재생하고, 이 화상을 표시할 수 있는 디스플레이를 갖는 장치) 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 20a 내지 도 20c에 나타낸다.

[0225] 도 20a는 휴대 전화이며, 본체(2101), 표시부(2102), 음성입력부(2103), 음성출력부(2104), 조작키(2105)를 가진다. 표시부(2102)에 본 발명의 표시장치를 사용함으로써, 소비전력을 억제할 수 있고, 고성능으로 신뢰성이 높은 휴대 전화를 얻을 수 있다.

[0226] 도 20b는 비디오 카메라이며, 본체(2601), 표시부(2602), 케이스(2603), 외부 접속 포트(2604), 리모콘 수신부(2605), 수상부(2606), 배터리(2607), 음성입력부(2608), 조작키(2609), 접안부(2610) 등을 가진다. 표시부(2602)에 본 발명의 표시 장치를 사용함으로써, 소비전력을 억제할 수 있고, 고성능으로 신뢰성이 높은 비디오 카메라를 얻을 수 있다.

[0227] 도 20c는 영상 표시장치로, 케이스(2401), 표시부(2402), 스피커부(2403) 등을 가진다. 표시부(2402)에 본 발명의 표시 장치를 사용함으로써, 소비전력을 억제할 수 있고, 고성능으로 신뢰성이 높은 영상 표시장치를 얻을 수 있다. 또한, 영상 표시장치에는, 퍼스널 컴퓨터용, TV방송 수신용, 광고표시용 등의, 영상을 표시하기 위한 모든 영상 표시장치가 포함된다.

[0228] 이상과 같이, 본 발명의 적용범위는 극히 넓어, 모든 분야의 전자 기기에 사용하는 것이 가능하다.

[0229] 본 실시예는, 상기 실시형태 또는 상기 실시예와 적절히 조합하여 실시할 수 있다.

### 도면의 간단한 설명

[0230] 도 1a 내지 도 1c는 본 발명의 반도체 장치가 갖는 트랜지스터의 구성을 나타내는 단면도.

[0231] 도 2a 내지 도 2c는 본 발명의 반도체 장치가 갖는 트랜지스터의 구성을 나타내는 상면도 및 단면도.

[0232] 도 3a 내지 도 3c는 본 발명의 반도체 장치가 갖는 트랜지스터의 구성을 나타내는 상면도 및 단면도.

[0233] 도 4a 내지 도 4c는 본 발명의 반도체 장치가 갖는 트랜지스터의 구성을 나타내는 상면도 및 단면도.

[0234] 도 5a 내지 도 5d는 본 발명의 반도체 장치가 갖는 트랜지스터의 구성을 나타내는 상면도 및 단면도.

[0235] 도 6a 내지 도 6d는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0236] 도 7a 내지 도 7c는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0237] 도 8a 내지 도 8d는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0238] 도 9a 내지 도 9d는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0239] 도 10a 및 도 10b는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0240] 도 11a 내지 도 11c는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0241] 도 12는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0242] 도 13a 내지 도 13c는 본 발명의 반도체 장치가 갖는 인버터의 구성을 나타내는 도면.

[0243] 도 14a 내지 도 14c는 본 발명의 반도체 장치가 갖는 NAND의 구성을 나타내는 도면.

[0244] 도 15는 본 발명의 반도체 장치의 하나인 RF 태그의 구성을 나타내는 도면.

[0245] 도 16은 본 발명의 반도체 장치의 하나인 CPU의 구성을 나타내는 도면.

[0246] 도 17a 및 도 17b는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0247] 도 18a 및 도 18b는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0248] 도 19는 본 발명의 반도체 장치의 제작 방법을 나타내는 도면.

[0249] 도 20a 내지 도 20c는 본 발명의 반도체 장치를 사용한 전자기기의 도면.

[0250] <도면의 주요 부분에 대한 부호의 설명>

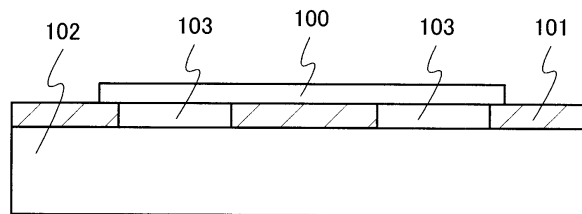


[0251]	100: 반도체 막	101: 절연막
[0252]	102: 베이스 기판	103: 공동
[0253]	104: 불순물 영역	105: 불순물 영역
[0254]	106: 채널 형성 영역	107: 게이트 절연막
[0255]	108: 전극	110: 반도체 막
[0256]	111: 불순물 영역	112: 불순물 영역
[0257]	113: 채널 형성 영역	114: 게이트 절연막
[0258]	115: 전극	116: 베이스 기판
[0259]	117: 절연막	118: 공동
[0260]	119: 공동	

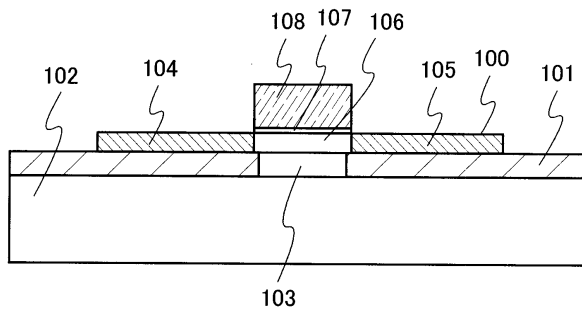
도면

도면1

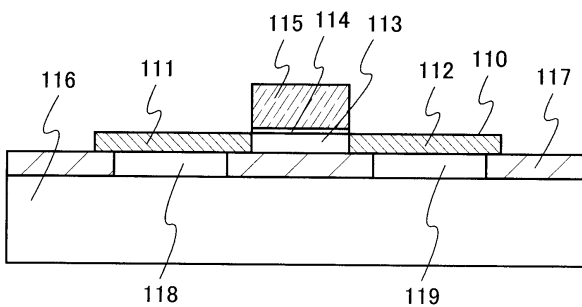
(a)



(b)

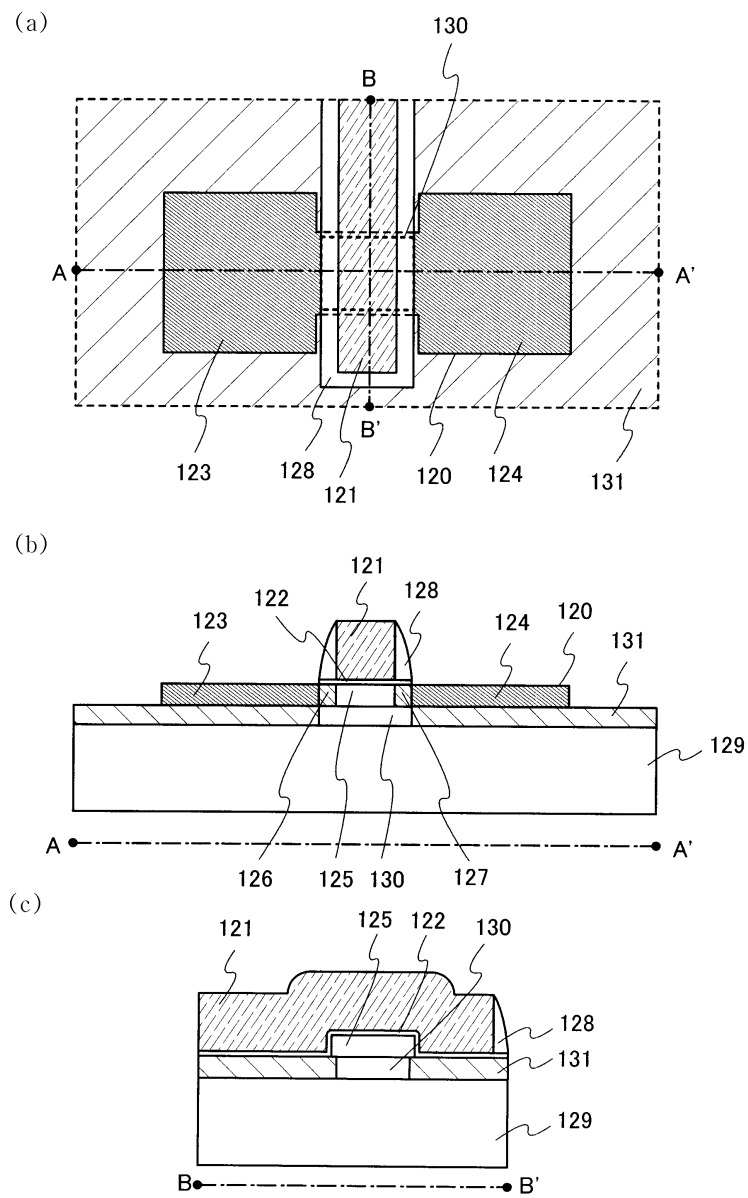


(c)

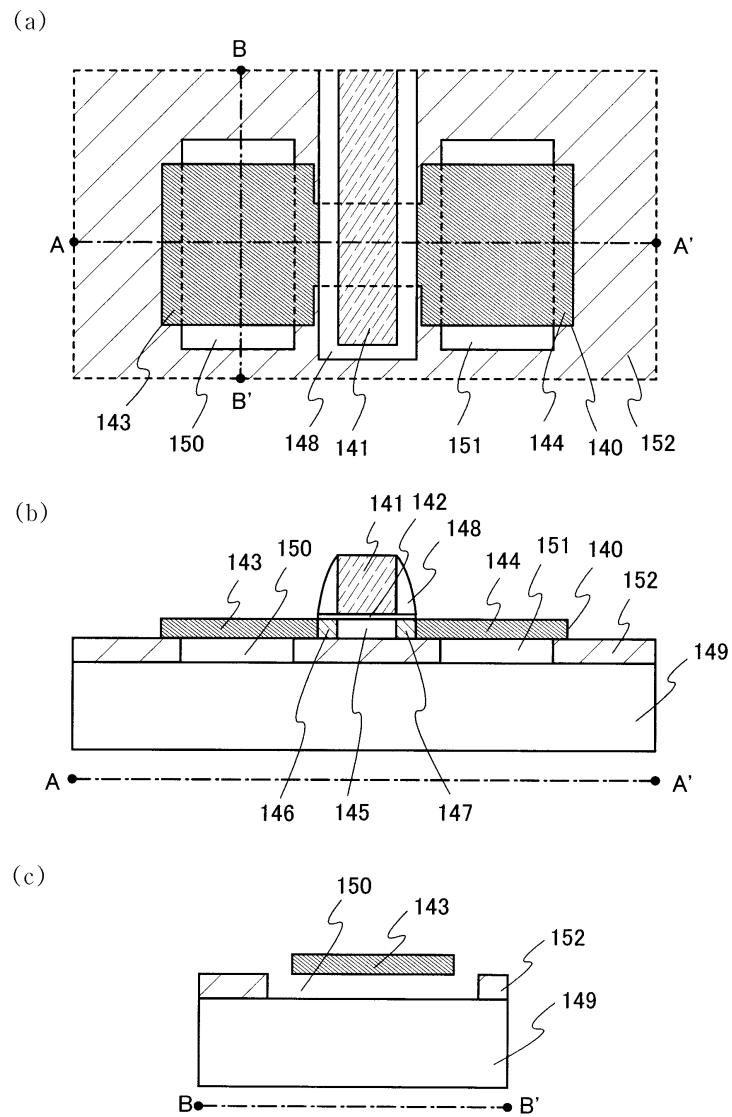




도면2

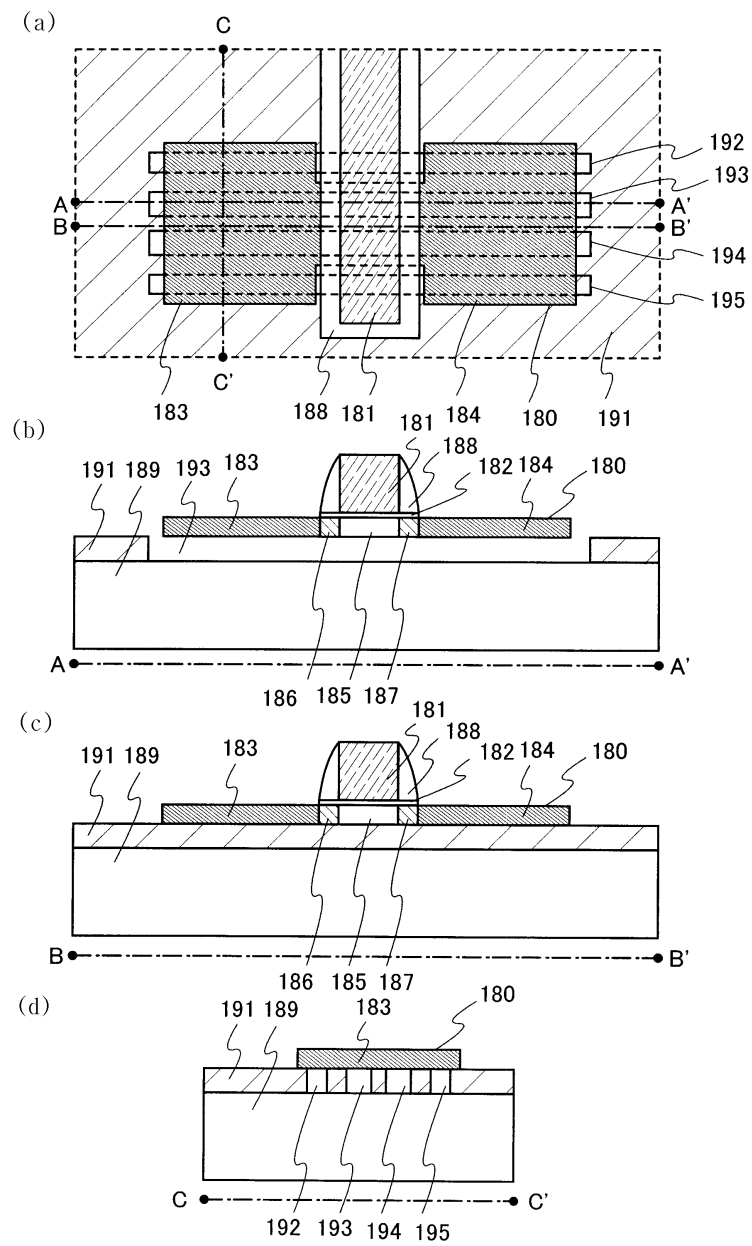


도면3

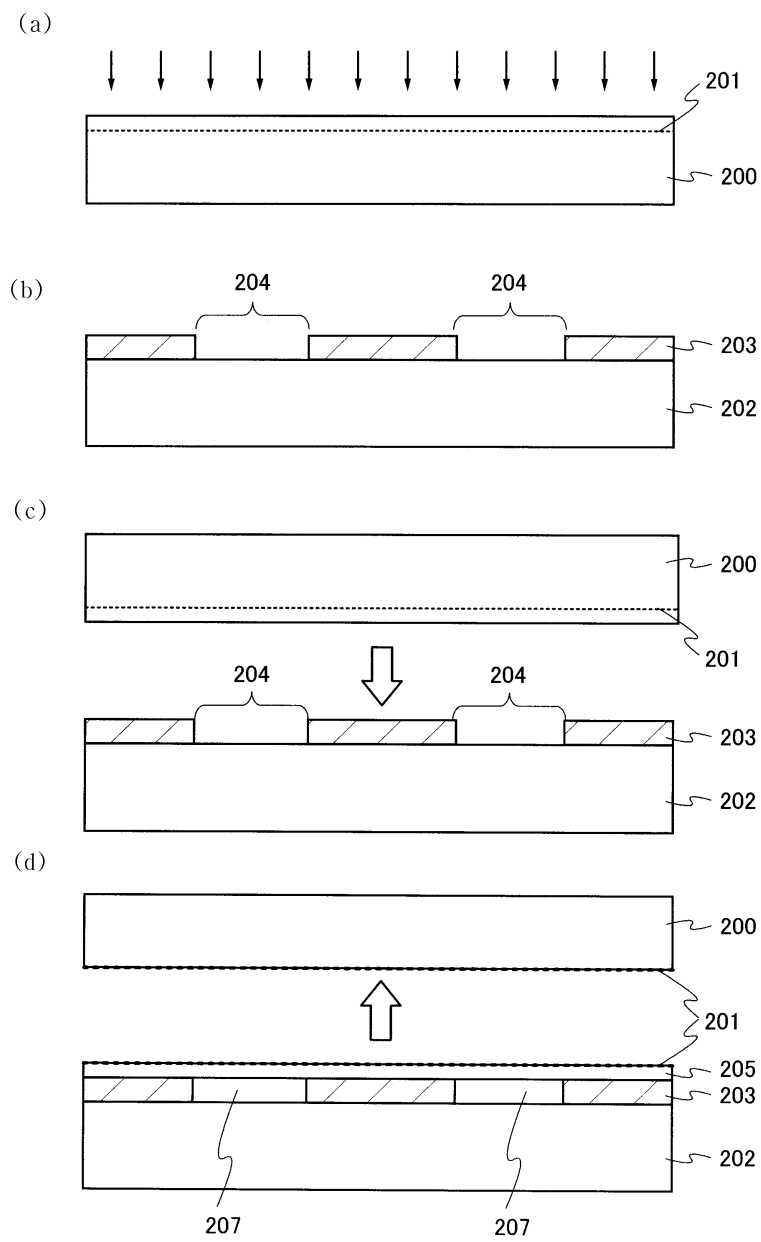




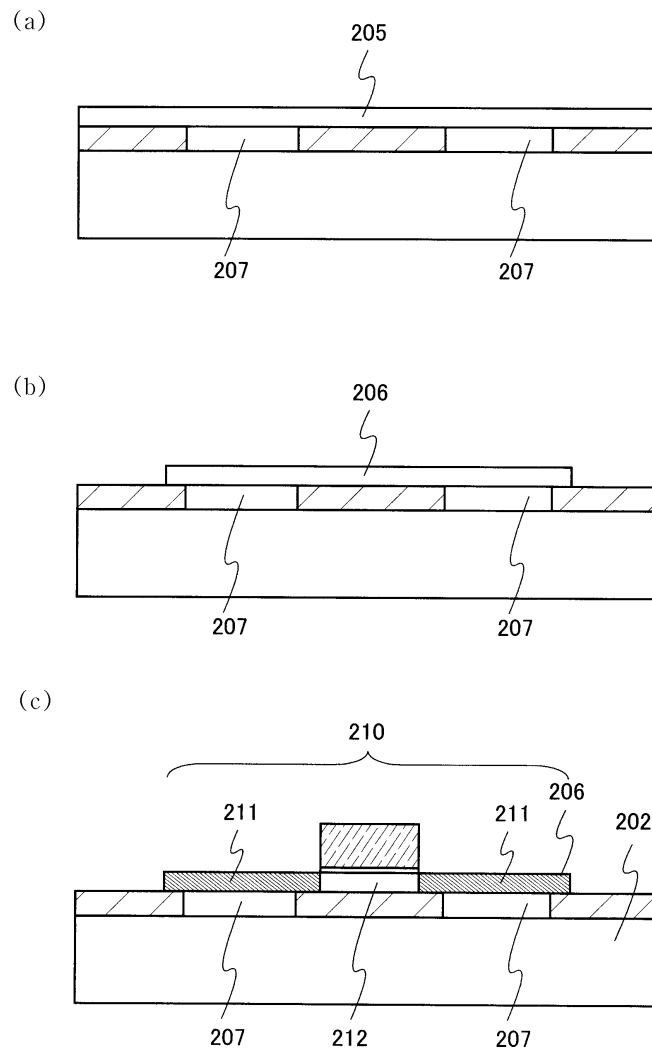
도면5



도면6

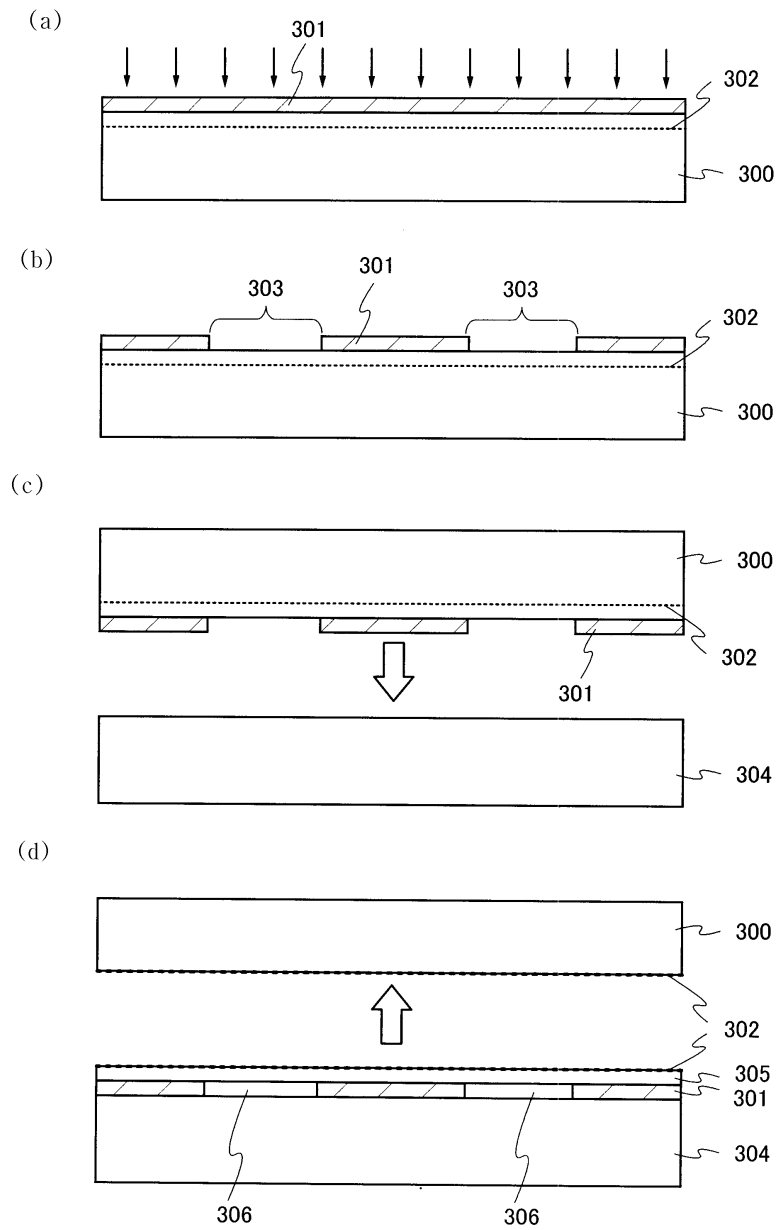


도면7

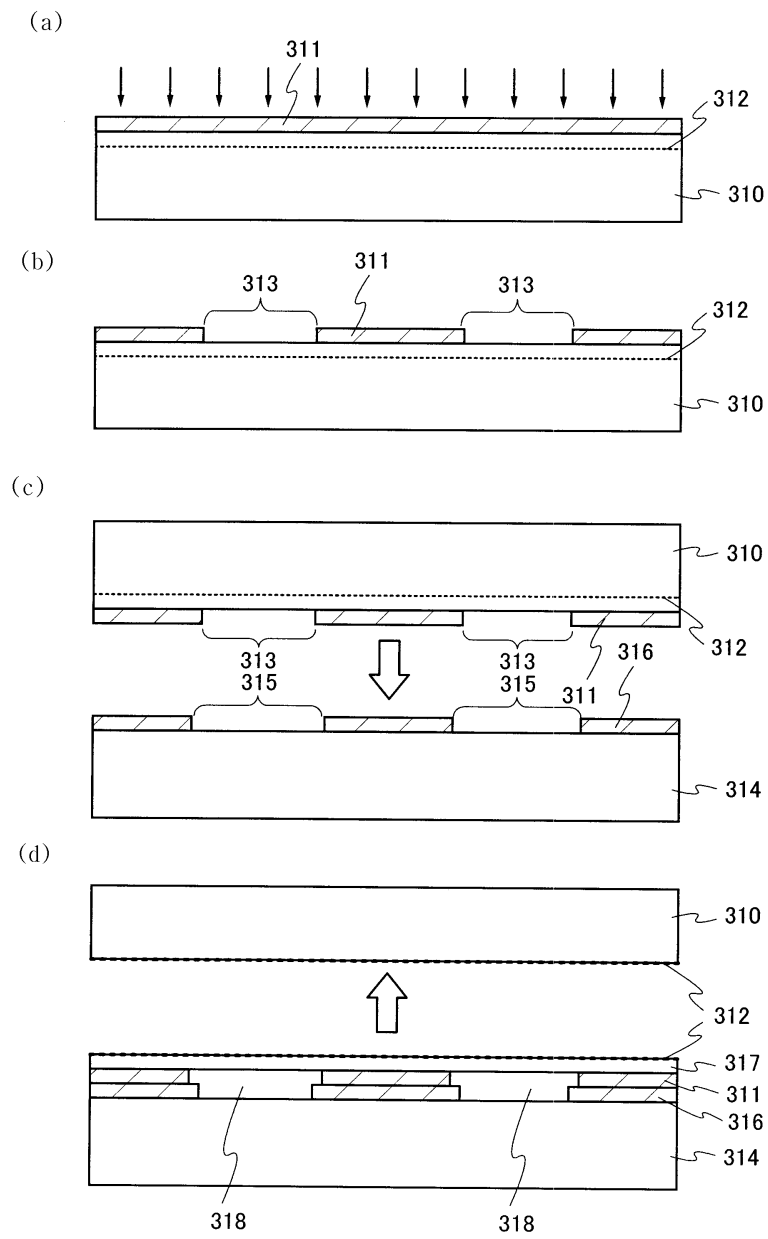




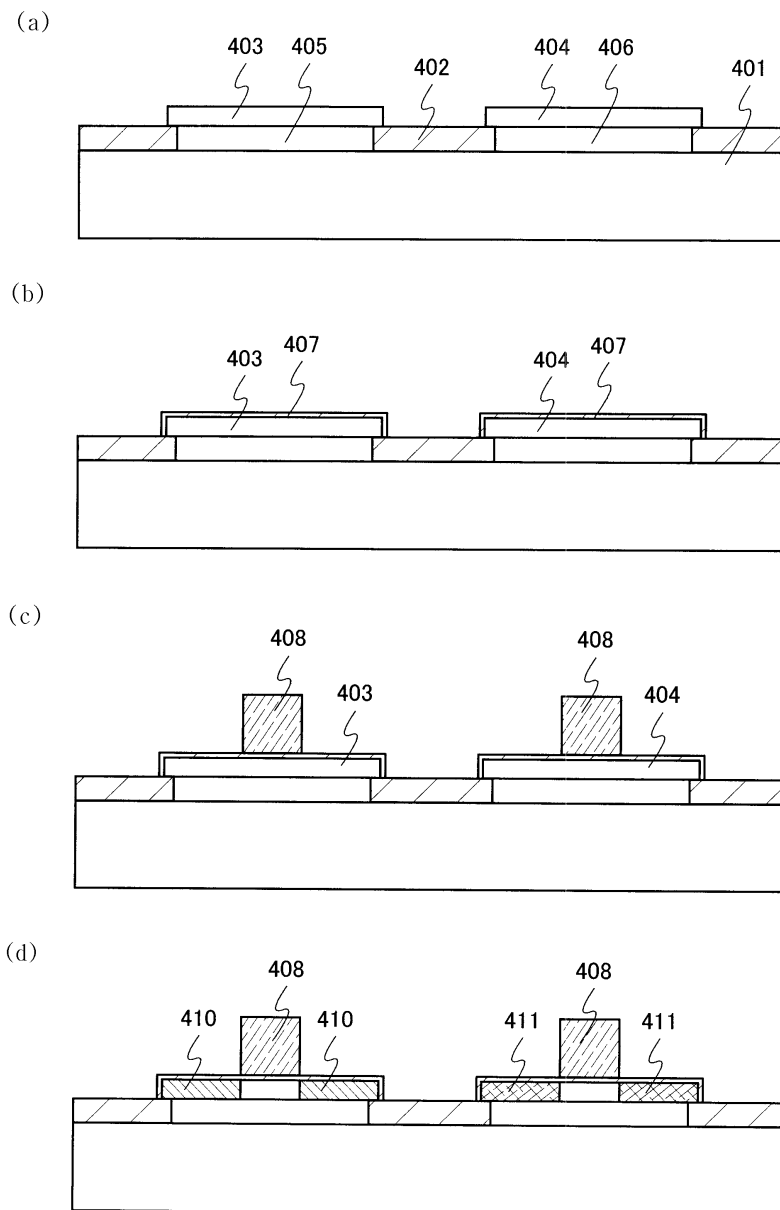
도면8



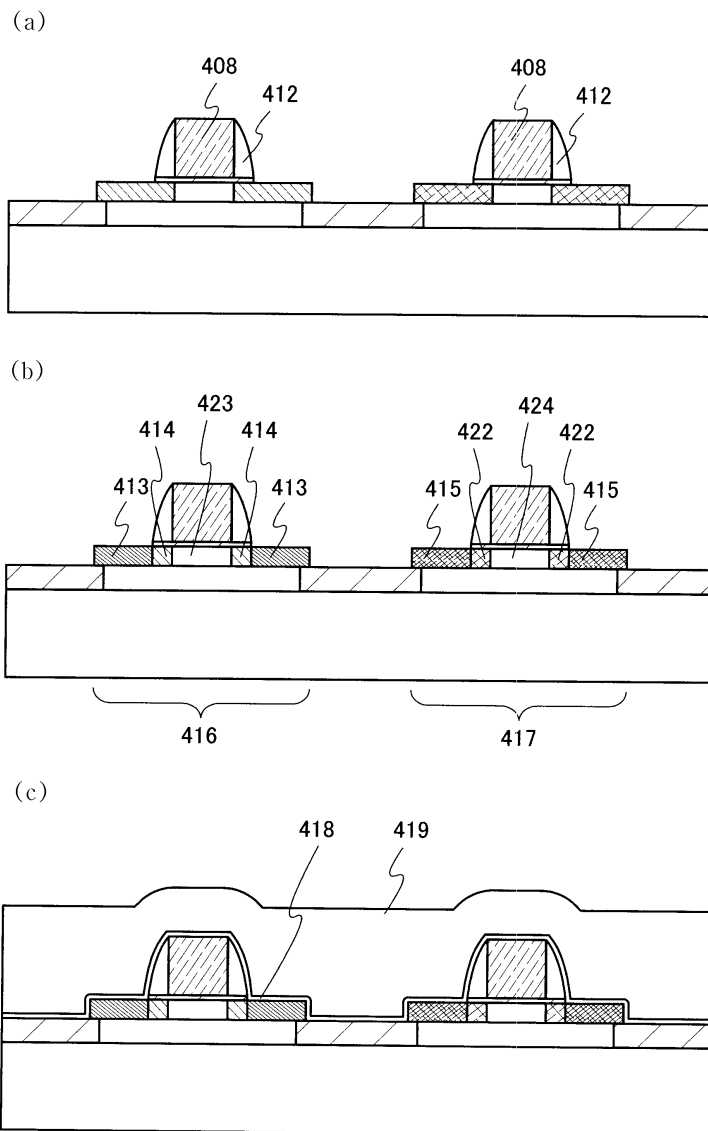
도면9



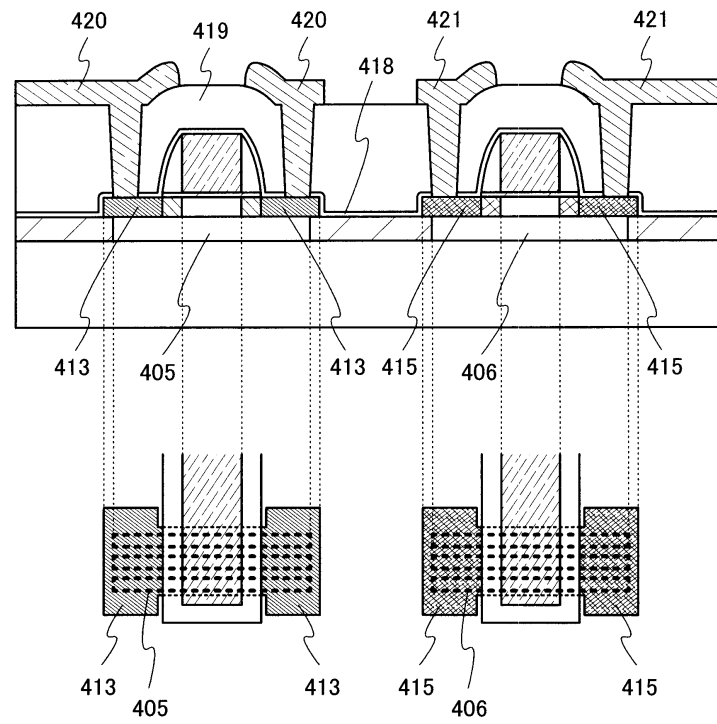
도면10



도면11

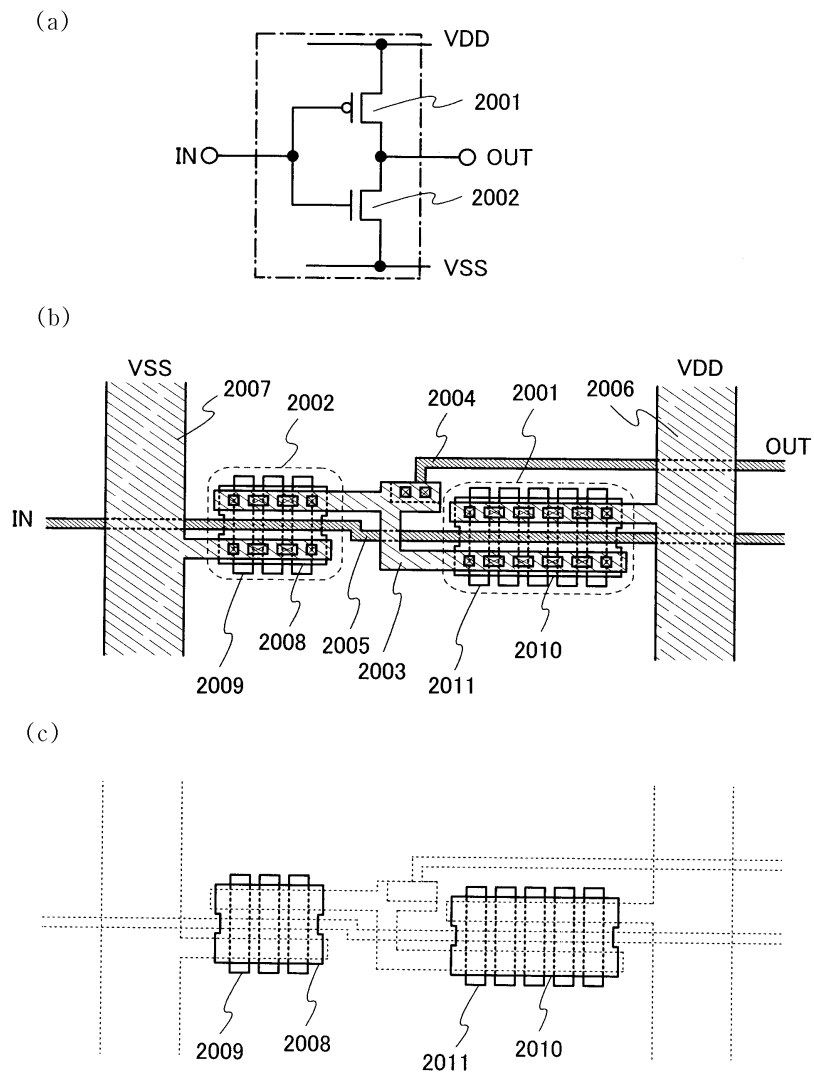


도면12

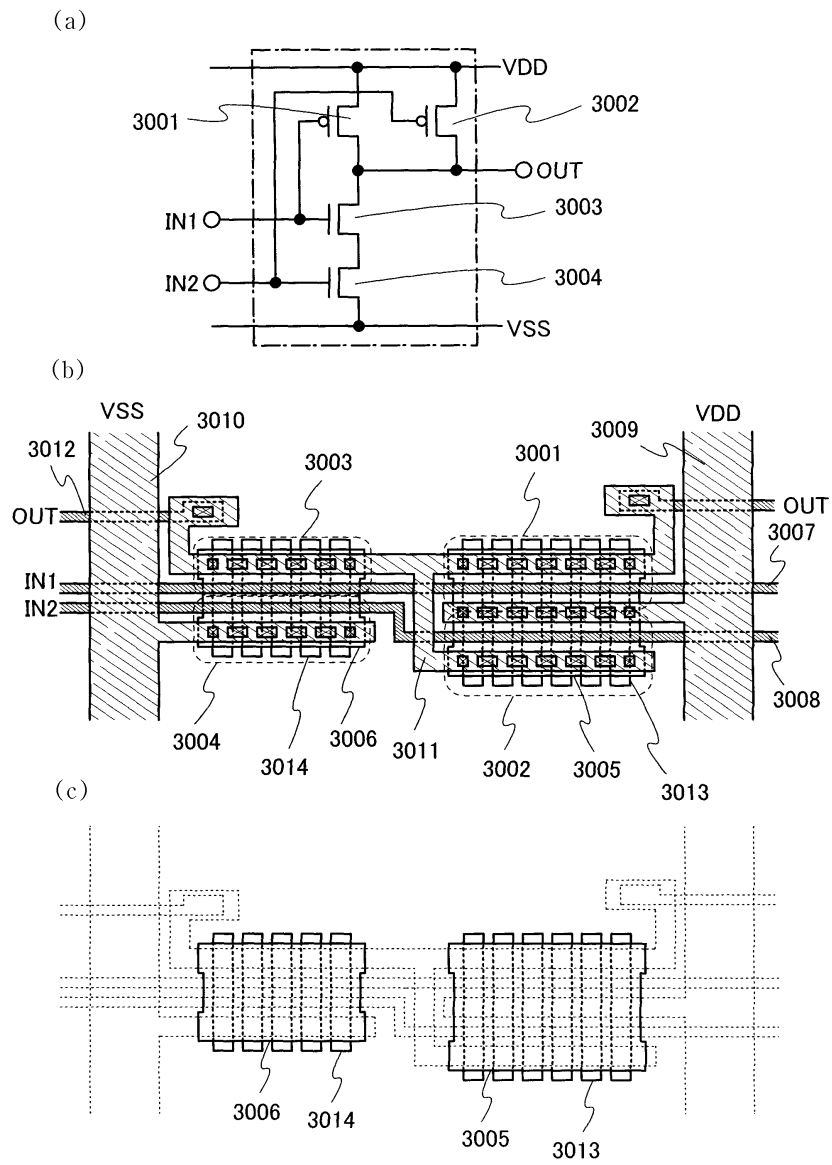




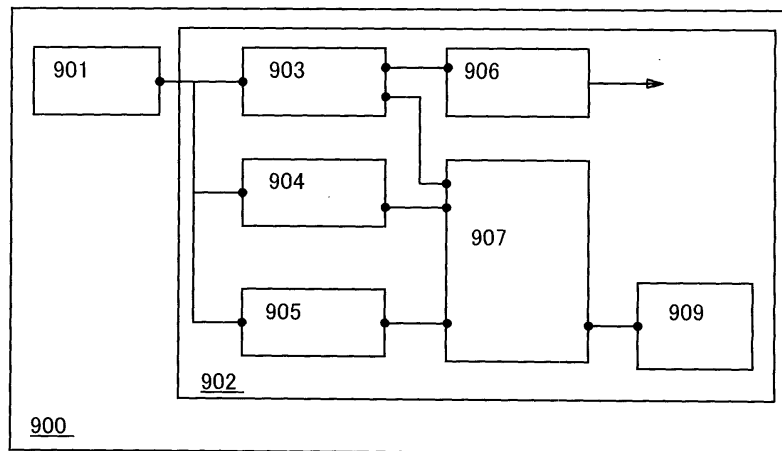
도면13



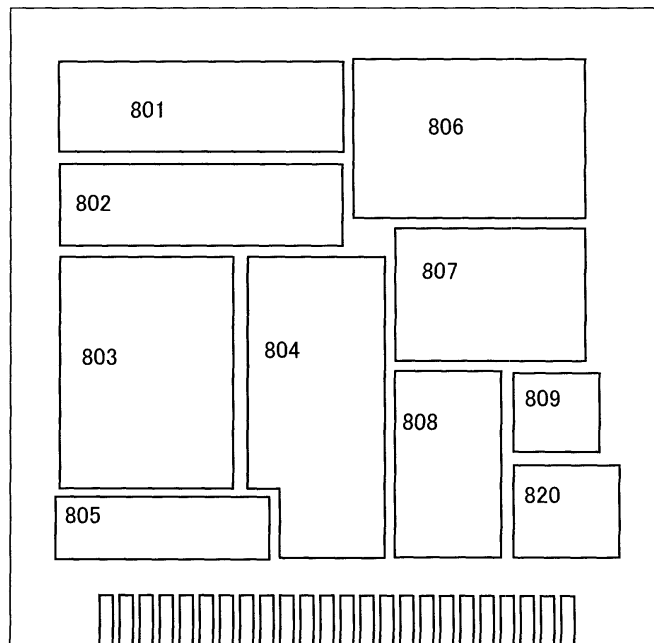
도면14



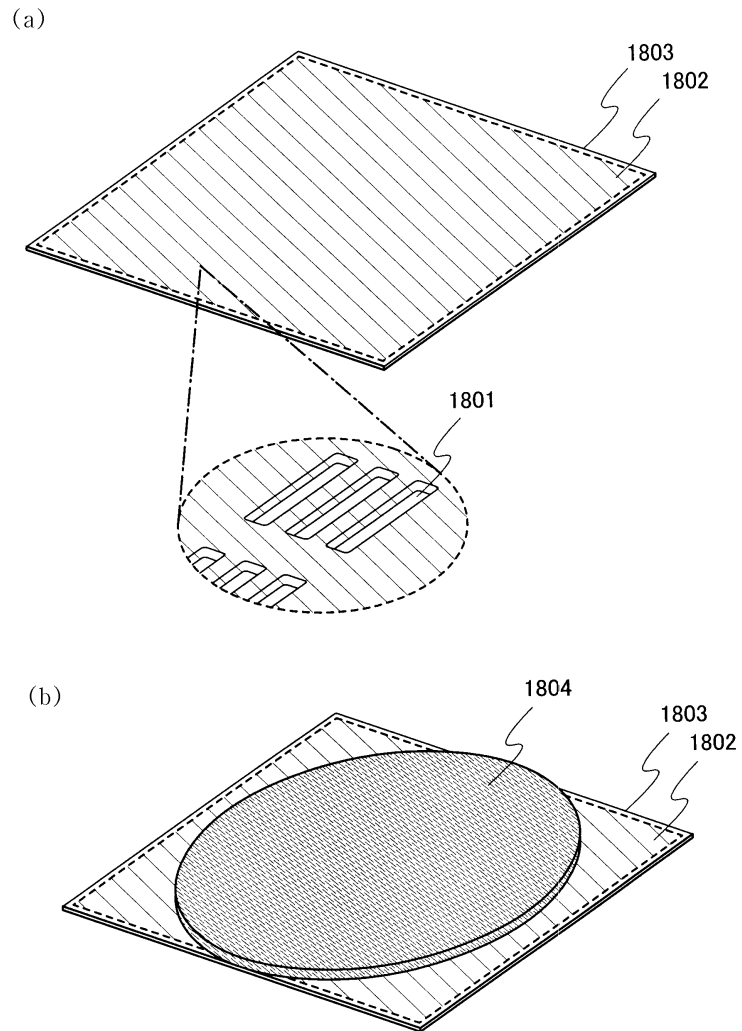
도면15



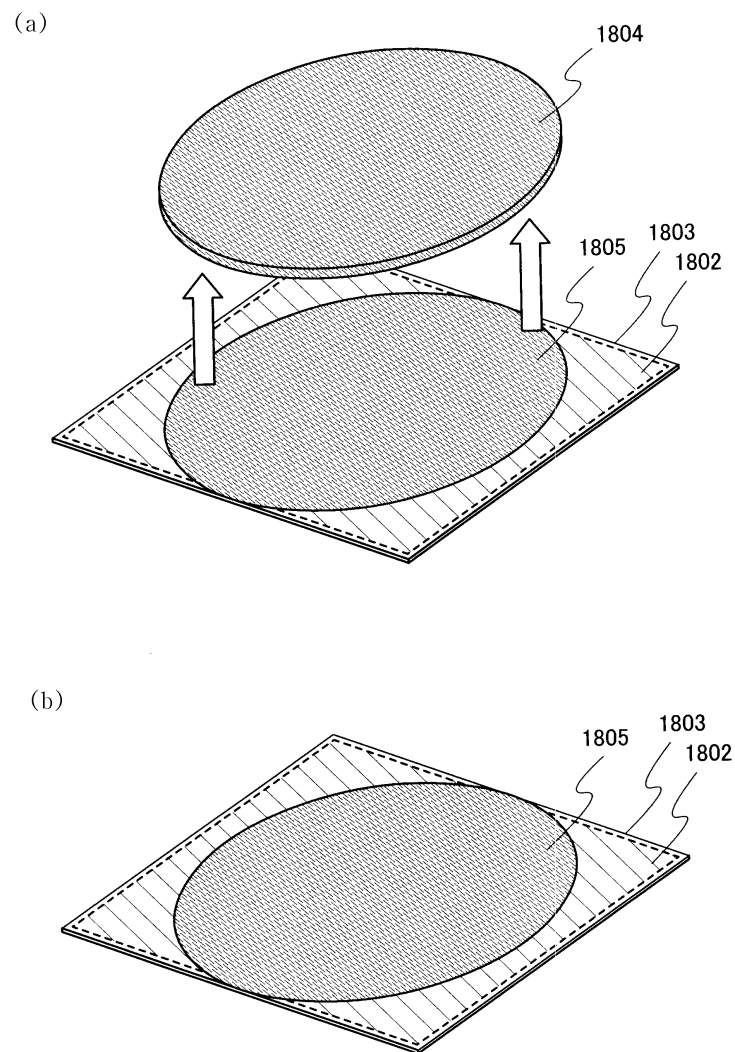
도면16



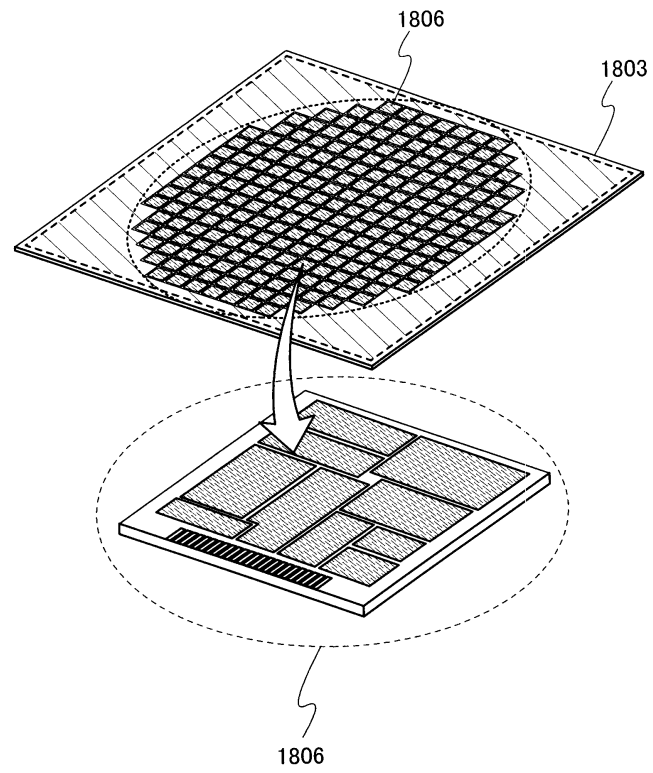
도면17



도면18



도면19





도면20

