

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5389971号  
(P5389971)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int. Cl. F I  
 HO 1 L 25/00 (2006.01) HO 1 L 25/00 B  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 B  
 HO 1 L 23/36 (2006.01) HO 1 L 23/36 D

請求項の数 6 外国語出願 (全 12 頁)

(21) 出願番号	特願2012-76506 (P2012-76506)	(73) 特許権者	597154922
(22) 出願日	平成24年3月29日(2012.3.29)		アルテラ コーポレーション
(62) 分割の表示	特願2011-546433 (P2011-546433) の分割		Altera Corporation
原出願日	平成22年1月19日(2010.1.19)		アメリカ合衆国 95134 カリフォル ニア州 サン ホセ イノベーション ド ライヴ 101
(65) 公開番号	特開2012-129555 (P2012-129555A)	(74) 代理人	100078282
(43) 公開日	平成24年7月5日(2012.7.5)		弁理士 山本 秀策
審査請求日	平成24年3月29日(2012.3.29)	(74) 代理人	100062409
(31) 優先権主張番号	12/356,491		弁理士 安村 高明
(32) 優先日	平成21年1月20日(2009.1.20)	(74) 代理人	100113413
(33) 優先権主張国	米国 (US)		弁理士 森下 夏樹
		(72) 発明者	トン テイク ティオン マレーシア国 10400, ペナン, ジャラン シアム 110

最終頁に続く

(54) 【発明の名称】挿入層上に配置されたコンデンサーを有するICパッケージ

(57) 【特許請求の範囲】

【請求項1】

集積回路(IC)パッケージであって、  
ビルドアップ基板と、  
前記ビルドアップ基板の表面に配置されたICと、  
前記ICの最上面に配置されたテープ回路であって、前記テープ回路は、前記テープ回路上に配置された複数のコンデンサーを有し、前記テープ回路は、前記ICの周辺端の上を延びている、テープ回路と、  
前記テープ回路の中央領域に対して配置された熱インタフェース材料(TIM)であって、前記TIMは、前記テープ回路上に配置された前記複数のコンデンサーによって囲まれている、TIMと、  
突出している内側部分を有する蓋であって、前記蓋は、前記TIMの上に配置されている、蓋と  
を備えている、ICパッケージ。

【請求項2】

前記テープ回路は、前記ビルドアップ基板と電氣的に連絡している、請求項1に記載のICパッケージ。

【請求項3】

キャビティが前記テープ回路と前記蓋の間に規定されている、請求項1に記載のICパッケージ。

## 【請求項 4】

前記中央領域を囲んでいる成形コンパウンドをさらに備え、前記成形コンパウンドは、前記蓋を支持する、請求項 1 に記載の IC パッケージ。

## 【請求項 5】

前記ビルドアップ基板の前記表面に固着される支持部材をさらに備え、前記支持部材は、前記ビルドアップ基板の周辺表面を囲み、前記支持部材は、前記蓋を支持する、請求項 1 に記載の IC パッケージ。

## 【請求項 6】

前記蓋は、複数の突出部を有し、

第一の突出部は、前記蓋の中央部から延びており、第二の突出部は、前記蓋の周辺部から延びており、前記第一の突出部は、前記 TIM に隣接しており、前記第二の突出部は、前記ビルドアップ基板に隣接している、請求項 1 に記載の IC パッケージ。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

(発明の分野)

本発明は、概して集積回路 (IC) に関し、より具体的には、オンパッケージデカップリング (OPD) コンデンサーを有する IC パッケージに関する。

## 【背景技術】

## 【0002】

デカップリングコンデンサーまたはチップコンデンサーは、一般的に、不必要な信号を除去するか、チップへの電源雑音を低減するために用いられる。IC の通常動作の間、チップの電源使用は変動し得る。例えば、回路状態に変化があるとき、チップは電源から付加的な電流を得ようとすることがある。IC の電力消費量の定常的な変化は、電流変動を引き起こし、チップ内に不必要な雑音を生成する。このように、デカップリングコンデンサーは、通常、電流変動を安定させて、デバイスをより滑らかに動かすために一般的な IC パッケージに含まれる。

20

## 【0003】

これらのコンデンサーは、通常、IC パッケージの基板層上に設置される。しかしながら、それらをあまりにダイの近くに設置することはできず、そして、ダイとダイを囲んでいるチップコンデンサーとの間に十分なスペースがなければならない。それゆえに、より大きいダイが使用されるときには、より大きい基板がチップコンデンサーに対応するために必要である。換言すれば、より大きいダイは、ダイと全てのチップコンデンサーを IC パッケージ内にはめ込むために、さらにより大きいパッケージング基板を必要とする。パッケージサイズの増大は、パッケージングコストだけでなく、使用されるより大きなパッケージング基板に起因する製造リスクも増加させる。

30

## 【0004】

このように、パッケージング基板のサイズをさらに拡大することなく、IC パッケージ内に設置される必要がある全てのチップコンデンサーを収容できる IC パッケージを有することが非常に望ましい。

40

## 【発明の概要】

## 【課題を解決するための手段】

## 【0005】

本発明の実施形態は、OPD コンデンサーを有する IC パッケージを作成する装置および方法を含む。

## 【0006】

本発明は、例えば、プロセス、装置、システムまたはデバイス等の多くの態様で実装され得ることが理解されなければならない。本発明のいくつかの実施形態が以下において説明される。

## 【0007】

50

一実施形態において、ICパッケージが開示される。ICパッケージは、ビルドアップ基板上に配置されているICを含む。基板層は、ICの最上面上に配置される。一部の実施形態において、IC上に配置されている基板層は、ビルドアップ基板と比較するとより薄い。複数のコンデンサーが、ICの最上面上の基板層上に配置されている。一つ以上のワイヤーが、基板層上のコンデンサーをICの下のビルドアップ基板に接続するために使用される。一部の実施形態において、ワイヤーは銅(Cu)製のワイヤーである。他の実施形態において、ワイヤーは金(Au)製のワイヤーである。

【0008】

別の実施形態において、テープ回路を有するICパッケージが開示される。ICパッケージは、ビルドアップ基板の表面上に配置されているICを含む。テープ回路は、ICの最上面上に配置される。一実施形態において、テープ回路は、ICの端を覆って延び、ビルドアップ基板に接続されている。複数のコンデンサーが、テープ回路上に配置される。

10

【0009】

本発明に従うさらに別の実施形態において、ICをパッケージングする方法が開示される。その方法は、パッケージング基板上にICを設置することを含む。複数のチップコンデンサーが、基板層上に設置される。基板層は、次に、ICの最上面上に設置される。一実施形態において、基板層は、ICと複数のチップコンデンサーとの間に設置される挿入物である。基板層上の複数のチップコンデンサーは、一つ以上のワイヤーによってパッケージング基板に接続されている。

【0010】

発明の別の側面が、添付図面とともに受け取られ、実施例によって発明の原理を例示する以下の詳細な説明から明らかになる。

20

例えば、本発明は以下の項目を提供する。

(項目1)

集積回路(IC)パッケージであって、  
ビルドアップ基板と、  
該ビルドアップ基板上に配置された集積回路と、  
該集積回路の最上面を覆って配置された基板層と、  
該基板層上に配置された複数のコンデンサーと  
を備え、  
該コンデンサーは、該ビルドアップ基板に接続されている、ICパッケージ。

30

(項目2)

前記IC、基板層、および複数のコンデンサーを囲む成形コンパウンドと、  
該基板層の最上面の一部の上に配置される熱インタフェース材料(TIM)層であって、  
該最上面は該成形コンパウンドに露出されていない、TIM層と、  
より厚い内側部分を有する蓋であって、該内側部分は、該TIM層を覆って配置され、  
該蓋の外側部分は該成形コンパウンドによって支持される、蓋と  
をさらに備えている、項目1に記載のICパッケージ。

(項目3)

前記基板層は、前記ICの前記最上面の全領域を覆っている、項目1に記載のICパッケージ。

40

(項目4)

前記基板層は、前記ICの前記最上面の周辺部分を覆っている、項目1に記載のICパッケージ。

(項目5)

前記ビルドアップ基板は、前記基板層よりも厚い、項目1に記載のICパッケージ。

(項目6)

前記基板層は、テープ回路を含む、項目1に記載のICパッケージ。

(項目7)

集積回路(IC)パッケージであって、

50

ビルドアップ基板と、

該ビルドアップ基板の表面上に配置された集積回路と、

該ＩＣの最上面上に配置されたテープ回路と、

を備え、

該テープ回路は、該テープ回路上に複数のコンデンサーが配置されている、ＩＣパッケージ。

(項目８)

前記テープ回路が前記ＩＣの周辺端を覆って延びており、該テープ回路は前記ビルドアップ基板と電氣的に連絡している、項目７に記載のＩＣパッケージ。

(項目９)

前記テープ回路の中央領域に対して配置された熱インタフェイス材料(TIM)であって、該TIMは該テープ回路の上に配置された前記複数のコンデンサーによって囲まれている、TIMと、

突出している内側部分を有する蓋であって、該蓋は、該TIMを覆って配置されている、蓋と

をさらに備えている、項目７に記載のＩＣパッケージ。

(項目１０)

キャビティが前記テープ回路と前記蓋の間に規定されている、項目９に記載のＩＣパッケージ。

(項目１１)

前記中央領域を囲んでいる成形コンパウンドをさらに備え、該成形コンパウンドは、前記蓋を支持する、項目９に記載のＩＣパッケージ。

(項目１２)

前記ビルドアップ基板の前記表面に固着される支持部材をさらに備え、該支持部材は、該ビルドアップ基板の周辺表面を囲み、該支持部材は、前記蓋を支持する、項目９に記載のＩＣパッケージ。

(項目１３)

前記テープ回路の中央領域に対して配置されるTIMと、  
複数の突出部を有する蓋と

をさらに備え、

第一の突出部は該蓋の中央部から延びており、第二の突出部は該蓋の周辺部から延びており、該第一の突出部は該TIMに隣接し、該第二の突出部は前記ビルドアップ基板に隣接している、項目７に記載のＩＣパッケージ。

(項目１４)

集積回路(ＩＣ)をパッケージングする方法であって、

集積回路をパッケージング基板上に設置することと、

基板層上に複数のチップコンデンサーを配置することと、

該複数のチップコンデンサーを有する該基板層を該ＩＣの最上面上に設置することと、

該基板層上の該複数のチップコンデンサーを該パッケージング基板に接続することと

を含む、方法。

(項目１５)

前記接続することは、前記基板層と前記パッケージング基板との間にワイヤーを連結することによって行われる、項目１４に記載の方法。

(項目１６)

前記接続することは、前記ＩＣを覆って前記パッケージング基板まで延びている可撓性回路の一体層上に前記複数のチップコンデンサーを設置することによって行われる、項目１４に記載の方法。

(項目１７)

第一の熱インタフェイス材料(TIM)を前記ＩＣの前記最上面上に設置することであって、該第一のTIMは、該ＩＣと前記基板層との間に設置される、ことと、

10

20

30

40

50

第二のTIMを該基板層の中央領域に対して設置することと、  
該第二のTIMを覆って蓋を設置することと  
をさらに含む、項目14に記載の方法。

(項目18)

前記第二のTIMは、前記基板層上の前記複数のチップコンデンサーによって囲まれている、項目17に記載の方法。

(項目19)

前記基板層は、前記ICの前記最上面の周辺部のみを被覆している、項目14に記載の方法。

(項目20)

前記基板層は、前記ICの前記最上面の全領域を被覆している、項目14に記載の方法。

【図面の簡単な説明】

【0011】

発明は、以下の添付図面とともに受け取られる次の説明を参照することによって最もよく理解され得る。

【図1】図1は、例示的であって限定するものではなく、チップコンデンサーを有する集積回路パッケージ100を示している。

【図2】図2は、例示的であって限定するものではなく、本発明に従う実施形態としてのICパッケージ200を示している。

【図2A】図2Aは、例示的であって限定的ではなく、本発明に従う実施形態として、熱放散を改善するために形成される蓋120を有するICパッケージ250を示している。

【図3】図3は、例示的であって限定するものではなく、本発明の一実施形態に従うICパッケージ300の断面図である。

【図4】図4は、例示的であって限定するものではなく、本発明に従う実施形態としてのテープ回路404を有するICパッケージ400を示す。

【図5】図5は、例示的であって限定的ではなく、本発明のさらに別の実施形態として、二部分蓋を有するICパッケージ500を示している。

【図6】図6は、例示的であって限定的ではなく、発明に従う一実施形態としての単一部分蓋120を有するICパッケージ600を示している。

【図7】図7は、発明の一実施形態に従うICパッケージの大きさを増加させることなく、チップコンデンサーをICパッケージにはめ込むために、集積回路をパッケージングするフロー700を示している。

【発明を実施するための形態】

【0012】

以下の実施形態は、OPDコンデンサーを有するICパッケージを作成する装置および方法を説明する。

【0013】

しかしながら、本発明が、これらの特定の詳細の一部または全てを用いず実施され得ることは、当業者にとって明らかである。他の例においては、周知の動作は、本発明を必要以上に不明瞭にしないために詳述されなかった。

【0014】

本明細書において説明される実施形態は、コンデンサーの設置に対応するためにパッケージング基板の大きさを拡大することなく、OPDコンデンサーを有するICパッケージを作成するための技術を提供する。実施形態は、ダイを囲んでいるビルドアップ基板、すなわちパッケージング基板上にコンデンサーを設置する代わりに、ダイの最上部上の挿入層上にチップコンデンサーを設置することによって、より小さいパッケージング基板が使用されることを可能にする。挿入層は、ダイとチップコンデンサーとの間に設置される中間基板層である。それゆえに、一般的なパッケージング基板と比較してより薄い層が、底部にあるダイと最上部に置かれたチップコンデンサーとの間に挟まれているにもかかわらず

10

20

30

40

50

ず、挿入層は基板層であり得る。このように、必要なチップコンデンサーは、それでも、パッケージ基板、すなわち、ビルドアップ基板および全体的なICパッケージの大きさを増加させることなしにICパッケージの中に設置されることが出来る。そのため、使用されるパッケージの大きさは、使用されるダイの大きさに基づくが、パッケージ内に設置されるチップコンデンサーの数には基づかない。

#### 【0015】

図1は、例示的であって限定するものではなく、チップコンデンサー130を有する集積回路パッケージ100を示している。はんだ隆起106を有するIC102が、ビルドアップ基板108の1つの面または、外縁に配置される。IC102は、ビルドアップ基板108にIC102を接続する複数の接触パッド106を有する。ビルドアップ基板108とIC102との間のキャピティは、欠肉104で満たされる。複数の接触リード110が、ビルドアップ基板108の反対側に配置される。接触パッド106に取り付けられた接触リードまたははんだボール110によって、IC102からの信号がICパッケージ100の外部に送られる。複数のコンデンサー130は、概してIC102によって生成されるノイズを低減するために用いられ、IC102付近のビルドアップ基板108上に設置される。熱インタフェイス材料(TIM)122が、IC102を覆って配置され、蓋120がTIM122の最上部上に設置される。蓋120は、IC102からの熱をICパッケージ100の外に効果的に移動させるために、通常、高伝導性の材料からできている。TIM122は、蓋120とIC102との間の隙間を埋めるために使用されることにより、熱の移動効率を増加させる。蓋120の側面は支持部材123によって支えられる。一般的な実施形態においては、支持部材123は金属スチフナーである。接着剤124が、支持部材123を蓋120およびビルドアップ基板108に接続するために使用される。

#### 【0016】

図2は、例示的であって限定するものではなく、本発明に従う実施形態としてのICパッケージ200を示している。基板層225は、IC102の最上面上のTIM122の最上部に設置される。一実施形態において、基板層225は、2つの金属層を含み、ビルドアップ基板108よりも薄い。複数のチップコンデンサー130が、基板層225の最上部に設置される。例示的な実施形態において、基板層225は、IC102と複数のチップコンデンサー130との間に設置される挿入層である。基板層225は、TIM122の層を介してIC102に取り付けられる。IC102の最上部上の複数のコンデンサー130が、ワイヤー210によってビルドアップ基板108に接続される。基板層225が複数層の基板であることが理解されなければならない。この場合、層はワイヤー210を介してビルドアップ基板108にチップコンデンサー130を電気的に接続する絶縁層によって分離された地面または電源プレーンであり得る。一実施形態において、ワイヤー210は銅(Cu)製ワイヤーである。別の実施形態において、ワイヤー210は金(Au)製ワイヤーである。さらに別の実施形態において、ワイヤー210は、ビルドアップ基板108に接着され、電気的に結合されることが出来るアルミニウム(Al)または他の伝導性の金属でできている。一実施形態において、ワイヤー210が、基板層225の端およびダイ102の端に可能な限り近接して設置されることにより、ワイヤー210の長さを短縮してインダクタンスを低減する。TIM122は、基板層225を覆って設置される。TIM122は、TIM122の中央部がTIM122の側面よりも厚いように、形成される。TIM122のより厚い中央部は、基板層225と接触する。IC102を囲む領域およびICパッケージ200内のコンデンサー130は、成形コンパウンド115によって充填される。したがって、一部の実施形態において、TIM122の側面は成形コンパウンド115によって支持される。他の実施形態において、TIM122は延長された側面を有することなくTIM122の中央部だけに位置する。これらの実施形態のうちの一部において、接着剤が、蓋120を成形コンパウンド115に取り付けるために使用される。蓋120は、ICパッケージ200を覆って、TIM122の最上部に設置される。一実施形態において、蓋120は、銅のような高伝導性の金属でできている放

10

20

30

40

50

熱器である。

【 0 0 1 7 】

図 2 A は、例示的であって限定するものではなく、本発明の実施形態として熱損失を改善するために形成される蓋 1 2 0 を有する IC パッケージ 2 5 0 を示す。複数のコンデンサー 1 3 0 が、TIM 1 2 2 の層を介して IC 1 0 2 の最上面上に取り付けられる基板層 2 2 5 上に設置される。TIM 1 2 2 の別の層が、基板層 2 2 5 の最上部上に設置される。TIM 1 2 2 がより厚い中央部を有する必要性を排除するように、TIM 1 2 2 の最上部に設置される蓋 1 2 0 が形成される。その代わりに、蓋 1 2 0 は、蓋 1 2 0 の側面より厚い突出した中央部を有する。一実施形態において、突出した中央部は、内側部分と呼ばれ、蓋 1 2 0 の側面は外側部分と呼ばれ得る。別の実施形態において、IC 1 0 2 の最上部において TIM 1 2 2 のより薄い層を使用すると、IC パッケージ 2 5 0 の熱放散はより効率的である。

10

【 0 0 1 8 】

図 3 は、例示的であって限定するものではなく、本発明の一実施形態に従う IC パッケージ 3 0 0 の断面図である。インターポーザ、すなわち、基板層 2 2 5 は TIM 1 2 2 を介して IC 1 0 2 の最上面上に取り付けられる。しかしながら、図 2 A および 2 に示される IC パッケージ 2 0 0 および 2 5 0 と異なり、IC パッケージ 3 0 0 内の基板層 2 2 5 は、それぞれ IC 1 0 2 の最上面の全ての領域を被覆しない。IC パッケージ 3 0 0 内の基板層 2 2 5 は、図 3 に図示されるように、IC 1 0 2 の最上面の周辺部だけを被覆する。複数のコンデンサー 1 3 0 が、IC 1 0 2 の最上面の周辺部付近の基板層 2 2 5 の最上部に配置されている。TIM 1 2 2 が IC 1 0 2 を覆って設置され、TIM 1 2 2 の突出している中央部は、IC 1 0 2 の最上面の中央と直接接触している。蓋、すなわち放熱器 1 2 0 が、IC パッケージ 3 0 0 を覆って設置される。蓋、すなわち放熱器 1 2 0 の突起部は、TIM 1 2 2 を介して IC 1 0 2 に接続される。一実施形態において、IC 1 0 2 からの熱は、挿入層、すなわち基板層 2 2 5 を通り抜けることなく TIM 1 2 2 を通って放熱器 1 2 0 に直接伝播することができるので、IC 1 0 2 と放熱器 1 2 0 との間の直接の接触は、IC パッケージ 3 0 0 の熱放散を改善する。

20

【 0 0 1 9 】

図 4 は、例示的であって限定するものではなく、本発明に従う実施形態としてのテープ回路 4 0 4 を有する IC パッケージ 4 0 0 を示す。テープ回路 4 0 4 は、複数のチップコンデンサー 1 3 0 と IC 1 0 2 との間の挿入層として IC 1 0 2 の上に配置される。TIM 1 2 2 の層が、テープ回路 4 0 4 を IC 1 0 2 の最上面上に取り付ける。一実施形態において、テープ回路 4 0 4 は二金属層の可撓性の基板であって、その一つの層が電源に接続され、もう一つの層は地面に接続されている。チップコンデンサー 1 3 0 は、IC 1 0 2 を覆って延びているテープ回路 4 0 4 によってビルドアップ基板 1 0 8 に接続されることにより、ビルドアップ基板 1 0 8 に接続する。例示的な実施形態において、テープ回路 4 0 4 は、はんだ接合 4 0 8 を介してビルドアップ基板 1 0 8 に接続される。テープ回路 4 0 4 がチップコンデンサー 1 3 0 からビルドアップ基板 1 0 8 まで電気信号を送達する配線パターンを含むことが理解されなければならない。また、配線パターンを外部の汚染物質から保護するために、テープ回路 4 0 4 が、テープ回路 4 0 4 の上の配線パターンを被覆する保護膜を含み得ることが理解されなければならない。一実施形態において、テープ回路 4 0 4 は、図 2、2 A および 3 にそれぞれ示されている IC パッケージ 2 0 0、2 5 0 および 3 0 0 の中の基板層 2 2 5 と置き換わる。別の実施形態において、図 2 ~ 3 に示されるようなワイヤー 2 1 0 の代わりにテープ回路 4 0 4 を使用することによって、IC パッケージ 4 0 0 のインダクタンスを低下させる。TIM 1 2 2 が、IC パッケージ 4 0 0 を覆って設置される蓋 1 2 0 によって、テープ回路 4 0 4 の最上部に設置される。テープ回路 4 0 4 は、IC を覆って延びている可撓性回路の一体層と呼ばれ得る。

30

40

【 0 0 2 0 】

図 5 は、例示的であって限定するものではなく、本発明のさらに別の実施形態として、二部分蓋を有する IC パッケージ 5 0 0 を示す。支持部材 5 1 5 によって支持される蓋 1

50

20が、ICパッケージ500を覆って設置される。ICパッケージ500において使用される二部分蓋は、このように、支持部材515に取り付けられる蓋120によって形成される。蓋120は、テープ回路404およびIC102の最上部上のTIM122に接触する中央突出部を有する。蓋120の中央突出部は、TIM122およびテープ回路404を介してIC102と直接接触している。たとえテープ回路404がICパッケージ500において使われるとしても、当業者であれば、図2、2Aおよび3に図示されるような基板層225が、テープ回路404の代わりに挿入層として使用され得ることを理解するであろう。複数のチップコンデンサー130が、ICパッケージ500内においてテープ回路404の上に設置される。ICパッケージ100、200、250、300および400内の成形コンパウンド115が取り除かれ、ICパッケージ500内において空隙510がIC102を囲んでいる状態のままにしておく。一実施形態において、空隙510はキャピティと呼ばれ得る。別の実施形態では、ICパッケージ500は、成形コンパウンド115で注入されない。このように、蓋120の側面は、成形コンパウンド115の代わりに支持部材515によって支持される。例示的な実施形態において、支持部材515はCu製のスチフナであって、接着剤505によって蓋120とビルドアップ基板108とに連結される。一実施形態において、接着剤505は熱硬化性接着剤である。例示的な実施形態において、接着剤505はエポキシ接着剤である。

#### 【0021】

図6は、例示的であって限定するものではなく、本発明に従う一実施形態としての単一部分蓋120を有するICパッケージ600を示す。図6に示される蓋120は、複数の突出部を有する。第一の突出部610が、蓋120の中央から延び、IC102の最上部に設置されたTIM122と接触する。第二の突出部620が、蓋120の周辺部から延び、接着剤505によってビルドアップ基板108に連結される。一実施形態において、第二の突出部620は、ICパッケージ600を覆って設置された蓋120を支持する支持部材として機能する。ICパッケージ600は成形コンパウンドで充填されず、そのため、空隙510がICパッケージ600内のIC102およびコンデンサー130の周りに形成される。たとえICパッケージ600内のコンデンサー130がテープ回路404の上に設置されていても、これは例示的であって限定的であることを意味しない。当業者であれば、テープ回路404が他の任意の適切なインターポーザ、例えば、ICパッケージ200、250および300において使用される基板層225によって置換され得ることを理解するであろう。

#### 【0022】

図7は、発明の一実施形態に従って、ICパッケージの大きさを増加させることなく、チップコンデンサーをICパッケージにはめ込むために、集積回路をパッケージングするフロー700を示す。ICが、動作710において、パッケージング基板上に設置される。複数のチップコンデンサーが、動作720において、基板層の表面上に配置される。基板層が、動作720において、その後、ICの最上面上に設置される。例示的な実施形態において、ICの下のパッケージング基板は、6~8層の金属層を備え、ICの最上部に設置された基板層よりも実質的に厚い。一部の実施形態において、図2、2Aおよび3に図示されるように、ICの最上部に設置される基板層は基板層225に類似している。他の実施形態において、基板層は図4、5および6に示されるように、テープ回路404に類似している。基板層の最上部上の複数のチップコンデンサーは、動作740において、パッケージング基板に接続される。一部の実施形態において、ワイヤーが、ICの最上部の上のチップコンデンサーをパッケージング基板に接続するために使用される。他の実施形態において、ICの端を覆って曲がり込む可撓性の基板は、チップコンデンサーをパッケージング基板に接続するために使用される。当業者であれば、ICパッケージプロセスにおける他の周知のステップ、例えば、基板調製、ワイヤーボンディング、モールディングおよびキュアリング等は、本発明を不明瞭にしないために除外されてきたことを承知しているであろう。

#### 【0023】



当業者であれば、ボールグリッドアレイを有するフリップチップパッケージが、図1～6の例示的な図に示されていることを理解するであろう。しかしながら、本明細書に記載の技術は、例えば、熱スプレッドボールグリッドアレイ(HSBGA)、ロープロファイルボールグリッドアレイ(LBGA)、薄型精密ピッチボールグリッドアレイ(TFBGA)、フリップチップチップスケールパッケージ(FCCSP)等の他のパッケージング構成に適用され得るので、前記内容は限定を意味するものではない。

【0024】

実施形態は、これまでICに関して説明されてきた。本明細書において説明される方法および装置は、任意の好適な回路に組み込まれ得る。例えば、方法および装置は、マイクロプロセッサまたはプログラム可能な論理デバイスのような多種類の装置のデバイスに組み込まれ得る。例示的なプログラム可能論理デバイスは、少し例を挙げるとすれば、プログラム可能アレイ論理(PAL)、プログラム可能論理アレイ(PLA)、フィールドプログラム可能論理アレイ(FPLA)、電氣的にプログラム可能な論理デバイス(EPLD)、電氣的に消去可能なプログラム可能論理デバイス(EPLD)、論理セルアレイ(LCA)、フィールドプログラム可能ゲートアレイ(FPGA)、特定用途向けの規格製品(ASSP)、特定用途向けのIC(AASIC)を含む。

10

【0025】

方法動作が特定の順序で記述されたが、他の動作が記述された動作の間で実行され得ること、記述された動作が調節されることにより、それらがわずかに異なる時間に発生すること、記述された動作がシステム内に分散され、システムが、重複した動作のプロセスが所望の態様で実行されている限りプロセスに関連した様々な間隔でプロセス動作の発生を許容し得ることが理解されるべきである。

20

【0026】

上記の発明は、明瞭な理解を得るために幾分詳細に述べられてきたが、特定の変更および修正が、添付のクレームの範囲内で行われることが可能であることは明らかである。したがって、本実施形態は、例示的であって限定的でないと思なされるべきであり、回路本発明が本明細書において付与される詳細に制限されるべきではなく、添付のクレームの範囲および同等物内において修正され得る。

【 図 1 】

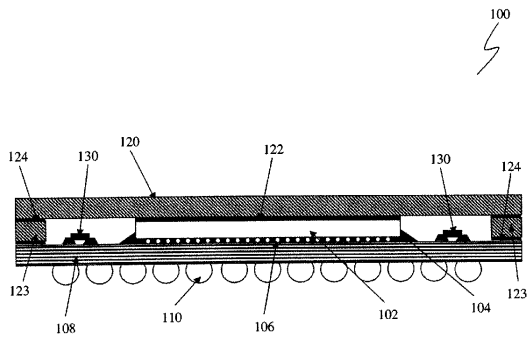


Figure 1

【 図 2 A 】

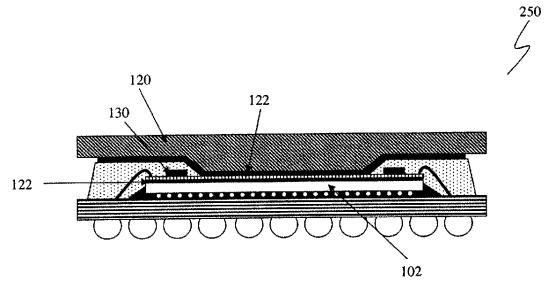


Figure 2A

【 図 2 】

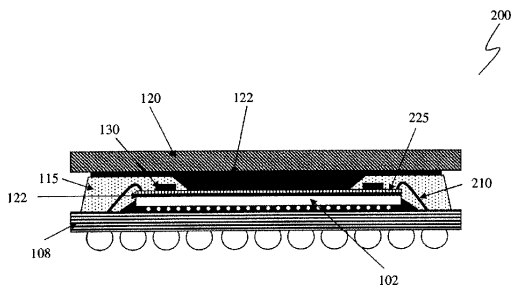


Figure 2

【 図 3 】

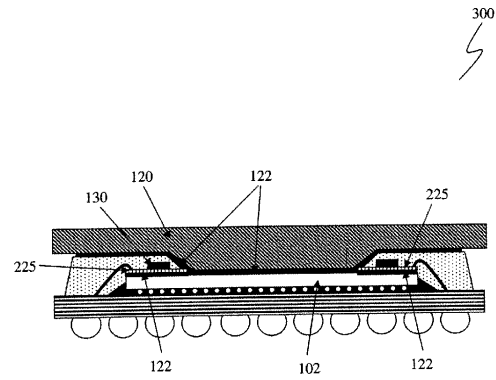


Figure 3

【 図 4 】

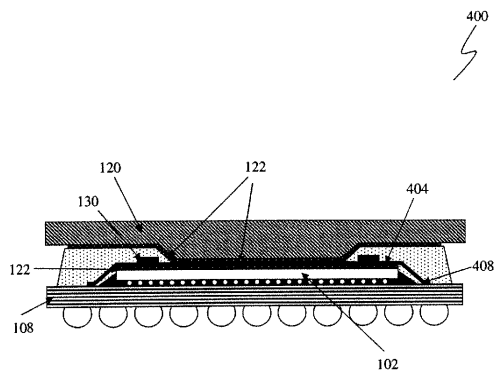


Figure 4

【 図 5 】

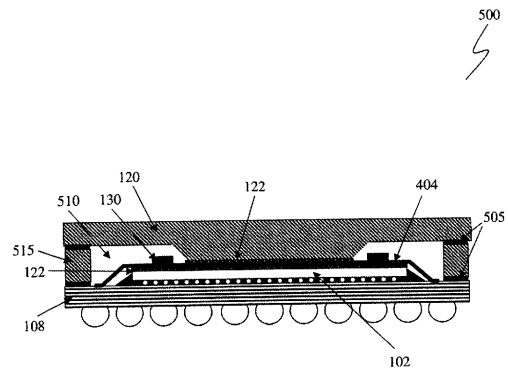


Figure 5

【図6】

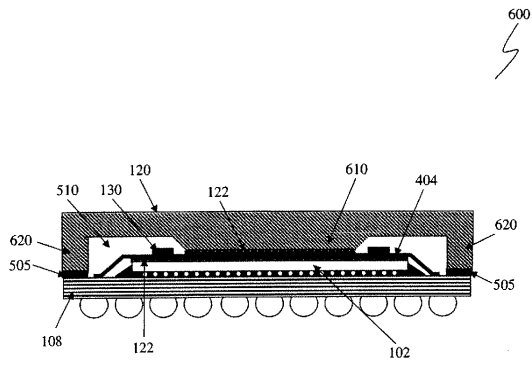


Figure 6

【図7】

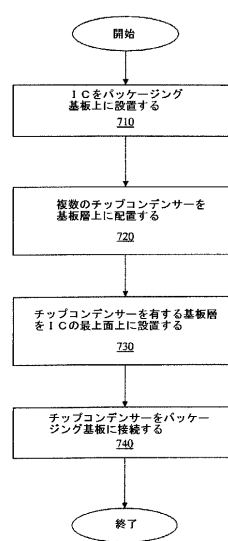


Figure 7

---

フロントページの続き

(72)発明者 タン ロン クワン

マレーシア国 13200, ペナン, リマ ケパラ パタス, バンボン 855

審査官 今井 拓也

(56)参考文献 特表2004-519849(JP,A)

特開2008-311347(JP,A)

特開2008-21712(JP,A)

特開2007-207933(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00

H01L 23/12

H01L 23/36