(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H02H 9/04

(45) 공고일자 2001년12월28일
(11) 등록번호 10-0312929
(24) 등록일자 2001년10월15일

(21) 출원번호 10-1994-0008166
(22) 출원일자 1994년04월19일

(65) 공개번호 특1994-0025111
(43) 공개일자 1994년11월19일

(30) 우선권주장 048,973 1993년04월19일 미국(US)

(73) 특허권자
코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자
브라이언마틴
미국,뉴멕시코87544,로스알라모,글렌뷰드라이브106
해롤드한손
미국,뉴멕시코87114,알부큐어큐,데니스챠베즈노쓰웨스트4600
암마앤더슨
미국,뉴멕시코87113,리오랜쵸,리버스엣지드라이브노쓰이스트2042

(74) 대리인
이병호

심사관 : 김용주

(54) 과전압보호회로를갖는전자장치

요약

저전압(예를들어, 3V)으로 동작하는 회로에 대한 출력 과전압 보호 회로는 고전압 동작 회로(예를 들어, 5V 버스)와 인터페이스한다. 버스가 고전압으로 풀업될 때, 출력에서 풀-업 PMOS 장치를 갖는 문제를 방지하기 위하여, 전압 노드는 출력 전압 또는 저공급 전압중 어느것이든 높은 쪽을 팔로우 하는 회로에 제공되고 버스가 너무 높게 될 때를 표시하는 논리 신호를 발생시키는 수단이 제공된다. 전압 노드 또는 논리 신호에 응답하는 수단은 PMOS 장치를 단락시켜 회로 손산을 방지한다.

대표도
도 1

명세서

[발명의 명칭]

과전압 보호 회로를 갖는 전자 장치

[도면의 간단한 설명]

제 1도는 표준 CMOS 및 BiCMOS 출력 스테이지의 간단화된 CMOS 구성요소를 도시한 개요도.

제 2도는 본 발명에 따라서 수정된 제 1도 회로의 개요도.

제 3도는 본 발명에 따라서 출력 구동기를 보호하기 위한 일예의 과전압 보호회로의 과전압 감지부를 도시한 개요도.

제 4도는 본 발명에 따른 과전압 보호 회로의 감지부 및 구동부를 결합한 회로의 개요도.

* 도면의 주요부분에 대한 부호의 설명

10 : 버스 11, 12 : 버스 인터페이스 회로

13 : p-형 드레인 14 : n-형 백 게이트

[발명의 상세한 설명]

본 발명은 집적 회로(IC)용 과전압 보호 회로를 갖는 전자 장치에 관한 것이며, 특히 고전압 회로에 결합될 때 저전압 회로를 과전압으로부터 보호하는 과전압 보호 회로에 관한 것이다.

[발명의 배경]

5 볼트 공급 전압으로 동작하는 전자 회로와 함께 3 볼트의 공급 전압으로 동작하는 전자 회로 사용의 증가로 인해, 전자 시스템의 일부분 3-볼트 DC 전원으로 동작하는 반면에, 상기 시스템의 다른 부분은 5볼트 전원으로 동작한다. 예로서, 3볼트 IC 는 5 볼트 버스와 인터페이스할 필요가 있다. 표준 상보형 MOS(MOS) 및 그와 결합되는 바이폴라-CMOS(BiCMOS) 출력은 IC의 풀-업 회로(pull-up circuitry)의 PMOS 장치로 인해 상기 IC에 사용하는 것은 곤란하다.

이와 같은 부분들이 접속되는 버스가 5볼트로 풀(pull)될 때에는 세가지 문제에 직면하게 된다. (1) PMOS 드레인은 5 볼트로 되고, 상기 PMOS 백 게이트 (back gate)는 3볼트로 고정되기 때문에 (또는 Vcc < 5볼트), 출력에서 Vcc까지 순방향 바이어스된 p-n 접합이 생성되어 매우 크고 바람직하지 않은 출력-대-Vcc 전류를 야기시킨다. (2) 3 볼트(또는 Vcc < 5 볼트)로 유지되는 게이트를 갖는 PMOS 장치는 상기 출력에서 드레인이 소스가 되기 때문에 완전히 턴-오프될 수 없으며, 그로인해 최종 게이트-대-소스 전압은 임계 전압 강하보다 크게 되어, 또다시 크고 바람직하지 않은 출력-대-Vcc 전류를 야기시킨다. (3) 일부 시스템은 멀티플칩이 동시에 버스를 하이(high)가 되도록 하는데, 이것은 PMOS가 동작되어, 또 다시 매우 큰 정(positive)의 출력-대-Vcc 전류를 야기시킨다는 것을 의미한다.

[발명의 목적]

본 발명의 목적은 IC 회로용 과전압 보호 회로를 제공하는 것이다. 본 발명의 또 다른 목적은 고전압 회로에 접속될 때 저전압 회로를 과전압으로부터 보호하는 보호 회로를 구비하는 저전압 동작 회로를 제공하는 것이다.

본 발명의 또 다른 목적은 3-볼트로 동작하도록 조정되지만 풀-업 회로를 거쳐 5-볼트 버스에 접속되고 과전압에 대한 보호 회로를 구비하는 CMOS 또는 BiCMOS 회로를 제공하는 것이다.

[발명의 요약]

이러한 목적을 위해서, 본 발명의 한 양상에 따르면, 과전압 보호 회로는 제 2 고전압 동작 회로에 결합될 때 제 1 저전압 동작 회로를 과전압으로부터 보호하기 위하여 제공된다. 전압 노드는 보호되는 회로내에 제공되는데, 상기 노드는 회로에 대한 DC 공급 전압 또는 회로 출력 전압중 어느쪽이든 큰 쪽을 팔로우 (follow)한다. 이 노드에서 유도된 신호 전압은 과전압으로부터 상기 회로를 보호하기 위하여 사용될 수 있다. 본 실시예에서는, 이 전압이 MOS의 백 게이트를 거친 과전압에 따라 상기 MOS 장치를 턴-오프(turn-off)시켜 상기 회로에 대한 손상을 방지시키기 위하여 사용될 수 있다.

본 발명의 또 다른 양상에 따르면, 출력이 보호될 회로를 위태롭게 하는 어떤 값 이상으로 상승 될 때를 표시하는 상보형 논릴 신호를 제공하는 수단이 상기 전압 노드에 결합되어 있다. 이들 논리 신호는 장치의 입력 신호 노드를 거쳐 상기 장치를 단락시켜 보호될 회로에 과전압 조건이 전달되는 것을 차단시키는데 사용될 수 있다.

본 발명을 특징화하는 새로운 각종 특징들은 첨부된 청구범위에 기재되어 있으며, 이것은 본원 서술의 일부분을 형성한다. 본 발명과 본 발명의 장점들과 특정 목적들을 더욱 자세히 이해하기 위하여 본 발명의 기술된 양호한 실시예들과 도시된 설명들 및 첨부된 도면을 참조로 본원에 대해 더욱 상세히 설명할 것이다.

[본 실시예의 상세한 설명]

제 1도는 표준 CMOS 및 BiCMOS 출력 스테이지의 간단화된 CMOS 구성요소를 도시한 것이다. 상기 CMOS는 출력(OUT)으로서 버스(10)에 접속된 공통 드레인을 갖는 직렬 접속된 PMOS(Q1) 및 NMOS(Q2) 트랜지스터를 구비하는데, 상기 버스(10)에는 다른 버스 인터페이스 회로(11, 12)가 또한 접속되어 있다. 입력 신호(A) 및 (B)는 (Q1) 및 (Q2)의 게이트에 접속된다.

NMOS 및 PMOS 트랜지스터는 종래에 공지되어 있는데, 상기 PMOS는 자체 게이트에서 서클(circle)을 갖는다. (Vcc) 논리-하이(high) 레벨이고, (Gnd)는 논리-로우(low) 신호이다. 교차 전도체(crossing conductors)는 MOS 게이트 또는 바이폴라 베이스를 통과하는 것 이외에 자신들의 교차점에서 접속부를 만들지 않는다.

버스(10)가 5 볼트로 구동되고 출력이 3상(tri-state)(Vcc 또는 그보다 높은 전원에서 A이고 Gnd에서 B)이면, (Q1)은 5 볼트에서 p형 드레인(13)을 갖고 (Vcc)에서 소스에 결합된 n형 백 게이트(back gate)(14)를 갖는다. 3 볼트의 공급 전압 (Vcc)을 갖는 부분에 대해서는, 백 게이트(14)를 거쳐 출력에서(Vcc)까지 순방향-바이어스된 p-n 접합이 생성된다.

본 발명에 따라 상기 문제를 해결하기 위한 해결책이 제 2도에 도시되어 있다. Vcc 및 노드(17)간의 쇼트키 다이오드(D1)와 출력(OUT) 및 노드(17)의 (D2)는 (Q1)의 백 게이트(16)가 자체 소스 및 드레인 이하의 쇼트키 강하보다 크게 되는 것을 방지한다. 그러나, (Q1)의 게이트가 약 3볼트의 (A)로 구동되면, 임계 전압 이상이 게이트 및 출력사이에 그대로 있게 되므로, 5 볼트 출력에서(Vcc) 공급 전원까지의 전도 채널을 양하하게 한다. 입력 신호(A)는 상기 출력의 MOS 임계 전압내에서(Q1)의 게이트를 양호하게 하여, 상기 게이트를 완전히 단락시킨다. 게다가, 일부 시스템은 멀티플 칩(베 1도의 11,12)으로 하여금 버스를 즉시 하이가 되게 한다. 버스상의 또 다른 칩이 출력을 5 볼트로 되게 하고 동시에(Q1)이 상기 출력을 3볼트(Vcc)로 되게 한다면, 출력에서 (Q1)을 거쳐(Vcc)로 매우 큰 전류를 통과시키는 " 하이 컨텐션(high contention)" 상태가 발생한다.

제 3도는 본 발명에 따른 과전압 보호 회로(32)에 의해 제어되어 저전압, 예를들어, 3볼트 CMOS 및 BiCMOS 출력이 고전압, 예를들어, 5볼트 버스에 인터페이스 시키는 출력 구동기(30)를 도시한 것이다. 쇼트키 다이오드(D1 및 D2)는 자체 접합부에 액세스 가능한 전압 노드(34)를 제공하며, 상기 노드는 출력(OUT)에 접속된 풀-업 PMOS 장치(Q10)

의 백 게이트를 보호하기 위하여 사용될 수 있다. 게다가, 논리 신호(C) 및 (D)가 발생되는데, 이러한 논리 신호는 상보형 신호들이다. 즉 출력(OUT)이 MOS 임계 전압을 거의 노드(15)의 국부 공급 전압(Vcc)이상으로 상승시키는 것을 표시하는 상보형 신호를 발생시킨다. 출력(OUT) 이상으로 상승시키는 것을 표시하는 상보형 신호를 발생시킨다. 출력(OUT)이 (Vcc) 또는 그 이하로 유지되는 한, PMOS(Q3)는 전체적으로 오프되고 노드 (V1)는 저항(R)을 거쳐 (Gnd)에 결합되는데, 이것은 신호(D)가 인버터(Q14/Q15) 및 (Q4/Q5)를 거쳐(Vcc)에 결합되고 신호(C)가 (Gnd)에 결합된다는 것을 의마한다. 출력(OUT)에서의 전압이 증가하여 (Vcc)이상의 MOS 임계 전압에 접근할 때, (Q3)는 출력(OUT)에서 노드(V1)로 전도하기 시작하고, (D)는 로우로, (C)를 하이로 스위치키므로, " 과전압 조건" 을 표시하게 된다. 이들 신호는 하이 컨텐션의 경우, 즉 구동기(30)가 버스(10)에 접속된 자체 출력(OUT)을 갖을 때, 상기 노드에 접속된 또 다른 회로가 자체 출력을 5 볼트까지 상승시킬 때, 풀업 PMOS 장치(Q10)가 자체 출력을 3 볼트까지 될때의 상태에서, 출력 구동기(30)의 (Q10)를 논리적으로 단락시키기 위하여 사용될 수 있다.

이러한 목적을 위해서, 감지 회로(32)는 논리 게이트(36), 예를 들어 NAND 게이트를 가진다. 이러한 NAND 게이트는 (D)가 낮게될 때, 즉 하이 컨텐션을 표시할 때 (Q10)이 단락되도록 입력 신호 A(BAR) 및 제어 신호 (D)에 응답하여, PMOS 제어 게이트(27)를 거쳐 PMOS(Q10)를 제어한다. PMOS 트랜지스터(Q10) 및 논리 게이트(36)의 PMOS 트랜지스터의 백 게이트의 노드(30)에 대한 접속이 이들 트랜지스터를 백게이트 전도로부터 보호할 수 있다는 것을 주목하자.

(Q4)의 소스(Vcc)가 대신에 노드(36)에 결합되기 때문에, 신호(C)가 하이로 될 때, 신호(C)는 출력(OUT)의 쇼트키 강하내에 있다. 동일한 기술이 (Q10)을 단락시키기 위하여 사용된다. 신호(B)가 로우가 되고 신호(A)가 하이가 되어 출력(OUT)을 3상으로 될 때에, 신호(D)는 더 높은 전위의 쇼트키 전압 강하내에서 출력(OUT) 또는 (Vcc)로 상승되어 (Q10)이 단락되도록 한다.

다이오드 (D2)가 출력(OUT)을 갖는 노드(34)에 용량적으로 결합되는 단점이 있다. 따라서, 출력(OUT)이 3 볼트를 (Gnd) 천이(transition)로 만든다면, 노드 (34)는 전압을 다소간 강하시키는 경향이 있다. 이것은 3상에서 이미 쇼트키 강하가 Vcc 이하로 되는 (Q10)의 게이트를 다소간 강하시킴으로써, (Q10)을 통해 상당한 누설이 발생되게 한다. 이 문제를 해결하기 위하여, 작은 PMOS 장치(Q8) 및 (Q9)가 신호(C) 및 (D) 각각에 의해 제어되는 다이오드 (D1) 및 (D2)와 병렬로 배치되는 것이 바람직하다. 정상적인 동작의 경우에는, 신호(C)는 낮게 되고(Q8)은 노드(34)를 (Vcc)로 이끄는 통로를 제공한다. 과전압 조건에서는, 신호(C)가 하이 (Q8을 턴 오프함)가 되며, 신호(U)는 (Q9)를 동작시키기 위해 낮게 되며, 상기(Q9)는 노드(34)를 점진적으로 출력 전압까지 상승시킨다.

트랜지스터(Q3)의 게이트를 (Vcc)에 직접 접속시키는 대신에, (Q3)의 게이트에서 전압은, 추가 다이오드 및 추가 저항기(도시되지 않음)로 이루어진 전압 구배기를 이용하여, (Vcc)로부터의 쇼트키 다이오드 강하로 설정될 수 있다. 그러므로, 출력(OUT)에서 신호가 (Q3)를 턴온시키도록 하이가 될 필요가 없다. 그러나, 이 회로는 추가 다이오드 및 추가 저항기로 인해 더욱 많은 정전력(static power)을 소모한다.

제 3도의 과전압 신호 감지 호로(32)는 3-볼트 CMOS 및 BiCMOS IC를 인에이블시키는데 필요한 전압 노드 및 논리 신호를 제공하여 5 볼트 버스와 인터페이스시킨다. 후자의 전압이 현재 가장 많이 사용되지만, 본 발명은 특정 값 또는 도시된 시스템, 즉 버스 환경에만 제한될 필요가 없는 시스템에 국한되는 것은 아니다. 저전압 회로가 고전압 회로에 인터페이스시키거나 일반적으로 공통 노드를 구동하는 서로 다른 전원 공급을 갖는 회로에 인터페이스시키는 다른 시스템 또는 환경에 사용될 수 있는 것을 알 수 있다.

제 4도는 5볼트 버스에 인터페이스시키는 BiCMOS 형의 3 볼트 양방향 송수신기 인터페이스 회로에 감지 및 구동부를 결합시키며, 본 발명에 따르는 일예를 도시한 것이다. 도시된 예에서는, 우측에 있는 (F)는 입력 신호를 표시하며, 좌측에 있는 (EN)은 인에블 신호이고 (OK) 및 (0K')는 제 3도의 신호 (C) 및 (D)에 대응한다. 본 발명에 관계된 제 4도 내의 주요 부분들과 제 6도 내에 있는 회로의 주요 부분들과 대응하는 부분들이 다음 표에 도시되어져 있다.

[표]

제 7도 부분	제 3도 부분
P1	Q3
N2	R
P2/N5	Q4/Q5
S3	D1
S2	D2

점선(20) 이하의 부분은 감지부이고 그 이상의 부분은 구동부이다.

동작시에, (Pout)는 PIN OUT 출력용 PMOS 구동기이다. (Pa, Pb, Na) 및 (Nb)는 2-입력 NAND 게이트로서 동작한다. 입력(F)가 낮다고 가정하면, (Pb)는 동작되어(Pout)를 턴오프 시킨다. (F')(또는 FBAR)는 높게되는데, 그 결과 (Nout)는 출력(OUT)을 낮게한다. (OUT)를 (Vcc)이하로 낮게함에 따라서, 논리 신호(OK)는 높게 되고 (OK')는 낮게 된다. (F)가 하이가 된다고 가정하면, (Pb)는 턴오프한다. (Na)는 출력(OUT)를 높게 하는 (Pout)를 턴온 시킨다. (OUT PIN)은 전형적으로 버스에 접속된다. 5 볼트(Vcc)를 갖는 버스상의 또 다른 부분이 출력을 이 회로의 3 볼(Vcc) 이상으로 상승시킨다. (OK)가 낮게 되고, (Pa)는 회로 손상을 방지시키기위해(Pout)를 턴오프시킨다.

점선 이하의 감지부에서, 게이트상의 (Vcc)를 갖는 (N1) 및 (N2)는 저항기로서 작용한다. (INV1)으로 지정된 회로는 표준 BiCMOS 인버터로서 기능한다. (INV2)로 지정된 회로는 표준 MOS 인버터로서 기능한다.

본 발명이 본 실시예에 관해서만 서술되었지만, 당업자는 본 발명의 원리 및 영역을 벗어남이 없이 각종 수정 및 변경을 행할 수 있다. 그러므로 본 발명은 양호한 실시예들에만 한정되어 있는 것이 아니며, 이러한 수정들을 포함하고 있다.

(57) 청구의 범위

청구항 1.

전자 장치에 있어서,

공급 노드(15)에서의 저공급 전압(Vcc)으로 동작하며, 입력 신호를 수신하는 입력 노드(A; 27) 및 상기 입력 신호에 응답하여 출력 신호를 제공하는 출력 노드(OUT)를 갖는 제 1회로(Q1/Q2; 30)를 구비하며, 상기 전자 장치는,

상기 제 1회로에 결합되어 상기 출력 노드가 고전압으로 동작하는 제 2회로에 결합될 때, 상기 제 1회로를 과전압들로부터 보호하는 과전압 보호 회로(D1/D2/; 32)를 구비하는 것을 특징으로 하는 전자 장치.

청구항 2.

제 1항에 있어서,

상기 제 1회로는 상기 제 1회로의 기능을 제어하기 위해 제어 노드(16; 16, 27)를 구비하며,

상기 과전압 보호 회로는 상기 출력 노드 전압 또는 동작 저전압중 높은 것을 팔로우하기 위해 전압 노드(17; 34)를 제공하는 팔로우 수단(D1/D2; D1/D2)을 구비하고, 상기 전압 노드는 상기 제 1회로의 제어 노드에 결합되어, 상기 전압 노드의 전압에 따라서 상기 제 1회로의 기능을 제어하는 전자 장치.

청구항 3.

제 1항 또는 2항에 있어서,

상기 과전압 보호 회로는;

상기 동작 저전압보다 높은 출력 노드에서의 전압을 검출했을 때에 제어 신호를 상기 제 1회로에 제공하여, 상기 제 1회로의 기능을 제어하는 제어 수단 (Q3/R, Q14/Q15, Q4/Q5, 36)을 구비하는 전자 장치.

청구항 4.

제 1항에 있어서,

상기 제 1회로는 상기 공급 노드 및 상기 출력 노드간의 전도 채널과, 게이트 및 백게이트를 갖는 FET(Q1; Q10)를 가지며,

상기 과전압 보호 회로는 최소한 상기 게이트 또는 상기 백 게이트에 결합되어 있는 전자 장치.

청구항 5.

제 4항에 있어서,

상기 과전압 보호 회로는 상기 출력 노드 전압 또는 상기 동작 저전압중 높은 것을 팔로우하기 위해 전압 노드(17; 34)를 제공하는 팔로우 수단(D1/D2; D1/D2)을 구비하며, 상기 전압 노드는 상기 제 1회로의 제어 노드에 결합되어 상기 전압에 따라, 상기 제 1회로의 기능을 제어하며, 상기 팔로우 수단은 상기 백 게이트에 결합되는 전자 장치.

청구항 6.

제 5항에 있어서,

상기 팔로우 수단은;

상기 공급 노드에 접속되는 애노드와 상기 백 게이트에 접속되는 캐소드를 갖는 제 1 다이오드(D1)와,

상기 출력에 접속되는 애노드와, 상기 제 1 다이오드의 캐소드 및 상기 백 게이트에 접속되는 캐소드를 갖는 제 2 다이오드(D2)를 구비하는 전자 장치.

청구항 7.

제 5항에 있어서,

상기 과전압 보호 회로는;

상기 동작 저전압보다 높은 출력 노드에서의 전압을 검출했을 때 제어 신호를 상기 제 1 회로에 제공하여 상기 제 1 회로의 기능을 제어하는 제어 수단(Q3/R, Q14/Q15, Q4/Q5, 36)을 구비하며,

상기 제어 수단은;

상기 출력 및 추가 노드(V1)간에 배열된 추가 FET(Q3)의 전도 채널을 구비하는 전압 분배기로서, 상기 추가 FET는 상기 공급 노드에 접속된 게이트 및 상기 전압 노드(34)에 접속되는 백 게이트를 갖는 상기 전압 분배기와,

상기 추가 노드에 접속된 제 1 입력과, 상기 FET(Q10)의 게이트에서 논리 상태를 관리하기 위해 제어 신호를 수신하는 제 2 입력과, 상기 전압 노드에 접속되어 상기 논리 게이트 수단에 전원을 공급하는 게이트 공급 노드와, 상기 추가 노드에서의 전압 및 상기 제 2 입력에서 전압의 결합된 제어하에서, 상기 FET(10)의 상태를 관리하는 출력을 갖는 상기 논리 게이트 수단(Q14/Q15, Q4/Q5, 36)을 구비하는 전자 장치.

청구항 8.

제 7항에 있어서,

상기 과전압 보호 회로는 상기 논리 게이트 수단에 의해 상보적으로 제어되는 상기 제 1 및 제 2 다이오드 각각과 병렬로 배열된 제 1 및 제 2 바이-패스 FET(Q8 및 Q9)들을 구비하는 전자 장치.

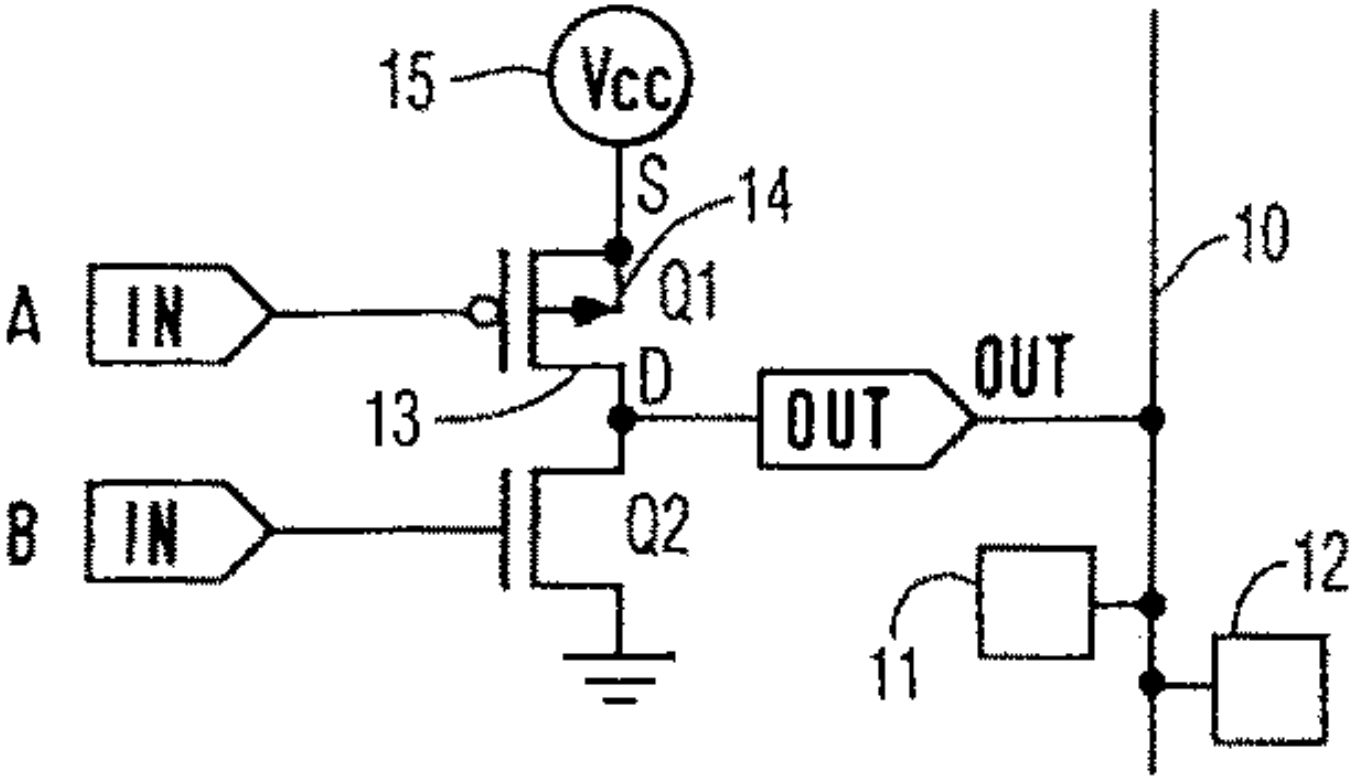
청구항 9.

제 6항 또는 8항에 있어서,

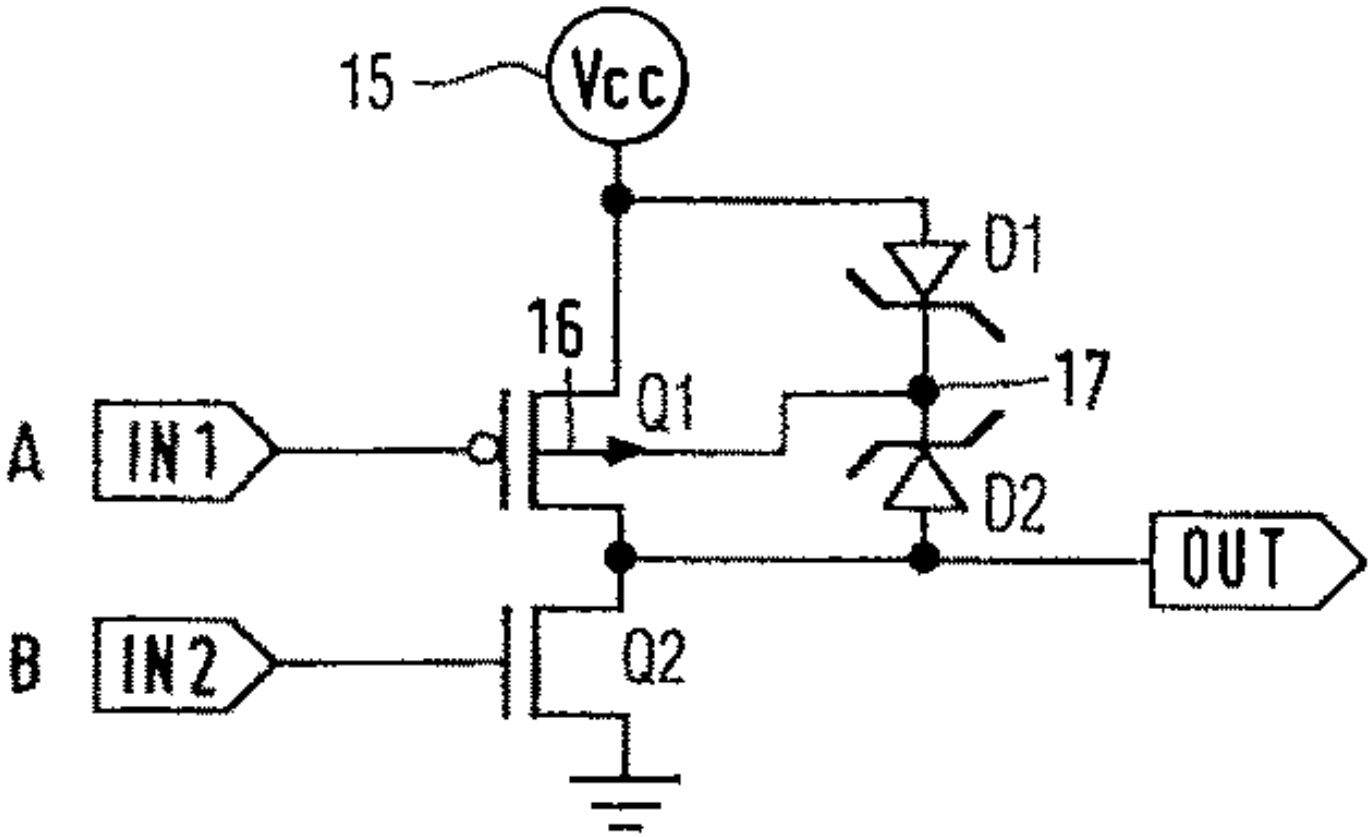
상기 다이오드 각각은 쇼트키 다이오드를 구비하는 전자 장치.

도면

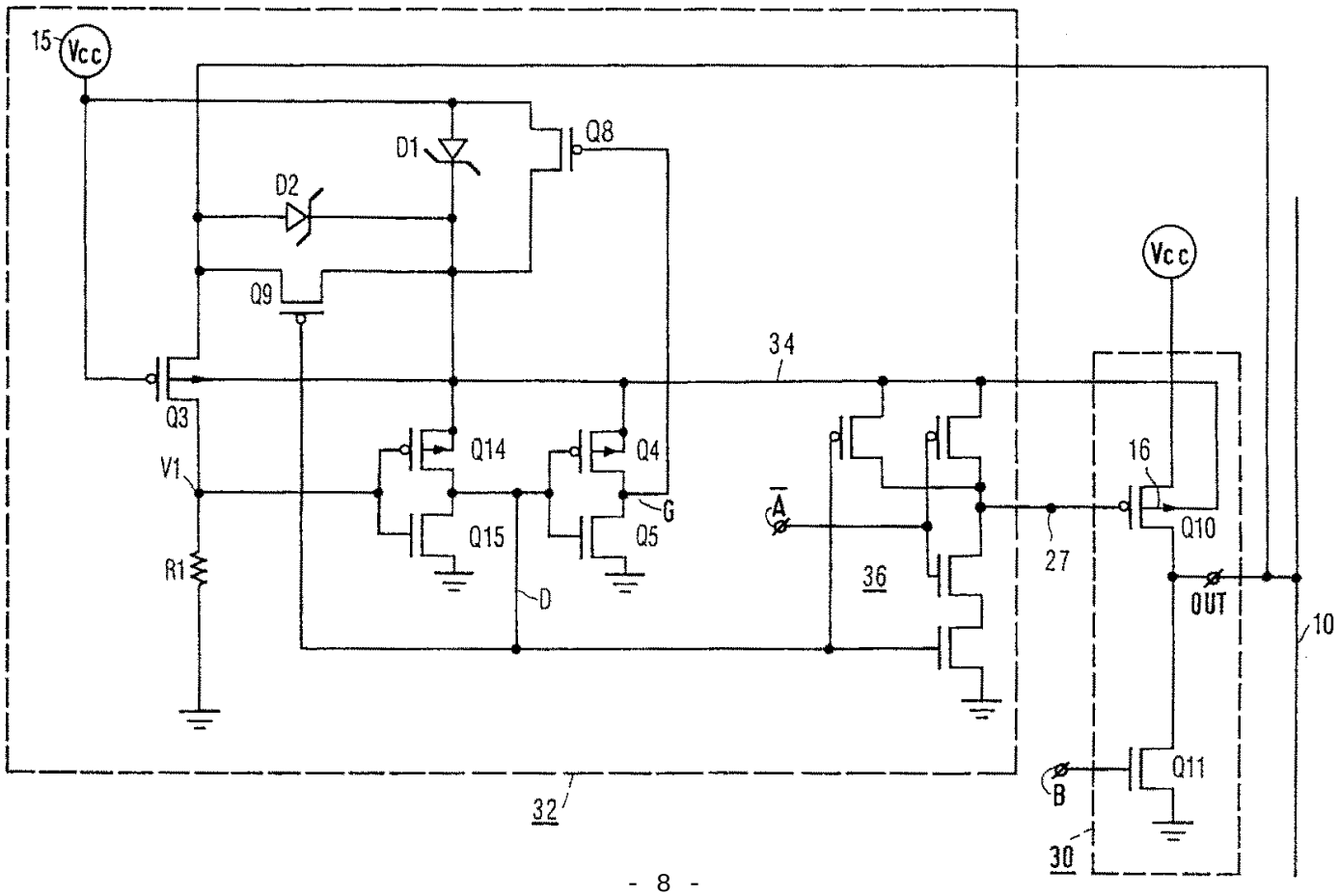
도면 1



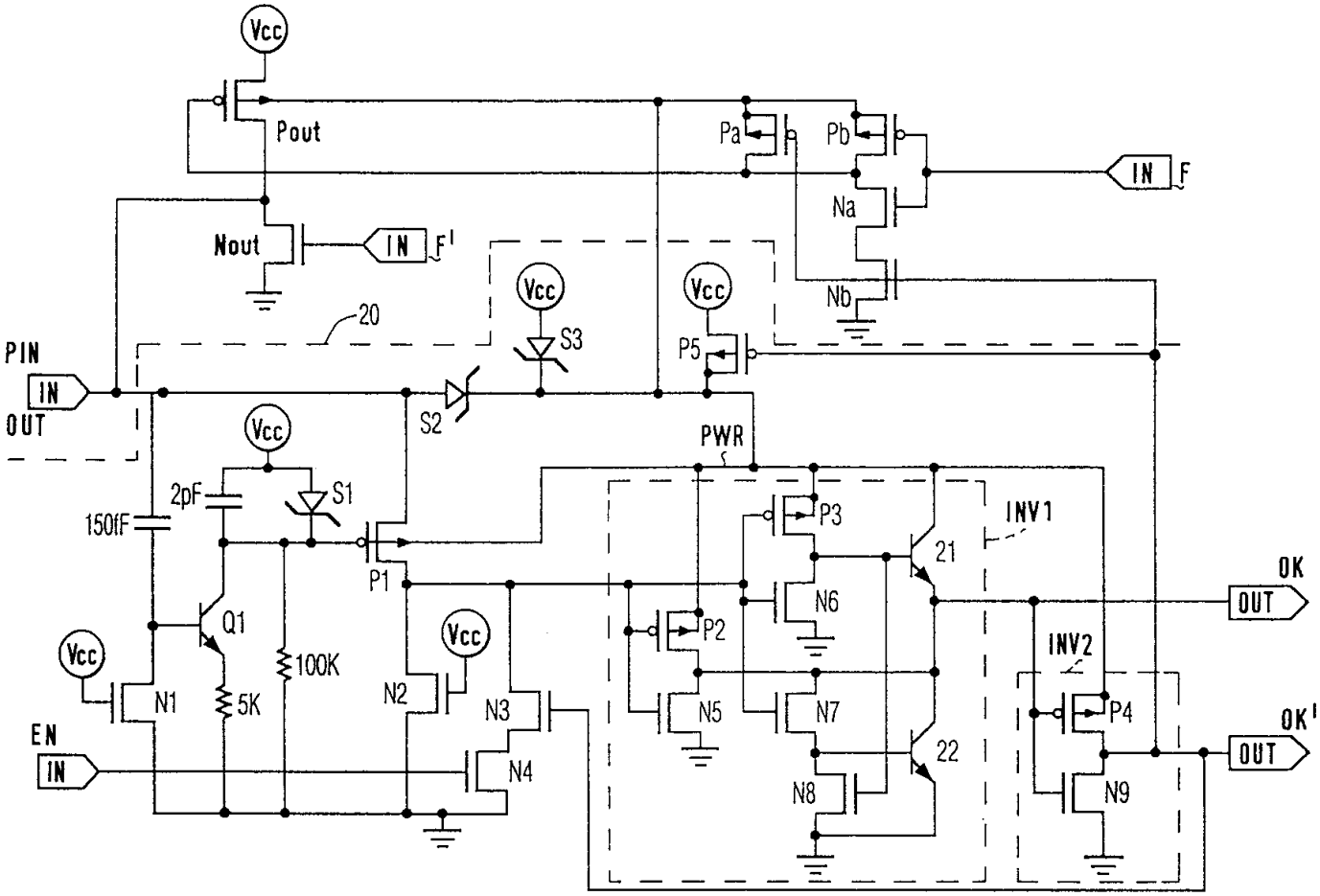
도면 2


15
Vcc
D1
16
17
Q1
A
IN1
D2
OUT
B
IN2
Q2

도면 3


15
Vcc
D1
Q8
D2
Q9
34
Q3
V1
Q14
Q4
Q15
Q5
G
D
R1
A
36
27
16
Q10
OUT
10
Vcc
B
Q11
32
30

도면 4


Vcc
Pout
Pa
Pb
IN F
Na
Nout
IN F'
Nb
20
Vcc
S3
Vcc
P5
PIN
IN
OUT
S2
Vcc
PWR
2pF
S1
150fF
P1
P3
INV1
21
OK
OUT
Q1
P2
N6
Vcc
100K
INV2
Vcc
N1
5K
N2
N3
N5
N7
P4
OK'
OUT
EN
IN
N4
22
N8
N9