

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5779162号
(P5779162)

(45) 発行日 平成27年9月16日 (2015. 9. 16)

(24) 登録日 平成27年7月17日 (2015. 7. 17)

(51) Int. Cl.		F I	
H02M	7/12	(2006.01)	H02M 7/12 A
H03D	1/18	(2006.01)	H03D 1/18 B

請求項の数 8 (全 28 頁)

(21) 出願番号	特願2012-218785 (P2012-218785)	(73) 特許権者	000003078
(22) 出願日	平成24年9月28日 (2012. 9. 28)		株式会社東芝
(65) 公開番号	特開2014-73028 (P2014-73028A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成26年4月21日 (2014. 4. 21)	(74) 代理人	100111121
審査請求日	平成26年4月8日 (2014. 4. 8)		弁理士 原 拓実
前置審査		(74) 代理人	100125667
			弁理士 小林 幹雄
		(74) 代理人	100138601
			弁理士 山下 正成
		(74) 代理人	100151323
			弁理士 泉 剛司
		(74) 代理人	100149629
			弁理士 柘 周作
		(74) 代理人	100200229
			弁理士 矢作 徹夫

最終頁に続く

(54) 【発明の名称】 整流回路とこれを用いた無線通信装置

(57) 【特許請求の範囲】

【請求項 1】

電界効果トランジスタと、バイアス電圧発生回路とを有する整流回路であって、
前記電界効果トランジスタは、
制御端子と、
第1の電流入出力端子と、
前記第1の電流入出力端子に接続され、P型拡散層を有するソース領域と、
第2の電流入出力端子と、
前記第2の電流入出力端子に接続され、N型拡散層を有するドレイン領域とを備え、
前記バイアス電圧発生回路は、前記制御端子と前記第2の電流入出力端子との間に直流
電圧を印加することを特徴とする整流回路。

【請求項 2】

前記第1の電流入出力端子は、前記整流回路の正側の端子に接続され、前記第2の電流入出力端子は、前記整流回路の負側の端子に接続されることを特徴とする請求項1に記載の整流回路。

【請求項 3】

前記第2の電流入出力端子にAC入力電圧が入力され、前記第1の電流入出力端子からDC電流を出力することを特徴とする請求項1または2に記載の整流回路。

【請求項 4】

AC入力電圧が入力されるキャパシタと、

10

20

第 1 の電界効果トランジスタと、
第 2 の電界効果トランジスタと、
バイアス電圧発生回路とを有する整流回路であって、
前記第 1 の電界効果トランジスタは、
第 1 の制御端子と、
第 1 の電流入出力端子と、
前記第 1 の電流入出力端子に接続され、P 型拡散層を有する第 1 のソース領域と、
第 2 の電流入出力端子と、
前記第 2 の電流入出力端子に接続され、N 型拡散層を有する第 1 のドレイン領域を備え、前記第 2 の電流入出力端子が前記キャパシタに接続され、
前記第 2 の電界効果トランジスタは、
第 2 の制御端子と、
第 3 の電流入出力端子と、
前記第 3 の電流入出力端子に接続され、P 型拡散層を有する第 2 のソース領域と、
第 4 の電流入出力端子と、
前記第 4 の電流入出力端子に接続され、N 型拡散層を有する第 2 のドレイン領域を備え、前記第 3 の電流入出力端子が前記キャパシタに接続され、
前記バイアス電圧発生回路は、前記第 1 の制御端子と前記第 2 の電流入出力端子との間および前記第 2 の制御端子と前記第 4 の電流入出力端子との間に直流電圧を印加することを特徴とする整流回路。

【請求項 5】
差動信号が入力される第 1 および第 2 のキャパシタと、
第 1 の電界効果トランジスタと、
第 2 の電界効果トランジスタと、
第 3 の電界効果トランジスタと、
バイアス電圧発生回路とを有する整流回路であって、
前記第 1 の電界効果トランジスタは、
第 1 の制御端子と、
第 1 の電流入出力端子と、
前記第 1 の電流入出力端子に接続され、P 型拡散層を有する第 1 のソース領域と、
第 2 の電流入出力端子と、
前記第 2 の電流入出力端子に接続され、N 型拡散層を有する第 1 のドレイン領域とを備え、前記第 2 の電流入出力端子が前記第 1 のキャパシタに接続され、
前記第 2 の電界効果トランジスタは、
第 2 の制御端子と、
第 3 の電流入出力端子と、
前記第 3 の電流入出力端子に接続され、P 型拡散層を有する第 2 のソース領域と、
第 4 の電流入出力端子と、
前記第 4 の電流入出力端子に接続され、N 型拡散層を有する第 2 のドレイン領域とを備え、前記第 3 の電流入出力端子が前記第 1 のキャパシタに接続され、前記第 4 の電流入出力端子が前記第 2 のキャパシタに接続され、
前記第 3 の電界効果トランジスタは、
第 3 の制御端子と、
第 5 の電流入出力端子と、
前記第 5 の電流入出力端子に接続され、P 型拡散層を有する第 3 のソース領域と、
第 6 の電流入出力端子と、
前記第 6 の電流入出力端子に接続され、N 型拡散層を有する第 3 のドレイン領域とを備え、前記第 5 の電流入出力端子が前記第 2 のキャパシタに接続され、
前記バイアス電圧発生回路は、前記第 1 の制御端子と前記第 2 の電流入出力端子との間および前記第 2 の制御端子と前記第 4 の電流入出力端子との間、および前記第 3 の制御端

子と前記第 6 の電流入出力端子との間に直流電圧を印加することを特徴とする整流回路。

【請求項 6】

前記バイアス電圧発生回路によって、前記制御端子と前記第 2 の電流入出力端子との間に印加される直流電圧の値は、可変であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の整流回路。

【請求項 7】

前記バイアス電圧発生回路によって、前記第 1 の制御端子と前記第 2 の電流入出力端子との間及び前記第 2 の制御端子と前記第 4 の電流入出力端子との間に印加される直流電圧の値は、可変であることを特徴とする請求項 4 または請求項 5 に記載の整流回路。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の整流回路と、
前記整流回路に信号を入力するアンテナと、
前記整流回路から出力された信号を増幅するベースバンド回路と、
前記ベースバンド回路から出力された信号をデジタルに変換する A D C と、
前記 A D C から出力された信号の判別を行い、規定の信号と一致した場合に制御信号を出力する信号処理部とを有することを特徴とする無線通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は整流回路とこれを用いた無線通信装置に関する。

【背景技術】

【0002】

無線信号を受信検波して信号を処理する無線装置に用いられる整流回路に、M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) を用いた整流回路がある。これは、M O S F E T のゲート端子とソース端子を接続し、ドレイン端子を正側、ソース端子を負側として、数段直列に接続したものである。M O S F E T の接続部分にキャパシタの一端を接続し、キャパシタの他端を信号入力端子に接続する。この信号入力端子に A C 電圧信号が入力され、その包絡線信号を電流信号として正側から出力する。

【0003】

M O S F E T は、閾値電圧が設定されており、ゲート・ソース間に印加される電圧がこの閾値電圧を超えたときにソース・ドレイン間に電流が流れ、閾値電圧以下であると電流が流れない。そこで、閾値電圧を超えない微弱な A C 電圧信号が信号入力端子に入力された場合でも電流信号を出力するために、ゲート・ソース間に M O S F E T の閾値電圧とほぼ等しい電圧を印加する。これによって、閾値電圧が見かけ上は 0 V となり、入力される A C 電圧信号がプラス側波形の場合には、見かけ上の閾値電圧を超え、マイナス側波形の場合には見かけ上の閾値電圧以下となるため、脈流電流が生成され、正側から出力される。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 6 - 3 4 0 8 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、見かけ上の閾値電圧が 0 V に近くなるようにゲート・ソース間に電圧を印加すると、A C 電圧信号マイナス側波形の場合に、リーク電流として負側の電流が発生する。整流電流は、正負の電流の差によって生成するため、正負電流の差が少なくなると信号の検出ができなくなる。

【0006】

本発明は、微弱な A C 電圧信号が入力された場合でも、信号検出が可能な整流回路と、

10

20

30

40

50

これを用いた無線通信装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

上記目的を達成するために、本発明の実施形態による整流回路は、電界効果トランジスタと、バイアス電圧発生回路とを有する整流回路であって、前記電界効果トランジスタは、制御端子と、P型拡散層を電極とした第1の電流入出力端子と、N型拡散層を電極とした第2の電流入出力端子を備え、前記バイアス電圧発生回路は、前記制御端子と前記第2の電流入出力端子との間に直流電圧を印加することを特徴としている。

【図面の簡単な説明】

【0008】

【図1】本発明の第1の実施形態に係る整流回路の回路図。

【図2】本発明の第1の実施形態に係る整流回路のトンネルFETの断面図。

【図3】トンネルFETとMOSFETのゲート・ソース間電圧 V_{gs} に対するドレイン電流特性の一例を示す図。

【図4】本発明の第1の実施形態に係る整流回路のバイアス電圧発生回路の構成例を示す回路図。

【図5】本発明の第1の実施形態に係る整流回路のクロック発生回路130を示す回路図である。

【図6】本発明の第1の実施形態に係る整流回路のクロック発生回路の動作を表わすタイミングチャート。

【図7】本発明の第1の実施形態に係る整流回路のDC発生回路の一例を示す回路図。

【図8】本発明の第1の実施形態に係る整流回路のDC発生回路の一例を示す回路図。

【図9】本発明の第2の実施形態に係る整流回路の回路図。

【図10】本発明の第2の実施形態に係る整流回路の回路図の変形例。

【図11】本発明の第3の実施形態に係る整流回路の回路図。

【図12】本発明の第3の実施形態に係る整流回路の回路図。

【図13】本発明の第3の実施形態に係る整流回路のバイアス電圧を調整する際のフローチャート。

【図14】本発明の第4の実施形態に係る整流回路の回路図。

【図15】本発明の第5の実施形態に係る整流回路のトンネルFETの断面図。

【図16】本発明の実施の形態5にかかる整流回路を示す回路図。

【図17】本発明の実施の形態5にかかる整流回路のDC電圧源の回路図。

【図18】本発明の実施の形態5にかかる整流回路の昇圧回路の一例を示す回路図。

【図19】本発明の実施の形態5にかかる整流回路のフローティングゲートの制御方法を示すフローチャート。

【図20】チャージ量検出工程を示すフローチャート。

【図21】DC電圧源の電流検査モードの動作を示すフローチャート。

【図22】チャージ量設定工程を示すフローチャート。

【図23】DC電圧源の電圧設定モードの動作を示すフローチャート。

【図24】本発明の実施の形態6にかかる整流回路の回路図。

【図25】本発明の実施の形態7に整流回路を示す回路図。

【図26】本発明の実施の形態8に整流回路を示す回路図

【図27】本発明の実施の形態に係る無線受信装置を示すブロック図。

【図28】本発明の実施の形態に係るRFIDタグを示すブロック図。

【図29】本発明の実施の形態に係るRFIDタグの整流特性(実線)と、従来のRFIDタグの整流特性(破線)を示したグラフ

【図30】本発明の実施の形態に係るRFIDタグに入出力デバイスを搭載した構成を示すブロック図。

【発明を実施するための形態】

【0009】

10

20

30

40

50

(実施の形態 1)

以下、本発明の実施形態について図面を参照して説明する。図 1 は、本発明の第 1 の実施形態に係る整流回路の回路図である。整流回路 1 は、急峻な S 値を有する電界効果トランジスタを有する。本実施形態では、急峻な S 値を有する電界効果トランジスタとして、トンネル型電界効果トランジスタ (トンネル FET) を例に説明する。

【0010】

整流回路 1 は、バイアス電圧発生回路 10 とトンネル FET 20 を有する。トンネル FET 20 は、ソース電極が正側端子 T1、ドレイン電極が負側端子 T2 に接続される。バイアス電圧発生回路 10 は、一端が負側端子 T2 およびトンネル FET 20 のドレイン電極に接続され、他端がトンネル FET 20 のゲート電極に接続される。

10

【0011】

バイアス発生回路 10 は、トンネル FET 20 のゲート・ドレイン間に、トンネル FET 20 が整流特性を示すのに必要な閾値電圧未満の電圧 (以下、バイアス電圧と称する) を印加する。このバイアス電圧は、好ましくはトンネル FET の閾値電圧とほぼ等しい電圧を印加する。これによって、トンネル FET の閾値電圧が見かけ上は 0 V となり、負側端子 T2 から入力される AC 電圧信号がプラス側波形の場合には、見かけ上の閾値電圧を超え、AC 電圧信号がマイナス側波形の場合には見かけ上の閾値電圧以下となるため、半端整流された信号が正側端子 T1 から出力される。

【0012】

図 2 は、トンネル FET 20 の断面図である。トンネル FET 20 は、半導体基板 201 上に離間してソース領域 202 とドレイン領域 203 が形成されている。ソース領域とドレイン領域は伝導型が異なり、それぞれ P 型の拡散層と N 型の拡散層である。ソース領域 202 とドレイン領域 203 の間の領域 (チャネル) の上部には絶縁膜 204 が形成され、絶縁膜 204 の上部にはゲート電極が形成される。チャネルは、真性半導体を用いても良いし、P 型や N 型の半導体を用いても良い。トンネル FET 20 は、ゲート・ソース間に電圧が印加されると、トンネル電流が流れる。ソース・チャネル接合における BTBT (Band To Band Tunneling) が電流駆動能力を決定するため、駆動電流を向上させるには、ソース・チャネル接合において不純物濃度が高濃度かつ急峻な接合を形成して、トンネルバリアを薄膜化する。一方、オフリーク電流はドレイン・チャネル接合での BTBT によって決定されるため、オフリーク電流を低減させるには、ドレイン・チャネル領域において不純物濃度が低濃度かつ緩やかな接合を形成してトンネルバリアを厚膜化する。

20

30

【0013】

図 3 にトンネル FET と MOSFET のゲート・ソース間電圧 V_{gs} に対するドレイン電流特性の一例を示す。図中の実線と破線はそれぞれトンネル FET と MOSFET の特性を示す。MOSFET と比較してトンネル FET は、 V_{gs} が閾値電圧以下の弱反転領域で急峻な電流 / 電圧特性を有する。つまり、トンネル FET は、MOSFET よりも、ゲート・ソース間の微弱な変動に対して大きくドレイン電流を変化させることができる。

【0014】

例えば、図 1 に示す整流回路のトンネル FET 20 を MOSFET とした場合、ゲート・ソース間電圧を 0.4 V とし、負側端子 T2 に振幅 0.1 V の AC 電圧信号を入力すると、入力波形がプラス側では電流が 10 倍となる。しかしながら、入力波形がマイナス側では 1/10 のリーク電流が発生する。これに対して、図 1 に示す回路では、ゲート・ソース間電圧を 0.1 V とし、負側端子 T2 に振幅 0.1 V の AC 電圧信号を入力すると、入力波形がプラス側では電流が 1000 倍以上となり、入力波形がマイナス側では 1/100000 のリーク電流が発生する。このように、トンネル FET を用いることで、整流回路に入力される AC 電圧信号がマイナス側波形の場合にリーク電流として発生する負側の電流を抑えて、正負電流の差を大きくし、高感度かつ高効率に整流することができる。

40

【0015】

図 4 は、図 1 に示す整流回路 1 のバイアス電圧発生回路 10 の構成例を示す回路図であ

50

る。バイアス電圧発生回路 10 は、直列に接続された 2 つの NMOS トランジスタ M11 と M12 を備えている。これらの NMOS トランジスタは、それぞれトランスファゲートとして機能し、プラスのライン上に配置されている。同様に、バイアス電圧発生回路 10 は、マイナスのライン上に直列に接続された NMOS トランジスタ M21 と M22 を備える。M21 と M22 もトランスファゲートとして機能する。NMOS トランジスタ M11、M21 のゲート端子は互いに接続され、NMOS トランジスタ M12、M22 のゲート端子も互いに接続されている。NMOS トランジスタ M11 のドレイン端子と NMOS トランジスタ M12 のソース端子とを接続するラインと、NMOS トランジスタ M21 のドレイン端子と NMOS トランジスタ M22 のソース端子とを接続するラインとの間には、キャパシタ C11 が接続されている。さらに、NMOS トランジスタ M12 のドレイン端子と NMOS トランジスタ M22 のドレイン端子との間にはキャパシタ C12 が接続されている。

10

【0016】

バイアス電圧発生回路 10 には、周辺回路として、DC 発生回路 110 とインバータ INV1、INV2 とが接続されている。DC 発生回路 110 は、本実施の形態にかかる整流回路が搭載される装置の主電源から上記ダイオードバイアス電圧に相当する直流電圧を生成する。DC 発生回路 110 の具体例については後述する。DC 発生回路 110 によって生成された直流電圧は、バイアス電圧発生回路 10 のプラスラインとマイナスラインとの間に印加される。

【0017】

20

インバータ INV1 の入力端子は、クロック入力端子 TC に接続されており、一定の周波数のクロック信号が入力される。このクロック信号は、例えば、後述するクロック発生回路によって生成される。インバータ INV1 の出力端子は、NMOS トランジスタ M11 および M21 の各ゲート端子に接続され、インバータ INV2 の入力端子にも接続されている。インバータ INV2 の出力端子は、NMOS トランジスタ M12 および M22 の各ゲート端子に接続されている。

【0018】

クロック入力端子 TC から入力されたクロック信号が、論理レベル“L”である場合、インバータ INV1 は論理レベル“H”を出力し、インバータ INV2 は論理レベル“L”を出力する。従って、NMOS トランジスタ M11 および M21 は ON となり、キャパシタ C11 は、DC 発生回路 110 から供給される直流電圧によって充電される。また、NMOS トランジスタ M12 および M22 は OFF となり、キャパシタ C12 にはどの直流電圧も印加されない。

30

【0019】

一方、クロック入力端子 TC から入力されたクロック信号が、論理レベル“H”である場合、インバータ INV1 は論理レベル“L”を出力し、インバータ INV2 は論理レベル“H”を出力する。従って、NMOS トランジスタ M11 および M21 は OFF となり、NMOS トランジスタ M12 および M22 は ON となるので、キャパシタ C11 に充電された電荷は、キャパシタ C12 に供給される。キャパシタ C12 の両端は、バイアス電圧発生回路 10 の出力端子に接続されているため、このキャパシタ C12 の両端の電圧が、ダイオードバイアス電圧として、ダイオード接続されたトンネル FET20 のゲート端子とドレイン端子との間に印加される。

40

【0020】

最終的に、キャパシタ C12 の両端の電圧がトンネル FET20 のダイオードバイアス電圧となればよく、DC 発生回路 110 によって供給される直流電圧がダイオードバイアス電圧と同じである必要はない。例えば、NMOS トランジスタ M11、M12、M21、M22 のスイッチング動作を PWM (Pulse Wide Modulation: パルス幅変調) 制御によって行なうことで、キャパシタ C12 の電圧を任意の値に固定することもできる。この場合、DC 発生回路 110 を排除し、プラスライン L1 とマイナスライン L2 との間に主電源を接続してもよい。

50

【 0 0 2 1 】

なお、バイアス電圧発生回路 1 0 を構成するトランスファゲートとして N M O S トランジスタを用いたが、P M O S トランジスタを用いても良い。また、図 4 において、インバータ I N V 2 を排除し、N M O S トランジスタ M 1 2 と M 2 2 を P M O S トランジスタに変更しても良い。

【 0 0 2 2 】

図 5 は、クロック入力端子 T C に入力されるクロック信号を生成するクロック発生回路 1 3 0 を示す回路図である。クロック発生回路 1 3 0 は、ダミー整流部とダミースイッチング部と誤差増幅部 3 1 0 とから構成される。ダミー整流部は、トンネル F E T 3 0 で構成される。トンネル F E T 3 0 は、ソース端子とドレイン端子はともにマイナスラインに接続されていると共に、所定の電位 V_3 に吊られている。また、トンネル F E T 3 0 のゲート端子とドレイン端子との間に、キャパシタ C d 2 が接続されている。

10

【 0 0 2 3 】

ダミースイッチング部は、N M O S トランジスタ M d 1 ~ M d 4 と、キャパシタ C d 1 , C d 2 と、インバータ I N V 1 1 , I N V 1 2 とで構成される。N M O S トランジスタ M d 1 ~ M d 4 およびキャパシタ C d 1 , C d 2 は、バイアス電圧発生回路 1 0 と同じ構成である。

【 0 0 2 4 】

具体的には、N M O S トランジスタ M d 1 , M d 2 は、直列に接続され、それぞれトランスファゲートとして機能し、プラスライン上に配置されている。N M O S トランジスタ M d 3 , M d 4 もまた、直列に接続され、それぞれトランスファゲートとして機能し、マイナスライン上に配置されている。N M O S トランジスタ M d 1 のゲート端子と N M O S トランジスタ M d 3 のゲート端子はともに、インバータ I N V 1 2 の出力端子に接続される。インバータ I N V 1 2 の入力端子は、インバータ I N V 1 1 の出力端子に接続されている。N M O S トランジスタ M d 2 のゲート端子と N M O S トランジスタ M d 4 のゲート端子はともに、インバータ I N V 1 1 の出力端子に接続されている。N M O S トランジスタ M d 1 のドレイン端子と N M O S トランジスタ M d 2 のソース端子とを接続するラインと、N M O S トランジスタ M d 3 のドレイン端子と N M O S トランジスタ M d 4 のソース端子とを接続するラインとの間には、キャパシタ C d 1 が接続されている。さらに、N M O S トランジスタ M d 2 のドレイン端子と N M O S トランジスタ M d 4 のドレイン端子との間にはキャパシタ C d 2 が接続されている。

20

30

【 0 0 2 5 】

N M O S トランジスタ M d 1 のソース端子と N M O S トランジスタ M d 3 のソース端子は、バイアス電圧発生回路 1 0 と同様に、それぞれ D C 発生回路 1 1 0 のプラス端子とマイナス端子に接続されている。誤差増幅部 3 1 0 は、キャパシタ C d 2 の両端の電圧と参照電圧との差電圧を適当な利得で増幅したベースクロック電圧 V_E を出力する。この参照電圧は、D C 発生回路 1 1 0 から供給される直流電圧 V_T から所定の電圧 V_X (例えば 5 0 m V) だけ低い電圧 $V_T - V_X$ として表される。換言すれば、誤差増幅部 3 1 0 は、キャパシタ C d 2 の電圧を監視し、その監視結果に基づいてベースクロック電圧 V_E を生成する。

40

【 0 0 2 6 】

誤差増幅部 3 1 0 の出力端子は、インバータ I N V 1 1 の入力端子に接続されている。インバータ I N V 1 1 の出力端子はまた、クロック発生回路 1 3 0 の出力端子 B C に接続されている。この出力端子 B C がクロック入力端子 T C に接続される。これにより、誤差増幅部 3 1 0 から出力されたベースクロック電圧 V_E が所定レベル以上になった際に、インバータ I N V 1 1 から論理レベル “ L ” の信号が出力され、ベースクロック電圧 V_E が所定レベル未満になった際に、インバータ I N V 1 1 から論理レベル “ H ” の信号が出力される。

【 0 0 2 7 】

図 6 は、キャパシタ C d 2 の一端の電位 V_0 と、誤差増幅部 3 1 0 から出力される差電

50

圧 V_E と、インバータ $INV11$ の出力電位 V_1 と、インバータ $INV12$ 出力電位 V_2 との各タイミングチャートを示す図である。

【0028】

電位 V_0 が参照電圧 $V_T - V_X$ よりも大きい期間（時間 t_0 まで）においては、誤差増幅部310は所定値に飽和した正の差電圧 V_E を出力する（第1フェーズ）。この正の差電圧 V_E は、インバータ $INV11$ にとって論理レベル“H”の入力信号である。よって、その期間においては、インバータ $INV11$ の出力電位 V_1 は論理レベル“L”を示し、インバータ $INV12$ の出力電位 V_2 は論理レベル“H”を示す。これにより、NMOSトランジスタMd1およびMd3がONとなり、DC発生回路110の直流電圧 V_T がキャパシタCd1に印加される。

10

【0029】

キャパシタCd2はトンネルFET30のリーク電流によって放電されるため、その電位 V_0 は徐々に低下し、ついには参照電圧 $V_T - V_X$ よりも小さくなる（第2フェーズ）。すなわち、誤差増幅部310から出力される差電圧 V_E は、正に飽和した値から徐々に低下し、最終的にインバータ $INV11$ にとって論理レベル“L”の入力信号となる（時間 t_1 ：第3フェーズ）。これにより、インバータ $INV11$ の出力電位 V_1 は論理レベル“H”を示し、インバータ $INV12$ の出力電位 V_2 は論理レベル“L”を示す。これにより、NMOSトランジスタMd2およびMd4がONとなり、キャパシタCd1の電荷がキャパシタCd2に与えられる。すなわち、キャパシタCd2の電位 V_0 は、参照電圧 $V_T - V_X$ よりも大きい電位 V_T にほぼ一致し、上記した第1フェーズの状態となる。以降、上記第1～第3フェーズが繰り返される。

20

【0030】

この繰り返しフェーズにおいて、出力電位 V_1 は、定期的に発生するパルスとなっている。この出力電位 V_1 がクロック信号としてクロック入力端子TCに入力される。特に、このクロック信号は、上述したようにクロック発生回路130がバイアス電圧発生回路10およびその周辺回路を模擬していることから、バイアス電圧発生回路10内のキャパシタC11、C12に無駄なく充電することができる最適なタイミングを示す。換言すれば、これにより、トンネルFET20が常に一定値以上の電圧でバイアスされる。

【0031】

なお、クロック発生回路130に使用するMOSトランジスタとして、PMOSトランジスタを用いても良い。

30

【0032】

バイアス電圧発生回路10およびクロック発生回路130はともに、DC発生回路110から供給される一定の直流電圧を利用している。ところが、この直流電圧は、DC発生回路110を構成する電子素子の製造ばらつきなどによって所望の値を示さない可能性がある。しかしながら、本実施の形態にかかるDC発生回路110は、以下のような構成を有することで、そのような製造ばらつきに依存しない直流電圧を生成することができる。

【0033】

図7は、DC発生回路110の一例を示す回路図である。図7に示すDC発生回路110aは、ゲート端子とドレイン端子とが接続されたトンネルFET M101と、電源電圧 V_{DD} から定電流を生成する定電流源111とを備える。定電流源111の出力端子とトンネルFET M101のドレイン端子とは、スイッチSWを介して接続されている。トンネルFET M101のソース端子は接地されており、トンネルFET M101のゲート-ソース間電圧がこのDC発生回路110aが出力する直流電圧 V_T に相当する。

40

【0034】

スイッチSWがONとなっている場合、定電流源111からある一定の電流がトンネルFET M101へ供給され、トンネルFET M101はこの電流値に応じてゲート-ソース間に電圧を発生する。定電流源111から供給される電流が非常に微小な場合、例えば $1\mu A$ 以下の場合、トンネルFET M101は、ONとOFFとの境の状態となっている。すなわち、トンネルFET M101のゲート-ソース間電圧は閾値電圧と同等

50

な電圧を示す。これは、一般に、MOSトランジスタの特性が $I_D = (V_{GS} - V_{th})^2$ と表され、電流 I_D を小さくすると、ゲート - ソース間電圧 V_{GS} はほぼ閾値電圧 V_{th} となるという理論に基いている。よって、この電圧を、バイアス電圧発生回路 10 のダイオードバイアス電圧として利用することができる。

【0035】

DC発生回路 110a は、スイッチ SW によって間欠的に動作される。DC発生回路 110a から直流電圧を出力する必要の無い時間帯は、スイッチ SW を OFF として電流の消費を少なくする。このスイッチ SW の ON / OFF 制御のために、上記したクロック発生回路 130 から出力されるクロック信号を利用することができる。例えば、クロック発生回路 130 の出力端子 BC にスイッチ SW の制御端子を接続し、且つスイッチ SW が論理レベル “H” の入力に対して ON となる場合に、バイアス電圧発生回路 10 およびクロック発生回路 130 が一定の直流電圧 V_T を要求するタイミングに合わせて、DC発生回路 110a はその直流電圧 V_T を出力することができる。

10

【0036】

なお、スイッチ SW は、そこに入力されるクロック信号が論理レベル “H” の間中、常に ON となっている必要は必ずしも無い。クロック信号が論理レベル “H” を示す期間中のある期間のみスイッチ SW が ON となってもよい。

【0037】

図 8 は、DC発生回路 110 の他の例を示す回路図である。図 8 に示す DC発生回路 110b は、ゲート端子とドレイン端子とが接続された 2 つのトンネル FET M111 および M112 と、定電流を生成する定電流源 111 とを備えている。トンネル FET M111 および M112 は縦続接続されている。また、定電流源 111 の出力端子とトンネル FET M111 のドレイン端子とは、スイッチ SW を介して接続されている。トンネル FET M112 のゲート - ソース間電圧とトンネル FET M111 のゲート - ソース間電圧との和が、この DC発生回路 110b が出力する直流電圧 V_T に相当する。

20

【0038】

DC発生回路 110b では、トンネル FET M111 および M112 の各閾値電圧は、整流回路 1 のトンネル FET 20 やクロック発生回路 130 のトンネル FET 30 の各閾値電圧よりも小さく、上記したゲート - ソース間電圧の和が直流電圧 V_T と一致するような値である。このように、閾値電圧が小さいトンネル FET を用いた電圧源であっても、製造ばらつきに影響されない DC発生回路 110 として利用することができる。

30

【0039】

以上のように形成された DC発生回路 110 は、整流回路 1 で用いるトンネル FET 20 と同一のチップ内に集積化することが望ましい。一般にトンネル FET の閾値電圧のばらつきはロット間、ウェハ間では + / - 100 mV 程度あり、異なるチップで DC発生回路 110 と整流回路 1 を形成すると、DC発生回路 110 で発生する閾値電圧と整流回路 1 内のトンネル FET 20 の閾値電圧とでは 100 mV ずれる可能性がある。これに対して、同一チップ内でのトンネル FET の閾値電圧のばらつきは + / - 10 mV 程度であり、DC発生回路 110 で発生する閾値電圧と整流回路 1 のトンネル FET 20 の閾値電圧との差はほとんど無くなる。

40

【0040】

以上に説明したように、実施の形態 1 にかかる整流回路によれば、バイアス回路によって、トンネル FET 20 のゲートとドレインとの間に、このトンネル FET 20 が整流特性を発現するのに要する閾値電圧未満であって好ましくはその閾値電圧近傍の定電圧を印加することができるので、閾値電圧未満の実効値を有する交流信号をも整流することができる。

【0041】

(実施の形態 2)

図 9 は、本発明の第 2 の実施形態に係る整流回路の回路図である。整流回路 1a は、急

50

峻なS値を有する電界効果トランジスタ（例えばトンネルFET）を用いて構成される。本実施形態では、整流回路1aは、バイアス電圧発生回路10a、10bとトンネルFET20a、20bを有するとして説明する。バイアス電圧発生回路10a、10bやトンネルFET20a、20bは、第1の実施形態にて説明したバイアス電圧発生回路10やトンネルFET20と同様の構成である。

【0042】

トンネルFET20aのソース電極は、正側端子T1に接続される。トンネルFET20bのドレイン電極は、負側端子T2に接続される。トンネルFET20aのドレイン電極とトンネルFET20bのソース電極は互いに接続されており、その接続ラインにキャパシタC1の一端が接続される。キャパシタC1の他端は、信号入力端子TAに接続される。キャパシタC1は、結合容量として機能する。本実施の形態にかかる整流回路をRFIDタグにおいて使用する場合には、キャパシタC1は、ループアンテナに接続され、直列共振キャパシタとしても機能する。

10

【0043】

トンネルFET20aのゲート電極は、バイアス電圧発生回路10aを介してドレイン電極に接続されており、トンネルFET20bのゲート電極は、バイアス電圧発生回路10bを介してドレイン電極に接続されている。バイアス電圧発生回路10a、10bは、トンネルFET20a、20bのゲート・ドレイン間にバイアス電圧を印加する。

【0044】

トンネルFET20aのソース電極とトンネルFET20bのドレイン電極との間には、キャパシタC2が接続される。トンネルFET20a、20bのそれぞれによって半波整流された信号は、キャパシタC2によって平滑される。これにより、信号入力端子TAから信号を入力して、正側端子T1と負側端子T2とから直流電圧を取り出すことができる。

20

【0045】

このようにトンネルFET20a、20bを直列に接続して全波整流を行うと、第1の実施形態の整流回路と比較して、効率や感度を向上させることができる。なお、図10に示すように、整流回路1aの正側端子T1や負側端子T2にさらに整流回路1aと同様な回路を接続しても良い。図10に示す整流回路1bでも、整流回路1aと同様の効果を得ることができる。さらに、図10では、整流回路1aを2つ縦積みした場合を示したが、3つ以上縦積みした構成を取ることもできる。

30

【0046】

（実施の形態3）

図11は、本発明の第3の実施形態に係る整流回路の回路図である。整流回路1cでは、可変バイアス電圧発生回路11a、11bを用いる。その他の構成は、第2の実施形態にて説明した整流回路1bと同様であるため、説明を省略する。

【0047】

可変バイアス電圧発生回路11a、11bは、トンネルFETの閾電圧のばらつきや温度特性等による変動に応じて、電流源111を調整することによってバイアス電圧を調整することができる。また、任意のバイアス電位を供給できることから、信号検出の感度を適応的に調整することができる。具体的には、微弱な信号が入力された場合でも高感度に信号検出ができるよう要求される場合には、バイアス電圧を適切な電圧とするのに対して、低感度な信号検出が要求される場合には、バイアス電圧を高感度時よりも低く設定することができる。

40

【0048】

可変バイアス電圧発生回路11a、11bのバイアス電圧をトンネルFETの閾電圧に応じて調整する場合には、図12に示すように、インピーダンス計測手段40を接続して、正側と負側のインピーダンスを計測してバイアス電圧を調整する。インピーダンス計測手段40は、例えばカレントミラーによる電流源と、そのカレントミラー出力部の電位をモニタするAD変換器等で構成することができる。

50

【 0 0 4 9 】

図 1 2 (a) は、整流回路 1 c のリーク電流を測定するときの接続である。整流回路 1 c の正側端子にインピーダンス計測手段 4 0 を接続し、負側端子は接地する。図 1 2 (b) は、整流回路 1 c の整流電流を測定するときの接続である。整流回路 1 c の負側端子にインピーダンス計測手段 4 0 を接続し、正側端子は接地する。整流回路 1 c は、図示しない制御回路の制御に従って、整流回路 1 c のリーク電流と整流電流を測定し、バイアス電圧を調整することができる。

【 0 0 5 0 】

図 1 3 は、高感度な信号検出が要求される場合に、可変バイアス電圧発生回路 1 1 a、1 1 b のバイアス電圧を適切に調整する際の手順の一例を示すフローチャートである。なお、予めメモリにバイアス電圧の設定値が複数 ($V_{th}(0) \sim V_{th}(n-1)$) の n 個) 記憶されているものとして説明する。 $V_{th}(0) \sim V_{th}(n-1)$ は、電圧値が小さい順に $0 \sim (n-1)$ の番号が割り振られている。

【 0 0 5 1 】

まず、変数 n を 0 に設定し ($S10$)、変数 n の表す $V_{th}(n)$ すなわち $V_{th}(0)$ を可変バイアス電圧発生回路 1 1 a、1 1 b のバイアス電圧として設定する (ステップ $S11$)。そして、図 1 2 (a) のように、整流回路 1 c の負側端子を接地し、正側端子をインピーダンス計測手段 4 0 に接続する (ステップ $S12$)。そして、バイアス電圧 $V_{th}(n)$ における正側の入力インピーダンス Z_a を測定し、入力インピーダンス Z_a をメモリに格納する (ステップ $S13$)。そして、 $V_{th}(n)$ が予め定めた規定電圧値以下であれば (ステップ $S14$ の Yes)、変数 n をインクリメントし (ステップ $S15$)、ステップ $S11 \sim S14$ の処理を繰り返す。ステップ $S14$ で、 $V_{th}(n)$ が予め定めた規定電圧値を超えれば (ステップ $S14$ の No)、変数 n を再度 0 に設定し (ステップ $S16$)、変数 n の表す $V_{th}(n)$ すなわち $V_{th}(0)$ を可変バイアス電圧発生回路 1 1 a、1 1 b のバイアス電圧として設定する (ステップ $S17$)。そして、図 1 2 (b) のように、整流回路 1 c の正側端子を接地し、負側端子をインピーダンス計測手段 4 0 に接続する (ステップ $S18$)。そして、バイアス電圧 $V_{th}(n)$ における負側の入力インピーダンス Z_b を測定し、入力インピーダンス Z_b をメモリに格納する (ステップ $S19$)。そして、 $V_{th}(n)$ が予め定めた規定電圧値以下であれば (ステップ $S20$ の Yes)、変数 n をインクリメントし (ステップ $S21$)、ステップ $S17 \sim S20$ の処理を繰り返す。ステップ $S20$ で、 $V_{th}(n)$ が予め定めた規定電圧値を超えれば (ステップ $S20$ の No)、変数 n 毎に記憶された正側と負側の入力インピーダンス Z_a 、 Z_b を読み出し、 n 毎に Z_b / Z_a を算出する。そして、 Z_b / Z_a の値が最大となる n の値を変数 m に設定する (ステップ $S22$)。そして、この変数 m の表わす設定値 $V_{th}(m)$ を可変バイアス電圧発生回路 1 1 a、1 1 b のバイアス電圧として設定する (ステップ $S23$)。これによって整流電流が大きく、リーク電流が小さくなるように、可変バイアス電圧発生回路 1 1 a、1 1 b のバイアス電圧を設定することができる。

【 0 0 5 2 】

(実施の形態 4)

図 1 4 は、本発明の第 4 の実施形態に係る整流回路の回路図である。本実施形態のトンネル $FET20a$ 、 $20b$ 、 $20c$ やバイアス電圧発生回路 $10a$ 、 $10b$ 、 $10c$ は、第 1 の実施形態にて説明したものと同様である。トンネル $FET20a$ のソース電極が正側端子 $T1$ に接続され、トンネル $FET20a$ のドレイン電極にトンネル $FET20b$ のソース電極が接続され、トンネル $FET20b$ のドレイン電極にトンネル $FET20c$ のソース電極が接続され、トンネル $FET20c$ のドレイン電極が負側端子 $T2$ に接続される。トンネル $FET20a$ 、 $20b$ 、 $20c$ のゲート電極はそれぞれバイアス電圧発生回路 $10a$ 、 $10b$ 、 $10c$ を介してドレイン電極と接続される。入力端子 $TA1$ 、 $TA2$ には、差動の AC 信号が入力される。入力された差動信号は、キャパシタ $C11$ 、 $C12$ を介して、トンネル $FET20b$ 、 $20c$ のソース電極にそれぞれ入力される。このようにトンネル $FET20a$ 、 $20b$ 、 $20c$ を直列に接続し、差動信号を入力端子 $TA1$ 、

ＴＡ２に入力することにより、第１の実施形態の整流回路と比較して、振幅が倍の信号が入力されるため、整流効率や感度を向上させることができる。なお、本実施形態の整流回路においても、第２の実施形態と同様に整流回路１ｄを複数縦積みした構成とすることもできる。すなわち、図１４に示す整流回路１ｄの正側端子Ｔ１または負側端子Ｔ２に整流回路１ｄと同様の回路を接続しても良い。

【００５３】

（実施の形態５）

実施の形態５にかかる整流回路は、整流素子として、ダイオード接続されたフローティングゲートトンネル型電界効果トランジスタを使用し、そのフローティングゲートに、このフローティングゲートトンネル型電界効果トランジスタが整流特性を発現するのに要する閾値電圧未満であって好ましくはその閾値電圧近傍の定電圧がチャージされていることを特徴としている。

10

【００５４】

図１５は、フローティングゲートトンネル型電界効果トランジスタの断面図である。フローティングゲートトンネル型電界効果トランジスタは、半導体基板２０１上に離間してソース領域２０２とドレイン領域２０３が形成されている。ソース領域２０２とドレイン領域２０３は伝導型が異なり、それぞれＰ型の拡散層とＮ型の拡散層である。ソース領域２０２とドレイン領域２０３の間の領域（チャネル）の上部には第１の絶縁膜２０６が形成され、第１の絶縁膜２０６の上部にフローティングゲート２０７が形成され、フローティングゲート２０７の上部に第２の絶縁膜２０８が形成され、第２の絶縁膜２０８の上部にコントロールゲート２０９が形成される。チャネルは、真性半導体を用いても良いし、Ｐ型やＮ型の半導体を用いても良い。

20

【００５５】

図１６は、実施の形態５にかかる整流回路を示す回路図である。図１６において、フローティングゲートトンネル型電界効果トランジスタＭ７１は、制御ゲート端子とドレイン端子とが接続され、ソース端子が正側端子Ｔ１に接続されている。入力端子ＴＡから入力される入力信号の正負によって、ゲート・ソース間のスイッチをオン／オフさせるためにゲート端子とドレイン端子とが接続される。

【００５６】

フローティングゲートトンネル型電界効果トランジスタＭ７１のフローティングゲートには、フローティングゲートトンネル型電界効果トランジスタＭ７１が整流特性を示すのに必要な電圧（ダイオードバイアス電圧）がチャージされている。ここでは、このダイオードバイアス電圧は、フローティングゲートトンネル型電界効果トランジスタＭ７１の閾値電圧と一致しているものとする。これにより、フローティングゲートトンネル型電界効果トランジスタＭ７１の閾値電圧を等価的にゼロとすることができ、閾値電圧以下の実効値を有する交流信号を含めたすべての交流信号を整流することができる。

30

【００５７】

同様に、フローティングゲートトンネル型電界効果トランジスタＭ７２は、制御ゲート端子とドレイン端子とが接続され、ドレイン端子がマイナス端子Ｔ２に接続されている。また、フローティングゲートトンネル型電界効果トランジスタＭ７２のフローティングゲートには、ダイオードバイアス電圧がチャージされている。このフローティングゲートトンネル型電界効果トランジスタＭ７２もまた、フローティングゲートトンネル型電界効果トランジスタＭ７１と同様に機能な整流特性を有する。

40

【００５８】

フローティングゲートトンネル型電界効果トランジスタＭ７１のドレイン端子とフローティングゲートトンネル型電界効果トランジスタＭ７２のソース端子とは互いに接続されており、その接続ラインに、キャパシタＣ７１の一端が接続されている。キャパシタＣ７１の他端は、信号入力端子ＴＡに接続されている。このキャパシタＣ７１は、結合容量として機能する。本実施の形態にかかる整流回路１ｅをＲＦＩＤタグにおいて使用する場合には、キャパシタＣ７１は、ループアンテナに接続され、直列共振キャパシタとしても機

50

能する。

【 0 0 5 9 】

フローティングゲートトンネル型電界効果トランジスタM 7 1のドレイン端子とフローティングゲートトンネル型電界効果トランジスタM 7 2のソース端子との間には、キャパシタC 7 2が接続されている。フローティングゲートトンネル型電界効果トランジスタM 7 1およびM 7 2によって半波整流された信号は、このキャパシタC 7 2によって平滑される。この平滑により、キャパシタC 7 2の両端、すなわち正側端子T 1と負側端子T 2との間から直流電圧を取り出すことができる。

【 0 0 6 0 】

特に、これらフローティングゲートトンネル型電界効果トランジスタM 7 1およびM 7 2とキャパシタC 7 1およびC 7 2とからなるダイオード回路は、従来整流が困難であった振幅100mV程度の小信号の交流信号も整流することができる。したがって、この整流回路をRFIDタグへ用いた場合、微弱な電波を整流することが可能となる。即ち、基地局から距離が離れたタグでも整流が可能となり、長距離通信が可能となる。

【 0 0 6 1 】

整流回路1eはまた、スイッチSW 1, SW 2, SW 3と、制御回路210と、DC電圧源220a, 220b, 220cとを備えている。これら構成要素は、フローティングゲートトンネル型電界効果トランジスタM 7 1およびM 7 2に対するチャージおよびディスチャージを行うためのものである。スイッチSW 1の一端は、フローティングゲートトンネル型電界効果トランジスタM 7 1のソース端子に接続され、他端はDC電圧源220aの出力端子に接続されている。スイッチSW 2の一端は、フローティングゲートトンネル型電界効果トランジスタM 7 2のソース端子に接続され、他端はDC電圧源220bの出力端子に接続されている。スイッチSW 3の一端は、フローティングゲートトンネル型電界効果トランジスタM 7 2のドレイン端子に接続され、他端はDC電圧源220cの出力端子に接続されている。スイッチSW 1, SW 2, SW 3は、制御回路210にも接続されており、この制御回路210によって、ON/OFF制御される。DC電圧源220a, 220b, 220cもまた制御回路210に接続されており、この制御回路210から出力される制御信号に従って、各種動作モードの選択や出力電位を決定する。

【 0 0 6 2 】

図17は、DC電圧源220a, 220b, 220cの代表として示されたDC電圧源220の回路図である。図17において、DC電圧源220は、2つの動作モードである、電圧設定モードと電流検査モードとの間の切換を行うスイッチSW 200を備えている。また、DC電圧源220は、電圧計221、昇圧回路222、電流計223、可変電圧源224、および制御回路225を備えている。電圧設定モードに対応するスイッチSW 200の端子には、電圧計221と昇圧回路222とが接続され、電流検査モードに対応するスイッチSW 200の端子には電流計223を介して可変電圧源224が電氣的に接続されている。制御回路225は、制御回路210から出力される制御信号に従って、スイッチSW 200と、昇圧回路222および可変電圧源224に設定される電圧とを制御するとともに、電圧計221および電流計223でそれぞれ検出された電圧値および電流値を示す信号を制御回路210に送信する。

【 0 0 6 3 】

図18は、DC電圧源220の昇圧回路222の一例を示す回路図である。この昇圧回路222は、一般的なチャージポンプ回路を示している。トランジスタMc 1とMc 2との間のキャパシタCc 1を介してクロック信号CKが入力され、トランジスタMc 2とMc 3との間のキャパシタCc 2を介して逆相のクロック信号/C Kが入力される。点線で記載した部分はこれら構成の繰り返しを意味する。クロック信号の入力によって電源電圧V_{DD}は出力端子V_{OUT}側に昇圧しながら移動して行く。トランジスタがN個ある場合、出力端子V_{OUT}に出力される電圧は(N + 1)(V_{DD} - V_{th})で表わされる。V_{th}は、トランジスタMc 1 ~ Mc 3の閾値電圧である。この昇圧回路222によって10V程度の電圧をフローティングゲート設定用に供給することができる。

10

20

30

40

50

【 0 0 6 4 】

以下に、フローティングゲートトンネル型電界効果トランジスタM71およびM72のフローティングゲートの制御方法を説明する。図19は、フローティングゲートの制御方法を示すフローチャートである。まず、フローティングゲートトンネル型電界効果トランジスタM71およびM72の各フローティングゲートのチャージ量を検出する（ステップS101）。図20は、チャージ量検出工程を示すフローチャートである。整流回路1eの制御回路210は、チャージ量の検出に先がけ、DC電圧源220a～220cの各制御回路225に対し、動作モードを電流検査モードに切り替えることと各可変電圧源224に設定する電圧とが示された制御信号を送信する（ステップS201～S203）。また、制御回路210は、スイッチSW1～SW3をONにする（ステップS204）。

10

【 0 0 6 5 】

図21は、DC電圧源220の電流検査モードの動作を示すフローチャートである。DC電圧源220の制御回路225は、制御回路210から上記制御信号を受けて、スイッチSW200を電流検査モードに切り替え（ステップS401）、可変電圧源224に上記電圧を設定する（ステップS402）。例えば、フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートのチャージ量を調べる場合、DC電圧源220aの可変電圧源224を1Vに設定し、DC電圧源220bの可変電圧源224を0Vに設定する。続いて、各DC電圧源220の電流計223によって電流値が測定される（ステップS403）。なお、この電流値の測定は実際には、上記したステップS204の後に行われる。

20

【 0 0 6 6 】

制御回路210は、DC電圧源220a, 220b, 220cにおいて測定された各電流値を受け取ると、それら電流値からチャージ量に相当する電圧 V_c を算出し（ステップS205）、スイッチSW1～SW3をOFFにする（ステップS206）。

【 0 0 6 7 】

続いて、制御回路210は、算出された電圧 V_c が閾値電圧 V_{th} 以上であるかを判定する（ステップS102）。この判定は、上記した電圧の設定例（DC電圧源220aの可変電圧源224：1V, DC電圧源220bの可変電圧源224：0V）のように、フローティングゲートトンネル型電界効果トランジスタのソース端子に与える電圧をドレイン端子に与える電圧よりも高く設定することにより可能となる。例えば、フローティングゲートトンネル型電界効果トランジスタM71のソース・ドレイン間に電流が流れた場合、すなわち、DC電圧源220aから得られた電流値が大きな値を示す場合、フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートの電圧 V_c はフローティングゲートトンネル型電界効果トランジスタM71の閾値電圧 V_{th} 以上であると判定される。電圧 V_c が閾値電圧 V_{th} 未満である場合、すなわち、DC電圧源220aから得られた電流値がゼロか十分に小さい値を示す場合には（ステップS102：No）、フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートをチャージする（ステップS103）。このチャージ設定に先駆けて、フローティングゲートの電圧と閾値電圧との差電圧を算出する。この差電圧の算出は、上記したチャージ量検出処理を繰り返すことにより行う。例えば、フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートの電圧と閾値電圧との差電圧を算出する場合、DC電圧源220aの可変電圧源224を0Vに設定し、DC電圧源220bの可変電圧源224を0.5Vに設定する。次にスイッチSW1, SW2をONとし、DC電圧源220bから得られた電流値を調べる。

30

40

【 0 0 6 8 】

この場合、フローティングゲートトンネル型電界効果トランジスタM71のチャンネルに印加されるゲート電圧 V_g はフローティングゲートの電圧値を V_f とすると $V_g = V_f + 0.5$ と表される。この状態のとき、DC電圧源220bに流れる電流値は $(V_g - V_{th})^2 = (V_f + 0.5 - V_{th})^2$ に比例する。このときの電流値が、大きな値を示す場合にはDC電圧源220bの可変電圧源224を0.5Vより低く設定し、電流値がゼロか小さい値

50

を示す場合にはDC電圧源220bの可変電圧源224を0.5Vより高く設定する。こうして電流の境界状態の電圧値を読取ることでフローティングゲートの電圧値と閾値電圧との電圧差が求められる。この電圧差に基づいて、電圧設定モードで与えられる電圧、すなわちDC電圧源220の昇圧回路222に設定する電圧を決定する。

【0069】

図22は、チャージ量設定工程を示すフローチャートである。制御回路210は、DC電圧源220a～220cの各制御回路225に対し、動作モードを電圧設定モードに切り替えることと、各昇圧回路222に設定する電圧とが示された制御信号を送信する（ステップS301～S303）。また、制御回路210は、スイッチSW1～SW3をONにする（ステップS304）。

10

【0070】

図23は、DC電圧源220の電圧設定モードの動作を示すフローチャートである。DC電圧源220の制御回路225は、制御回路210から上記制御信号を受けて、スイッチSW200を電圧設定モードに切り替え（ステップS501）、昇圧回路222に上記電圧を設定する（ステップS502）。例えば、フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートをチャージする場合、DC電圧源220aの昇圧回路222を高電圧に設定し、DC電圧源220bの昇圧回路222を0Vに設定する。フローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートの電圧値は、各DC電圧源220の電圧計221によって測定される（ステップS503）。なお、この電圧値の測定は実際には、上記したステップS304の後に行われる。

20

【0071】

制御回路210は、昇圧回路222によってフローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートに高電圧を、所定の時間 t の間印加した後（ステップS305）、スイッチSW1～SW3をOFFにする（ステップS306）。この時間 t は、フローティングゲートへチャージができ、かつ飽和しない程度の時間を選択する。

【0072】

上記したステップS102において、電圧 V_C が閾値電圧 V_{th} 以上である場合、すなわち、DC電圧源220aから得られた電流値が大きい値を示す場合には（ステップS102：Yes）、電圧 V_C が閾値電圧 V_{th} より大きいかが判定される（ステップS104）。電圧 V_C が閾値電圧 V_{th} より大きい場合には（ステップS104：Yes）、フローティングゲートトンネル型電界効果トランジスタM71は常にオン状態となっているため、整流効率が低下する。これを避けるため、フローティングゲートをディスチャージする（ステップS105）。

30

【0073】

ディスチャージの設定は、図22に示したチャージ量設定工程と同様な処理により実現できる。具体的には、例えばフローティングゲートトンネル型電界効果トランジスタM71のフローティングゲートをディスチャージする場合、DC電圧源220aを0Vに設定し、DC電圧源220bを高電圧に設定した後、スイッチSW1、SW2をONとする。これにより、フローティングゲートトンネル型電界効果トランジスタM71のソース端子に存在する電子はフローティングゲート中に注入され、フローティングゲートのチャージを減らすことができる。

40

【0074】

ステップS104において、電圧 V_C が閾値電圧 V_{th} より大きくない場合（ステップS104：No）、すなわち、電圧 V_C と閾値電圧 V_{th} とが等しい場合には、フローティングゲートの制御を終了する。

【0075】

以上の説明では、フローティングゲートトンネル型電界効果トランジスタM71を例示したが、フローティングゲートトンネル型電界効果トランジスタM72についても同様に

50

ある。なお、各フローティングゲートトンネル型電界効果トランジスタの閾値電圧を高い電位に設定することも可能である。この場合、微弱な無線信号は整流できなくなる。特に、本整流回路 1 e を R F I D タグに適用した場合、基地局の近くにある R F I D タグだけが整流動作ができることになる。このように、フローティングゲートへのチャージの量で通信距離を制御することも可能であり、セキュリティやプライバシーが問題となる条件と長距離での通信が必要な場合で、R F I D タグの性能を変えることが可能となる。

【 0 0 7 6 】

以上に説明したように、本実施の形態にかかる整流回路によれば、ダイオード接続されたフローティングゲートトンネル型電界効果トランジスタのフローティングゲートに、このフローティングゲートトンネル型電界効果トランジスタが整流特性を発現するのに要する閾値電圧程度の定電圧が保持されているので、閾値電圧未満の実効値を有する交流信号をも整流することができる。

【 0 0 7 7 】

(実施の形態 6)

実施の形態 6 にかかる整流回路は、実施の形態 5 にかかる整流回路 1 e の変形例であり、スイッチ S W 1 ~ S W 3 と、制御回路 2 1 0 と、D C 電圧源 2 2 0 a ~ 2 2 0 c からなる構成が外部装置として提供されることを特徴としている。図 2 4 は、実施の形態 6 にかかる整流回路を示す回路図である。図 2 4 に示す整流回路 1 f において、図 1 6 と共通する部分には同一の符号を付しており、ここではそれらの説明を省略する。

【 0 0 7 8 】

整流回路 1 f は、図 1 6 に示した整流回路 1 e の構成要素のうち、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 と、キャパシタ C 7 1 , C 7 2 のみを備えている。整流回路 1 f は、I C チップとして提供され、フローティングゲートトンネル型電界効果トランジスタ M 7 1 の ソース 端子に接続された電極パッド P 1 と、フローティングゲートトンネル型電界効果トランジスタ M 7 2 の ソース 端子に接続された電極パッド P 2 と、フローティングゲートトンネル型電界効果トランジスタ M 7 2 の ドレイン 端子に接続された電極パッド P 3 とを備えている。電極パッド P 1 , P 2 , P 3 は、それぞれ上記したスイッチ S W 1 , S W 2 , S W 3 の一端に接続することができる。

【 0 0 7 9 】

これにより、整流回路 1 f は、例えば、工場出荷時に一度だけ、電極パッド P 1 ~ P 3 を介して、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 のフローティングゲートに対して上記したフローティングゲートの制御方法 (図 1 9 参照) を実行する。フローティングゲートは絶縁体で覆われているため、通常一度設定したチャージは長い間放出されることなく、同じ状態を保持することが可能である。例えば、フローティングゲートを用いた E E P R O M のメモリセルの場合、記憶保持期間は 1 0 年間で保証されている。したがって、本実施の形態の場合も、一度フローティングゲートにチャージを設定すれば数年に渡る使用に再調整なしで用いることが可能である。

【 0 0 8 0 】

すなわち、この整流回路 1 f を R F I D タグに適用する場合、工場出荷時に一度フローティングゲートへのチャージを設定すれば、ユーザは一般的な R F I D タグと同様な使用方法で利用ができ、かつ長距離通信が可能な R F I D タグを供給することができる。

【 0 0 8 1 】

(実施の形態 7)

実施の形態 7 にかかる整流回路もまた、実施の形態 5 にかかる整流回路の変形例であり、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 の制御ゲート端子とソース端子との間にそれぞれキャパシタを設け、このキャパシタの保持電圧を制御することができることを特徴としている。

【 0 0 8 2 】

図 2 5 は、実施の形態 7 に整流回路を示す回路図である。図 2 5 に示す整流回路 1 g において、図 1 6 と共通する部分には同一の符号を付しており、ここではそれらの説明を省

10

20

30

40

50

略する。図 25 において、整流回路 1 g は、図 16 に示す整流回路 1 e の構成要素に対して、フローティングゲートトンネル型電界効果トランジスタ M 7 1 の制御ゲート端子とドレイン端子との間に接続されたキャパシタ C 8 1 と、フローティングゲートトンネル型電界効果トランジスタ M 7 2 の制御ゲート端子とドレイン端子との間に接続されたキャパシタ C 8 2 と、D C 電圧源 2 2 0 d , 2 2 0 e とをさらに備えている。また、フローティングゲートトンネル型電界効果トランジスタ M 7 1 の制御ゲート端子と D C 電圧源 2 2 0 d の出力端子との間にはスイッチ S W 4 が接続され、フローティングゲートトンネル型電界効果トランジスタ M 7 2 の制御ゲート端子と D C 電圧源 2 2 0 e の出力端子との間にはスイッチ S W 5 が接続されている。D C 電圧源 2 2 0 d , 2 2 0 e およびスイッチ S W 4 , S W 5 は、他の D C 電圧源 2 2 0 a ~ 2 2 0 c およびスイッチ S W 4 , S W 5 と同様に制御回路 2 1 0 によって制御される。また、D C 電圧源 2 2 0 d , 2 2 0 e は、図 17 に示した D C 電圧源 2 2 0 と同じ構成である。

10

【 0 0 8 3 】

この構成によって、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 の各制御ゲート端子に、様々な入力電圧を個別に与えることができ、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 が O N となるのに必要な入力信号電圧、換言すれば、フローティングゲートトンネル型電界効果トランジスタ M 7 1 , M 7 2 が整流特性を示すのに必要な入力信号電圧を任意の大きさに調整することができる。

【 0 0 8 4 】

(実施の形態 8)

20

図 26 は、本発明の第 4 の実施形態に係る整流回路の回路図である。本実施形態のフローティングゲートトンネル型電界効果トランジスタ M 7 1、M 7 2、M 7 3 は、実施の形態 5 で説明したフローティングゲートトンネル型電界効果トランジスタと同様である。フローティングゲートトンネル型電界効果トランジスタ M 7 1 のソース電極が正側端子 T 1 に接続され、フローティングゲートトンネル型電界効果トランジスタ M 7 1 のドレイン電極にフローティングゲートトンネル型電界効果トランジスタ M 7 2 のソース電極が接続され、フローティングゲートトンネル型電界効果トランジスタ M 7 2 のドレイン電極にフローティングゲートトンネル型電界効果トランジスタ M 7 3 のソース電極が接続され、フローティングゲートトンネル型電界効果トランジスタ M 7 3 のドレイン電極が負側端子 T 2 に接続される。フローティングゲートトンネル型電界効果トランジスタ M 7 1、M 7 2、M 7 3 のゲート電極はそれぞれドレイン電極と接続される。入力端子 T A 1、T A 2 には、差動の A C 信号が入力される。入力された差動信号は、キャパシタ C 1 1、C 1 2 を介して、トンネル F E T 2 0 b、2 0 c のソース電極にそれぞれ入力される。このようにフローティングゲートトンネル型電界効果トランジスタ M 7 1、M 7 2、M 7 3 を直列に接続し、差動信号を入力端子 T A 1、T A 2 に入力することにより、第 5 の実施形態の整流回路と比較して、振幅が倍の信号が入力されるため、整流効率や感度を向上させることができる。なお、本実施形態の整流回路においても、整流回路 1 h を複数縦積みした構成とすることもできる。すなわち、図 26 に示す整流回路 1 h の正側端子 T 1 または負側端子 T 2 に整流回路 1 h と同様の回路を接続しても良い。

30

【 0 0 8 5 】

40

(実施の形態 9)

図 27 は、実施の形態 1 ~ 8 のいずれかに記載の整流回路を用いた無線受信装置を示すブロック図である。この無線受信装置は、整流回路 4 0 1、ベースバンド増幅器 4 0 2、A D C (analog to digital converter) 4 0 3、デジタル信号処理部 4 0 4、D C 発生回路 4 0 5、クロック発生器 4 0 6、アンテナ 4 0 7 を用いて構成される。整流回路 4 0 1 は、実施の形態 1 ~ 7 のいずれかに記載の整流回路である。D C 発生回路 4 0 5 は、例えば図 4 の D C 発生回路 1 1 0 に相当する。整流回路 4 0 1 は、アンテナ 4 0 7 から入力された信号を自乗検波して信号の包絡線をベースバンド信号として出力する。ベースバンド増幅器 4 0 2 は、入力されたベースバンド信号を増幅する。A D C 4 0 3 は、クロック発生器 4 0 6 から出力されるクロックに応じて動作し、入力された信号をデジタル信号へ

50

変換する。デジタル信号処理部 404 は、クロック発生器 406 から出力されるクロックに応じて動作し、入力された信号から ID 等の所定のデータを抽出し、これらのデータが規定の信号と一致する場合には、制御信号を出力する。

【0086】

実施の形態 1 ~ 4 に記載のように、トンネル FET を用いて整流回路 401 を構成する場合、整流回路 401 にはトンネル FET を用いるが、ベースバンド増幅器 402、ADC 403、デジタル信号処理部 404、バイアス発生器 405、クロック発生器 406 には、トンネル FET ではなく CMOS 回路を用いる。

【0087】

(実施の形態 10)

図 28 は、実施の形態 1 ~ 8 のいずれかに記載の整流回路を用いて構成された RFID タグを示すブロック図である。図 28 に示す RFID タグ 500 は、ループアンテナ 510 と、実施の形態 1 ~ 8 のいずれか一つに示した整流回路と同じ構成の整流回路 520 と、逆流防止回路 530 と、信号処理回路 540 と、メモリ 550 と、二次電池であるバッテリー 560 とを備えて構成される。特に、この RFID タグ 500 は、バッテリー 560 による電源電圧によって駆動する RFID タグであり、その動作において、整流回路 520 から電源電圧を生成することを必須要件としない。すなわち、整流回路 520 と、逆流防止回路 530 と、信号処理回路 540 と、メモリ 550 は、バッテリー 560 から引き伸ばされた電源ライン PL および接地ライン GL にそれぞれ接続されている。

【0088】

ループアンテナ 510 は、リーダ/ライタ (図示せず) によって与えられる磁束変化に応じて、そのアンテナ線に交流電流を誘起する。この交流電流は、整流回路 520 の信号入力端子に入力される。整流回路 520 は、バッテリー 560 から供給される電源電圧によって駆動する。よって、整流回路 520 内の DC 発生回路は、バッテリー 560 から供給される電源電圧によって駆動するとともに、バッテリー 560 から供給される電源電圧から所望の直流電圧を生成する。すなわち、整流回路 520 は、ループアンテナ 510 から交流電流が入力されるか否かに関係なく、ダイオード回路を構成する各トンネル FET のゲートとソースとの間には常に上記したダイオードバイアス電圧が印加されている。あるいは、外部トリガによってダイオードバイアス電圧が印加される。よって、整流回路 520 は、実施の形態 1 ~ 5 に示したように、ループアンテナ 510 において誘起された 0.7 V 程度未満の実効値を有する微弱な交流電流をも整流することができる。すなわち、ループアンテナ 510 が受け取った微弱なデータ信号を復調することができる。この復調されたデータ信号は、信号処理回路 540 へと入力される。また、整流回路 520 によって得られた直流電圧は、充電用電力として、逆流防止回路 530 を介して、バッテリー 560 にも供給される。

【0089】

信号処理回路 540 は、整流回路 520 から受け取ったデータ信号に基づき、メモリ 550 に格納されたデータ (代表的なものとしてはタグ識別情報) の取り出しやメモリ 550 へのデータの書き込みを行なう。信号処理回路 540 は、ループアンテナ 510 に接続された負荷変調部 541 を備えており、メモリ 550 から取り出されたデータは、この負荷変調部 541 によるループアンテナ 510 の電流の変調によって、リーダ/ライタに送信される。具体的には、負荷変調部 541 は、ループアンテナ 510 に反磁界を発生させ、この反磁界は、リーダ/ライタのアンテナを流れる電流を微小に変化させる。この微小な変化が、リーダ/ライタによって検出され、データ信号として認識される。なお、図 5 に示したようなクロック発生回路 130 は、信号処理回路 540 に設けてもよいし、整流回路 520 内に設けてもよい。

【0090】

図 29 は、本実施の形態にかかる RFID タグの整流特性 (実線) と、従来の RFID タグの整流特性 (破線) を示したグラフである。本実施の形態にかかる RFID タグでは、-10 dBm の微小な交流信号 (AC 入力パワー) が入力された場合であっても 1.5

10

20

30

40

50

Vの直流電圧(DC出力電圧)を発生することができる。この-10dBmの信号は、リーダ/ライタとRFIDタグとの間の距離に換算すると、10m程度に相当する。なお、グラフにおいて、AC入力パワーが大きくなるとDC出力電圧が一定値となるのは回路内部の電圧リミッタが働いているためである。一方で、従来のRFIDタグでは-10dBmのAC信号に対して0.05Vの直流電圧しか発生することができず、整流回路として機能していないことがわかる。

【0091】

以上に説明したように、実施の形態10にかかるRFIDタグによれば、実施の形態1~7のいずれか一つにかかる整流回路を搭載しているため、従来において整流対象となり得なかった微小信号をも認識することができる。これは、RFIDタグの認識に必要なRFIDタグとリーダ/ライタとの間の距離を大幅に拡大させることを意味し、そのRFIDシステムの応用分野を格段に広げることができる。例えば、一つのリーダ/ライタによって、数十m~数100mの範囲に分散された多数のRFIDタグをほぼ同時に認識することができる。これにより、RFIDタグを家畜に付与することによって放牧状態の家畜を管理したり、RFIDタグを幼児や徘徊老人に付与することによって迷子を防止することができる。

【0092】

また、本実施の形態にかかるRFIDタグは、バッテリーを備えているために、RFIDタグに温度センサ、スピーカ、マイク、発光素子などの種々の入出力デバイス570を搭載することも容易である。その場合、RFIDタグのさらなる応用の拡大を図ることが可能となる。例えば、RFIDタグにセンサを搭載する場合は、図30のような構成になる。図30に示すRFIDタグ600において、図28と同一の構成には同一の参照符号を附している。入出力デバイス570の電源系はバッテリー560からのPLラインとGLラインに接続されている。入出力デバイス570への信号の送受は信号処理回路540との間で行う。入出力デバイス570の一例として、温度センサを搭載したRFIDタグの例を説明する。リーダ/ライタ(図示せず)からの送信が無いとき、温度センサはスリープ状態であり、電流を消費しない。リーダ/ライタから送信信号があり、当該センサ付RFIDタグへの信号送信の指令が有った場合、温度センサは起動し、温度を検知、データを信号処理回路へ送出する。この信号データと、RFIDタグの固有データを合わせた信号データをRFIDタグからリーダ/ライタへ返信する。他の温度センサの実施方法として、ある一定時間ごとに信号処理回路が温度センサへ温度データの出力の指令を行い、温度センサからのデータはメモリブロックへ蓄積される。リーダライタからの指令が有った場合、蓄積された温度データは、記録時間データと共に送出される。また、温度センサの起動手段として、振動、音、光等の刺激があった場合に温度センサが起動し、データをメモリに蓄積する方法もある。

【0093】

以上のとおり、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

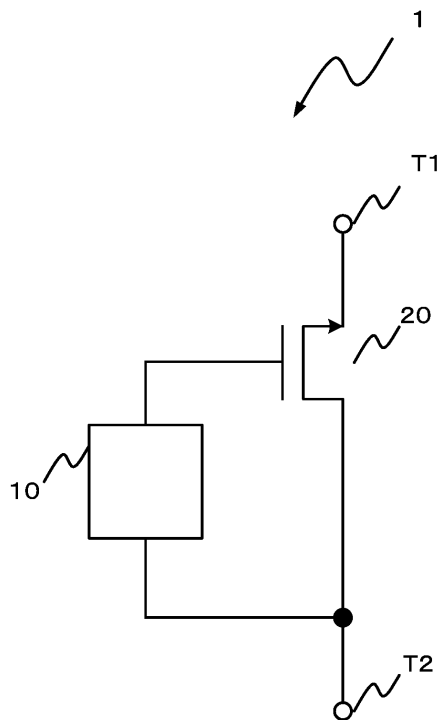
【0094】

1, 1a, 1b, 1c, 1d, 1e, 1f, 1g, 1h... ・・・、整流回路、10, 10a, 10b, 10c, 10d... バイアス電圧発生回路、20, 20a, 20b, 20c, 20d... トンネルFET、T1... 正側端子、T2... 負側端子、201... 半導体基板、202... ソース領域、203... ドレイン領域、204... 絶縁膜、10... バイアス電圧発生回路、M11, M12, M21, M22... NMOSトランジスタ、C11, C12... キャパシタ、INV1, INV2... インバータ、110... DC発生回路

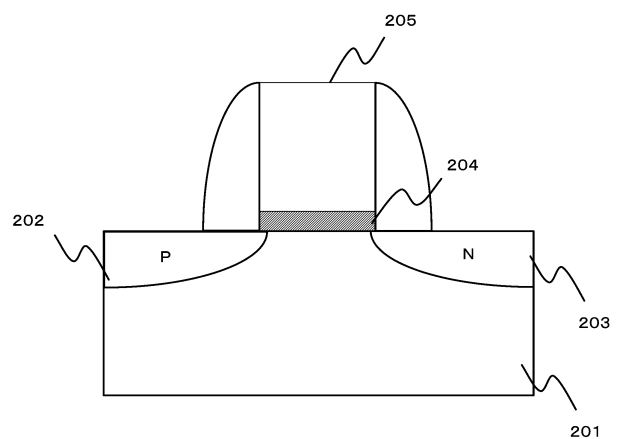
、 TC ... クロック入力端子、 130 ... クロック発生回路、 Md1, Md2, Md3, Md4 ... NMOSトランジスタ、 Cd1, Cd2, C1, C2, C21, C22 ... キャパシタ、 INV11, INV12 ... インバータ、 310 ... 誤差増幅部、 BC ... 出力端子、 110a ... DC発生回路、 111 ... 定電流源、 M101 ... トンネルFET、 SW ... スイッチ、 110b ... DC発生回路、 M111, M112 ... トンネルFET、 TA1, TA2 ... 入力端子、 11a, 11b ... 可変バイアス電圧発生回路、 40 ... インピーダンス計測手段、 206 ... 第1の絶縁膜、 207 ... フローティングゲート、 208 ... 第2の絶縁膜、 209 ... コントロールゲート、 M71, M72, M73 ... フローティングゲートトンネル型電界効果トランジスタ、 210 ... 制御回路、 220, 220a, 220b, 220c ... DC電圧源、 SW1, SW2, SW3 ... スイッチ、 C71, C72 ... キャパシタ、 221 ... 電圧計、 222 ... 昇圧回路、 223 ... 電流計、 224 ... 可変電圧源、 225 ... 制御回路、 Mc1, Mc2, Mc3 ... トランジスタ、 Cc1, Cc2 ... キャパシタ、 P1, P2, P3 ... 電極パッド、 401 ... 整流器、 402 ... ベースバンド増幅器、 403 ... ADC、 404 ... デジタル信号処理部、 405 ... DC発生回路、 406 ... クロック発生器、 407 ... アンテナ、 500 ... RFIDタグ、 510 ... ループアンテナ、 520 ... 整流回路、 530 ... 逆流防止回路、 540 ... 信号処理回路、 541 ... 負荷変調部、 550 ... メモリ、 560 ... バッテリ、 PL ... 電源ライン、 GL ... 接地ライン

10

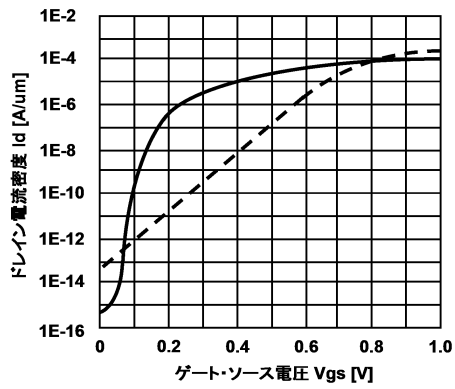
【図1】



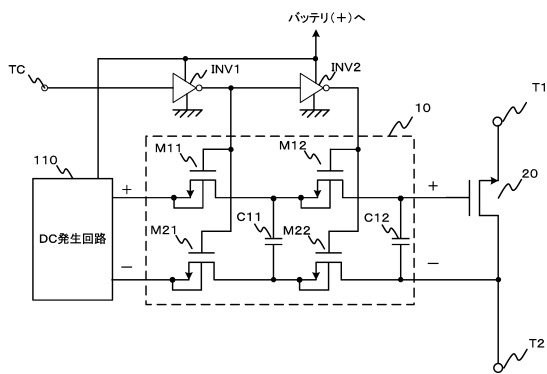
【図2】



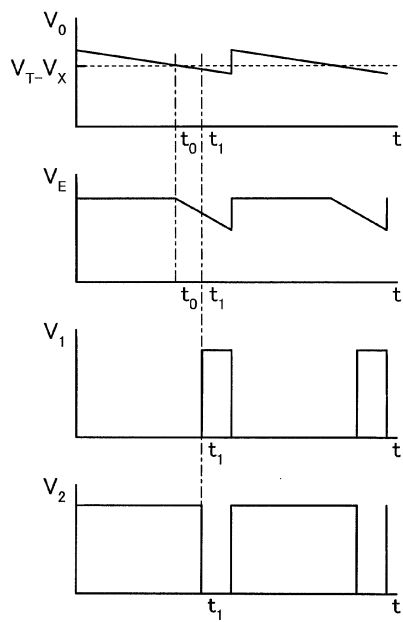
【図 3】



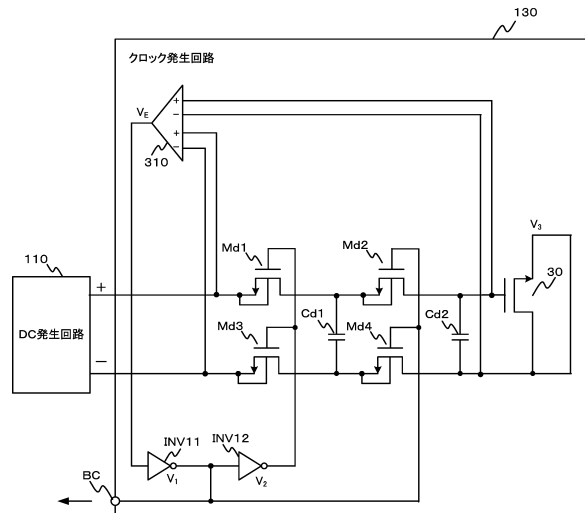
【図 4】



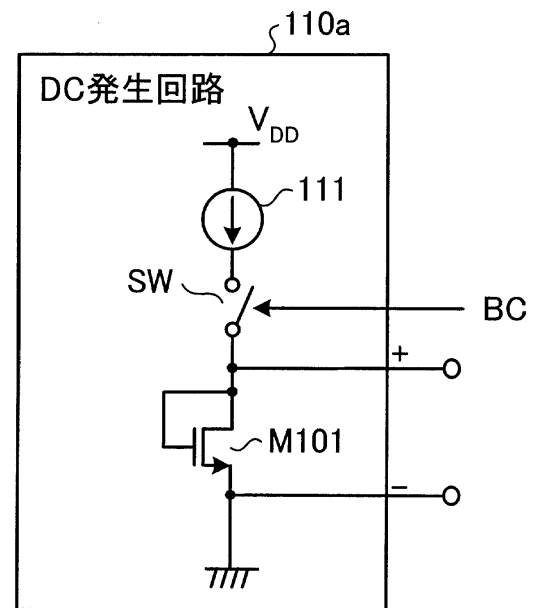
【図 6】



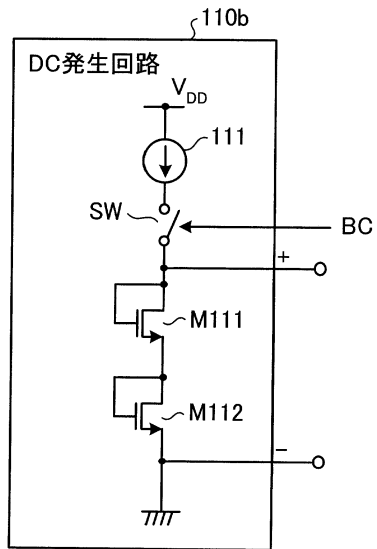
【図 5】



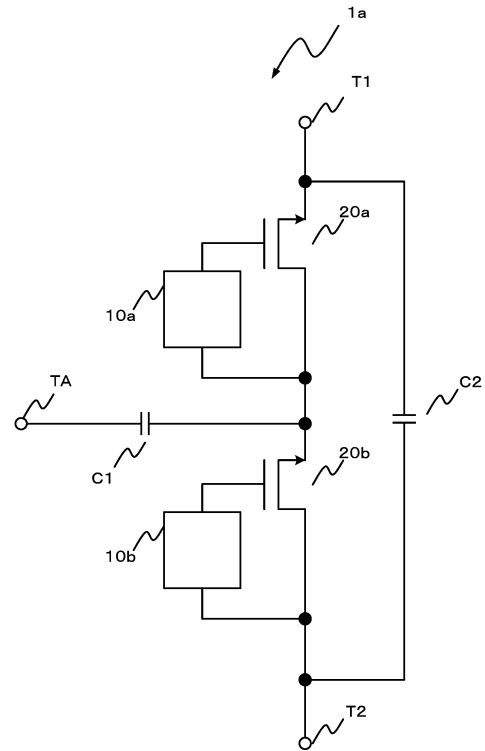
【図 7】



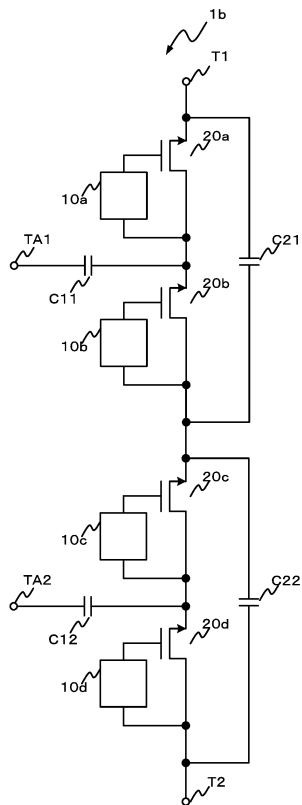
【図 8】



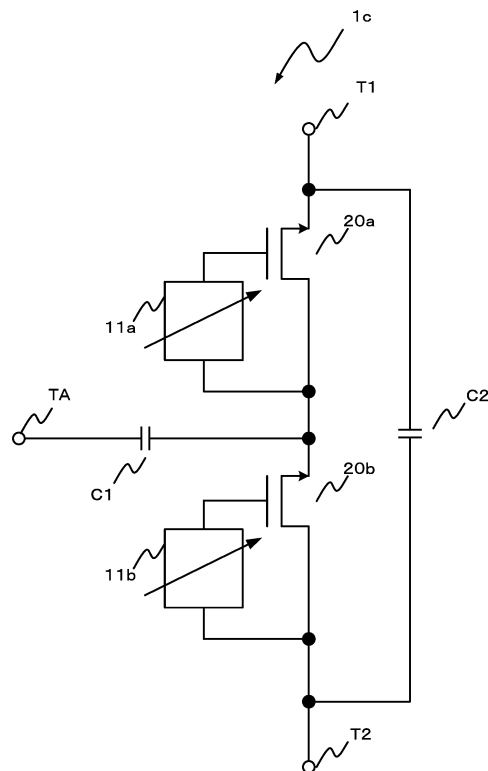
【図 9】



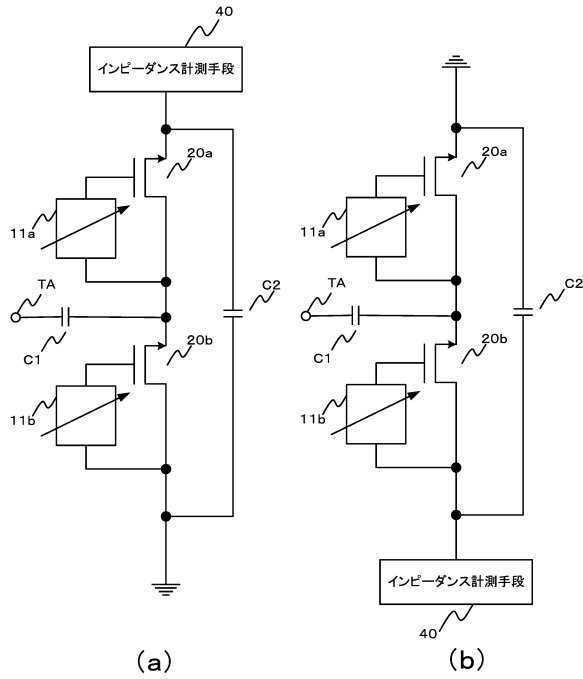
【図 10】



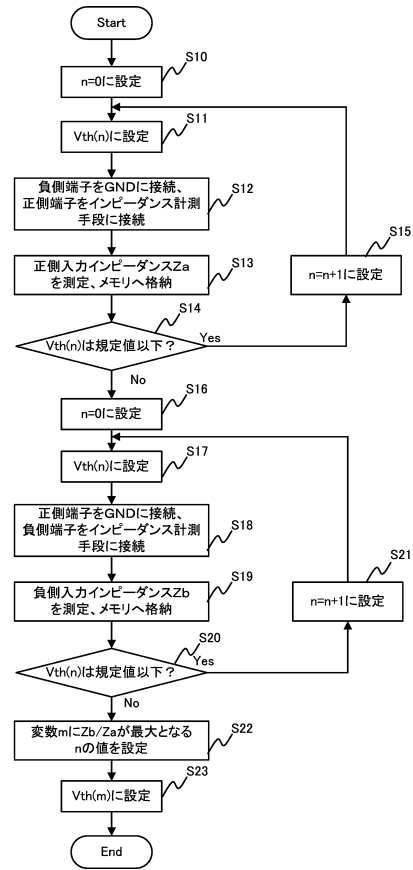
【図 11】



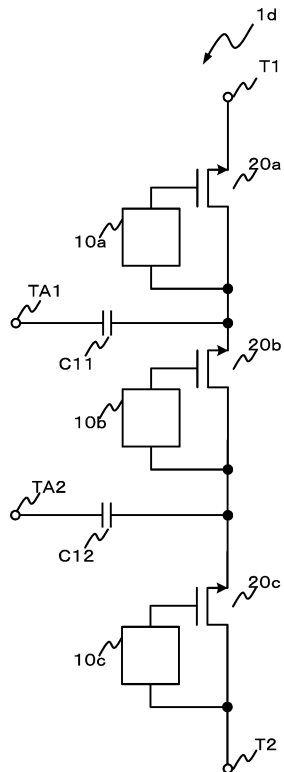
【図 12】



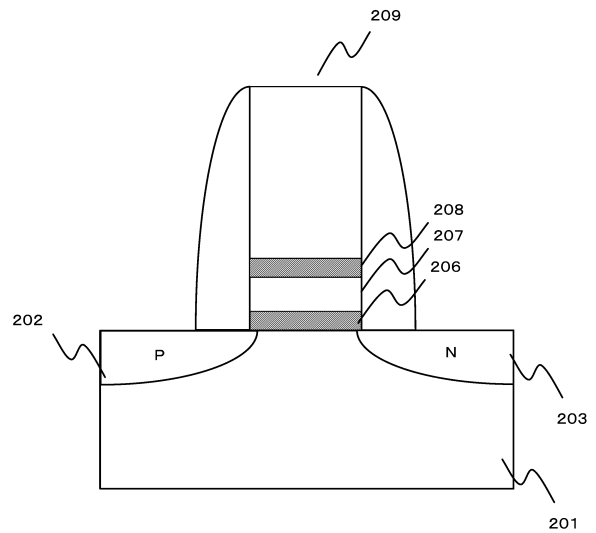
【図 13】



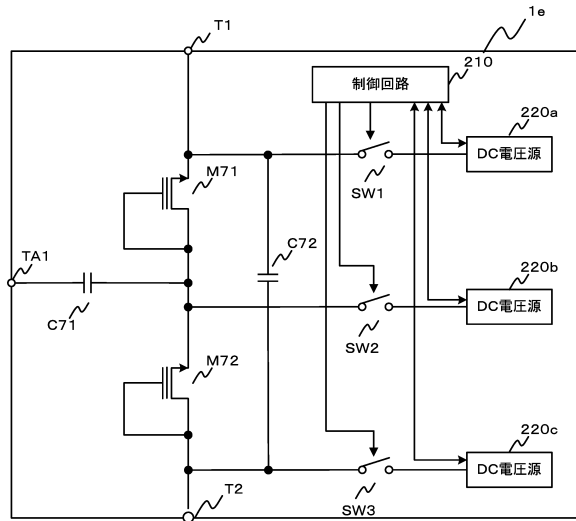
【図 14】



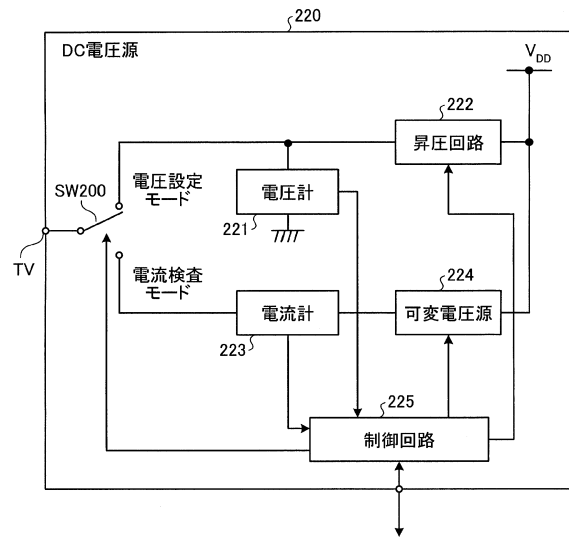
【図 15】



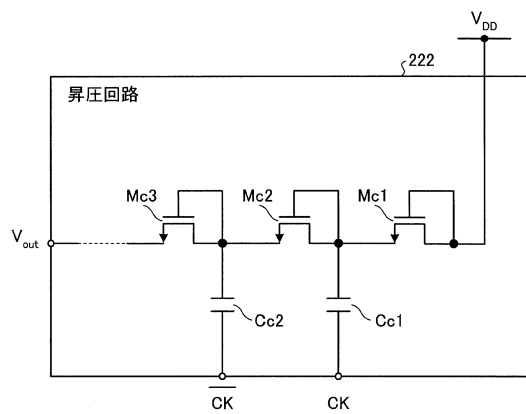
【図 16】



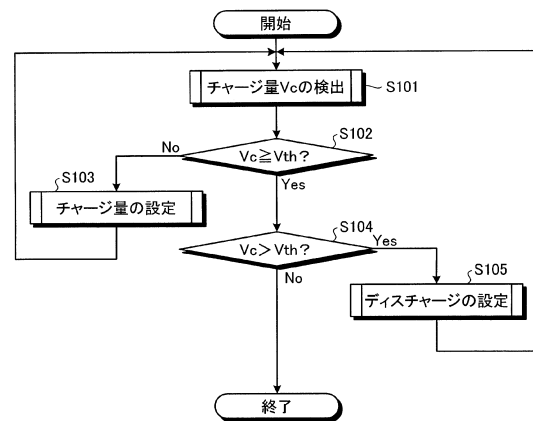
【図 17】



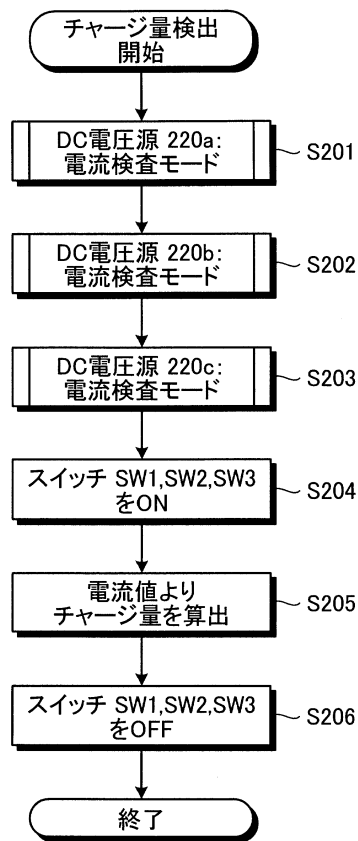
【図 18】



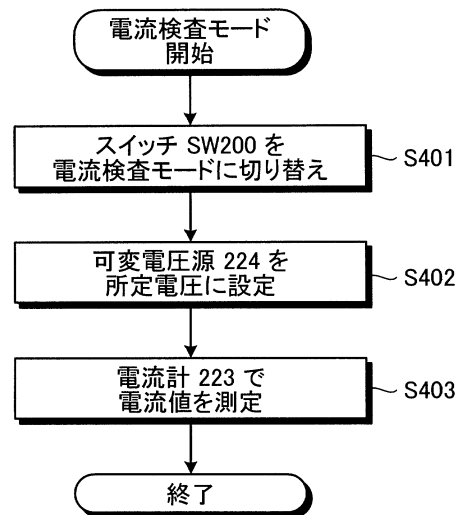
【図 19】



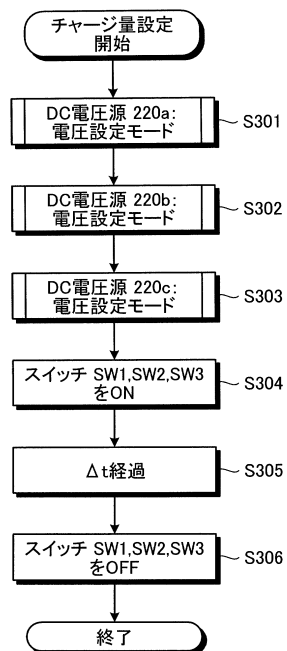
【図 20】



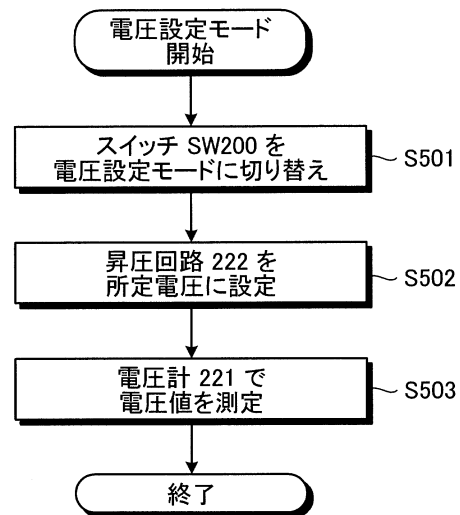
【図 21】



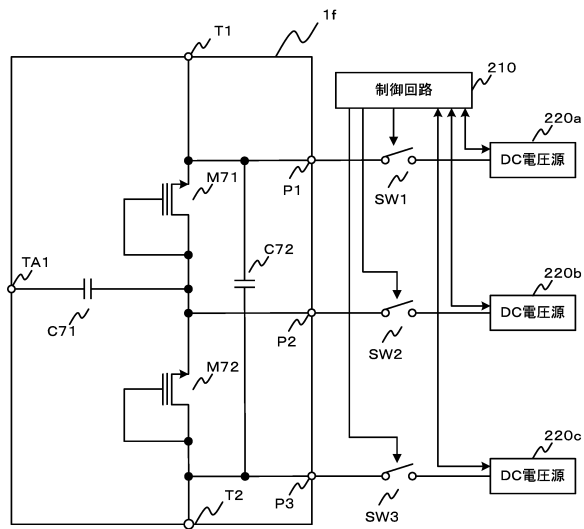
【図 22】



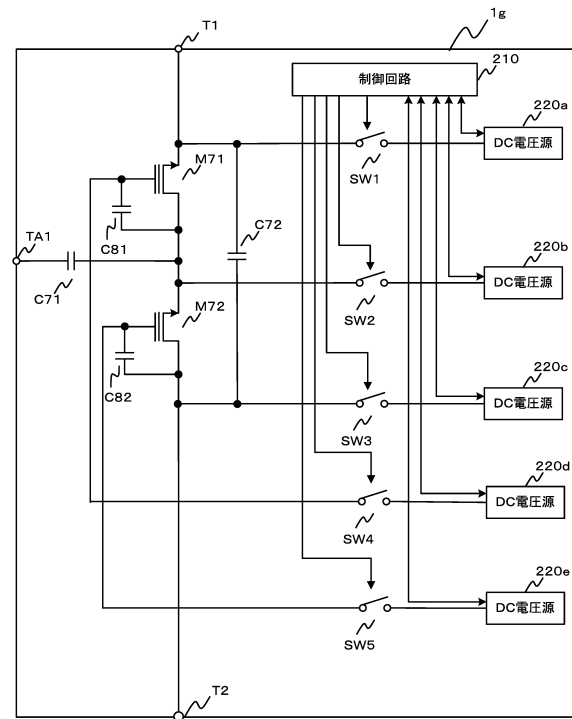
【図 23】



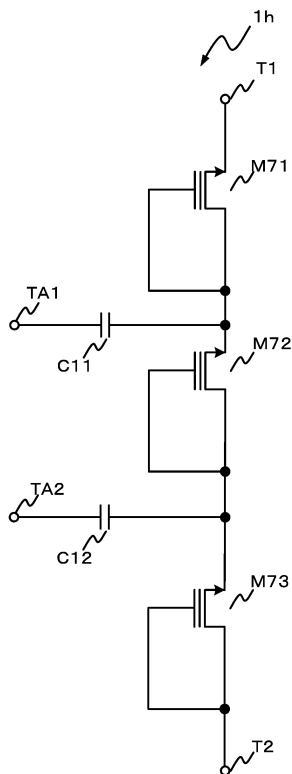
【図 24】



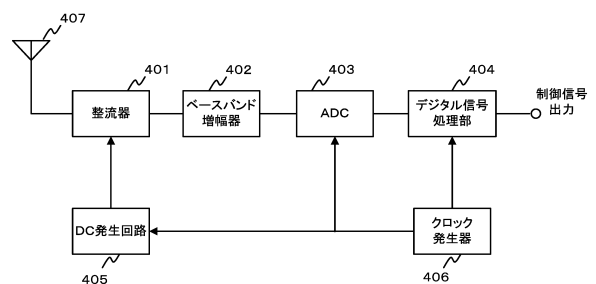
【図 25】



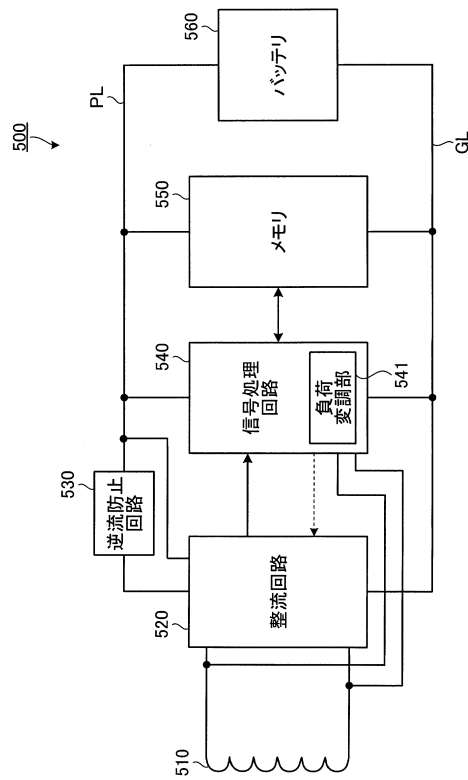
【図 26】



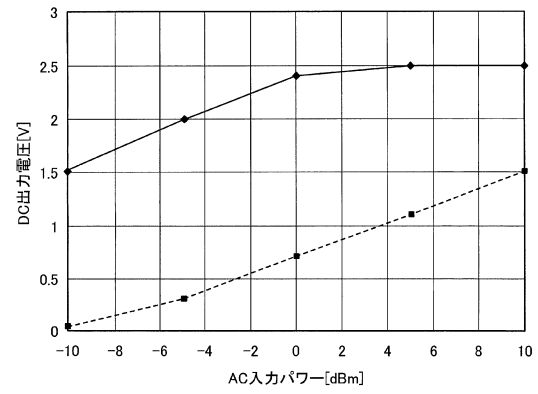
【図 27】



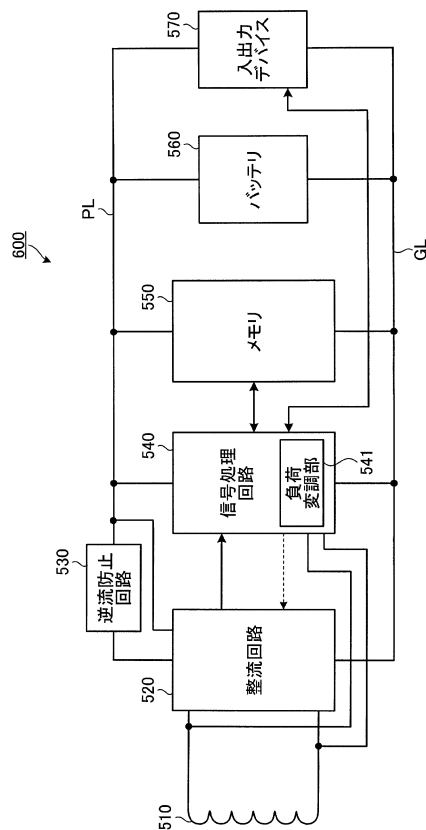
【図 28】



【図 29】



【図 30】



フロントページの続き

- (72)発明者 梅田 俊之
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 大高 章二
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 安食 泰秀

- (56)参考文献 特開2006-034085(JP,A)
特開平05-190847(JP,A)
国際公開第2011/121663(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|---------|
| H 0 2 M | 7 / 1 2 |
| H 0 3 D | 1 / 1 8 |