(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 23/28

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0194747
(24) 등록일자 1999년02월10일

(21) 출원번호	10-1996-0037793	(65) 공개번호	특1997-0067799
(22) 출원일자	1996년09월02일	(43) 공개일자	1997년10월13일
(30) 우선권주장	96-072043 1996년03월27일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 토미타 요시히로
일본국 도쿄도 지요다구 마루노우치 2-2-3 미쓰비시덴키 가부시 키가이샤 내
(74) 대리인 백남기

심사관 : 유기혁

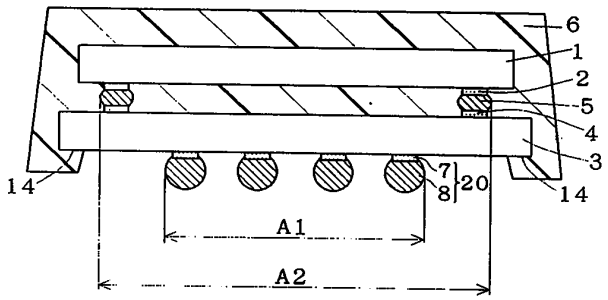
(54) 반도체장치

요약

반도체칩이 탑재된 반도체장치에 관한 것으로써, 휘어짐이 방지되는 구조를 갖고 소형화되도록 하기 위해, 제1 및 제2주면을 갖고, 그의 제1 또는 제2주면 상에 여러개의 패드전극이 형성된 반도체칩, 제1주면 및 제2주면을 갖고, 제1주면에 여러개의 칩접속용 패턴이 마련되고 제2주면에 여러개의 외부전극부가 마련되는 배선판 및 여러개의 패드전극을 포함하는 반도체칩 전체 및 여러개의 칩접속패턴을 포함하는 배선판의 제1주면을 피복해서 형성되는 수지를 마련한다.

이것에 의해, 휘어짐을 보다 효과적으로 억제하여, 장치의 신뢰성을 향상할 수 있다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명의 실시예 1에 따른 반도체장치의 단면도.

제2도는 본 발명의 실시예 2에 따른 반도체장치의 단면도.

제3도 및 제4도는 본 발명의 실시예 1의 변형예의 단면도.

제5도는 본 발명의 실시예 2의 변형예의 단면도.

제6도는 종래의 반도체장치의 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체칩이 탑재된 반도체장치에 관한 것이다.

제6도는 종래의 BGA(ball grid array)형 반도체장치를 도시한 것이다. 도시한 바와 같이, 반도체칩(1)의 하면 상에는 여러개의 패드전극(2)가 형성된다. 여러개의 접속범프(5)는 여러개의 패드전극(2) 중 대응하

는 것에 각각 직접 접속된다.

여러개의 칩접속패턴(4)는 배선기판(23)의 상면 상에 형성되고, 여러개의 외부전극부(30)은 그의 하면에 형성된다. 각각의 외부전극부(30)은 기판접속패턴(27) 및 접속단자(28)을 포함한다. 기판접속패턴(27)은 배선기판(23)의 하면 상에 직접 형성되고, 접속단자는 기판접속패턴(27)상에 각각 형성된다. 칩접속패턴(4)는 외부전극부(30) 중 대응하는 것(기판접속부(27))에 전극적으로 접속되고, 접속범프(5) 중 대응하는 것에 직접 각각 접속된다.

패드전극(2)를 포함하는 반도체칩(1)의 하면, 여러개의 접속범프(5) 및 칩접속패턴(4)를 포함하는 배선기판(23)의 상면을 도포하는 봉지수지(26)이 형성된다.

평면구성에 있어서 배선기판(23)은 면적이 반도체칩(1)보다 크다. 외부전극부(30)이 형성된 영역 A1은 칩접속패턴(4)가 형성되는 영역 A2보다 크다.

발명이 이루고자 하는 기술적 과제

상술한 종래의 반도체장치에 있어서, 외부전극부(30)이 형성되는 영역 A1은 칩접속패턴(4)가 형성된 영역 A2보다 크고, 외부전극부(30)은 칩접속패턴(4)가 형성되지 않는 영역에 상당하는 영역의 일부에 형성된다. 따라서, 평면구성에 있어서 배선기판(23)은 반도체칩(1)보다 면적이 크다.

그 결과, 평면구성에 있어서, 배선기판(23)이 반도체칩(1)보다 면적이 크므로 장치의 소형화를 방해하고, 반도체칩(1)과 배선기판(23)의 접속면이 휘어지게 되어, 탑재기판에 장치가 탑재되는 것을 방해한다.

발명의 구성 및 작용

본 발명에 따르면, 반도체장치는 제1 및 제2주면을 갖고 그의 제1 또는 제2주면 상에는 여러개의 패드전극이 형성된 반도체칩, 제1 및 제2주면을 갖고 그의 제1주면에는 여러개의 칩접속패턴이 형성되고 그의 제2주면에는 여러개의 외부전극부가 형성된 배선판 및 여러개의 패드전극을 포함하는 상기 반도체칩 전체 및 상기 여러개의 칩접속패턴을 포함하는 상기 배선판의 제1주면을 피복해서 형성되는 수지를 포함하고, 반도체칩은 배선판의 제1주면을 도포하고, 상기 여러개의 칩접속용 패턴은 상기 여러개의 외부전극부 중 대응하는 외부전극부에 전기적으로 접속되고, 각각 상기 여러개의 패드전극 중 대응하는 패드전극에 전기적으로 접속되며, 상기 여러개의 외부전극부가 형성되는 영역은 상기 여러개의 칩접속패턴이 형성되는 영역 보다 작다.

본 발명의 제1측면에 따르면, 여러개의 패드전극은 상기 반도체칩의 제2주면 상에 형성되고, 반도체장치는 여러개의 패드전극 중 대응하는 패드전극에 각각 직접 접속된 여러개의 접속전극, 여러개의 접속전극 중 대응하는 접속전극에 각각 직접 접속되는 상기 여러개의 칩접속패턴 및 여러개의 접속전극을 포함하는 배선판의 제1주면을 피복하여 형성된 수지를 포함하는 것이 바람직하다.

본 발명의 제2측면에 따르면, 여러개의 패드전극은 상기 반도체칩의 제1주면 상에 형성되고, 여러개의 칩접속패턴은 상기 반도체칩을 둘러싸고, 금속선에 의해 상기 여러개의 패드전극 중 대응하는 패드전극에 각각 접속되는 것이 바람직하다.

본 발명의 제3측면에 따르면, 상기 수지는 트랜스퍼 성형법에 의해 형성되는 것이 바람직하다.

본 발명의 제4측면에 따르면, 배선판의 단부에서 상기 여러개의 칩접속패턴이 형성되는 영역까지의 거리는 배선판의 단부에서 상기 여러개의 외부전극부가 형성되는 영역까지의 거리 보다 작고, 수지는 배선판의 측면 및 여러개의 외부전극부가 형성되는 부분을 제외하고 상기 배선판의 제2주면의 일부를 도포한다.

상술한 바와 같이, 본 발명의 제1측면의 반도체장치에 따르면, 배선판은 평면구조상 반도체칩과 면적이 거의 동일하고, 여러개의 외부전극부가 형성되는 영역은 여러개의 칩접속패턴이 형성되는 영역 보다 작다. 이에 따라 반도체칩의 사이즈에 따라 장치의 소형화를 도모할 수 있다.

본 발명의 제1측면의 반도체장치용 수지는 여러개의 칩접속패턴을 포함하는 배선판의 제1주면 전체를 피복하도록 형성되어, 여러개의 패드전극, 여러개의 접속전극 및 여러개의 칩접속패턴을 거친 반도체칩과 배선판의 접합면의 휘어짐을 효과적으로 억제할 수 있다.

또, 배선판은 평면구조상 반도체칩과 거의 동일하므로, 배선판 단부에서 접합면의 휘어짐이 확장되지 않는다.

여러개의 외부전극부가 형성되는 영역이 여러개의 칩접속패턴이 형성되는 영역 보다 작으므로, 평면구조상 반도체칩과 거의 동일한 배선판이 방해받지 않고 형성된다.

본 발명의 제2측면의 반도체장치에 따르면, 수지는 여러개의 칩접속패턴을 포함하는 배선판의 제1주면의 전체를 피복하도록 형성되어, 반도체칩 및 배선판의 접합면의 휘어짐을 효과적으로 방지할 수 있다.

본 발명의 제3측면의 반도체장치에 따르면, 트랜스퍼 성형수지는 접합면의 휘어짐을 강하게 억제하는 특성을 갖는다.

본 발명의 제1 및 제2측면에 따르면, 여러개의 칩접속패턴(패드전극 및 접속전극)이 서로 밀접하게 배치되고, 트랜스퍼 성형법에 의해 반도체칩과 배선판 사이의 접합을 정밀하게 충전한다.

본 발명의 제4측면의 반도체장치에 따르면, 수지는 배선판의 측면 및 여러개의 외부전극부가 형성된 부분을 제외하고 배선판의 제2주면의 일부를 피복하도록 형성된다. 이것에 의해 수지와 배선판이 강하게 접합되고, 접합면의 휘어짐을 효과적으로 억제하며, 장치의 신뢰성을 향상시킨다.

따라서, 본 발명의 목적은 휘어짐이 방지되는 구조를 갖고 소형화된 반도체장치를 제공하는 것이다.

본 발명의 이들 목적 및 다른 목적, 특징 및 이점에 대해서는 첨부한 도면을 참고하는 하기의 설명에서

더 명확하게 된다.

[실시예 1]

제1도는 본 발명의 실시예 1에 따른 반도체장치의 단면도이다. 도시한 바와 같이, 반도체칩(1)의 하면에 여러개의 패드전극(2)가 마련된다. 여러개의 접속범프(5)가 각각 여러개의 패드전극(2)중 대응하는 패드전극에 각각 직접 접속된다.

배선판(3)의 상면에는 여러개의 칩접속용 패턴(4)가 마련되고, 그의 하면에는 여러개의 외부전극부(20)이 마련된다. 여러개의 외부전극부(20)은 기판접속용 패턴(7) 및 거의 구형의 접속단자(8)로 구성된다. 기판접속용 패턴(7)은 배선판(3)의 하면 상에 직접 형성되고, 기판접속용 패턴(7)상에 접속단자(8)이 각각 마련된다. 여러개의 칩접속용 패턴(4)는 각각 여러개의 외부전극부(20)(기판접속용 패턴(7)) 중 대응하는 외부전극부에 전기적으로 접속되고, 각각 여러개의 접속범프(5) 중 대응하는 접속범프에 접속된다. 또, 배선판(3)은 글래스섬유강화에폭시수지 기판, 폴리이미드 테이프 등이 고려되지만, 이것에 한정되는 것은 아니다.

여러개의 패드전극(2)를 포함하는 반도체칩(1) 전체, 여러개의 접속범프(5), 여러개의 칩접속패턴(4)를 포함하는 배선판(3)의 상면, 배선판(3)의 측면 및 배선판(3)의 하면에 있어서 외부전극부(20)의 형성영역 A1을 둘러싸는 주변영역(14)를 피복해서 봉지수지(6)이 형성된다.

이 봉지수지(6)은 트랜스퍼 성형법에 의해 형성된다. 또, 배선판(3)의 하면에 수지를 형성하는 방법은 예를 들어 일본국 특허공개공보 6-209054 (1994)호에 개시되어 있다.

배선판(3)은 평면구조상 반도체칩(1)과 동일정도의 면적을 갖는다. 여러개의 외부전극(30)의 형성영역 A1은 여러개의 칩접속용 패턴(4)의 형성영역 A2보다 작다.

이와 같은 구성의 실시예 1에 따른 반도체장치를 도시하지 않은 탑재기판 상에 배치하고, 다음에 외부전극부(20)의 접속단자(8), 탑재기판 상의 여러개의 접속단자 중 대응하는 접속단자를 가열용융에 의해 접속한다. 탑재기판 상에 반도체장치를 실장하는 것이 가능하다.

실시예 1에 따른 반도체장치에 있어서, 배선판(3)은 반도체칩(1)과 동일정도의 평면형상을 갖고, 여러개의 외부전극부(20)의 형성영역 A1은 여러개의 칩접속용 패턴(4)의 형성영역 A2보다 작다. 영역 A2에 대응하는 영역 내에 수납되도록 영역 A1이 형성된다. 따라서, 반도체칩(1)의 칩 사이즈에 적합하게 해서 반도체장치의 소형화를 도모할 수 있다.

또, 외부전극부(20)(기판접속용 패턴(7))의 형성영역 A1을 작게 하는 것에 의해 기판접속용 패턴(7)의 총 배선길이가 짧아지고, 그 만큼 배선에 생성되는 인덕턴스가 감소하고, 전기적 특성이 우수한 반도체장치를 얻을 수 있다.

또, 여러개의 외부전극부(20)의 형성영역 A1은 여러개의 칩접속용 패턴(4)의 형성영역 A2보다 작으므로, 반도체칩(1)과 평면형상이 동일정도의 배선판(3)을 전혀 지장 없이 형성할 수 있다.

또, 실시예 1의 반도체장치의 수지봉지(6)은 칩접속 패턴(4)를 포함하는 배선판(3)의 상면 전체를 피복하도록 형성되므로, 여러개의 패드전극(2), 여러개의 접속범프(5) 및 여러개의 칩접속용 패턴(4)를 거친 반도체칩(1)과 배선판(3)의 접합면의 휘어짐을 효과적으로 억제할 수 있다.

또, 배선판(3)은 반도체칩(1)과 동일정도의 평면형상을 가지므로, 접합면의 휘어짐이 배선판(3)의 단부에서 커지는 일은 없다.

실시예 1의 반도체장치의 봉지수지(6)은 배선판(3)의 측면 및 배선판(3)의 하면에 있어서 여러개의 외부전극부(20)의 형성영역 A1의 주변영역(14)상에 형성된다. 따라서, 봉지수지(6)과 배선판(3)의 접착력이 한층 강화되고, 접합면의 휘어짐을 효과적으로 억제하여, 장치의 신뢰성을 한층 향상시킬 수 있다.

실시예 1에 따라 반도체장치의 봉지수지(6)은 트랜스퍼 성형법으로 형성되어, 상기 접합면의 휘어짐의 억제력이 강한 성질을 갖는다.

또, 여러개의 칩접속용패턴(4)(패드전극(2), 접속범프(5))가 미소한 간극으로 배치되는 경우에도 트랜스퍼 성형법으로 봉지수지(6)을 형성하는 것에 의해 반도체칩(1)과 배선판(3)의 접합부분에 정밀하게 봉지수지(6)을 충전할 수 있다.

[실시예 2]

제2도는 본 발명의 실시예 2에 따른 반도체장치의 단면도이다. 도시한 바와 같이, 배선판(3) 상에 반도체칩(11)이 접착재(10)에 의해 접합 배치된다. 반도체칩(11)의 상면에는 여러개의 패드전극(12)가 마련된다.

또, 배선판(3)의 상면에 있어서 반도체칩(1)의 주변에 여러개의 칩접속용 패턴(4)가 마련되고, 하면에 여러개의 외부전극부(20)이 실시예 1과 마찬가지로 마련된다. 여러개의 칩접속용패턴(4)는 각각 외부전극부(20)(기판 접속용 패턴(7)) 중 대응하는 외부전극부에 전기적으로 접속되고, 각각 여러개의 패드전극(12) 중 대응하는 패드전극(12)에 금속세선(15)에 의해 와이어본딩 접속된다. 또, 배선판(3)은 글래스섬유강화에폭시수지기판, 폴리이미드 테이프 등이 고려되지만, 그것에 한정되는 것은 아니다.

여러개의 패드전극(12)를 포함하는 반도체칩(11)전체, 여러개의 칩접속용패턴(4)를 포함하는 배선판(3)의 상면, 배선판(3)의 측면 및 배선판(3)의 하면에 있어서 외부전극(20)의 형성영역 A1의 주변영역(14)를 피복하여 봉지수지(16)이 형성된다. 이 봉지수지(16)은 실시예 1과 마찬가지로 트랜스퍼 성형법에 의해 형성된다.

여러개의 외부전극부(20)의 형성영역 A1은 반도체칩(11)을 포함하는 여러개의 칩접속용 패턴(4)의 형성영역 A2보다 작다.

이와 같은 구성의 실시예 2에 따른 반도체장치를 도시하지 않은 탑재기판 상에 배치해서, 외부전극부(20)의 접속단자(8), 탑재기판 상의 여러개의 접속단자 중 대응하는 접속단자를 가열용융에 의해 접속하는 것에 의해, 탑재기판 상에 반도체장치를 실장할 수 있다.

실시예 2의 반도체장치에 있어서, 여러개의 외부전극부(20)의 형성영역 A1은 반도체칩(11)을 포함하는 여러개의 칩접속용패턴(4)의 형성영역 A2보다 작고, 형성영역 A2에 대응하는 영역 내에 수납되도록 형성영역 A1이 형성된다. 따라서, 칩접속용패턴(4)의 형성영역 A1로 규정되는 크기에 적합하도록 장치의 소형화를 도모할 수 있다.

또, 외부전극부(20)(기판접속용패턴(7))의 형성영역 A1을 작게 하는 것에 의해 기판접속용 패턴(7)의 총 배선길이가 짧아지고, 그 만큼 배선에 생성되는 인덕턴스가 감소한다. 따라서, 전기적 특성이 우수한 반도체장치를 얻을 수 있다.

또, 실시예 2에 따른 반도체장치의 봉지수지(16)은 칩접속용패턴(4)를 포함하는 배선판(3)의 표면 전체를 피복해서 형성되므로, 여러개의 패드전극(12), 반도체칩(11)과 배선판(3)의 접합면에서 생성되는 휘어짐을 효과적으로 억제할 수 있다.

또, 실시예 2의 반도체장치의 봉지수지(16)은 배선판(3)의 측면 및 배선판(3)의 하면에 있어서 외부전극부(20)의 형성영역 A1의 주변영역(14)상에도 형성된다. 따라서, 봉지수지(16)의 배선판(3)과의 접착력이 한층 강화되고, 접합면에서 발생하는 휘어짐을 보다 효과적으로 억제하여, 장치의 신뢰성을 한층 향상시킬 수 있다.

실시예 2에 따른 반도체장치의 봉지수지(16)은 트랜스퍼 성형법으로 형성되므로, 접합면에서 발생하는 휘어짐의 억제력이 강한 성질을 갖는다.

[변형예]

실시예 1에 따른 반도체장치에서는 외부전극부(20)으로써 기판접속용 패턴(7) 및 접속단자(8)로 이루어진 구조를 나타내었다. 제3도에 도시한 바와 같이, 가지형상의 접속핀(9)를 사용해서 구성해도 좋고, 종래의 리이드 또는 얇은 땜납재를 사용해도 좋다. 외부전극부(20)의 재질, 구조는 제한되지 않는다. 실시예 2의 반도체장치의 외부전극부(20)도 마찬가지이다.

또, 실시예 1 및 실시예 2에서는 봉지수지(6) 및 봉지수지(16)을 배선판(3)의 측면에서 하면의 일부까지 형성된다. 제4도 및 제5에 도시한 바와 같이, 배선판(3)의 표면 상에만 봉지수지(6) 및 봉지수지(16)을 형성하도록 구성되어도 좋다. 그러나, 제4또 및 제5도의 구조에 있어서, 봉지수지(6)((16))의 배선판(3)의 접착력이 실시예 1 및 실시예 2의 반도체장치의 경우보다 낮다.

발명의 효과

본 발명의 반도체장치에 있어서, 수지는 배선판과의 접착력이 한층 강화되고, 상기 접합면에서 생성되는 휘어짐을 보다 효과적으로 억제하여, 장치의 신뢰성을 향상할 수 있다.

(57) 청구의 범위

청구항 1

제1 및 제2주면을 갖고, 그의 상기 제1 또는 제2주면 상에 여러개의 패드전극이 형성된 반도체칩, 제1주면 및 제2주면을 갖고, 상기 제1주면에 여러개의 칩접속용 패턴이 마련되고 제2주면에 여러개의 외부전극부가 마련되는 배선판 및 상기 여러개의 패드전극을 포함하는 상기 반도체칩 전체 및 상기 여러개의 칩접속패턴을 포함하는 상기 배선판의 제1주면을 피복해서 형성되는 수지를 포함하고, 상기 반도체칩은 상기 배선판의 제1주면을 도포하고, 상기 여러개의 칩접속용 패턴은 상기 여러개의 외부전극부 중 대응하는 외부전극부에 전기적으로 접속되고, 각각 상기 여러개의 패드전극 중 대응하는 패드전극에 전기적으로 접속되며, 상기 여러개의 외부전극부가 형성되는 영역은 상기 여러개의 칩접속패턴이 형성되는 영역 보다 작은 반도체장치.

청구항 2

제1항에 있어서, 상기 여러개의 패드전극은 상기 반도체칩의 제2주면 상에 형성되고, 상기 여러개의 패드전극 중 대응하는 패드전극에 각각 직접 접속된 여러개의 접속전극, 상기 여러개의 접속전극 중 대응하는 접속전극에 각각 직접 접속되는 상기 여러개의 칩접속패턴 및 상기 여러개의 접속전극을 포함하는 배선판의 제1주면을 피복하여 형성된 수지를 더 포함하는 반도체장치.

청구항 3

제1항에 있어서, 여러개의 패드전극은 상기 반도체칩의 제1주면 상에 형성되고, 상기 여러개의 칩접속패턴은 상기 반도체칩을 둘러싸고, 금속선에 의해 상기 여러개의 패드전극 중 대응하는 패드전극에 각각 접속되는 반도체장치.

청구항 4

제3항에 있어서, 상기 반도체칩은 상기 배선판에 배치되어 접합되는 반도체장치.

청구항 5

제2항에 있어서, 상기 수지는 트랜스퍼 성형법에 의해 형성되는 반도체장치.

청구항 6

제5항에 있어서, 상기 배선판의 단부에서 상기 여러개의 칩접속패턴이 형성되는 영역까지의 거리는 상기 배선판의 단부에서 상기 여러개의 외부전극부가 형성되는 영역까지의 거리 보다 작고, 상기 수지는 상기 배선판의 측면 및 상기 여러개의 외부전극부가 형성되는 부분을 제외하고 상기 배선판의 상기 주면의 일부를 도포하는 반도체장치.

청구항 7

제6항에 있어서, 상기 여러개의 외부전극부의 각각은 상기 배선판의 상기 제2주면에 직접 접속된 도통패턴 및 상기 도통패턴에 직접 접속된 거의 구형의 외부전극을 포함하는 반도체장치.

청구항 8

제6항에 있어서, 상기 여러개의 외부전극부의 각각은 가지형(branch-like) 접속핀을 포함하는 반도체장치.

청구항 9

제3항에 있어서, 상기 수지는 트랜스퍼 성형법에 의해 형성되는 반도체장치.

청구항 10

제9항에 있어서, 상기 배선기판의 단부에서 상기 여러개의 칩접속패턴이 형성되는 영역까지의 거리가 상기 배선판의 단부에서 상기 여러개의 외부전극부가 형성되는 영역까지의 거리 보다 작고, 상기 수지는 상기 배선판의 측면 및 상기 여러개의 외부전극부가 형성되는 부분을 제외하고 상기 배선판의 제2주면의 일부를 피복하는 반도체장치.

청구항 11

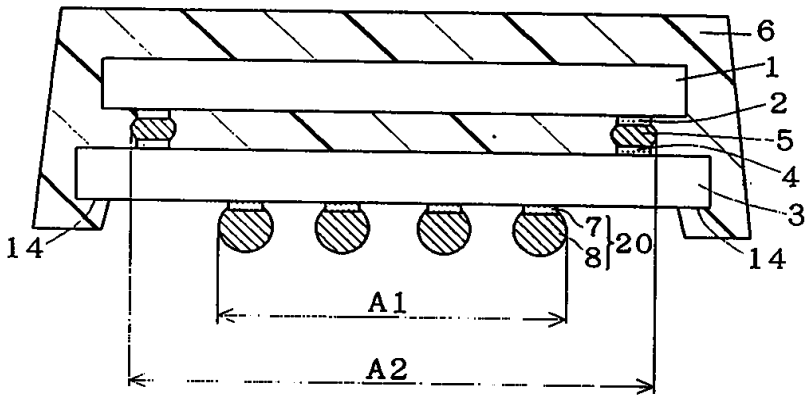
제10항에 있어서, 상기 여러개의 외부전극부는 상기 배선판의 제2주면에 직접 접속되는 도통패턴 및 상기 도통패턴에 직접 접속되는 거의 구형의 외부전극을 포함하는 반도체장치.

청구항 12

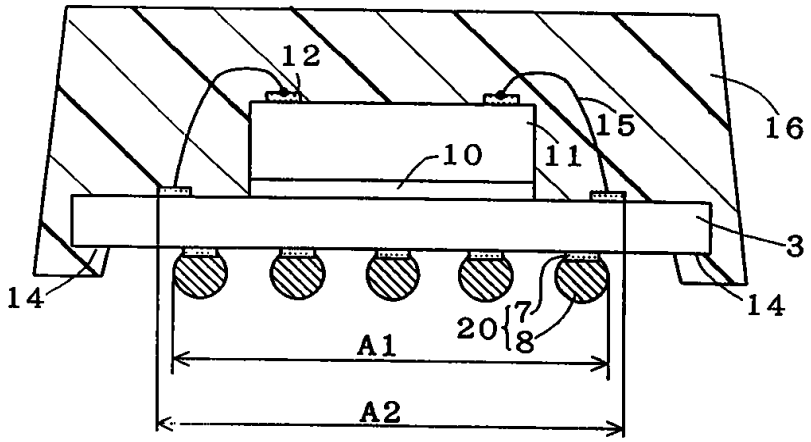
제10항에 있어서, 상기 여러개의 외부전극부의 각각은 가지형 접속핀을 포함하는 반도체장치.

도면

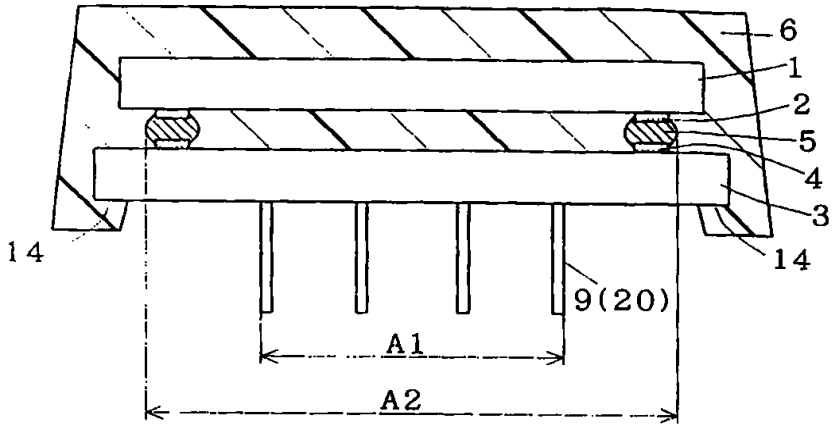
도면1



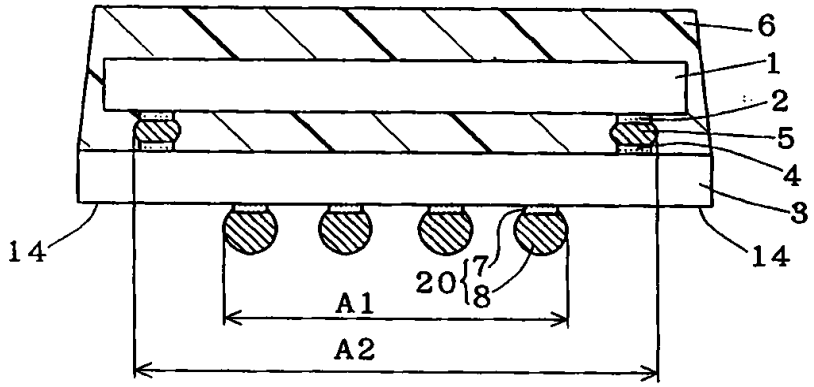
도면2


12
15
16
10
11
3
14
14
20
7
8
A1
A2

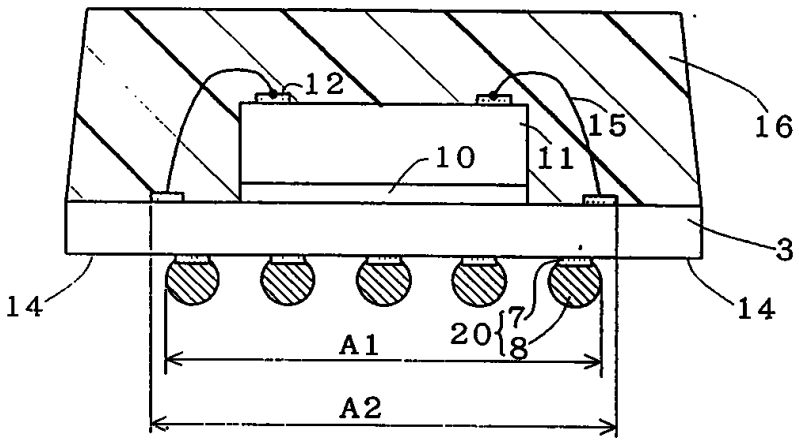
도면3


6
1
2
5
4
3
14
14
9(20)
A1
A2

도면4


6
1
2
5
4
3
14
14
20
7
8
A1
A2

도면5



도면6

