

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5547594号
(P5547594)

(45) 発行日 平成26年7月16日 (2014. 7. 16)

(24) 登録日 平成26年5月23日 (2014. 5. 23)

(51) Int. Cl.

F I

H05K 1/02 (2006.01)

H05K 1/02 R

H05K 3/00 (2006.01)

H05K 3/00 P

H05K 3/46 (2006.01)

H05K 3/46 Z

請求項の数 8 (全 19 頁)

(21) 出願番号 特願2010-216614 (P2010-216614)
 (22) 出願日 平成22年9月28日 (2010. 9. 28)
 (65) 公開番号 特開2012-74443 (P2012-74443A)
 (43) 公開日 平成24年4月12日 (2012. 4. 12)
 審査請求日 平成25年6月12日 (2013. 6. 12)

(73) 特許権者 000190688
 新光電気工業株式会社
 長野県長野市小島田町80番地
 (74) 代理人 100068755
 弁理士 恩田 博宣
 (74) 代理人 100105957
 弁理士 恩田 誠
 (72) 発明者 村松 茂次
 長野県長野市小島田町80番地 新光電気
 工業 株式会社 内
 (72) 発明者 春原 聡
 長野県長野市小島田町80番地 新光電気
 工業 株式会社 内

審査官 井上 信

最終頁に続く

(54) 【発明の名称】 配線基板、半導体装置及び配線基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

最上層配線と、前記最上層配線を覆う絶縁層とを含む配線基板であって、
 前記最上層配線は、平面形状が認識マークの所望の形状となるように形成され、上面の
 全てが前記絶縁層から露出されることで前記認識マークとなる第1の配線層を有し、
 前記絶縁層は、前記第1の配線層の上面を全て露出させるための凹部を有し、
 前記絶縁層は、前記第1の配線層の側壁を被覆して前記認識マークの周囲を被覆し、
 前記凹部の底面には、前記認識マークの端部から前記凹部の側壁部に向かって湾曲状に
 凹む湾曲部が形成されていることを特徴とする配線基板。

【請求項 2】

前記凹部の底面の表面粗度は、前記認識マークの表面粗度よりも高く、前記凹部の縁部
 の表面粗度よりも高いことを特徴とする請求項 1 に記載の配線基板。

【請求項 3】

前記最上層配線は、少なくとも一部がパッドとして前記絶縁層から露出される第2の配
 線層を含み、

前記第1の配線層と前記第2の配線層とは同じ厚さで形成されていることを特徴とする
 請求項 1 又は 2 に記載の配線基板。

【請求項 4】

前記凹部は、その側壁部が傾斜面となっていることを特徴とする請求項 1 ~ 3 のいずれ
 か 1 つに記載の配線基板。

10

20

【請求項 5】

請求項 1 ～ 4 のいずれか 1 つに記載の配線基板を含むことを特徴とする半導体装置。

【請求項 6】

絶縁層から露出される認識マークを有する配線基板の製造方法であって、
平面形状が前記認識マークの所望の形状となるように第 1 の配線層を形成する配線層形成工程と、

前記第 1 の配線層を覆う前記絶縁層を形成する絶縁層形成工程と、

前記第 1 の配線層に対向する領域であって、前記第 1 の配線層の平面形状よりも大きい領域の前記絶縁層を薄化することにより、前記絶縁層に凹部を形成するとともに、前記第 1 の配線層の上面の全てを前記絶縁層から露出して前記認識マークを形成する薄化工程と

10

を含み、
前記薄化工程では、前記凹部の底面に、前記認識マークの端部から前記凹部の側壁部に向かって湾曲状に凹む湾曲部が形成されるように、前記絶縁層を薄化し、

前記薄化工程は、

前記絶縁層の上に、前記凹部に対応する領域を開口する開口部を有するマスクを形成する工程と、

前記マスクの開口部を通じて前記絶縁層にサンドブラスト処理を施すブラスト工程と、
を含むことを特徴とする配線基板の製造方法。

【請求項 7】

前記認識マークをエッチングする工程を含むことを特徴とする請求項 6 に記載の配線基板の製造方法。

20

【請求項 8】

前記配線層形成工程では、前記第 1 の配線層と同じ厚さの第 2 の配線層を形成し、

前記絶縁層形成工程では、前記第 1 の配線層と前記第 2 の配線層とを覆うように前記絶縁層を形成し、

前記薄化工程では、前記認識マークを形成するとともに、前記第 2 の配線層に対向する領域の前記絶縁層を薄化することにより、前記第 2 の配線層の少なくとも一部を前記絶縁層から露出してパッドを形成することを特徴とする請求項 6 又は 7 に記載の配線基板の製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、配線基板、半導体装置及び配線基板の製造方法に関するものである。

【背景技術】

【0002】

半導体チップ等の実装部品を配線基板に実装する場合には、配線基板の最表層がソルダレジストと呼ばれる絶縁材料によってはんだの付着や汚染等から保護される。この場合、実装部品との接続に必要なパッドを形成するために、ソルダレジストの下層に形成された配線層を露出させるための開口部が形成される。この開口部の形成は、フォトリソグラフィ法、スクリーン印刷法やレーザ加工法などにより行われる。

40

【0003】

フォトリソグラフィ法では、図 12 (a) に示すように、まず、コア基板 11 上に必要な数の下層配線 14, 15 とそれを覆う絶縁層 12, 13 を形成後、最上層の配線層 80 とその配線層 80 を覆う絶縁層 (ソルダレジスト層) 81 を形成する。続いて、フォトリソグラフィによりソルダレジスト層 81 を露光・現像して、図 12 (b) に示す所定パターンの開口部 81a を形成し、最上層の配線層 80 の一部をパッド 80a として露出する。

【0004】

また、スクリーン印刷法では、印刷マスクを使用して、必要な部分のみに絶縁材料 (ソルダレジスト) を印刷する。レーザ加工法では、全面に絶縁材料 (ソルダレジスト) を塗

50

布してから、露出させる領域（開口部に対応する領域）の絶縁材料をレーザ光照射により除去する。

【0005】

上述のように、フォトリソグラフィ法では、ソルダレジストとして感光性樹脂を用い、露光と現像によるパターン化が行われる。しかし、感光性樹脂は一般的に耐熱性や耐薬品性が低いという問題がある。一方、スクリーン印刷法やレーザ加工法では、ソルダレジストとして感光性樹脂よりも信頼性の高い熱硬化性樹脂等の非感光性樹脂を採用することができるものの、ファインパターンの形成が困難、製造コストが高いといった問題がある。

【0006】

そこで、パッドを露出させるための開口部を形成する別の方法として、ブラスト法が提案されている。例えばサンドブラスト法では、図13(a)に示すように、まず、コア基板11上に必要な数の下層配線14、15とそれを覆う絶縁層12、13を形成後、最上層の配線層90とその配線層90を覆う絶縁層（ソルダレジスト層）91を形成する。続いて、図13(b)に示すように、ソルダレジスト層91の上にサンドブラスト保護用のドライフィルムレジスト（DFR）92を貼り付け、露光・現像により所定パターンの開口部92aを形成する。次に、図13(c)に示すように、DFR92の開口部92aに砥粒を吹き付けて絶縁樹脂を除去し、ソルダレジスト層91に開口部91aを形成するとともに、最上層の配線層90の一部をパッド90aや認識マーク90bとして露出する。その後、図13(d)に示すように、DFR92を除去する。

【0007】

なお、上記従来技術に関連する先行技術として、特許文献1、2が開示されている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平05-267802号公報

【特許文献2】特開2008-227309号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところが、ブラスト法による絶縁層（ソルダレジスト層）の開口では、図14に示すように、絶縁層91の開口部91aの形状がT字形状や三角形状などの鋭角や直角な角を有する形状である場合には、以下のような問題が発生する。すなわち、鋭角や直角な角を有する部分には絶縁層91に吹き付ける砥粒が入り込みにくいため、このような形状の開口部91aをブラスト法で形成すると、図15(a)、(b)に示すように、鋭角や直角な角を有する部分が丸まって形成されてしまう。このため、ブラスト法で絶縁層91に開口部91aを形成することによって認識マーク90b（実装や露光時等の位置合わせマークや管理上必要な文字や数字など）を形成する場合には、その認識マーク90bのエッジが丸まることになる。これに起因して、認識マーク90bの認識性が低下するという問題が発生する。

【0010】

本発明は上記問題点を解決するためになされたものであって、その目的は、認識マークの認識性の低下を抑制することのできる配線基板、半導体装置及び配線基板の製造方法を提供することにある。

【課題を解決するための手段】

【0011】

本発明の一観点によれば、最上層配線と、前記最上層配線を覆う絶縁層とを含む配線基板であって、前記最上層配線は、平面形状が認識マークの所望の形状となるように形成され、上面の全てが前記絶縁層から露出されることで前記認識マークとなる第1の配線層を有し、前記絶縁層は、前記第1の配線層の上面を全て露出させるための凹部を有し、前記絶縁層は、前記第1の配線層の側壁を被覆して前記認識マークの周囲を被覆し、前記凹部

の底面には、前記認識マークの端部から前記凹部の側壁部に向かって湾曲状に凹む湾曲部が形成されている。

【 0 0 1 2 】

この構成によれば、絶縁層から露出される第1の配線層の上面の形状（平面形状）が認識マークの形状となる。ここで、第1の配線層は、その所望の平面形状が鋭角や直角な角を有する形状であっても、例えばフォトリソグラフィ法などによってその所望の平面形状に容易に形成することができる。したがって、このような第1の配線層の上面が全て露出されれば、ブラスト法によって認識マークを露出させるための凹部が所望の形状に形成できない場合であっても、認識マークを所望の形状に精度良く形成することができる。この結果、認識マークの認識性の低下を抑制することができる。

10

【 0 0 1 3 】

また、認識マークを露出させるための凹部をブラスト法によって形成することもできるため、絶縁層として非感光性樹脂を採用することができ、絶縁層の信頼性の低下も抑制することができる。

【 0 0 1 4 】

本発明の一観点によれば、絶縁層から露出される認識マークを有する配線基板の製造方法であって、平面形状が前記認識マークの所望の形状となるように第1の配線層を形成する配線層形成工程と、前記第1の配線層を覆う前記絶縁層を形成する絶縁層形成工程と、前記第1の配線層に対向する領域であって、前記第1の配線層の平面形状よりも大きい領域の前記絶縁層を薄化することにより、前記絶縁層に凹部を形成するとともに、前記第1の配線層の上面の全てを前記絶縁層から露出して前記認識マークを形成する薄化工程とを含み、前記薄化工程では、前記凹部の底面に、前記認識マークの端部から前記凹部の側壁部に向かって湾曲状に凹む湾曲部が形成されるように、前記絶縁層を薄化し、前記薄化工程は、前記絶縁層の上に、前記凹部に対応する領域を開口する開口部を有するマスクを形成する工程と、前記マスクの開口部を通じて前記絶縁層にサンドブラスト処理を施すブラスト工程と、を含む。

20

【 0 0 1 5 】

この方法によれば、絶縁層が薄化されることによって、所望の平面形状に形成された第1の配線層の上面の全てが絶縁層から露出されて認識マークが形成される。このため、絶縁層から露出される第1の配線層の上面の形状（平面形状）が認識マークの形状となる。ここで、第1の配線層は、その所望の平面形状が鋭角や直角な角を有する形状であっても、例えばフォトリソグラフィ法などによってその所望の平面形状に容易に形成することができる。したがって、このような第1の配線層の上面が全て露出されれば、薄化される絶縁層の領域が所望の形状にならない場合であっても、認識マークを所望の形状に精度良く形成することができる。この結果、認識マークの認識性の低下を抑制することができる。

30

【発明の効果】

【 0 0 1 6 】

本発明の一観点によれば、認識マークの認識性の低下を抑制することができるという効果を奏する。

【図面の簡単な説明】

40

【 0 0 1 7 】

【図1】（a）は第1実施形態の半導体装置を示す概略平面図、（b）は第1実施形態の半導体装置を示す概略断面図。

【図2】第1実施形態の半導体装置を示す概略斜視図。

【図3】（a）～（d）は、第1実施形態の半導体装置の製造方法を説明するための概略断面図。

【図4】（a）～（d）は、第1実施形態の半導体装置の製造方法を説明するための概略断面図。

【図5】（a）～（d）は、第1実施形態の半導体装置の製造方法を説明するための概略断面図。

50

【図 6】(a)、(b)は、第 1 実施形態の半導体装置の製造方法を説明するための概略斜視図。

【図 7】第 2 実施形態の半導体装置を示す概略平面図。

【図 8】(a)～(c)は第 2 実施形態の半導体装置を示す概略断面図。

【図 9】変形例の半導体装置を示す概略断面図。

【図 10】変形例の半導体装置を示す概略断面図。

【図 11】変形例の半導体装置を示す概略断面図。

【図 12】(a)、(b)は、従来の配線基板の製造方法を説明するための概略断面図。

【図 13】(a)～(d)は、従来の配線基板の製造方法を説明するための概略断面図。

【図 14】従来の配線基板を示す概略斜視図。

10

【図 15】(a)、(b)は、従来の配線基板を示す概略平面図。

【発明を実施するための形態】

【0018】

以下、添付図面を参照して各実施形態を説明する。尚、添付図面は、構造の概略を説明するためのものであり、実際の大きさを表していない。

(第 1 実施形態)

以下、第 1 実施形態を図 1～図 6 に従って説明する。なお、本実施形態において、先の図 12～図 15 で示した従来と同様な構成部分については同一符号を付して説明する。

【0019】

図 1(a)は、本実施形態の半導体装置 1 の概略平面図であり、図 1(b)は、図 1(a)に示す半導体装置 1 の A-A 概略断面図である。図 2 は、半導体装置 1 の一部を示す概略斜視図である。

20

【0020】

図 1(a)及び図 1(b)に示すように、本実施形態の半導体装置 1 は、配線基板 2 と、半導体チップ 3 と、アンダーフィル樹脂 4 とを有する。

図 1(b)に示すように、配線基板 2 は、基板本体 10 と、最上層の配線パターン 20、21(最上層配線)と、最下層の配線パターン 22 と、ソルダレジスト層 30、33 とを有する。なお、この配線基板 2 に実装される半導体チップ 3 は、その回路形成面(図 1(b)において下面)に、マトリクス状に配設された複数のバンブ 3a を備えている。

【0021】

30

基板本体 10 は、コア基板 11 と、複数の絶縁層 12、13 と、複数の絶縁層 12、13 に形成された配線 14、15 及びビア 16、17 等から構成されている。基板本体 10 に設けられた配線 14、15 及びビア 16、17 は、配線パターン 20 及び配線パターン 22 を電氣的に接続している。なお、配線 14、15 やビア 16、17 の材料としては、例えば銅(Cu)を用いることができる。また、絶縁層 12、13 の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂の絶縁樹脂を用いることができる。

【0022】

配線パターン 20 は、基板本体 10 のチップ実装面側(図 1(b)において上面側)に設けられている。この配線パターン 20 は、半導体チップ 3 のバンブ 3a が接続されるパッド 20a を有する。この配線パターン 20 の平面形状は、例えば円形状に形成されている(図 1(a)参照)。

40

【0023】

配線パターン 21 は、基板本体 10 のチップ実装面側に設けられている。この配線パターン 21 は、その上面の全てがソルダレジスト層 30 から露出されることで認識マーク 21a となるパターンである。また、配線パターン 21(認識マーク 21a)の平面形状は、図 1(a)に示すように、例えば T 字状や三角形状に形成されている。この配線パターン 21 と上記配線パターン 20 とは、同じ厚さで形成されている。これら配線パターン 20、21 の材料としては、例えば銅を用いることができる。なお、配線パターン 20、21 は、銅層の表面に所要のめっき(例えば、ニッケルめっきや金めっき等)を施して形成するようにしてもよい。

50

【 0 0 2 4 】

図 1 (b) に示すように、配線パターン 2 2 は、基板本体 1 0 のチップ実装面と反対側 (図 1 (b) において下面側) に設けられている。この配線パターン 2 2 は、マザーボード等の実装基板と接続される外部接続端子を配設するための外部接続用パッド 2 2 a を有する。なお、配線パターン 2 2 の材料としては、例えば銅を用いることができる。

【 0 0 2 5 】

ソルダレジスト層 3 0 は、配線パターン 2 0 , 2 1 を覆うように基板本体 1 0 のチップ実装面側に設けられている。ソルダレジスト層 3 0 の材料としては、例えばエポキシ系の絶縁性樹脂を用いることができる。このソルダレジスト層 3 0 には、上記パッド 2 0 a と
10 なる配線パターン 2 0 の一部を露出させるための複数の開口部 3 0 a が形成されるとともに、配線パターン 2 1 の上面の全てを露出させるための凹部 3 0 b が形成されている。また、このソルダレジスト層 3 0 は、凹部 3 0 b に対応する領域に形成されたソルダレジスト層 3 1 と、凹部 3 0 b 以外の領域に形成されたソルダレジスト層 3 2 とを含む。換言すると、ソルダレジスト層 3 0 は、図 1 及び図 2 に示すように、凹部 3 0 b の底面 A 1 となるソルダレジスト層 3 1 と、凹部 3 0 b の縁部 A 2 となるソルダレジスト層 3 2 とを含む。これらソルダレジスト層 3 1 とソルダレジスト層 3 2 とは一体に形成されている。

【 0 0 2 6 】

ここで、上記開口部 3 0 a の形状について図 1 に従って説明する。まず、本実施形態では半導体チップ 3 のパンプ 3 a がマトリクス状に配設されているため、その配設形態に応じてパッド 2 0 a も配線基板 2 のチップ実装領域 C A にマトリクス状に配列されている (図 1 (a) 参照) 。このため、複数の開口部 3 0 a もチップ実装領域 C A 内にマトリクス状に形成されている。また、各開口部 3 0 a の平面形状は、配線パターン 2 0 と同様に、円形状に形成されている。さらに言うと、各開口部 3 0 a の平面形状は、配線パターン 2 0 の一部を露出させるように、配線パターン 2 0 の平面形状よりも小さく形成されている。そして、このような開口部 3 0 a によって、配線パターン 2 0 の一部がパッド 2 0 a としてソルダレジスト層 3 0 から露出されている。

【 0 0 2 7 】

続いて、上記凹部 3 0 b の形状について以下に説明する。まず、本実施形態の認識マーク 2 1 a は、ソルダレジスト層 3 0 の下層の配線パターン 2 1 によってその形状が所望の形状に形成されている。すなわち、認識マーク 2 1 a の所望の形状が T 字状である場合には、配線パターン 2 1 の平面形状が T 字状に形成されている。また、認識マーク 2 1 a の所望の形状が三角形である場合には、配線パターン 2 1 の平面形状が三角形に形成されている。そして、上記凹部 3 0 b は、図 1 及び図 2 に示すように、この配線パターン 2 1 の上面の全てを露出させるように、その平面形状が配線パターン 2 1 の平面形状よりも大きく形成されている。具体的には、凹部 3 0 b の平面形状は、配線パターン 2 1 の平面形状よりも大きな面積を有する四角形状に形成されている。

【 0 0 2 8 】

このような形状の凹部 3 0 b では、配線パターン 2 1 の上面の全てが認識マーク 2 1 a として露出されるとともに、認識マーク 2 1 a 以外の部分にはソルダレジスト層 3 1 が形成されている。このため、配線パターン 2 1 の平面形状が認識マーク 2 1 a の形状となる。ここで、配線パターン 2 1 は、その所望の平面形状が鋭角や直角な角を有する形状であっても、フォトリソグラフィ法などによってその所望の平面形状に容易に形成することができる。したがって、このような配線パターン 2 1 の上面が全て露出されれば、ブラスト法によって凹部 3 0 b が所望の形状に形成できない場合であっても、認識マーク 2 1 a を所望の形状に形成することができる。

【 0 0 2 9 】

また、上記凹部 3 0 b では、配線パターン 2 1 の側壁に接するようにソルダレジスト層 3 1 (ソルダレジスト層 3 0) が形成されている。換言すると、認識マーク 2 1 a の周囲はソルダレジスト層 3 1 (ソルダレジスト層 3 0) によって覆われている。そして、このソルダレジスト層 3 1 の上面 (凹部 3 0 b の底面 A 1) には、認識マーク 2 1 a の端部が
50

ら凹部 30b の側壁部 A3 に向かって湾曲状に凹む湾曲部 31a が形成されている。このような湾曲部 31a によって、認識マーク 21a の認識性を向上させることができる。例えば、認識マーク 21a は、一定強度の光が認識マーク 21a やソルダレジスト層 31 等の表面に照射され、その表面で反射されて受光部に入射される光の強度（反射光強度）に応じて検出される。この場合において、認識マーク 21a の表面では反射光が特定の方向（受光部に向かう方向）に効率良く反射されるために受光部での反射光強度が強くなるのに対し、上記湾曲部 31a では反射光が特定の方向に反射されないために受光部での反射光強度が弱くなる。これにより、認識マーク 21a とソルダレジスト層 31 とにおける反射光強度の差が大きくなるため、認識マーク 21a とソルダレジスト層 31 との境界部分（図 1（b）の破線枠参照）が強調される。したがって、認識マーク 21a の輪郭（形状）が認識し易くなるため、認識マーク 21a の認識性を向上させることができる。

10

【0030】

さらに、凹部 30b と認識マーク 21a の関係について詳述すると、凹部 30b の底面 A1（ソルダレジスト層 31 の上面）は、認識マーク 21a の上面よりも高く形成されるとともに、凹部 30b の縁部 A2（ソルダレジスト層 32 の上面）よりも低く形成されている。また、凹部 30b の底面 A1 の表面粗度（ソルダレジスト層 31 の上面の表面粗度）は、認識マーク 21a の上面の表面粗度よりも高く、凹部 30b の縁部 A2 の表面粗度（ソルダレジスト層 32 の上面の表面粗度）よりも高くなっている。このようなソルダレジスト層 31 と認識マーク 21a との表面粗度の違いによっても、認識マーク 21a の認識性を向上させることができる。すなわち、表面粗度が高い部分では照射された光が乱反射されて反射光強度が弱くなるため、上記表面粗度の違いによって、ソルダレジスト層 31 と認識マーク 21a とにおける反射光強度の差が大きくなる。これにより、認識マーク 21a の輪郭（形状）が認識し易くなるため、認識マーク 21a の認識性を向上させることができる。

20

【0031】

図 1（b）に示すように、外部接続用パッド 22a は、基板本体 10 の下面側に形成されたソルダレジスト層 33 の開口部 33a から配線パターン 22 の一部が露出されることで形成されている。

【0032】

半導体チップ 3 は、このように構成された配線基板 2 にフリップチップ接合される。すなわち、半導体チップ 3 は、回路形成面に配設されたパンプ 3a を介して、配線基板 2 のパッド 20a と電氣的に接続される。

30

【0033】

アンダーフィル樹脂 4 は、配線基板 2 と半導体チップ 3 との隙間を充填するように設けられている。このアンダーフィル樹脂 4 は、パンプ 3a とパッド 20a との接続部分の接続強度を向上させると共に、配線パターン 20 の腐食やエレクトロマイグレーションの発生を抑制し、配線パターン 20 の信頼性の低下を防ぐための樹脂である。なお、アンダーフィル樹脂 4 の材料としては、例えばエポキシ樹脂を用いることができる。

【0034】

次に、このように構成された半導体装置 1 の製造方法を図 3～図 6 に従って説明する。

40

まず、配線基板 2 の製造方法について説明する。図 3～図 5（b）に示す配線基板 2 の製造方法では、図 3（a）に示すコア基板 11 を用いる。なお、このコア基板 11 は、例えば銅張積層板（Copper Clad Laminated: CCL）にスルーホール 10a を形成し、スルーホール 10a の側面にめっきを施すことで両面を導通させた後、サブトラクティブ法により配線 14, 15 を形成することによって製造される。

【0035】

このコア基板 11 の両面側に、図 3（b）に示すように絶縁層 12, 13 を形成する。次に、図 3（c）に示すように、配線 14, 15 の端部が露出されるように、絶縁層 12, 13 の所定箇所にそれぞれ開口部 12a, 13a を、例えばレーザによって形成する。

【0036】

50

続いて、デスミア処理後、図 3 (d) に示すように、絶縁層 1 2 及び配線 1 4 を覆うようにシード層 S 1 を形成するとともに、絶縁層 1 3 及び配線 1 5 を覆うようにシード層 S 2 を形成する。これらシード層 S 1 , S 2 は、無電解銅めっき又はスパッタリングによって形成される。

【 0 0 3 7 】

次に、図 4 (a) に示すように、例えばセミアディティブ法により配線パターン 2 0 , 2 1 , 2 2 及びビア 1 6 , 1 7 を形成する (配線層形成工程) 。すなわち、シード層 S 1 上に配線パターン 2 0 , 2 1 の形状に対応した開口パターン 4 0 a を有するドライフィルムレジスト (D F R) 4 0 をフォトリソグラフィ法により形成し、上記シード層 S 1 を給電層とする電解銅めっきによって配線パターン 2 0 , 2 1 及びビア 1 6 を形成する。これにより、所望の形状 (本例では、円形状) の配線パターン 2 0 と、所望の形状 (本例では、T 字状及び三角形状) の配線パターン 2 1 が形成される。このとき、図 6 (a) に示すように、配線パターン 2 1 の形状を決定する D F R 4 0 の開口パターン 4 0 a はフォトリソグラフィ法によって形成されるため、配線パターン 2 1 の所望の形状が鋭角な角を有する形状であっても、その形状に対応した開口パターン 4 0 a を精度良く形成することができる。すなわち、配線パターン 2 1 の所望の平面形状が T 字状である場合には、平面形状が T 字状の開口パターン 4 0 a を精度良く形成することができる。したがって、図 6 (b) に示すように、配線パターン 2 1 の形状を所望の形状に精度良く形成することができる。なお、配線パターン 2 2 やビア 1 7 も、上記配線パターン 2 0 , 2 1 及びビア 1 6 と同様に形成される。

【 0 0 3 8 】

このように配線パターン 2 0 , 2 1 , 2 2 及びビア 1 6 , 1 7 が形成されると、図 4 (b) に示すように、D F R 4 0 及び不要なシード層 S 1 , S 2 が除去される。

次に、図 4 (c) に示すように、基板本体 1 0 の上面側に形成された配線パターン 2 0 , 2 1 を覆うようにソルダレジスト層 3 0 を形成するとともに (絶縁層形成工程) 、基板本体の下面側に形成された配線パターン 2 2 を覆うようにソルダレジスト層 3 3 を形成する。これらソルダレジスト層 3 0 , 3 3 は、液状レジストを用いる場合には、スクリーン印刷法、スプレーコート法やロールコート法などの方法により形成することができる。また、フィルム状のソルダレジストを基板本体 1 0 の上面及び下面にラミネートすることで、上記ソルダレジスト層 3 0 , 3 3 を形成することもできる。なお、このときのソルダレジスト層 3 0 , 3 3 の厚さは、例えば 2 5 μm とすることができる。また、配線パターン 2 0 , 2 1 の材料として銅を用いた場合には、配線パターン 2 0 , 2 1 の厚さは、例えば 1 5 μm とすることができる。

【 0 0 3 9 】

次に、図 4 (d) に示すように、ソルダレジスト層 3 0 上に貼り付けたドライフィルムレジストを露光・現像によりパターンニングして、上記開口部 3 0 a に対応する開口部 4 1 a と、上記凹部 3 0 b に対応する開口部 4 1 b を持つサンドブラスト保護用のマスク 4 1 を形成する。すなわち、パッド 2 0 a と対向する位置に形成される、開口部 3 0 a と同様の平面形状 (円形状) の開口部 4 1 a と、配線パターン 2 1 と対向する位置に形成される、凹部 3 0 b と同様の平面形状 (四角形状) の開口部 4 1 b とを持つマスク 4 1 を形成する。このため、各開口部 4 1 a の平面形状は配線パターン 2 0 の平面形状よりも小さく形成され、各開口部 4 1 b の平面形状は配線パターン 2 1 の平面形状よりも大きく形成される。これにより、ソルダレジスト層 3 0 のうち、配線パターン 2 1 と対向する領域であって、配線パターン 2 1 の平面形状よりも大きい領域のソルダレジスト層 3 0 を薄化するための開口部 4 1 b を有するマスク 4 1 が形成される。また、ソルダレジスト層 3 3 上に貼り付けたドライフィルムレジストを露光・現像によりパターンニングして、上記開口部 3 3 a に対応する開口部 4 2 a を持つサンドブラスト保護用のマスク 4 2 を形成する。

【 0 0 4 0 】

続いて、図 5 (a) に示すように、マスク 4 1 の開口部 4 1 a , 4 1 b を通じてソルダレジスト層 3 0 にサンドブラスト法を施す (ブラスト工程) 。すなわち、マスク 4 1 の開

口部 4 1 a , 4 1 b に砥粒 4 3 を吹き付けてソルダレジスト層 3 0 (ソルダレジスト層 3 1) を所定の厚さまで薄化する。具体的には、図 5 (a) に示すように、マスク 4 1 の開口部 4 1 a に対向するソルダレジスト層 3 0 が除去されるまでソルダレジスト層 3 0 にサンドブラスト法を施す。これにより、ソルダレジスト層 3 0 に開口部 3 0 a が形成されるとともに、その開口部 3 0 a から配線パターン 2 0 の一部がパッド 2 0 a として露出される。

【 0 0 4 1 】

また、薄化されるソルダレジスト層 3 1 の上面が配線パターン 2 1 (認識マーク 2 1 a) の上面よりも低くなるように、マスク 4 1 の開口部 4 1 b を通じてソルダレジスト層 3 1 を削る。このソルダレジスト層 3 1 の薄化が進み、配線パターン 2 1 の上面がソルダレジスト層 3 1 から露出されると、この配線パターン 2 1 にも砥粒 4 3 が吹き付けられる。このとき、配線パターン 2 1 は金属であり、ソルダレジスト層 3 1 よりも硬いため、ソルダレジスト層 3 1 よりも削られにくい。但し、配線パターン 2 1 は、砥粒の噴射によってその表面がダメージを受けて広がる。このため、配線パターン 2 1 付近のソルダレジスト層 3 1 は、配線パターン 2 1 から離れたソルダレジスト層 3 1 よりも削られにくくなる。これにより、薄化されたソルダレジスト層 3 1 には、配線パターン 2 1 端部からソルダレジスト層 3 1 , 3 2 間の境界部分に向かって湾曲状に凹む湾曲部 3 1 a が形成される。換言すると、このサンドブラスト処理では、ソルダレジスト層 3 1 に上記湾曲部 3 1 a が形成されるまでソルダレジスト層 3 1 が薄化される。そして、このような薄化工程 (図 4 (d) 及び図 5 (a) 参照) によって、ソルダレジスト層 3 0 に凹部 3 0 b が形成されるとともに、その凹部 3 0 b から配線パターン 2 1 の上面の全てが認識マーク 2 1 a として露出される。さらに、配線パターン 2 1 の側壁 (周囲) に薄化されたソルダレジスト層 3 1 が形成されるとともに、そのソルダレジスト層 3 1 の上面の表面粗度 (凹部 3 0 b の底面 A 1 の表面粗度) がソルダレジスト層 3 2 の上面の表面粗度 (凹部 3 0 b の縁部 A 2 の表面粗度) よりも高くなる。例えば、薄化されていないソルダレジスト層 3 2 の表面粗度は 5 0 n m 程度であるのに対し、薄化後のソルダレジスト層 3 1 の表面粗度は 4 0 0 n m 程度になる。

【 0 0 4 2 】

なお、基板本体 1 0 の下面側に形成されたソルダレジスト層 3 3 に対しても同様に、マスク 4 2 の開口部 4 2 a を通じてサンドブラスト法を施す。具体的には、マスク 4 2 の開口部 4 2 a に対向するソルダレジスト層 3 3 が除去されるまでソルダレジスト層 3 3 にサンドブラスト法を施す。これにより、ソルダレジスト層 3 3 に開口部 3 3 a が形成されるとともに、その開口部 3 3 a から配線パターン 2 2 の一部が外部接続用パッド 2 2 a として露出される。

【 0 0 4 3 】

その後、図 5 (b) に示すように、マスク 4 1 , 4 2 を除去し、パッド 2 0 a , 2 2 a 及び配線パターン 2 1 の表面を、ソフトエッチング (例えば Cu ソフトエッチング) することにより清浄にする (エッチング工程)。このとき、配線パターン 2 1 の上面が凹部 3 0 b の底面 A 1 (配線パターン 2 1 の側壁に接するソルダレジスト層 3 1 の上面) よりも低くなるまで配線パターン 2 1 をエッチングする。これにより、ソルダレジスト層 3 1 から露出される認識マーク 2 1 a が形成される。なお、この表面処理後の認識マーク 2 1 a の上面の表面粗度は、例えば 3 0 0 n m 程度となり、ソルダレジスト層 3 1 の上面の表面粗度よりも低くなる。以上の製造工程により、本実施形態の配線基板 2 を製造することができる。

【 0 0 4 4 】

次に、上述のように製造された配線基板 2 に半導体チップ 3 を実装する方法を説明する。図 5 (c) に示すように、配線基板 2 のパッド 2 0 a 上に、半導体チップ 3 のパンプ 3 a をフリップチップ接合する。続いて、図 5 (d) に示すように、フリップチップ接合された半導体チップ 3 と配線基板 2 との間に、アンダーフィル樹脂 4 を充填し、そのアンダーフィル樹脂 4 を硬化する。以上の製造工程により、本実施形態の半導体装置を製造する

10

20

30

40

50

ことができる。

【0045】

以上説明した本実施形態によれば、以下の効果を奏することができる。

(1) ソルダレジスト層30から上面の全てが露出されることで認識マーク21aとなる配線パターン21と、その配線パターン21の上面を全て露出させるための凹部30bを有するソルダレジスト層30とを形成するようにした。これにより、ソルダレジスト層30から露出される配線パターン21の上面の形状(平面形状)が認識マーク21aの形状となる。ここで、配線パターン21は、その所望の平面形状が鋭角や直角な角を有する形状であっても、フォトリソグラフィ法などによってその所望の平面形状に容易に形成することができる。したがって、このような配線パターン21の上面が全て露出されれば、
10 プラスト法によって凹部30bが所望の形状(四角形状)に形成できない場合、つまり凹部30bの四隅が丸まった形状になった場合であっても、認識マーク21aを所望の形状に形成することができる。この結果、認識マーク21aの認識性が低下することを抑制することができる。

【0046】

また、認識マーク21aを露出させるための凹部30bをプラスト法によって形成することができるため、ソルダレジスト層30として非感光性樹脂(熱硬化性樹脂等)を採用することができる。このため、ソルダレジスト層30における耐熱性や耐薬品性といった信頼性を、ソルダレジスト層30として感光性樹脂を採用する場合に比べて向上させることができる。
20

【0047】

(2) 凹部30bの底面A1の表面粗度(ソルダレジスト層31の上面の表面粗度)を、認識マーク21aの上面の表面粗度よりも高くなるようにした。これにより、例えば認識マーク21a等の表面で反射される反射光強度によって認識マーク21aを検出する場合に、認識マーク21aとソルダレジスト層31とにおける反射光強度の差を大きくすることができる。この結果、認識マーク21aとソルダレジスト層31との境界部分、すなわち認識マーク21aの輪郭が強調されるため、認識マーク21aの認識性を向上させることができる。

【0048】

(3) 凹部30bの底面A1(ソルダレジスト層31の上面)に、認識マーク21aの端部から凹部30bの側壁部A3に向かって湾曲状に凹む湾曲部31aを形成するようにした。これにより、例えば認識マーク21a等の表面で反射される反射光強度によって認識マーク21aを検出する場合に、認識マーク21aとソルダレジスト層31とにおける反射光強度の差を大きくすることができる。この結果、認識マーク21aとソルダレジスト層31との境界部分、すなわち認識マーク21aの輪郭が強調されるため、認識マーク21aの認識性を向上させることができる。
30

【0049】

(4) 認識マーク21aを、その上面が凹部30bの底面A1よりも低くなるように形成した。例えばソルダレジスト層30に凹部30bを形成する際に、図5(a)に示すように、サンドブラスト処理による加工ダメージ等によって配線パターン21の上面が変形し、その配線パターン21の平面形状が所望の形状よりも大きくなる場合がある。このような配線パターン21を認識マーク21aとすると、その認識マーク21aの認識性が低下してしまう。これに対し、上述のように認識マーク21aの上面を凹部30bの底面A1よりも低く形成することにより、加工ダメージ等によって配線パターン21が変形しても、図5(b)に示すように配線パターン21の平面形状を所望の形状に戻すことができる。したがって、認識マーク21aの認識性が低下することを抑制することができる。
40

【0050】

(5) パッド20aとなる配線パターン20と、認識マーク21aとなる配線パターン21とを同じ厚さで形成するようにした。これにより、配線パターン20, 21を同一工程で同時に形成することができ(図4(a)参照)、さらにパッド20aと認識マーク2
50

1 aとを同一工程で形成することができる(図5(a)、(b)参照)。

【0051】

(第2実施形態)

以下、第2実施形態を図7及び図8に従って説明する。なお、先の図1～図6に示した部材と同一の部材にはそれぞれ同一の符号を付して示し、それら各要素についての詳細な説明は省略する。

【0052】

上記第1実施形態では、マトリクス状に配設されたパッド20aを有する配線基板2について説明した。これに対し、本実施形態では、ペリフェラル状に配設されたパッドを有する配線基板について説明する。

10

【0053】

図7は、本実施形態の半導体装置5の概略平面図である。また、図8(a)は、図7に示す半導体装置5のA-A概略断面図であり、図8(b)は、図7に示す半導体装置5のB-B概略断面図であり、図8(c)は、図7に示す半導体装置5のC-C概略断面図である。

【0054】

図7及び図8(a)～(c)に示すように、本実施形態の半導体装置5は、配線基板6と、半導体チップ7と、アンダーフィル樹脂8とを有する。

図8(a)～(c)に示すように、配線基板6は、基板本体50と、最上層の配線パターン60、61(最上層配線)と、最下層の配線パターン62と、ソルダレジスト層70、75とを有する。なお、この配線基板6に実装される半導体チップ7は、その回路形成面(図8において下面)に、ペリフェラル状(チップ外周に沿った環状の形態)に配設された複数のバンプ7aを備えている(破線参照)。

20

【0055】

基板本体50は、コア基板51と、複数の絶縁層52、53と、複数の絶縁層52、53に形成された配線54、55及びビア56、57等から構成されている。基板本体50に設けられた配線54、55及びビア56、57は、配線パターン60及び配線パターン62を電気的に接続している。なお、配線54、55やビア56、57の材料としては、例えば銅(Cu)を用いることができる。また、絶縁層52、53の材料としては、例えばエポキシ系樹脂やポリイミド系樹脂の絶縁樹脂を用いることができる。

30

【0056】

配線パターン60は、基板本体50のチップ実装面側(図8(a)において上面側)に設けられている。この配線パターン60は、半導体チップ7のバンプ7aが接続されるパッド60aを有する。この配線パターン60の平面形状は、例えば矩形状に形成されている(図7参照)。

【0057】

配線パターン61は、基板本体50のチップ実装面側に設けられている。この配線パターン61は、その上面の全てがソルダレジスト層70から露出されることで認識マーク61aとなるパターンである。また、配線パターン61(認識マーク61a)の平面形状は、図7に示すように、例えばT字状や三角形状に形成されている。この配線パターン61と上記配線パターン60とは、同じ厚さで形成されている。これら配線パターン60、61の材料としては、例えば銅を用いることができる。なお、配線パターン60、61は、銅層の表面に所要のめっき(例えば、ニッケルめっきや金めっき等)を施して形成するようにしてもよい。

40

【0058】

図8に示すように、配線パターン62は、基板本体50のチップ実装面と反対側(図8において下面側)に設けられている。この配線パターン62は、マザーボード等の実装基板と接続される外部接続端子を配設するための外部接続用パッド62aを有する。なお、配線パターン62の材料としては、例えば銅を用いることができる。

【0059】

50

ソルダレジスト層 70 は、配線パターン 60, 61 を覆うように基板本体 50 のチップ実装面側に設けられている。ソルダレジスト層 70 の材料としては、例えばエポキシ系の絶縁性樹脂を用いることができる。このソルダレジスト層 70 には、上記パッド 60a となる配線パターン 60 の一部を露出させるための凹部 70a が形成されるとともに、配線パターン 61 の上面の全てを露出させるための凹部 70b が形成されている。また、このソルダレジスト層 70 は、凹部 70a に対応する領域に形成されたソルダレジスト層 71 と、凹部 70b に対応する領域に形成されたソルダレジスト層 72 と、凹部 70a よりも外側領域に形成されたソルダレジスト層 73 と、凹部 70a よりも内側領域に形成されたソルダレジスト層 74 とを含む。換言すると、ソルダレジスト層 72 は凹部 70b の底面 A1 となり、ソルダレジスト層 73 は凹部 70b の縁部 A2 となる。これらソルダレジスト層 71 とソルダレジスト層 72 とソルダレジスト層 73 とソルダレジスト層 74 とは一体に形成されている。

【0060】

ここで、上記凹部 70a の形状について以下に説明する。まず、本実施形態では半導体チップ 7 のバンプ 7a がペリフェラル状に配設されているため、その配設形態に応じて配線基板 6 に形成されるパッド 60a も配線基板 6 の外周に沿って環状に配列されている（図 7 参照）。すなわち、上記パッド形成領域がチップ実装領域 CA に沿って環状に形成されている。このため、上記凹部 70a もチップ実装領域 CA に沿って環状に形成され、且つ帯状に形成されている。この凹部 70a は、例えば第 1 実施形態の開口部 30a の形成方法と同様にサンドブラスト法によって、凹部 70a に対応する部分のソルダレジスト層 71 が、その他の部分のソルダレジスト層 73, 74 よりも薄化されることで形成されている。

【0061】

このような凹部 70a では、配線パターン 60 の一部がパッド 60a として露出されるとともに（図 8（a）参照）、パッド 60a 以外の部分にはソルダレジスト層 71 が形成されている（図 8（b）参照）。このため、図 8（b）に示すように、隣接するパッド 60a 間にはソルダレジスト層 71 が形成されている。さらに言うと、このソルダレジスト層 71 は、図 8（b）に示すように、その上面がパッド 60a の上面よりも高く形成されている。その一方で、ソルダレジスト層 71 は、その上面がソルダレジスト層 73, 74 の上面よりも低く形成されている。

【0062】

続いて、上記凹部 70b の形状について以下に説明する。まず、本実施形態の認識マーク 61a は、ソルダレジスト層 70 の下層の配線パターン 61 によってその形状が所望の形状に形成されている。すなわち、認識マーク 61a の所望の形状が T 字状である場合には、配線パターン 61 の平面形状が T 字状に形成されている。また、認識マーク 61a の所望の形状が三角形である場合には、配線パターン 61 の平面形状が三角形に形成されている。そして、上記凹部 70b は、図 7 に示すように、この配線パターン 61 の上面の全てを露出させるように、その平面形状が配線パターン 61 の平面形状よりも大きく形成されている。具体的には、凹部 70b の平面形状は、配線パターン 61 の平面形状よりも大きな面積を有する四角形状に形成されている。この凹部 70b は、上記凹部 70a と同様に、例えばサンドブラスト法によって、凹部 70b に対応する部分のソルダレジスト層 72 が、その他の部分のソルダレジスト層 73 よりも薄化されることで形成されている。

【0063】

このような凹部 70b では、配線パターン 61 の上面が認識マーク 61a として露出されるとともに、認識マーク 61a 以外の部分にはソルダレジスト層 72 が形成されている。このため、配線パターン 61 の平面形状が認識マーク 61a の形状となる。また、配線パターン 61 の側壁に接するようにソルダレジスト層 72（ソルダレジスト層 70）が形成されている。換言すると、認識マーク 61a の周囲はソルダレジスト層 72（ソルダレジスト層 70）によって覆われている。そして、このソルダレジスト層 72（凹部 70b

の底面 A 1) には、認識マーク 6 1 a の端部から凹部 7 0 b の側壁部 A 3 に向かって湾曲状に凹む湾曲部 7 2 a が形成されている。

【 0 0 6 4 】

さらに、凹部 7 0 b と認識マーク 6 1 a の関係について詳述すると、凹部 7 0 b の底面 A 1 (ソルダレジスト層 7 2 の上面) は、認識マーク 6 1 a の上面よりも高く形成されるとともに、凹部 7 0 b の縁部 A 2 (ソルダレジスト層 7 3 の上面) よりも低く形成されている。また、凹部 7 0 b の底面 A 1 の表面粗度 (ソルダレジスト層 7 2 の上面の表面粗度) は、認識マーク 6 1 a の上面の表面粗度よりも高く、凹部 7 0 b の縁部 A 2 の表面粗度 (ソルダレジスト層 7 3 の上面の表面粗度) よりも高くなっている。

【 0 0 6 5 】

図 8 に示すように、外部接続用パッド 6 2 a は、基板本体 5 0 のチップ実装面と反対側 (図 8 において下面側) に形成されたソルダレジスト層 7 5 から露出するように設けられている。この外部接続用パッド 6 2 a は、マザーボード等の実装基板と接続される外部接続端子を配設するためのパッドである。

【 0 0 6 6 】

図 8 (a) 、 (b) に示すように、半導体チップ 7 は、このように構成された配線基板 6 にフリップチップ接合される。すなわち、半導体チップ 7 は、回路形成面に配設されたバンプ 7 a を介して、配線基板 6 のパッド 6 0 a と電氣的に接続される。

【 0 0 6 7 】

アンダーフィル樹脂 8 は、配線基板 6 と半導体チップ 7 との隙間を充填するように設けられている。なお、アンダーフィル樹脂 8 の材料としては、例えばエポキシ樹脂を用いることができる。

【 0 0 6 8 】

以上説明した本実施形態によれば、上記第 1 実施形態と同様の効果を奏する。

(他の実施形態)

なお、上記実施形態は、これを適宜変更した以下の態様にて実施することもできる。

【 0 0 6 9 】

・上記各実施形態では、認識マーク 2 1 a , 6 1 a の上面を凹部 3 0 b , 7 0 b の底面 A 1 よりも低くなるように形成した。これに限らず、例えば図 9 に示されるように、認識マーク 2 1 a の上面を凹部 3 0 b の底面 A 1 と面一になるように形成するようにしてもよい。

【 0 0 7 0 】

・上記各実施形態では、凹部 3 0 b の底面 A 1 に湾曲部 3 1 a を形成するようにし、凹部 7 0 b の底面 A 1 に湾曲部 7 2 a を形成するようにした。これに限らず、例えば図 1 0 に示されるように、凹部 3 0 b の底面 A 1 における湾曲部 3 1 a の形成を省略してもよい。

【 0 0 7 1 】

・図 1 1 に示されるように、上記第 1 実施形態におけるソルダレジスト層 3 1 , 3 2 によって形成される段差部 D 1 が傾斜部 K 1 を有するように形成してもよい。すなわち、凹部 3 0 b の側壁部 A 3 が傾斜面となるように形成してもよい。さらに、上記傾斜部 K 1 が曲面を有するように段差部 D 1 を形成するようにしてもよい。なお、パッド 2 0 a とソルダレジスト層 3 2 によって形成される段差部 D 2 についても、傾斜部 K 2 を有するように形成してもよい。また、上記第 2 実施形態についても同様である。

【 0 0 7 2 】

・上記各実施形態における認識マーク 2 1 a , 6 1 a を形成するための凹部 3 0 b , 7 0 b の平面形状は、配線パターン 2 1 , 6 1 の上面の全てを露出させることのできる形状であれば特に制限されない。例えば、凹部 3 0 b , 7 0 b の平面形状を円形状としてもよい。

【 0 0 7 3 】

・上記各実施形態では、サンドブラスト処理によりソルダレジスト層 3 0 , 7 0 の薄化

10

20

30

40

50

(除去)を行ったが、これに限定されない。例えばサンドブラスト処理以外の各種ブラスト処理(ウェットブラスト処理等)によりソルダレジスト層30, 70の薄化を行うようにしてもよい。また、例えば樹脂エッチングやレーザ加工法などによりソルダレジスト層30, 70の薄化を行うようにしてもよい。

【0074】

・上記各実施形態におけるパッド20a, 60aを形成するための開口部30a及び凹部70aの形状については特に制限されない。例えば配線パターン20, 60の全てをパッド20a, 60aとして露出させるように開口部30a及び凹部70aを形成するようにしてもよい。

【0075】

・上記第1実施形態では、ソルダレジスト層30上に貼り付けたドライフィルムレジストを露光・現像によりパターンニングして、開口部41a, 41bを持つサンドブラスト保護用のマスク41を形成するようにした。これに限らず、例えばマスク41として金属マスクを用いてもよい。また、金属箔を上記ドライフィルムレジストと同様にパターンニングしてマスク41を形成するようにしてもよい。

【0076】

・上記各実施形態では、配線基板2, 6に半導体チップ3, 7をそれぞれ実装する場合について説明したが、被実装体としては半導体チップ3, 7に制限されない。例えば配線基板2, 6の上に別の配線基板を積み重ねる構造を有するフリップチップ実装タイプのパッケージ(パッケージ・オン・パッケージ)にも、本発明を適用することが可能である。

【0077】

・上記各実施形態において、配線パターン20, 60の下層の構造については特に限定されない。例えばコア基板11, 51の構造及び材質は特に限定されない。また、コア基板11, 51上に形成される下層配線(例えば、上記第1実施形態では配線14, 15)とそれを覆う絶縁層(例えば、上記第1実施形態では絶縁層12, 13)の層数についても特に限定されない。すなわち、コア基板11, 51上に所定数の下層配線とそれを覆う絶縁層を形成してもよい。なお、配線パターン20, 60のパターン形状についても特に限定されない。

【0078】

・上記各実施形態における配線パターン20, 21(配線パターン60, 61)上に形成されるのは、ソルダレジスト層30, 70に限定されず、絶縁層であればよい。

【符号の説明】

【0079】

- 1, 5 半導体装置
- 2, 6 配線基板
- 3, 7 半導体チップ
- 20, 60 配線パターン(第2の配線層)
- 21, 61 配線パターン(第1の配線層)
- 21a, 61a 認識マーク
- 30, 70 ソルダレジスト層(絶縁層)
- 31, 72 ソルダレジスト層
- 32, 73 ソルダレジスト層
- 30b, 70b 凹部
- A1 凹部の底面
- A2 凹部の縁部
- A3 凹部の側壁部

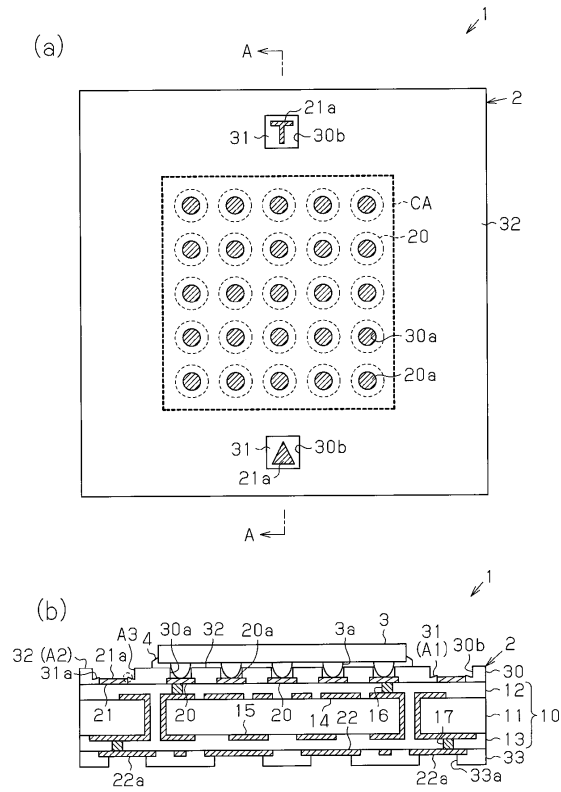
10

20

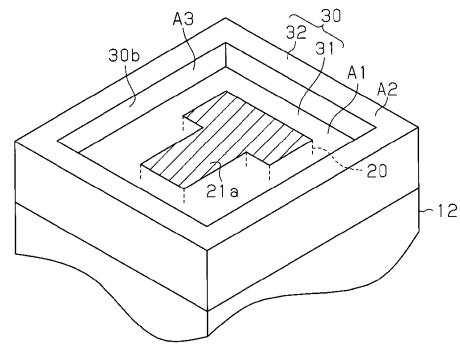
30

40

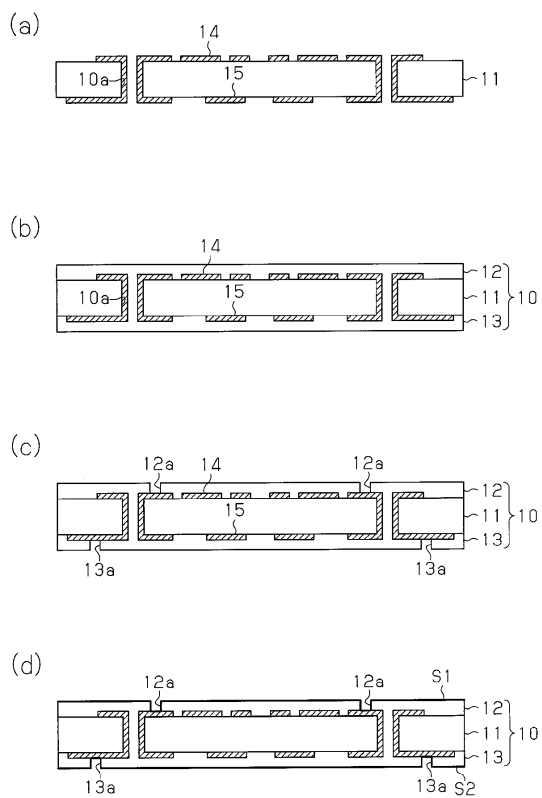
【図 1】



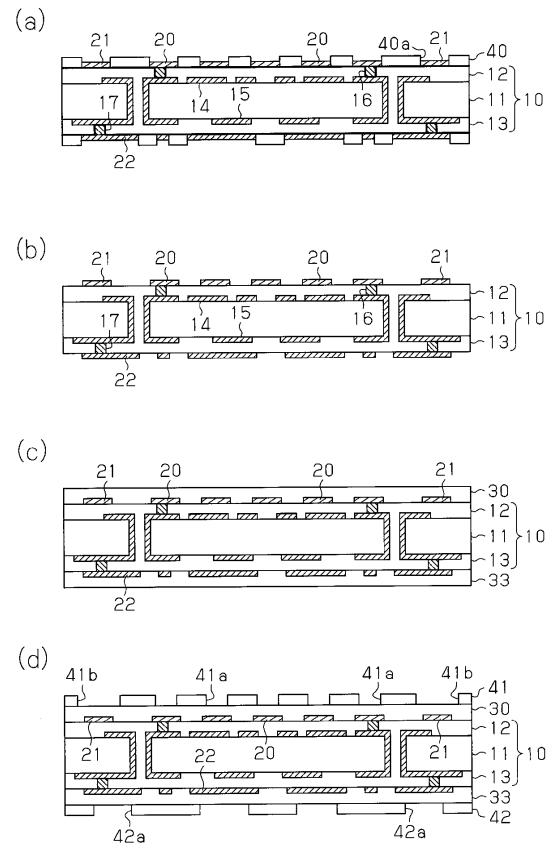
【図 2】



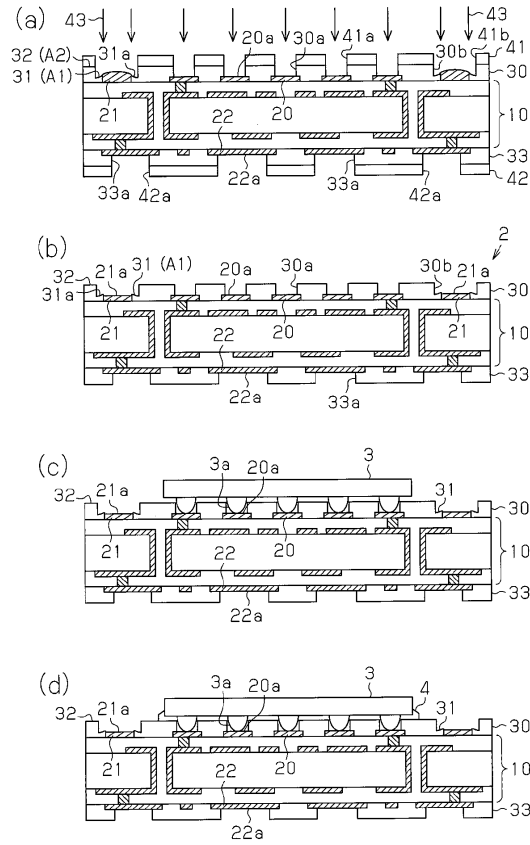
【図 3】



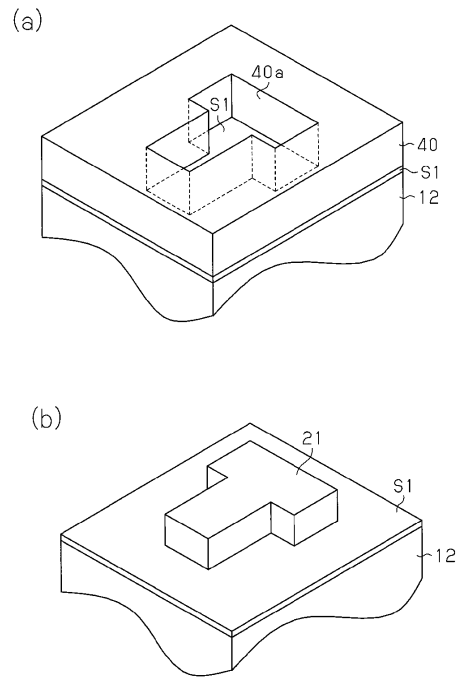
【図 4】



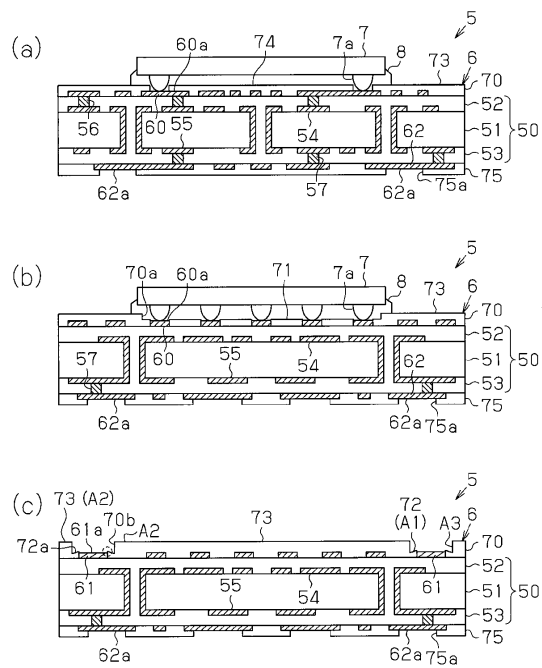
【図 5】



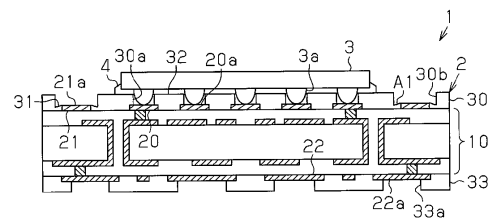
【図 6】



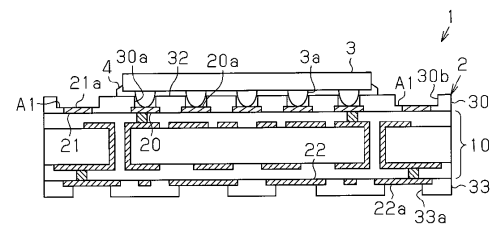
【図 8】



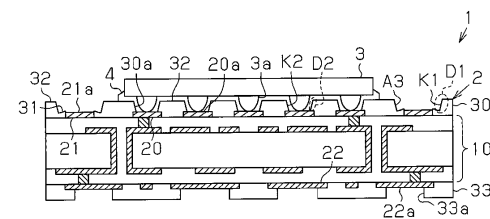
【図 9】



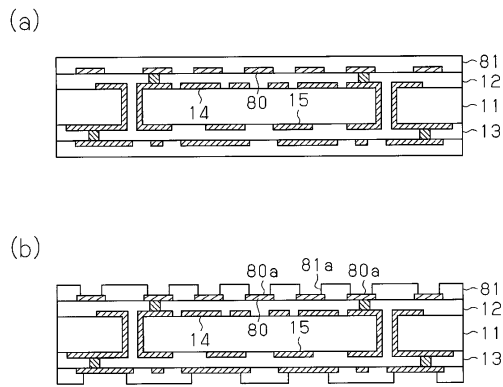
【図 10】



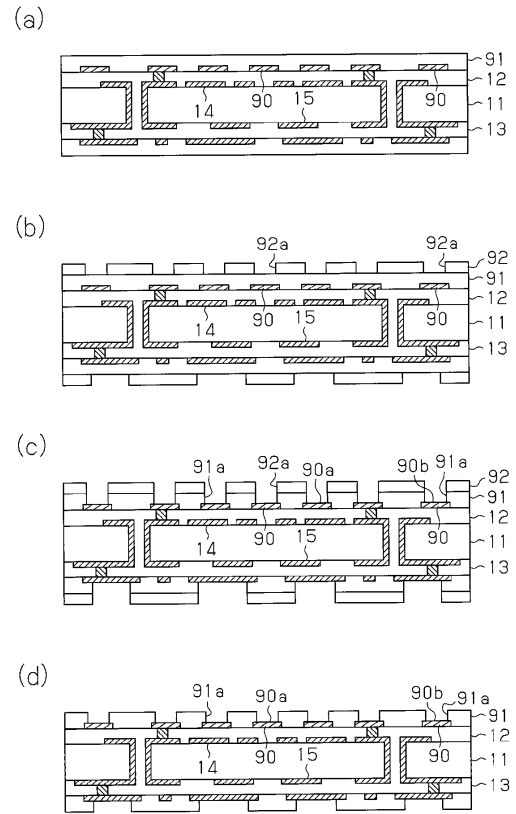
【図 11】



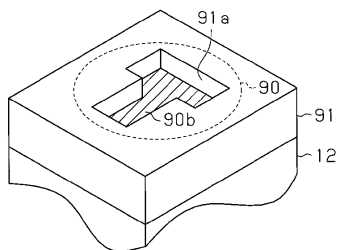
【図 1 2】



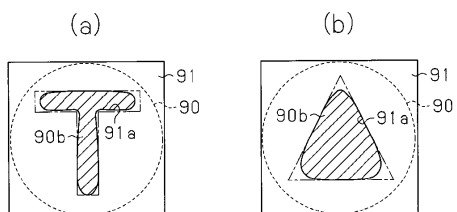
【図 1 3】



【図 1 4】



【図 1 5】



フロントページの続き

(56)参考文献 特開平5 - 267802 (JP, A)
特開2003 - 258416 (JP, A)
特開2004 - 119947 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H05K 1/02