

公告本

90年1月9日

90年1月9日修正

申請日期：88.6.21

案號：88110328

補充

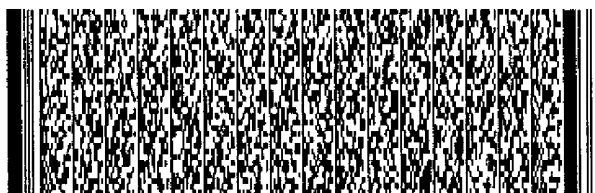
類別：H01L 2/8238

(以上各欄由本局填註)

發明專利說明書

須請委員明示
修正本有無變更實質內容是否准予修正。

一、發明名稱	中文	CMOS半導體元件及形成方法 459351
	英文	CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION
二、發明人	姓名 (中文)	1.畢卡司 馬汀 2.飛利浦 J. 托賓 3.C. 喬塞夫 摩加布 4.克利斯多夫 郝博斯
	姓名 (英文)	1. BIKAS MAITI 2. PHILIP J. TOBIN 3. C. JOSEPH MOGAB 4. CHRISTOPHER HOBBS
	國籍	1. 印度 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯汀市喬力唯爾路11500號 2. 美國德州奧斯汀市唯德摩爾路11410號 3. 美國德州奧斯汀市艾爾利契路22號 4. 美國德州奧斯汀市威爾斯布蘭奇路1720號
三、申請人	姓名 (名稱) (中文)	1. 美商摩托羅拉公司
	姓名 (名稱) (英文)	1. MOTOROLA INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人 姓名 (中文)	1. F. 強 莫辛格
	代表人 姓名 (英文)	1. F. JOHN MOTSINGER



459351

90 年 1 月 9 日

修正

申請日期：

案號：88110328

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 賴瑞 E. 夫利砂
	姓名 (英文)	5. LARRY E. FRISA
	國籍	5. 美國
	住、居所	5. 德國德瑞斯頓市普瑞爾斯特拉斯路25號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/06/30 09/107,963

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

先前申請案參考資料

在美國此申請案已於1998年6月30日登記為專利申請案第09/107,963號。

發明範圍

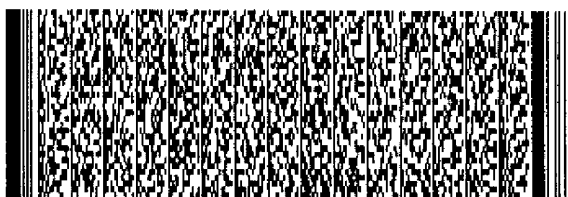
本發明有關半導體元件，特別是有關互補金屬氧化物半導體元件與其形成方法。

發明背景

就高性能半導體而言，朝向使用金屬閘極以克服多晶矽耗盡之問題。多晶矽閘極之半導體性質造成該閘極中彎曲帶或是電勢阱。載波局限在與其波長相當之尺寸上。該多晶矽層中之對應電荷分佈造成閘極電容(C_p)有限偏差依存性質，出現該多晶矽耗盡效果。當閘極氧化物變薄時，同時使用互補金屬氧化物半導體(CMOS)技術，提高閘極氧化物電容(C_{ox})使 C_{ox} 相當於接近該裝置臨界電壓閘極偏差範圍之多晶矽閘極電容。此致使整體閘極電容(C_g)不必要地全面降低。

在一種操作逆轉模式中操作時，該半導體元件此效果甚至更為嚴苛，而且若該多晶矽閘極之載波密度低於 10^{20} /立方厘米時可能使整體電容降低約30%。過多摻雜劑(諸如P+極用之摻雜劑)可能提高 C_p ，造成臨界電壓(V_t)不安定。

已習知使用金屬閘極可以消除多晶矽耗盡效果。亦已習知多晶矽閘極具有高度電阻係數，造成對於矽化該閘極以降低整體電阻係數之需求。某些設計環境中，不可能或是必須矽化所有閘極(諸如因為需要金屬互連層之故並非所有部分均經矽化之SRAMs，多晶矽閘極之高度電阻係數是

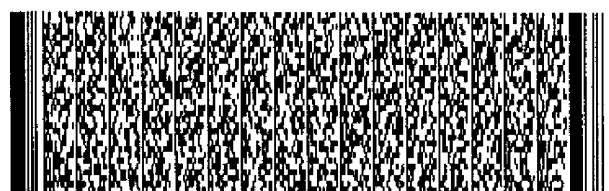
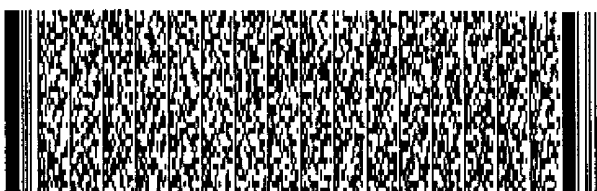


五、發明說明 (2)

一缺點。此外，使用絕緣體上矽完全耗盡技術(FDSOI)時，無法經由使用實際SOI厚度之多晶矽閘極達到最適 V_{ts} 。此外，多晶矽閘極之用途與高度電容率(高k值)金屬氧化物閘極介電體(其中高k值通常大於3.9)用途不一致時，存在來自該多晶矽之矽與該金屬氧化物反應而造成污染金屬氧化物閘極介電體之可能性，因而影響其高k值特性。

在CMOS技術當中，使用N+多晶矽與P+多晶矽分別作為NMOS與PMOS裝置之閘極。N+多晶矽與P+多晶矽相當於N+多晶矽4.1 eV與P+多晶矽5.2 eV之操作功能。電流裝置尺寸需要大於 $1E17$ /立方厘米之矽頻路摻雜劑以避免短頻路效果。取代雙摻雜矽閘極時，必須選擇金屬之操作功能。習知方法之一已選擇該金屬，如此其具有可允許NMOS與PMOS裝置二者對稱 V_{ts} 之中等間隙操作功能。不過，因為摻雜需求必須避免短頻路效果之故，造成 V_{ts} 之中等間隙金屬對於低電壓、低功率、高性能裝置而言相當大。因此，需要具有對於NMOS與PMOS裝置二者提供低 V_{ts} 之方法。

本發明目的之一在於提供一可應用於NMOS與PMOS裝置之低臨界電壓(V_{ts})。本發明包括一結構及一方法。本發明之結構為一半導體元件，其具有一半導體基板、一第一閘極及一第二閘極。該半導體基板具有一第一導電型之一第一區域及一第二導電型之一第二區域。第一閘極具有覆蓋該第一區域之一第一金屬氮化物層，且特徵在於具有第一功能值。該第二閘極包括覆蓋該第二區域之一第二金屬氮化物層，且特徵在於具有一第二功能值。第二功能值小於



五、發明說明 (3)

第一功能值。

本發明之方法藉由實施下列步驟來獲得一半導體元件。提供一半導體基板，其具有一第一導電型之一第一區域及一第二導電型之一第二區域。形成一覆蓋該半導體基板之導電層，其具有覆蓋該第一區域之一第一部份及覆蓋該第二區域之一第二部份。氮化該導電層之第一部份，以便在該第一區域上形成一導電氮化層。圖樣化該導電氮化物層，以在該第一區域上形成一第一閘極。圖樣化該導電層，以在該第二區域上形成一第二閘極。

本發明之方法及結構可應用於NMOS及PMOS，以完成低的臨界電壓(V_{ts})。

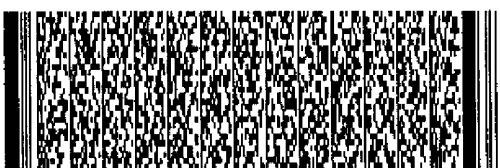
圖式簡述

圖1至圖7顯示用以形成本發明半導體元件之步驟剖面圖。

圖8至圖9顯示用以形成本發明其他具體實例半導體之步驟剖面圖。

元件符號說明

3	第一區域	5	第二區域
10	半導體裝置結構之部份	12	電場絕緣區
14	第一閘極介電層	15	半導體裝置結構
16	第二閘極介電層	18	導電層
20	面罩層	22	佈植氮離子
23	第一閘極	24	導電氮化層



五、發明說明 (4)

25	第二閘極	26	覆蓋層
27	第一電晶體	28	側壁間隔物
29	第二電晶體	30	源極汲極區
34	源極汲極區	40	第二面罩層
41	氮離子	42	導電氮化物
47	閘極	48	第一電晶體
49	閘極	50	第二電晶體

較佳具體實施例詳述

圖1所示係根據本發明具體實例之一的半導體元件結構部分10。該半導體元件結構包括具有第一導電型之第一區3、第二導電型之第二區5、電場絕緣區12、第一閘極介電層14與第二閘極介電層16之半導體基板。一具體實例中，該半導體基板係單晶矽基板。或者該半導體基板可為絕緣體上矽基板、一種鍍基板、一種矽-鍍基板、一種藍寶石上矽等。

一具體實例中，電場絕緣區12係使用習用蝕刻作用與化學機械拋光技術形成之溝槽絕緣區。或者，電場絕緣區12可為電場氧化物區，其係使用習用技術形成，諸如局部矽氧化作用(LOCOS)、聚緩衝LOCOS(PBL)、多晶矽密封局部氧化作用(PELOX)等。在一具體實例中，閘極介電層14與閘極介電層16係熱二氧化矽層，其係分別熱氧化一部分第一區3與第二區5形成。或者，閘極介電層14與閘極介電層16可為一層氮化矽、一層氧氮化矽、一層化學蒸氣沉積二氧化矽、一氮化氧化物層、一高k值介電材料，諸如一種



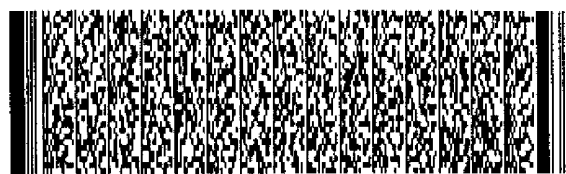
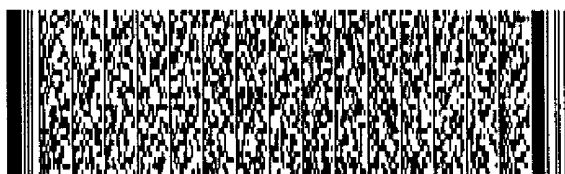
五、發明說明 (5)

金屬氧化物，或是其組合物。必須明白可以同時形成閘極介電層14與閘極介電層16。或者，可以不同時以及與不同閘極介電材料形成閘極介電層14與閘極介電層16。

圖2中，在第一區3與第二區5上覆蓋形成導電層18。具體實例之一中，導電層18係一金屬層，諸如鉭、鎢、鉬、鈳、鈐、釩、鉻、鈮、鈦等。或者，導電層18可為一種金屬矽化物層，諸如矽化鉭、矽化鎢、矽化鉬、矽化鈦等。可以使用習用化學蒸氣沉積技術或是濺鍍技術形成導電層18。

圖3中，在導電層18上覆蓋形成遮罩層20。具體實例之一當中，遮罩層20係使用迅速熱化學蒸氣沉積作用沉積之氮化矽層。或者，遮罩層20可為一種光阻層或是多晶矽層。

圖4中，對遮罩層20形成佈線圖型，以曝露導電層18第一部分，並留下覆蓋導電層18第二部分之遮罩層20部分。然後氮化該導電層18之曝露部分以形成覆蓋第一區3之導電氮化物層24。具體實例之一當中，將氮離子22植入導電層18曝露部分形成導電性氮化物層24。必須明白遮罩層20殘留部分避免氮離子植入導電層18之第二部分。植入氮之後，該半導體元件結構退火形成導電性氮化物層24。可使用習用爐或是迅速熱退火系統使該半導體元件結構退火。必須明白若使用光阻形成遮罩層20，必須於退火之前去除彼。或者，可以在氮環境(諸如氮)下退火導電層18之曝露部分或是將導電層18之曝露部分曝於包括氮之電漿當中形成導電氮化物層24。注意，若導電層18係鉭、鎢、鉬、



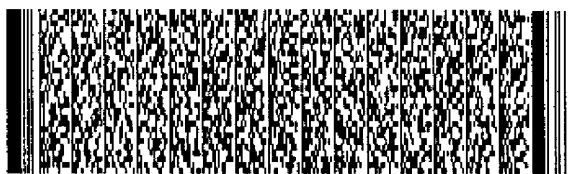
五、發明說明 (6)

銦、鉛、鈇、鉻、鋯或鈦層，則導電氮化物層24分別是氮化鈾、氮化鎢、氮化鉬、氮化銦、氮化鉛、氮化鈇、氮化鉻、氮化鋯或氮化鈦層。同樣地，若導電層18係矽化鈾、矽化鎢、矽化鉬或是矽化鈦，導電氮化物層24分別是矽氮化鈾、矽氮化鎢、矽氮化鉬或矽氮化鈦。

圖5當中，在導電氮化物層24與導電層18殘留部分形成覆蓋層26。具體實例之一當中，覆蓋層26係使用迅速熱化學蒸氣沉積作用沉積之矽氮化物層。或者，覆蓋層26可為亦使用迅速熱化學沉積作用沉積之多晶矽層。注意，若使用多晶矽形成覆蓋層26，然後可在該多晶矽與下層導電氮化物層24以及導電層18之間形成一阻礙層(諸如氮化鈦)，以避免多晶矽層與下層導電金屬層18以及導電氮化物層24間之矽化作用。亦必須瞭解使用覆蓋層26避免隨後處理期間導電氮化物層24與導電層18殘留部分之氧化作用。

圖6當中，對於導電氮化物層24形成佈線圖型以形成覆蓋第一區3之第一閘極23，並對於導電層18殘留部分形成佈線圖型以形成覆蓋第二區5之第二閘極25。如圖6所示，留下一部分覆蓋層26覆蓋第一閘極23以及覆蓋第二閘極25。必須注意使用習用蝕刻技術同時或是在個別步驟中對於導電氮化物層24與導電層18殘留部分形成佈線圖型。

圖7當中，沿著第一閘極23與第二閘極25側壁形成側壁間隔物28。具體實例之一當中，側壁間隔物28係矽氮化物側壁間隔物，其係使用迅速熱化學蒸氣沉積作用與習用蝕刻技術形成。必須明白側壁間隔物28避免第一閘極23與第二閘極25於隨後處理步驟期間氧化。此外，在第一區3當

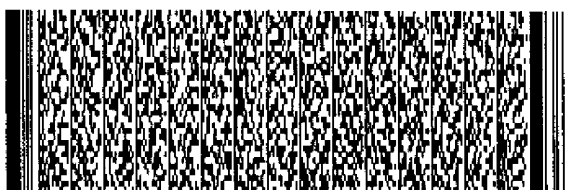


五、發明說明 (7)

中形成具有第二導電型之源極汲極區30，在第二區5內形成具有第一導電型之源極汲極區34，以在第一區30中形成第一電晶體27以及在第二區5內形成第二電晶體29。必須明瞭閘極23具有與閘極25不同之操作功能。例如，若第一區3具有N-型導電係數而第二區5具有P-型導電係數，閘極23之操作功能會大於閘極25之操作功能。

圖8所示係本發明另一具體實例，其中形成導電氮化物層24之後去除示於圖4之遮罩層20。然後，在導電氮化物層24上形成第二遮罩層40以曝露導電層18殘留部分。具體實例之一當中，遮罩層40是使用迅速熱化學蒸氣沉積作用沉積之矽氮化物層。或者，遮罩層40可為一層光阻或是一層多晶矽。形成遮罩層40之後，然後氮化導電層18之殘留部分以形成導電氮化物層42。具體實例之一當中，將氮離子41植入導電層18之殘留部分，然後使該半導體結構15退火形成導電氮化物層42。或者，可以在氮環境(諸如氮)下退火，或是使導電層18之殘留部分曝於包括氮之電漿以形成導電氮化物層42。注意，若導電層18係鉬、鎢、鉬、鉬、鈦、鈦、鈦、鈦、鈦或鈦層，則導電氮化物層42分別是氮化鉬、氮化鎢、氮化鉬、氮化鉬、氮化鈦、氮化鈦、氮化鈦、氮化鈦或氮化鈦層。同樣地，若導電層18係矽化鉬、矽化鎢、矽化鉬或是矽化鈦，導電氮化物層42分別是矽氮化鉬、矽氮化鎢、矽氮化鉬或矽氮化鈦。

圖9當中，去除遮罩層40並如先前圖5-8所述繼續處理之。此形成覆蓋第一區3之第一電晶體48與覆蓋第二區5之第二電晶體50。必須注意電晶體48之閘極47包括一部分導



五、發明說明 (8)

電氮化物層24，而且具有第一操作功能值，電晶體50之閘極49包括一部分導電氮化物層42，而且具有第二操作功能值。例如，可以形成具有第一操作功能值氮化鉍閘極之電晶體48以及具有第二操作功能值氮化鉍閘極之電晶體50。更特別的是，若第一區3具有N-型導電係數，第二區5具有P-型導電係數，第一電晶體48之氮化鉍閘極操作功能值大於電晶體50氮化鉍閘極操作功能值。注意，導電氮化物閘極之操作功能隨著氮濃度提高。因此，可以藉由形成具有不同氮濃度之導電氮化物層形成具有不同操作功能之閘極。尤其是，因為一種非化學當量富含金屬導電氮化物之氮濃度較小之故，其操作功能低於化學當量導電氮化物。

前述敘述與此處包含之舉例說明本發明諸多優點。特別是，已揭示使用具有不同操作功能之閘極以最適化裝置性能之CMOS裝置結構。

因此，很明顯地，本發明已提出一種完全符合前述需求與優點之CMOS裝置。雖然已參考特定具體實例描述與說明本發明，但是本發明並不限於此等範例性具體實例。熟知本技藝者將會明瞭在不違背本發明精神下可以製得改良與變化。因此，本發明包括所有此等在附錄申請專利範圍當中之變化與改良。

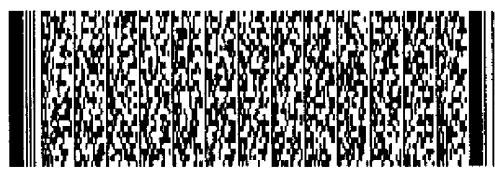
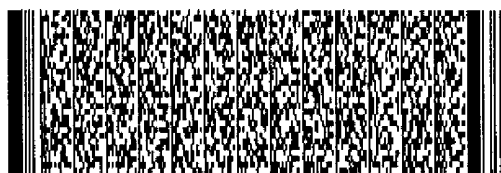


四、中文發明摘要 (發明之名稱: CMOS半導體元件及形成方法)

在一具體實施例中，於一個半導體基板之閘極介電層(14, 16)上形成金屬層(18)。將一遮罩層(20)圖樣化以遮罩部分金屬層(18)。氮化金屬層(18)曝露部分以形成導電性氮化物層(24)。去除該遮罩層(20)，將該導電氮化物層(24)同樣化以形成具有第一操作功能值之第一閘極(23)，並將導電層(18)同樣化以形成具有與第一操作功能值不同之第二操作功能值的第二閘極(25)。

英文發明摘要 (發明之名稱: CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION)

In one embodiment, a metal layer (18) is formed over a gate dielectric layer (14, 16) on a semiconductor substrate. A masking layer (20) is patterned to mask a portion of the metal layer (18). An exposed portion of the metal layer (18) is nitrided to form a conductive nitride layer (24). The masking layer (20) is removed and the conductive nitride layer (24) is patterned to form a first gate electrode (23) having a first work function value, and the conductive layer (18) is



四、中文發明摘要 (發明之名稱: CMOS半導體元件及形成方法)

英文發明摘要 (發明之名稱: CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION)

patterned to form a second gate electrode (25) having a second work function value which is different from that of the first work function value.



六、申請專利範圍

1. 一種形成一半導體元件之方法，其包括下列步驟：

備製一半導體基板，該半導體基板具有一第一導電型之一第一區與一第二導電型之一第二區；

形成一覆蓋該半導體基板之導電層，該導電層具有一覆蓋第一區之第一部分與一覆蓋第二區之第二部分；

氮化導電層之第一部分以形成一覆蓋該第一區之氮化物層；

圖樣化該導電層以形成一覆蓋該第一區之第一閘極；以及

圖樣化該導電層以形成覆蓋該第二區之第二閘極。

2. 如申請專利範圍第1項之方法，其中該導電氮化物層係進一步特徵於富含金屬氮化物層。

3. 如申請專利範圍第1項之方法，其中該導電氮化物層之另外特徵係為化學當量氮化物層。

4. 如申請專利範圍第1項之方法，其中同時對該導電氮化物層與該導電層形成佈線圖型。

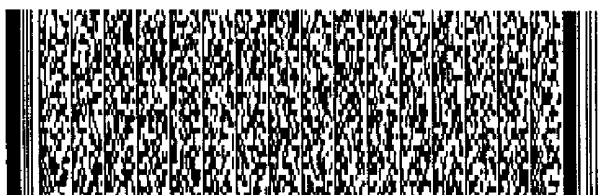
5. 如申請專利範圍第1項之方法，其中該導電層之另外特徵係為一鉭層。

6. 一種半導體元件，包括：

一具有一第一導電型之一第一區與一第二導電型之一第二區的半導體基板；

一第一閘極，其包括一覆蓋第一區之第一金屬氮化物層，該第一閘極具有一第一操作功能值；以及

一第二閘極，其包括一覆蓋第一區之第二金屬氮化物



六、申請專利範圍

層，該第二閘極具有一第二操作功能值，其中該第二操作功能值小於第一操作功能值。

7. 如申請專利範圍第6項之半導體元件，其中該第一金屬氮化物層另外特徵係第一氮濃度。

8. 如申請專利範圍第7項之半導體元件，其中該第二金屬氮化物層另外特徵係第二氮濃度，其小於第一氮濃度。

9. 如申請專利範圍第6項之半導體元件，其中該第一金屬氮化物層另外特徵係為第一氮化鉭層。

10. 如申請專利範圍第9項之半導體元件，其中該第二金屬氮化物層另外特徵係為第二氮化鉭層。



圖式

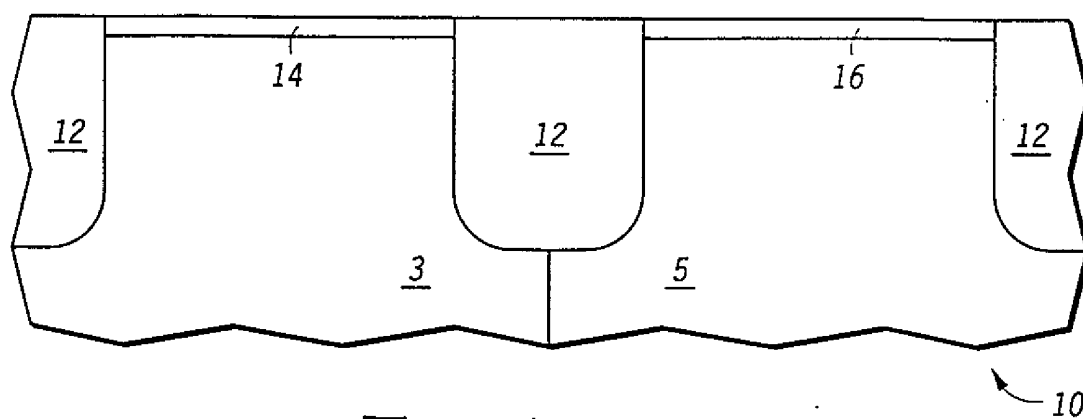


圖 1

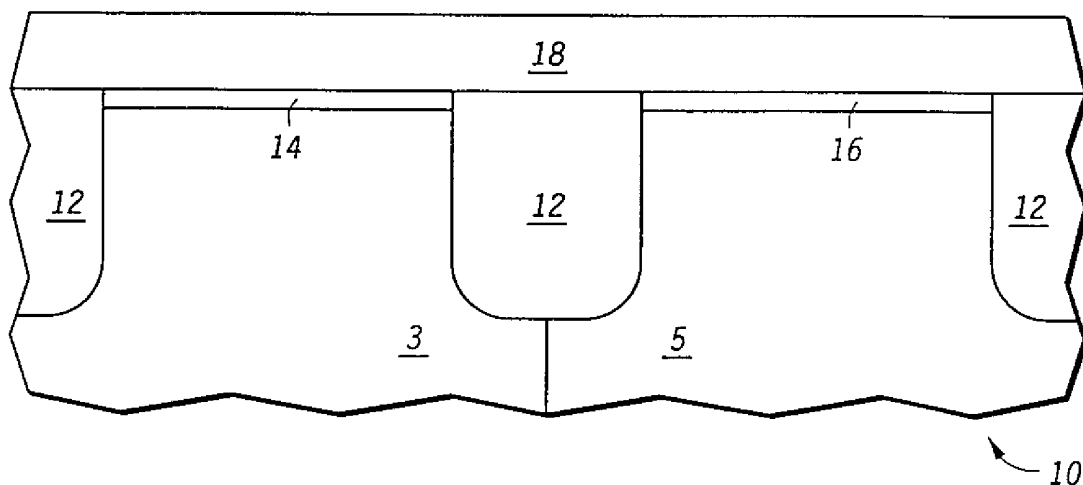


圖 2

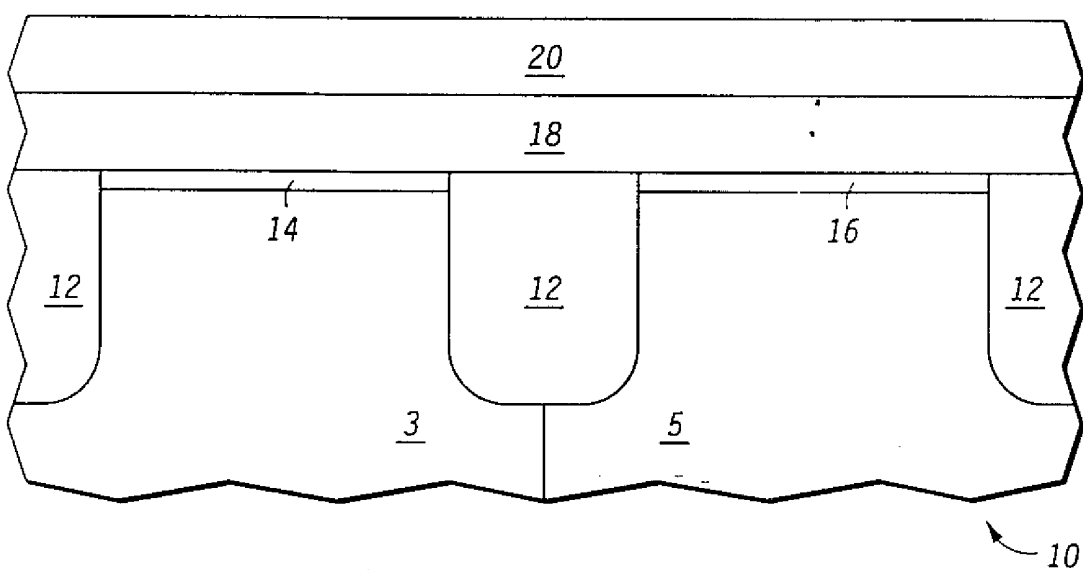


圖 3

圖式

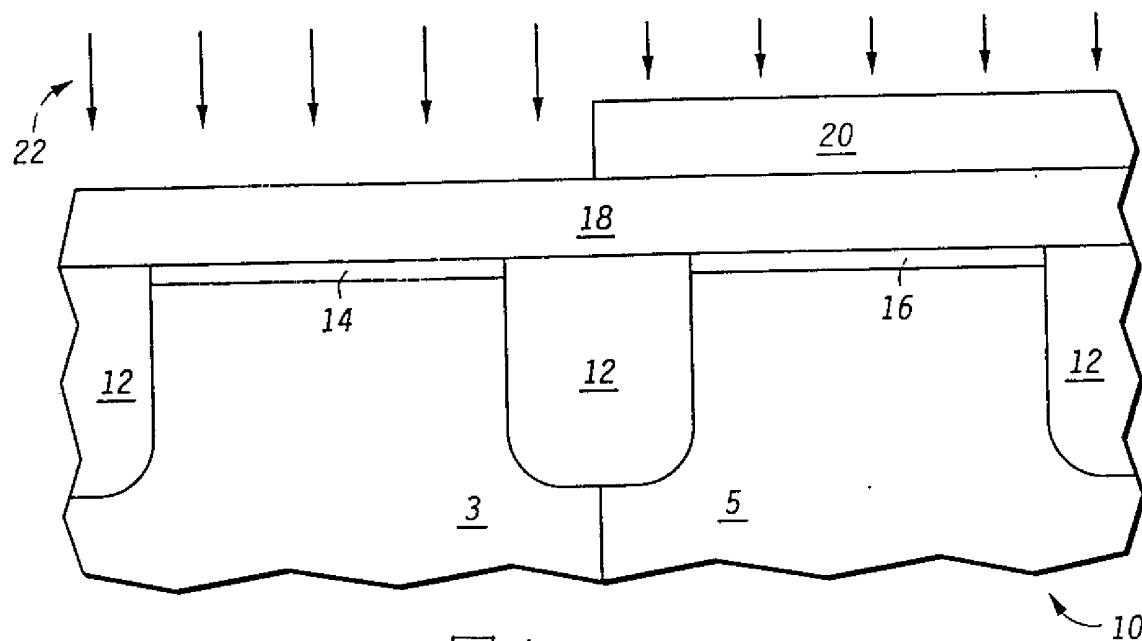


圖 4

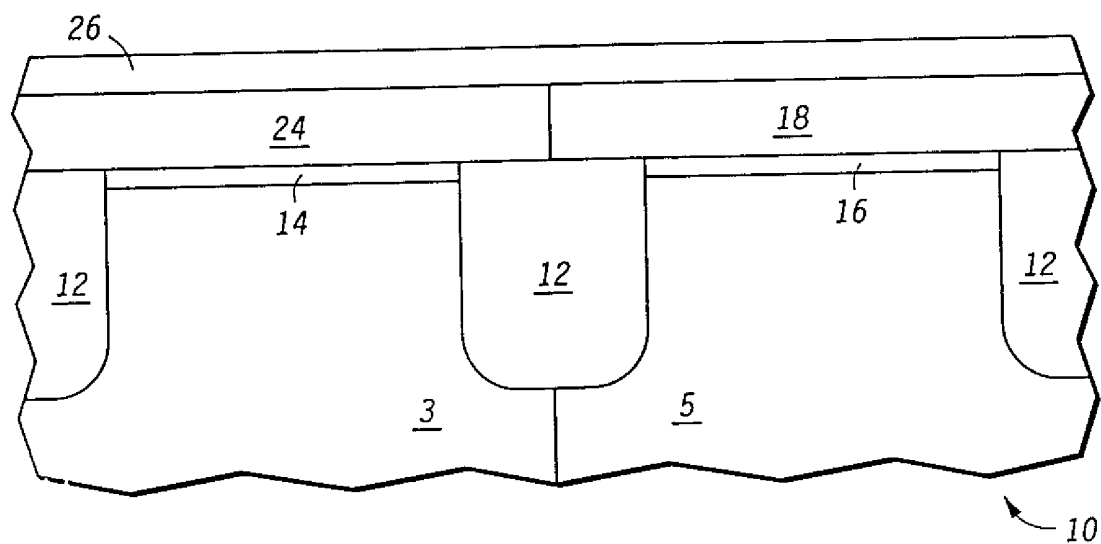


圖 5

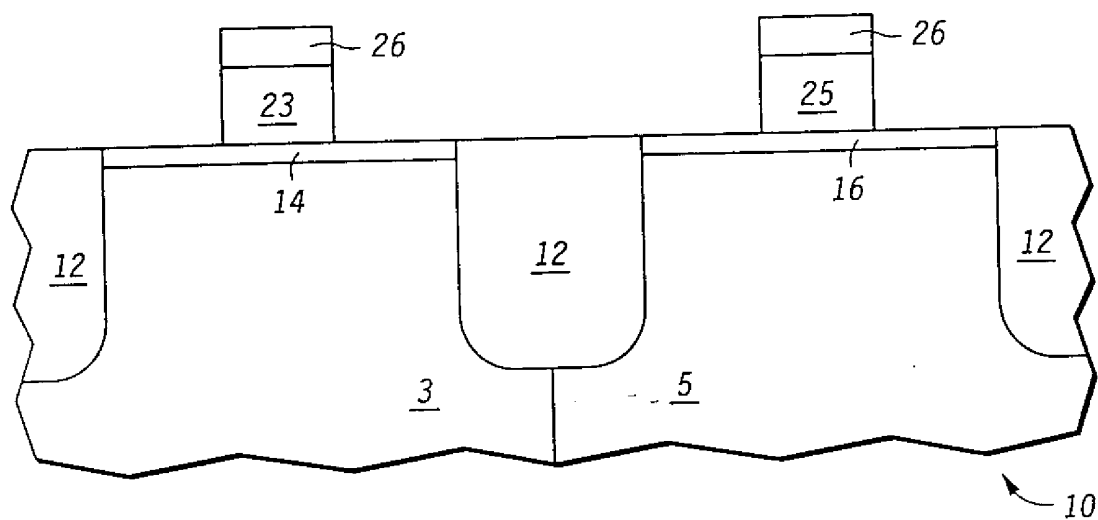


圖 6

圖式

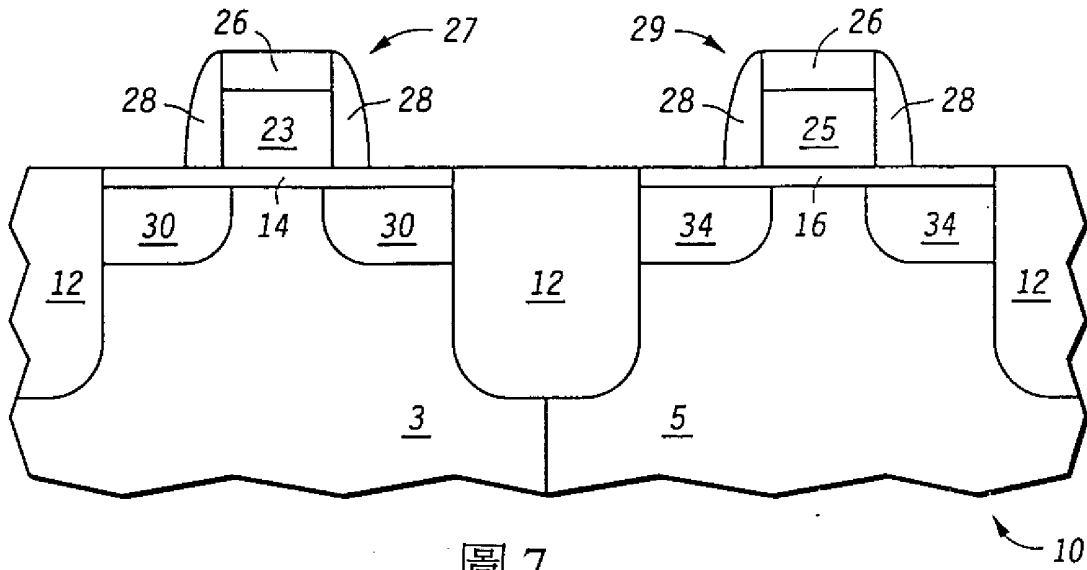


圖 7

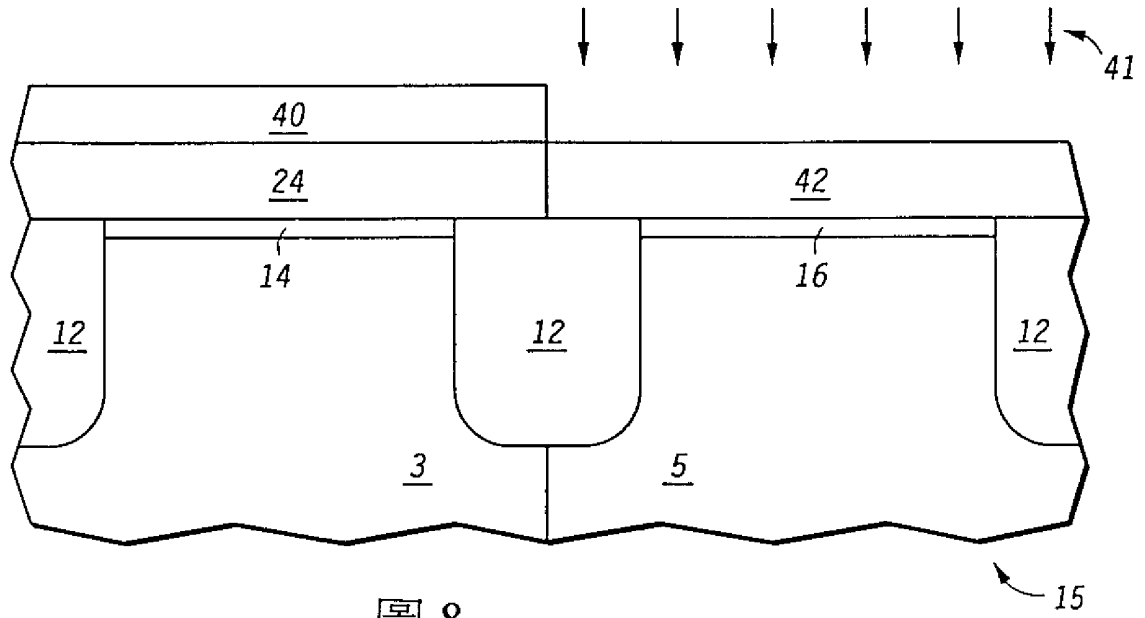


圖 8

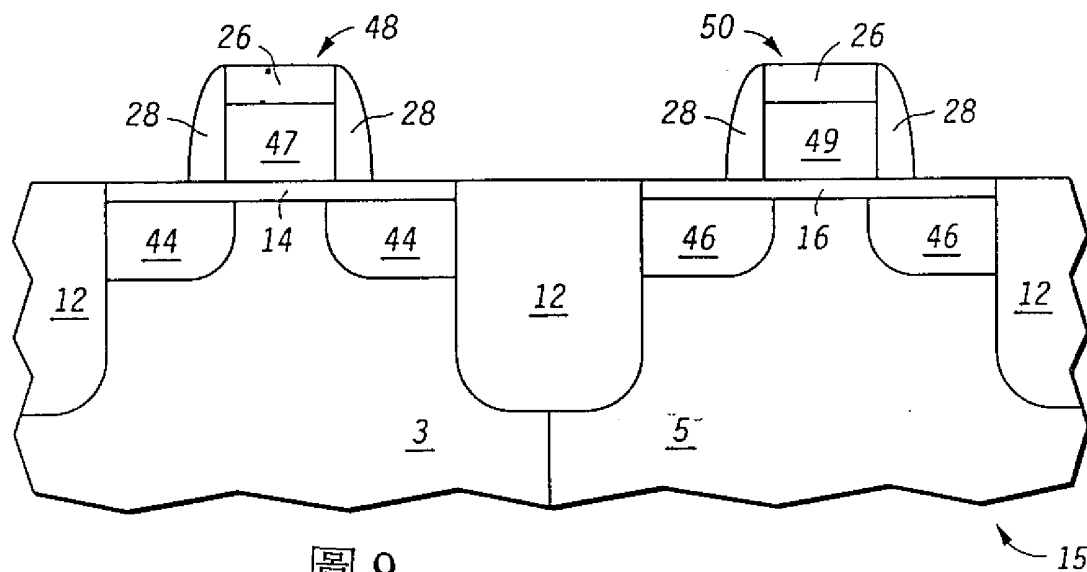


圖 9

公告本

90年1月9日

90年1月9日修正

申請日期：88.6.21

案號：88110328

補充

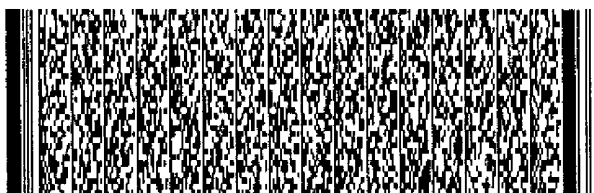
類別：H01L 2/6238

(以上各欄由本局填註)

發明專利說明書

須請委員明示
修正本有無變更實質內容是否准予修正。

一、發明名稱	中文	CMOS半導體元件及形成方法 459351
	英文	CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION
二、發明人	姓名 (中文)	1. 畢卡司 馬汀 2. 飛利浦 J. 托賓 3. C. 喬塞夫 摩加布 4. 克利斯多夫 郝博斯
	姓名 (英文)	1. BIKAS MAITI 2. PHILIP J. TOBIN 3. C. JOSEPH MOGAB 4. CHRISTOPHER HOBBS
	國籍	1. 印度 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯汀市喬力唯爾路11500號 2. 美國德州奧斯汀市唯德摩爾路11410號 3. 美國德州奧斯汀市艾爾利契路22號 4. 美國德州奧斯汀市威爾斯布蘭奇路1720號
三、申請人	姓名 (名稱) (中文)	1. 美商摩托羅拉公司
	姓名 (名稱) (英文)	1. MOTOROLA INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人 姓名 (中文)	1. F. 強 莫辛格
	代表人 姓名 (英文)	1. F. JOHN MOTSINGER



459351

90 年 1 月 9 日

修正

申請日期：

案號：88110328

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 賴瑞 E. 夫利砂
	姓名 (英文)	5. LARRY E. FRISA
	國籍	5. 美國
	住、居所	5. 德國德瑞斯頓市普瑞爾斯特拉斯路25號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1998/06/30 09/107,963

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

先前申請案參考資料

在美國此申請案已於1998年6月30日登記為專利申請案第09/107,963號。

發明範圍

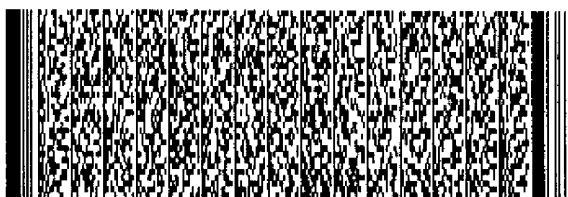
本發明有關半導體元件，特別是有關互補金屬氧化物半導體元件與其形成方法。

發明背景

就高性能半導體而言，朝向使用金屬閘極以克服多晶矽耗盡之問題。多晶矽閘極之半導體性質造成該閘極中彎曲帶或是電勢阱。載波局限在與其波長相當之尺寸上。該多晶矽層中之對應電荷分佈造成閘極電容(C_p)有限偏差依存性質，出現該多晶矽耗盡效果。當閘極氧化物變薄時，同時使用互補金屬氧化物半導體(CMOS)技術，提高閘極氧化物電容(C_{ox})使 C_{ox} 相當於接近該裝置臨界電壓閘極偏差範圍之多晶矽閘極電容。此致使整體閘極電容(C_g)不必要地全面降低。

在一種操作逆轉模式中操作時，該半導體元件此效果甚至更為嚴苛，而且若該多晶矽閘極之載波密度低於 10^{20} /立方厘米時可能使整體電容降低約30%。過多摻雜劑(諸如P+極用之摻雜劑)可能提高 C_p ，造成臨界電壓(V_t)不安定。

已習知使用金屬閘極可以消除多晶矽耗盡效果。亦已習知多晶矽閘極具有高度電阻係數，造成對於矽化該閘極以降低整體電阻係數之需求。某些設計環境中，不可能或是必須矽化所有閘極(諸如因為需要金屬互連層之故並非所有部分均經矽化之SRAMs，多晶矽閘極之高度電阻係數是

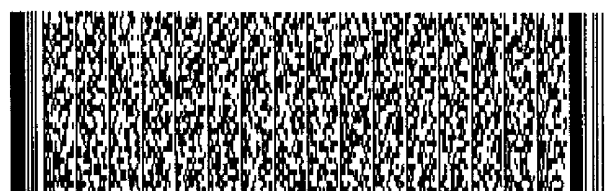
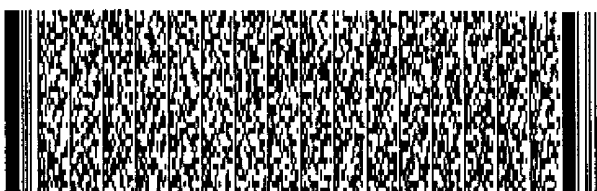


五、發明說明 (2)

一缺點。此外，使用絕緣體上矽完全耗盡技術(FDSOI)時，無法經由使用實際SOI厚度之多晶矽閘極達到最適 V_{ts} 。此外，多晶矽閘極之用途與高度電容率(高k值)金屬氧化物閘極介電體(其中高k值通常大於3.9)用途不一致時，存在來自該多晶矽之矽與該金屬氧化物反應而造成污染金屬氧化物閘極介電體之可能性，因而影響其高k值特性。

在CMOS技術當中，使用N+多晶矽與P+多晶矽分別作為NMOS與PMOS裝置之閘極。N+多晶矽與P+多晶矽相當於N+多晶矽4.1 eV與P+多晶矽5.2 eV之操作功能。電流裝置尺寸需要大於 $1E17$ /立方厘米之矽頻路摻雜劑以避免短頻路效果。取代雙摻雜矽閘極時，必須選擇金屬之操作功能。習知方法之一已選擇該金屬，如此其具有可允許NMOS與PMOS裝置二者對稱 V_{ts} 之中等間隙操作功能。不過，因為摻雜需求必須避免短頻路效果之故，造成 V_{ts} 之中等間隙金屬對於低電壓、低功率、高性能裝置而言相當大。因此，需要具有對於NMOS與PMOS裝置二者提供低 V_{ts} 之方法。

本發明目的之一在於提供一可應用於NMOS與PMOS裝置之低臨界電壓(V_{ts})。本發明包括一結構及一方法。本發明之結構為一半導體元件，其具有一半導體基板、一第一閘極及一第二閘極。該半導體基板具有一第一導電型之一第一區域及一第二導電型之一第二區域。第一閘極具有覆蓋該第一區域之一第一金屬氮化物層，且特徵在於具有第一功能值。該第二閘極包括覆蓋該第二區域之一第二金屬氮化物層，且特徵在於具有一第二功能值。第二功能值小於



五、發明說明 (3)

第一功能值。

本發明之方法藉由實施下列步驟來獲得一半導體元件。提供一半導體基板，其具有一第一導電型之一第一區域及一第二導電型之一第二區域。形成一覆蓋該半導體基板之導電層，其具有覆蓋該第一區域之一第一部份及覆蓋該第二區域之一第二部份。氮化該導電層之第一部份，以便在該第一區域上形成一導電氮化層。圖樣化該導電氮化物層，以在該第一區域上形成一第一閘極。圖樣化該導電層，以在該第二區域上形成一第二閘極。

本發明之方法及結構可應用於NMOS及PMOS，以完成低的臨界電壓(V_{ts})。

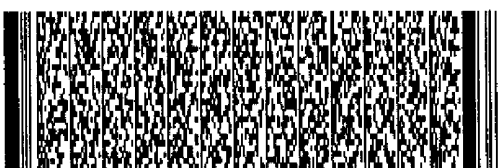
圖式簡述

圖1至圖7顯示用以形成本發明半導體元件之步驟剖面圖。

圖8至圖9顯示用以形成本發明其他具體實例半導體之步驟剖面圖。

元件符號說明

3	第一區域	5	第二區域
10	半導體裝置結構之部份	12	電場絕緣區
14	第一閘極介電層	15	半導體裝置結構
16	第二閘極介電層	18	導電層
20	面罩層	22	佈植氮離子
23	第一閘極	24	導電氮化層



五、發明說明 (4)

25	第二閘極	26	覆蓋層
27	第一電晶體	28	側壁間隔物
29	第二電晶體	30	源極汲極區
34	源極汲極區	40	第二面罩層
41	氮離子	42	導電氮化物
47	閘極	48	第一電晶體
49	閘極	50	第二電晶體

較佳具體實施例詳述

圖1所示係根據本發明具體實例之一的半導體元件結構部分10。該半導體元件結構包括具有第一導電型之第一區3、第二導電型之第二區5、電場絕緣區12、第一閘極介電層14與第二閘極介電層16之半導體基板。一具體實例中，該半導體基板係單晶矽基板。或者該半導體基板可為絕緣體上矽基板、一種鍍基板、一種矽-鍍基板、一種藍寶石上矽等。

一具體實例中，電場絕緣區12係使用習用蝕刻作用與化學機械拋光技術形成之溝槽絕緣區。或者，電場絕緣區12可為電場氧化物區，其係使用習用技術形成，諸如局部矽氧化作用(LOCOS)、聚緩衝LOCOS(PBL)、多晶矽密封局部氧化作用(PELOX)等。在一具體實例中，閘極介電層14與閘極介電層16係熱二氧化矽層，其係分別熱氧化一部分第一區3與第二區5形成。或者，閘極介電層14與閘極介電層16可為一層氮化矽、一層氧氮化矽、一層化學蒸氣沉積二氧化矽、一氮化氧化物層、一高k值介電材料，諸如一種



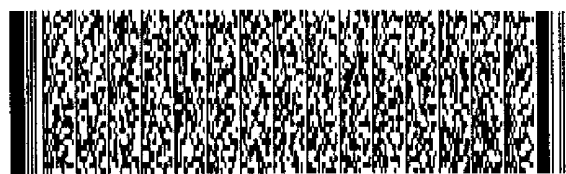
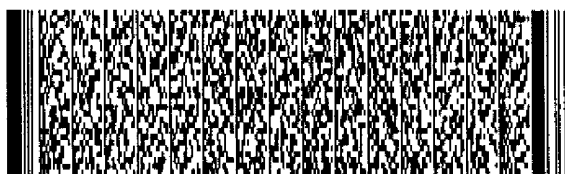
五、發明說明 (5)

金屬氧化物，或是其組合物。必須明白可以同時形成閘極介電層14與閘極介電層16。或者，可以不同時以及與不同閘極介電材料形成閘極介電層14與閘極介電層16。

圖2中，在第一區3與第二區5上覆蓋形成導電層18。具體實例之一中，導電層18係一金屬層，諸如鉭、鎢、鉬、鈳、鈐、釩、鉻、鈮、鈦等。或者，導電層18可為一種金屬矽化物層，諸如矽化鉭、矽化鎢、矽化鉬、矽化鈦等。可以使用習用化學蒸氣沉積技術或是濺鍍技術形成導電層18。

圖3中，在導電層18上覆蓋形成遮罩層20。具體實例之一當中，遮罩層20係使用迅速熱化學蒸氣沉積作用沉積之氮化矽層。或者，遮罩層20可為一種光阻層或是多晶矽層。

圖4中，對遮罩層20形成佈線圖型，以曝露導電層18第一部分，並留下覆蓋導電層18第二部分之遮罩層20部分。然後氮化該導電層18之曝露部分以形成覆蓋第一區3之導電氮化物層24。具體實例之一當中，將氮離子22植入導電層18曝露部分形成導電性氮化物層24。必須明白遮罩層20殘留部分避免氮離子植入導電層18之第二部分。植入氮之後，該半導體元件結構退火形成導電性氮化物層24。可使用習用爐或是迅速熱退火系統使該半導體元件結構退火。必須明白若使用光阻形成遮罩層20，必須於退火之前去除彼。或者，可以在氮環境(諸如氮)下退火導電層18之曝露部分或是將導電層18之曝露部分曝於包括氮之電漿當中形成導電氮化物層24。注意，若導電層18係鉭、鎢、鉬、



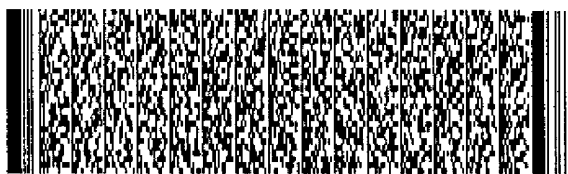
五、發明說明 (6)

銦、鉛、鈇、鉻、鋯或鈦層，則導電氮化物層24分別是氮化鉍、氮化鎢、氮化鉬、氮化銦、氮化鉛、氮化鈇、氮化鉻、氮化鋯或氮化鈦層。同樣地，若導電層18係矽化鉍、矽化鎢、矽化鉬或是矽化鈦，導電氮化物層24分別是矽氮化鉍、矽氮化鎢、矽氮化鉬或矽氮化鈦。

圖5當中，在導電氮化物層24與導電層18殘留部分形成覆蓋層26。具體實例之一當中，覆蓋層26係使用迅速熱化學蒸氣沉積作用沉積之矽氮化物層。或者，覆蓋層26可為亦使用迅速熱化學沉積作用沉積之多晶矽層。注意，若使用多晶矽形成覆蓋層26，然後可在該多晶矽與下層導電氮化物層24以及導電層18之間形成一阻礙層(諸如氮化鈦)，以避免多晶矽層與下層導電金屬層18以及導電氮化物層24間之矽化作用。亦必須瞭解使用覆蓋層26避免隨後處理期間導電氮化物層24與導電層18殘留部分之氧化作用。

圖6當中，對於導電氮化物層24形成佈線圖型以形成覆蓋第一區3之第一閘極23，並對於導電層18殘留部分形成佈線圖型以形成覆蓋第二區5之第二閘極25。如圖6所示，留下一部分覆蓋層26覆蓋第一閘極23以及覆蓋第二閘極25。必須注意使用習用蝕刻技術同時或是在個別步驟中對於導電氮化物層24與導電層18殘留部分形成佈線圖型。

圖7當中，沿著第一閘極23與第二閘極25側壁形成側壁間隔物28。具體實例之一當中，側壁間隔物28係矽氮化物側壁間隔物，其係使用迅速熱化學蒸氣沉積作用與習用蝕刻技術形成。必須明白側壁間隔物28避免第一閘極23與第二閘極25於隨後處理步驟期間氧化。此外，在第一區3當

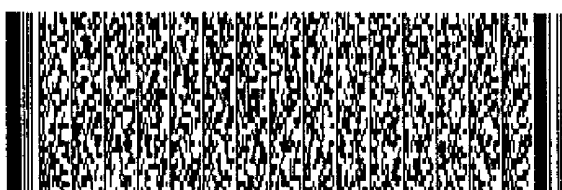
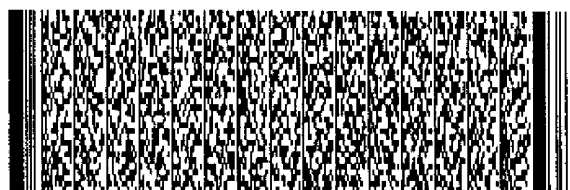


五、發明說明 (7)

中形成具有第二導電型之源極汲極區30，在第二區5內形成具有第一導電型之源極汲極區34，以在第一區30中形成第一電晶體27以及在第二區5內形成第二電晶體29。必須明瞭閘極23具有與閘極25不同之操作功能。例如，若第一區3具有N-型導電係數而第二區5具有P-型導電係數，閘極23之操作功能會大於閘極25之操作功能。

圖8所示係本發明另一具體實例，其中形成導電氮化物層24之後去除示於圖4之遮罩層20。然後，在導電氮化物層24上形成第二遮罩層40以曝露導電層18殘留部分。具體實例之一當中，遮罩層40是使用迅速熱化學蒸氣沉積作用沉積之矽氮化物層。或者，遮罩層40可為一層光阻或是一層多晶矽。形成遮罩層40之後，然後氮化導電層18之殘留部分以形成導電氮化物層42。具體實例之一當中，將氮離子41植入導電層18之殘留部分，然後使該半導體結構15退火形成導電氮化物層42。或者，可以在氮環境(諸如氮)下退火，或是使導電層18之殘留部分曝於包括氮之電漿以形成導電氮化物層42。注意，若導電層18係鉬、鎢、鉬、鉬、鈦、鈦、鈦、鈦、鈦或鈦層，則導電氮化物層42分別是氮化鉬、氮化鎢、氮化鉬、氮化鉬、氮化鈦、氮化鈦、氮化鈦、氮化鈦或氮化鈦層。同樣地，若導電層18係矽化鉬、矽化鎢、矽化鉬或是矽化鈦，導電氮化物層42分別是矽氮化鉬、矽氮化鎢、矽氮化鉬或矽氮化鈦。

圖9當中，去除遮罩層40並如先前圖5-8所述繼續處理之。此形成覆蓋第一區3之第一電晶體48與覆蓋第二區5之第二電晶體50。必須注意電晶體48之閘極47包括一部分導



五、發明說明 (8)

電氮化物層24，而且具有第一操作功能值，電晶體50之閘極49包括一部分導電氮化物層42，而且具有第二操作功能值。例如，可以形成具有第一操作功能值氮化鉍閘極之電晶體48以及具有第二操作功能值氮化鉍閘極之電晶體50。更特別的是，若第一區3具有N-型導電係數，第二區5具有P-型導電係數，第一電晶體48之氮化鉍閘極操作功能值大於電晶體50氮化鉍閘極操作功能值。注意，導電氮化物閘極之操作功能隨著氮濃度提高。因此，可以藉由形成具有不同氮濃度之導電氮化物層形成具有不同操作功能之閘極。尤其是，因為一種非化學當量富含金屬導電氮化物之氮濃度較小之故，其操作功能低於化學當量導電氮化物。

前述敘述與此處包含之舉例說明本發明諸多優點。特別是，已揭示使用具有不同操作功能之閘極以最適化裝置性能之CMOS裝置結構。

因此，很明顯地，本發明已提出一種完全符合前述需求與優點之CMOS裝置。雖然已參考特定具體實例描述與說明本發明，但是本發明並不限於此等範例性具體實例。熟知本技藝者將會明瞭在不違背本發明精神下可以製得改良與變化。因此，本發明包括所有此等在附錄申請專利範圍當中之變化與改良。

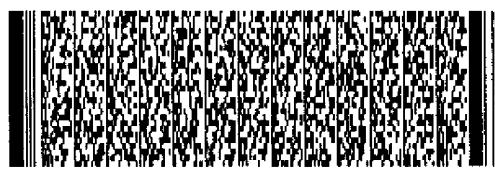
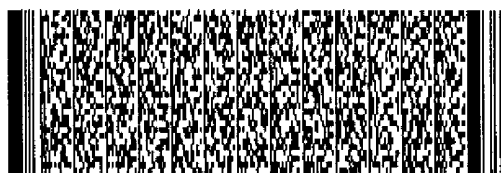


四、中文發明摘要 (發明之名稱: CMOS半導體元件及形成方法)

在一具體實施例中，於一個半導體基板之閘極介電層(14, 16)上形成金屬層(18)。將一遮罩層(20)圖樣化以遮罩部分金屬層(18)。氮化金屬層(18)曝露部分以形成導電性氮化物層(24)。去除該遮罩層(20)，將該導電氮化物層(24)同樣化以形成具有第一操作功能值之第一閘極(23)，並將導電層(18)同樣化以形成具有與第一操作功能值不同之第二操作功能值的第二閘極(25)。

英文發明摘要 (發明之名稱: CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION)

In one embodiment, a metal layer (18) is formed over a gate dielectric layer (14, 16) on a semiconductor substrate. A masking layer (20) is patterned to mask a portion of the metal layer (18). An exposed portion of the metal layer (18) is nitrided to form a conductive nitride layer (24). The masking layer (20) is removed and the conductive nitride layer (24) is patterned to form a first gate electrode (23) having a first work function value, and the conductive layer (18) is



四、中文發明摘要 (發明之名稱: CMOS半導體元件及形成方法)

英文發明摘要 (發明之名稱: CMOS SEMICONDUCTOR DEVICES AND METHOD OF FORMATION)

patterned to form a second gate electrode (25) having a second work function value which is different from that of the first work function value.



六、申請專利範圍

1. 一種形成一半導體元件之方法，其包括下列步驟：

備製一半導體基板，該半導體基板具有一第一導電型之一第一區與一第二導電型之一第二區；

形成一覆蓋該半導體基板之導電層，該導電層具有一覆蓋第一區之第一部分與一覆蓋第二區之第二部分；

氮化導電層之第一部分以形成一覆蓋該第一區之氮化物層；

圖樣化該導電層以形成一覆蓋該第一區之第一閘極；以及

圖樣化該導電層以形成覆蓋該第二區之第二閘極。

2. 如申請專利範圍第1項之方法，其中該導電氮化物層係進一步特徵於富含金屬氮化物層。

3. 如申請專利範圍第1項之方法，其中該導電氮化物層之另外特徵係為化學當量氮化物層。

4. 如申請專利範圍第1項之方法，其中同時對該導電氮化物層與該導電層形成佈線圖型。

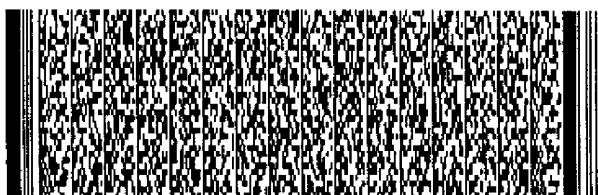
5. 如申請專利範圍第1項之方法，其中該導電層之另外特徵係為一鉭層。

6. 一種半導體元件，包括：

一具有一第一導電型之一第一區與一第二導電型之一第二區的半導體基板；

一第一閘極，其包括一覆蓋第一區之第一金屬氮化物層，該第一閘極具有一第一操作功能值；以及

一第二閘極，其包括一覆蓋第一區之第二金屬氮化物



六、申請專利範圍

層，該第二閘極具有一第二操作功能值，其中該第二操作功能值小於第一操作功能值。

7. 如申請專利範圍第6項之半導體元件，其中該第一金屬氮化物層另外特徵係第一氮濃度。

8. 如申請專利範圍第7項之半導體元件，其中該第二金屬氮化物層另外特徵係第二氮濃度，其小於第一氮濃度。

9. 如申請專利範圍第6項之半導體元件，其中該第一金屬氮化物層另外特徵係為第一氮化鉭層。

10. 如申請專利範圍第9項之半導體元件，其中該第二金屬氮化物層另外特徵係為第二氮化鉭層。

