(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101496149 B
(45)授权公告日 2014.04.02

(21)申请号 200780028062.1
(22)申请日 2007.07.24
(30)优先权数据
11/459,730 2006.07.25 US
(85)PCT国际申请进入国家阶段日
2009.01.23
(86)PCT国际申请的申请数据
PCT/US2007/074169 2007.07.24
(87)PCT国际申请的公布数据
WO2008/014228 EN 2008.01.31
(73)专利权人 国际商业机器公司
地址 美国纽约
(72)发明人 A·B·查克拉瓦蒂
D·奇达姆巴拉奥 J·R·霍尔特
刘孝诚 K·里姆
(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华
(51)Int.Cl.
H01L 21/336(2006.01)
(56)对比文件
US 2006/0086987 A1,2006.04.27, 全文.
US 2006/0051922 A1,2006.03.09, 全文.
US 2006/0088968 A1,2006.04.27, 全文.
US 2006/0134873 A1,2006.06.22, 说明书第31-32,35-35,53-66段,附图2、4.
审查员 王丽

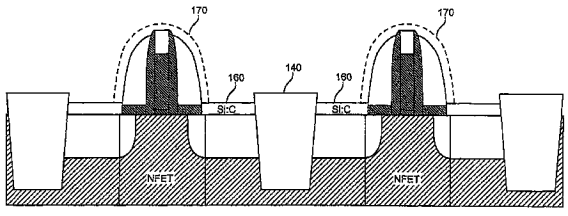
权利要求书1页 说明书4页 附图6页

(54)发明名称

用于利用埋置型硅碳进行NMOSFET性能增强的超镶嵌方法

(57)摘要

一种具有代位碳含量超过一个百分比以便通过向NFET的沟道区域施加拉应力而有效地增加电子迁移率的埋置型硅碳(Si:C),尽管能够以充分高的代位碳含量沉积Si:C的工艺在本质上是非选择性的,但是可以通过超镶嵌工艺中的以下步骤来实现该埋置型硅碳:利用Si:C对由晶体管栅极结构形成的间隙或者沟槽进行过填充;以及将该Si:C进行抛光和刻蚀到凸起栅极结构的表面或者该表面以下,使得Si:C仅留在晶体管源极和漏极之上的所选区域中。



CN 101496149 B

1. 一种用于形成具有增强电子迁移率的晶体管的方法，所述方法包括以下步骤：

形成从硅衬底延伸并延伸进入硅衬底的凸起型隔离结构；

在沟道区域之上形成栅极结构；

与所述沟道区域相邻形成源极区域 / 漏极区域；

在所述栅极结构和所述沟道区域其中至少之一与所述隔离结构之间外延生长代位碳浓度高于一个原子百分比的 Si ： C；

将所述 Si ： C 平坦化到所述栅极结构；以及

将所述 Si ： C 刻蚀到所述凸起型隔离结构的表面或该表面以下。

2. 根据权利要求 1 所述的方法，进一步包括使所述 Si ： C 凹陷到所述凸起型隔离结构的表面以下的步骤。

3. 根据权利要求 1 所述的方法，进一步包括在所述栅极区域之上形成受应力的覆盖结构的步骤。

4. 根据权利要求 1 所述的方法，进一步包括形成包含埋置型 SiGe 结构的场效应晶体管的步骤。

5. 根据权利要求 1 所述的方法，进一步包括在所述栅极结构上形成盖的步骤，以及其中所述平坦化步骤包括抛光至所述盖结构。

用于利用埋置型硅碳进行 NMOSFET 性能增强的超镶嵌方法

技术领域

[0001] 本发明一般性地涉及场效应晶体管结构，并且更具体地涉及包括受应力的沟道以获得载流子迁移率增强的晶体管结构。

[0002] 背景技术

[0003] 目前，已经公认的是，由对半导体器件的尺寸进行收缩，可以在集成电路中获得大的受益，如性能、功能性以及制造经济性。例如，CMOS 器件中结构尺寸的降低趋向于降低沟道电阻和增加切换速度。然而，由于这样的器件被缩微到更小的比例，杂散效应往往降低了载流子迁移率，并对实现由电阻降低而得到全部潜在切换速度的受益造成了阻碍。

[0004] 由于已经公认的是压应力 / 应变增加空穴迁移率而拉应力 / 应变增加电子迁移率，所以可通过开发可以向 FET 的沟道结构施加持久性拉应力或者压应力以便增加载流子迁移率的结构来改善 CMOS 器件性能。已经开发了掩模技术、适当材料以及沉积技术，以允许将压应力施加在 PFET 上以及将拉应力施加到同一芯片的 NFET 上。

[0005] 例如，已经开发了可以直接置于源极区域和漏极区域中以便在沟道中产生压应力并增加 PFET 的空穴迁移率的埋置型 SiGe 结构。类似地，比硅具有更小晶格常数的硅碳也可以用于在 NFET 源极区域和漏极区域中构建埋置型硅碳 (e-Si:C)，以便在沟道中产生拉应力而获得电子迁移率增强。

[0006] 然而，需要大于一个原子百分比的代位碳浓度以获得显著的器件性能改善，但是碳在硅中的平衡代位固溶度非常低。适于形成高代位碳浓度的低温条件导致了非常差的沉积选择性，这会折衷器件 制造产量。虽然已经开发了一些非选择性沉积技术来形成高代位碳浓度，但是只使用非选择性沉积难以将 Si:C 集成到器件中。

发明内容

[0007] 因此，本发明的一个目的是提供一种简单且高产量的技术，用于将 Si:C 作为埋置型结构集成到晶体管中，以便增强 NFET 中的电子迁移率。

[0008] 本发明的另一目的是提供一种技术，用于将非选择性沉积材料集成到集成电路的晶体管中，而不折衷制造产量。

[0009] 本发明的再一目的是提供一种用于提供晶体管结构的结构，该晶体管结构具有与以前可以得到的拉应力 / 应变水平相比拉应力 / 应变水平增加的沟道区域。

[0010] 为了实现本发明的这些和其他目的，提供了一种场效应晶体管和集成电路，其中场效应晶体管包括：栅极区域、沟道区沟道区域以及在沟道区沟道区域的端部与栅极区域相邻的源区源极区域 / 漏区漏极区域；凸起型隔离结构，与源区源极区域 / 漏区漏极区域相邻，并延伸到硅衬底中且并从硅衬底的表面突出；跨过所述源极区域 / 漏区漏极区域延伸的 Si:C 材料体，该 Si:C 材料体的一部分外延生长到所述硅衬底的沟槽中并从所述硅衬底的沟槽外延生长，且具有高于一个原子百分比的碳代位浓度。

[0011] 根据本发明的另一方面，提供了一种用于形成具有增强电子迁移率的晶体管的方法，所述方法包括以下步骤：形成从硅衬底延伸并延伸进入硅衬底的凸起型隔离结构；在

沟道区域之上形成栅极结构；与沟道区域相邻形成源极区域 / 漏极区域；在所述隔离结构与所述栅极结构和所述沟道区域其中至少之一之间外延生长代位碳浓度高于一个原子百分比的 Si:C；将 Si:C 平坦化到栅极结构；以及将 Si:C 刻蚀到凸起型隔离结构的表面或该表面以下。

附图说明

[0012] 参照附图通过在以下对本发明优选实施例的详细描述，可以更好地理解本发明的前述及其他目的、方面以及优点，其中：

[0013] 图 1 是根据本发明的场效应晶体管的制造中的初始阶段的剖面视图；

[0014] 图 2、图 3、图 4 和图 5 是根据本发明的晶体管的制造中的中间阶段的剖面视图；

[0015] 图 6 是根据本发明的基本完成的晶体管的剖面视图；以及

[0016] 图 7 是一集成电路的剖面视图，其示出了本发明与 PFET 器件中埋置型 SiGe 结构的形成的兼容性。

具体实施方式

[0017] 现在将参考附图，更具体地参考图 1，其中以剖面形式示出了根据本发明通过在沟道区域中形成拉应力 / 应变而具有增强电子迁移率的晶体管形成中的初始阶段。应当理解，已知用于产生压应力 / 应变的某些埋置型结构是使用导电的硅 / 锗 (SiGe) 合金来增加 PFET 中的空穴迁移率的。虽然以下论述是针对具有埋置型 Si:C 的 NFET 的形成，但是通过用 SiGe 材料来简单替换如图 7 所示的 Si:C，完全可以将所描述的工艺应用到对等物或者互补的 PFET 的形成中，并且可以在同一芯片和晶片上针对 PFET 和 NFET 两者共同地执行将在下面描述的若干步骤，从而增加包括本发明的集成电路的整体制造的简易性和经济性。

[0018] 为了实现用于对相邻结构施加拉应力或者压应力的所谓埋置型结构，通常需要形成沟槽并利用应力诱发材料来填充沟槽。这种需要也暗示着应力诱发材料的沉积必须是选择性的。然而，正如上面所指出的，得到具有足够的碳代位浓度的 Si:C 的外延生长是极其困难的，并且有助于足够高的代位碳浓度的条件是非选择性的。通过诸如刻蚀的处理来增加具有足够代位碳浓度的 Si:C 沉积的选择性的努力基本上是不成功的。因此，本发明寻求在使用本质上非选择性的沉积工艺的同时实现选择性沉积的效果。

[0019] 图 1 示出了衬底 110，其上具有顺序沉积或者以其他方式形成的垫 (pad) 氧化物层 120 和垫氮化物层 130。然后，掩蔽该分层结构 100，并且在用于浅沟槽隔离 (STI) 结构的期望位置进行掩膜构图。然后对该分层结构进行刻蚀，并且沉积例如多层结构的绝缘材料，诸如氧化物、氮化物或者其他绝缘材料或者其组合，并且对该结构进行平坦化以形成如所示的期望的 STI 结构 140。

[0020] 重要的并且期望的是，本发明的实践提供在衬底以上明显凸起的 STI 结构，原因将在下面更加详细地讨论。因此垫氧化物层 120 和垫氮化物层 130 的总厚度应对应于 STI 结构在衬底以上的期望高度。如所公知的，可以相对彼此有选择地刻蚀氮化物和氧化物，因此垫氧化物提供了用于刻蚀氮化物的刻蚀停止层，该氮化物用作上述提及的平坦化工艺的抛光或者刻蚀停止层。然后，可以将氧化物有选择地刻蚀到衬底（例如，硅）和 STI 材料（或者如果 STI 包括暴露的氧化物或者氮化物，则通过定时刻蚀，因为这些层被形成或者能

够形成得比 STI 尺寸更薄以使得 STI 不会受到刻蚀剂的显著侵蚀），结果得到如图 2 所示的具有凸起型 STI 结构的结构。应当注意，可以针对衬底上的 NFET 和 PFET 二者，共同地且并行地执行该凸起型 STI 结构的形成。

[0021] 参考图 3，掩蔽 PFET 区域，根据期望的设计并通过适合于该设计的任何期望工艺来形成包括源极 151、漏极 152 和栅极 153 的 NFET 晶体管 150。在此或者在此前，可以形成类似的 PFET 结构。优选但并非关键的是，本发明的实践为晶体管 150 的栅极提供氮化物盖 154。并且根据许多当前晶体管设计，优选地，与晶体管栅极结构相邻地包括侧壁间隔物，或者侧壁间隔物是晶体管栅极结构的一部分。然后，如图 4 所示，非选择性地沉积厚层的 Si:C 160。

[0022] 该层被描述成形成为多个尺寸随机的块 160'，以表示其非选择性沉积，正如通过扫描电子显微镜成像已经得到证实的那样，如果仅仅沉积了薄层的 Si:C，则该多个尺寸随机的块实际上在外延生长期间展现出特别差的形态。改善 Si:C 沉积的选择性的努力在实现能 够在相邻结构中形成应力的 Si:C 的晶体膜沉积中基本上是不成功的。

[0023] 然而，根据本发明，将 Si:C 直接以非常厚的层沉积在单晶硅上，其过填充了晶体管栅极叠层之间的间隙（实际上是沟槽）。该过填充然后被抛光到（如在镶嵌工艺中）栅极叠层并且然后对其进行刻蚀；该综合工艺被本发明人称作“超镶嵌 (super-Damascene)”工艺，这将如在镶嵌结构或工艺中那样产生沟槽或者凹槽的结构，但是其在初始过填充的沟槽（例如由栅极叠层所定义的沟槽）中凹陷，其中该结构初始被沉积到形成沟槽部分的结构的表面处或者表面以下的点。

[0024] 应当注意的是，图 4 示出了对于形成根据本发明的 NFET 而言特殊的最后材料沉积工艺。因此，如果对于 PFET 用于形成压力的对应材料（例如，SiGe）尚未被沉积（例如在上面所讨论的与图 3 和图 4 的操作相伴随的掩蔽之前），则可以去除 PFET 区域阻挡掩膜并且可以在此执行对应材料的沉积。在任一情况下，都可以取决于选择的材料和刻蚀剂，利用或者不利用附加的阻挡掩蔽，针对 PFET 和 NFET 共同地或者顺序地执行至少对 PFET 和 NFET 应力 / 应变诱发材料的平坦化以及可能的刻蚀，正如下面将结合图 5 和图 6 所讨论的那样。

[0025] 然后如图 5 所示，可以对厚 Si:C 层进行平坦化，优选地平坦化到可以用作抛光停止层的氮化物盖 154。应当注意，由于平坦化到盖 154 也达到了绝缘材料的侧壁 155，所以这样做至少电分离了晶体管栅极，其中可以通过去除盖 154 形成至晶体管栅极的接触。换言之，平坦化到盖 154 以及达到侧壁 155 确保了非选择性沉积 Si:C（其是导电的）并未使各个晶体管的栅极缩短。同样，平坦化使得厚 Si:C 层的剩余部分在晶体管栅极之间的区域 / 沟槽更加均匀，从而可以更加均匀地执行进一步的刻蚀。

[0026] 然后，如图 6 所示，将 Si:C 至少刻蚀到 STI 结构 140 的表面，该 STI 结构 140 不但使晶体管彼此完全隔开，而且还将每个晶体管 的源极和漏极与相邻的晶体管隔开。因此尽管仅仅利用了非选择性沉积，但是刻蚀与上述的平坦化相结合实现了选择性沉积的效果。凸起型 STI 结构的高度允许显著的过刻蚀，以确保在晶体管或各个晶体管的源极和栅极区域之间没有 Si:C 桥。应当注意的是，可以选择 STI 结构的高度，使得显著的过刻蚀可行以确保良好的制造产量，同时仍留下基本厚度的 Si:C 层 160 以形成基本应力。如果在互补 PFET 中使用凸起型 STI 结构以形成类似形状的埋置型 SiGe(e-SiGe) 结构，该凸起型 STI 结构也提供了相同的益处和有益效果。

[0027] 另外，Si:C 在整个源极区域 / 漏极区域、源极 / 漏极扩展区域的全部或者部分之上延伸，并且因而可以形成对于给定的晶体管间距和横向 STI 结构尺寸可能的最大程度的应变。另外，在延伸到晶体管侧壁时，Si:C 最优地接近于晶体管沟道用于向其施加拉应力 / 应变。更具体地，由于（在执行注入以形成源极结构和漏极结构后）Si:C 在硅衬底上外延生长，Si:C 的较小晶格常数引起源极区域和漏极区域中的拉应力，如此形成的应力通过其中形成了源极区域和漏极区域的衬底 110 的单晶结构被很好地传送到晶体管沟道中。

[0028] 另外，应当理解，这种通过 Si:C 160 的剩余部分形成的所谓埋置型结构并不会干扰公知用于向晶体管沟道施加拉力或者压力以增强载流子迁移率的所谓覆盖 (capping) 结构（例如 170）的形成。即，在 FET 的栅极之上延伸的所谓覆盖结构已经使用诸如氮化物的材料形成，并且在实现载流子迁移率显著增加方面是有效的。除了通过使用覆盖结构能够实现的力以外，根据本发明的埋置型结构还增加了施加到沟道的力。相反，可以使用覆盖结构 170 来调节或者调整从根据本发明的埋置型结构施加到沟道的力，并且该力可以根据需要通过选择拉伸或者压缩性覆盖材料来增加或者降低。

[0029] 应当理解的是，如图 6 所示，除了接触的形成，NFET（以及如果如上所述并行地形成的可能的 PFET）已基本上完成，通过使用导电的 Si:C 材料，关于源极和漏极而言促进了接触的形成。至源极和漏极的接触可以通过任何公知的或者可预知的技术来形成，并且可以包括或者可以不包括硅化物的形成。另外，接触的形成不会因使用可在覆盖结构中使用的非导电材料而被折衷，因为覆盖结构不需在整个源极或者漏极之上延伸。

[0030] 根据前面所述，可以看出本发明提供了既简单又经济的高产工艺，用于形成拉力埋置型结构以便增强 NFET 中的电子迁移率，与利用已知覆盖型结构可获得的水平相比以更高的水平使用导电材料，这特别是因为仅仅 Si:C 目前是公知作为能够产生拉应力的导电材料，而足以支持该性质的碳代位浓度和选择性沉积实际上是相互排斥的。另外，该工艺与用于增加 PFET 空穴迁移率的压缩性结构的形成以及覆盖型应力诱发结构的形成完全兼容，其中覆盖型应力诱发结构可以与根据本发明的埋置型结构结合使用，以便提供先前无法达到的应力水平和电子迁移率。

[0031] 虽然已经依照单个优选的实施例对本发明进行了描述，但是本领域技术人员应当认识到，本发明可以在所附权利要求的精神和范围内利用各种变型来实施。

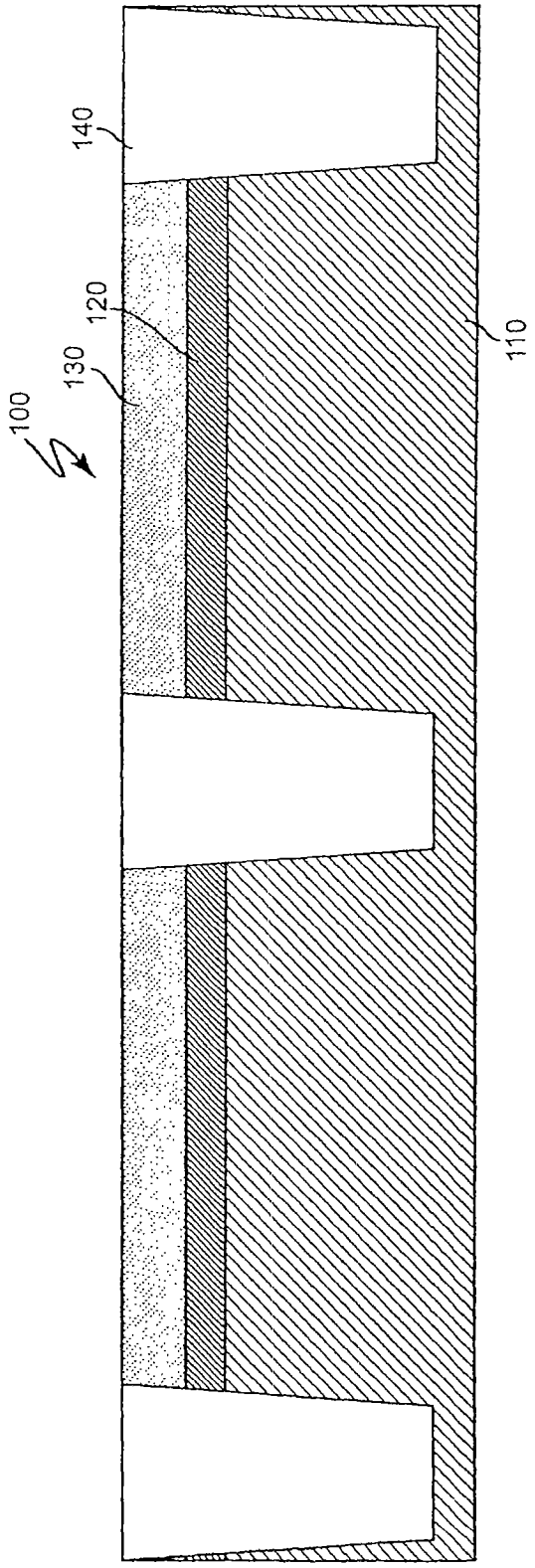


图 1

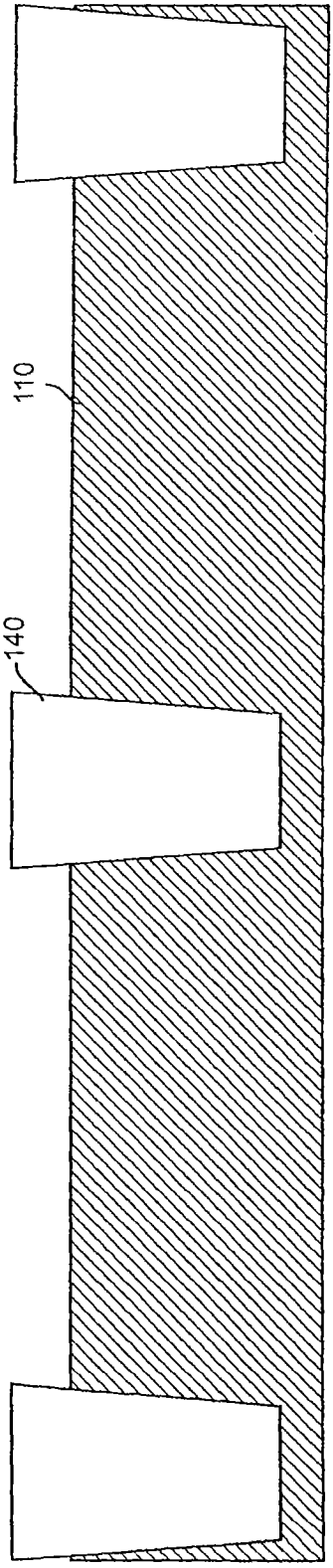


图 2

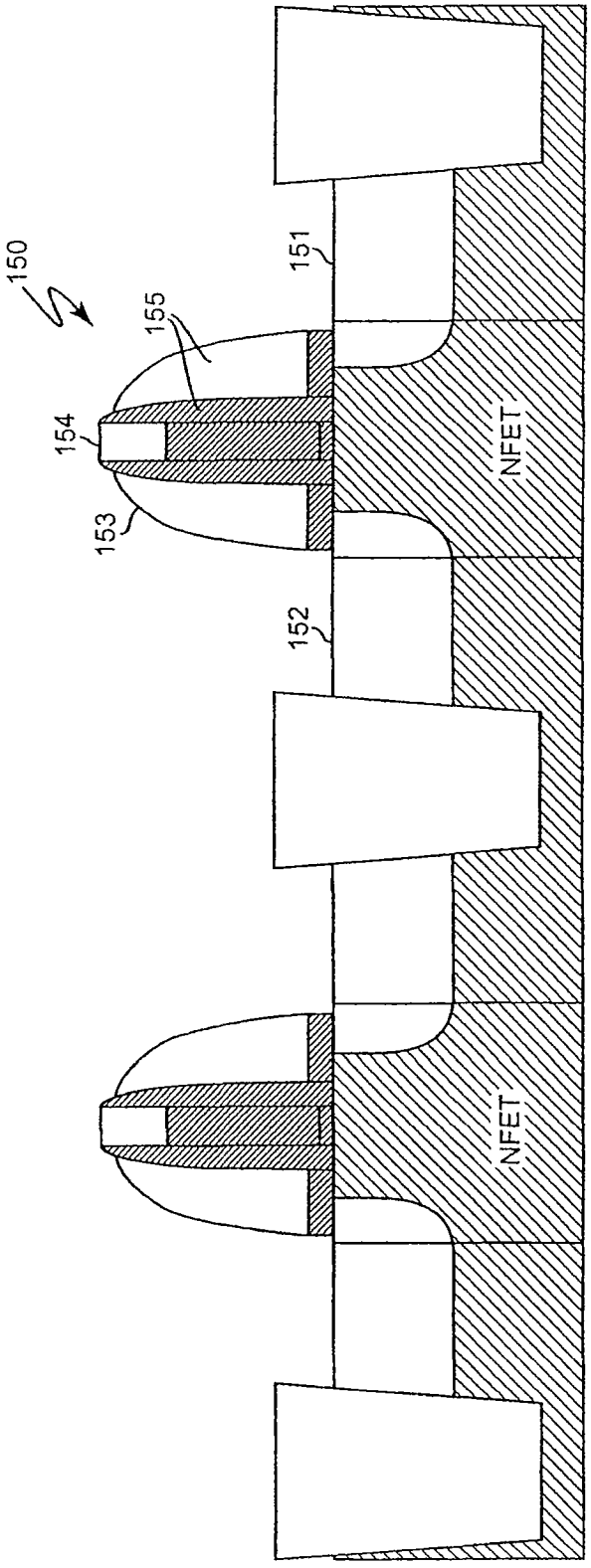


图 3

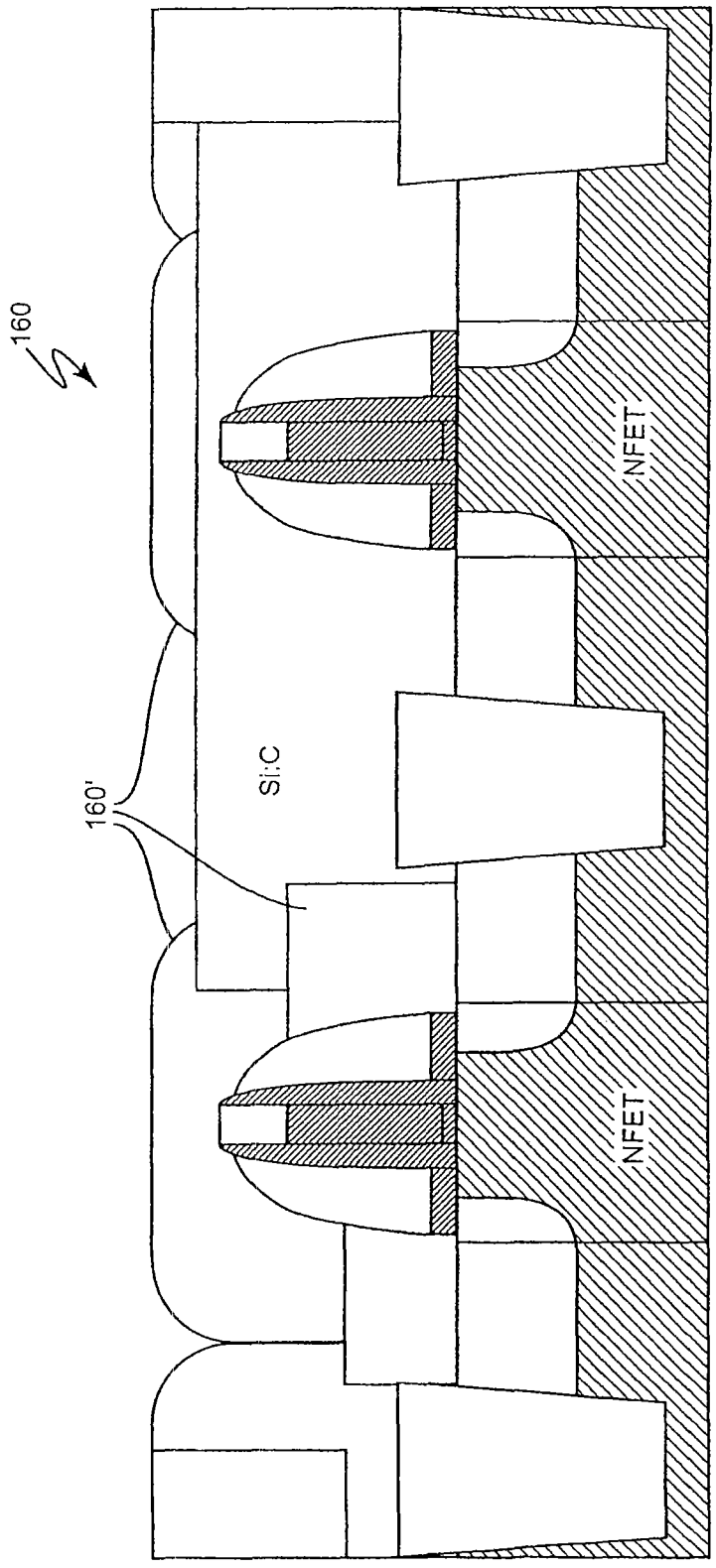


图 4

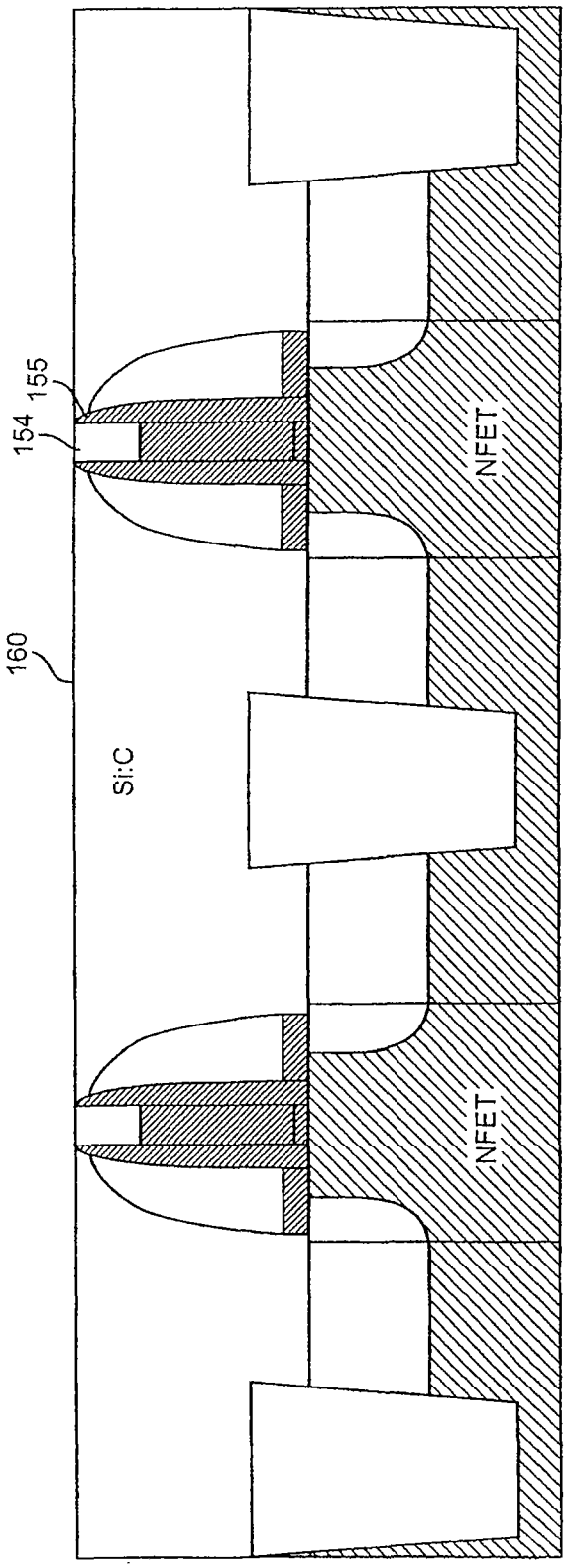


图 5

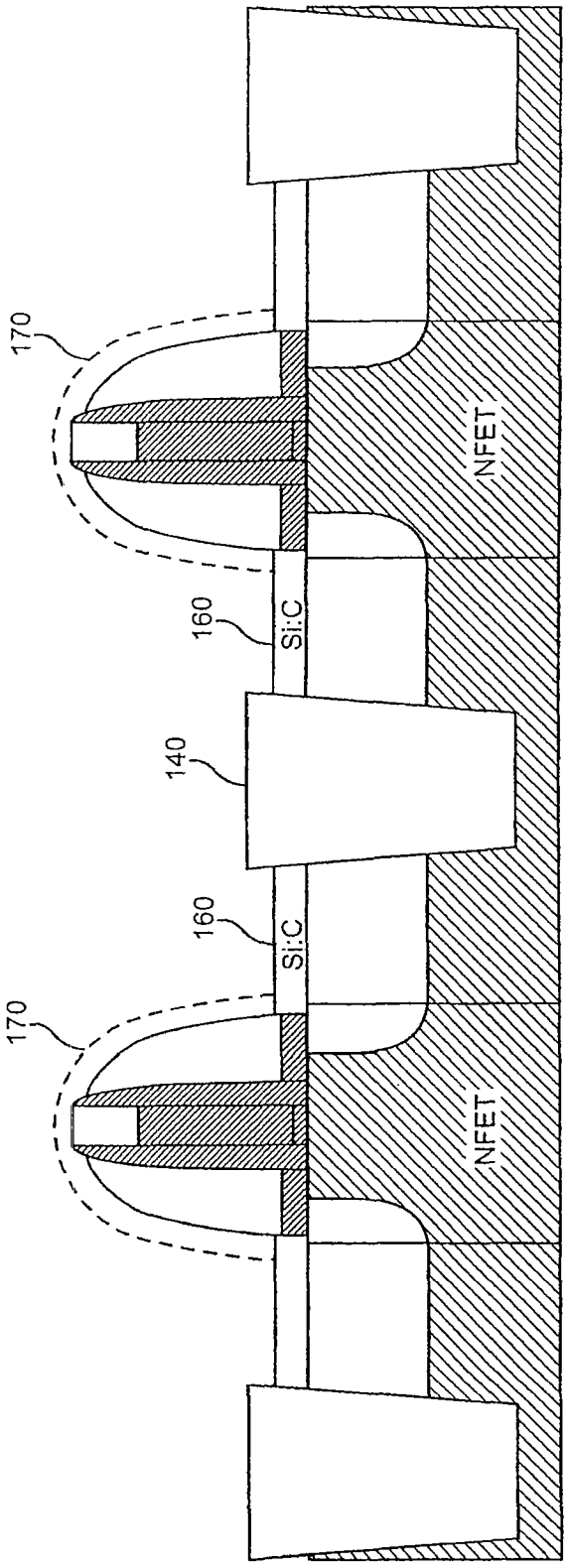


图 6

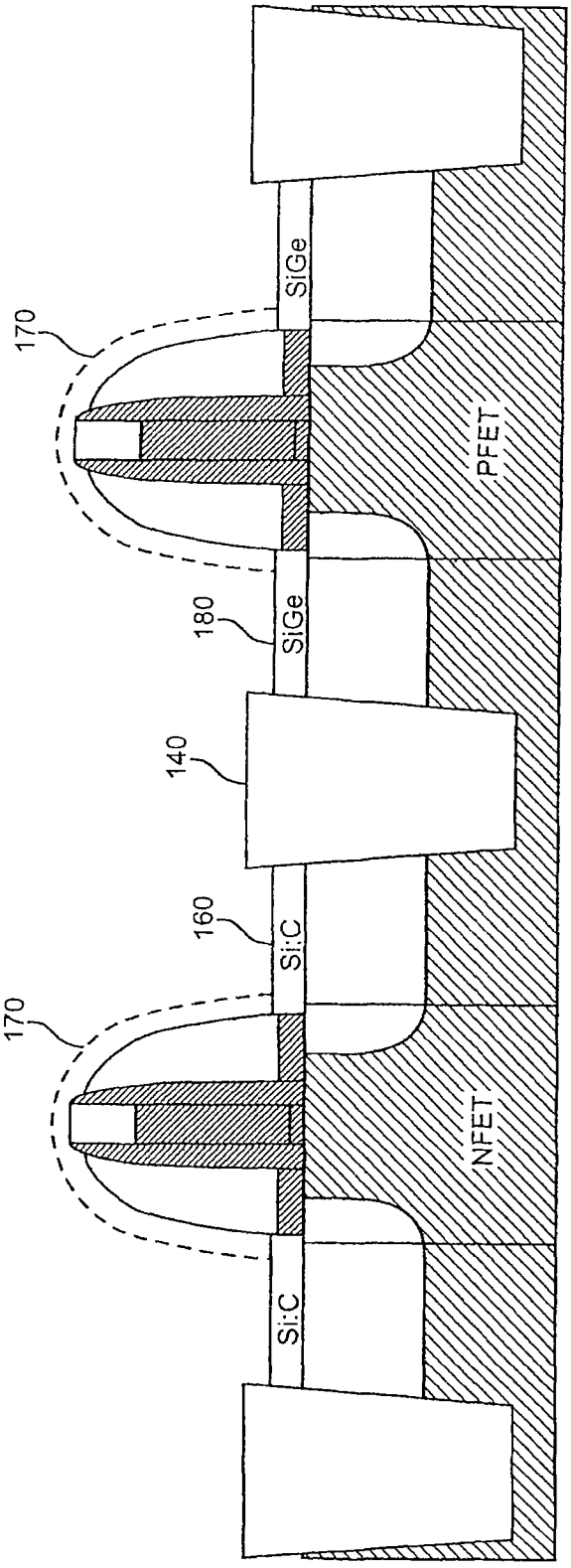


图 7