

401731

申請日期	87. 8. 19
案 號	87 113693
類 別	165K 3/46

A4
C4

(以上各欄由本局填註)

401731

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體插件及其著裝基板
	英 文	SEMICONDUCTOR PACKAGE AND MOUNTING SUBSTRATE THEREOF
二、發明 創作人	姓 名	今井靖之
	國 籍	日 本
	住、居所	日本國東京都港區芝五丁目七番一號 日本電氣股份有限公司內
三、申請人	姓 名 (名稱)	日本電氣股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國東京都港區芝五丁目七番一號
	代 表 人 姓 名	金子尚志

裝

訂

線

401731

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

日 本

1997 年 8 月 20 日

日本特願平 9-223851

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(2)

發明背景發明之領域

本發明係關於一種半導體裝置，特別是關於著裝在多層著裝基板之表面著裝型的半導體插件。

相關技術之描述

一般稱為球柵陣列或晶片尺度插件的表面著裝型半導體插件已知是一種典型的插件型式。圖1A為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球或球塊的習知表面著裝型半導體插件的示意透視圖。圖1B為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球或球塊的習知表面著裝型半導體插件的平面圖。圖1C為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球的習知表面著裝型半導體插件沿著圖1B之A-A連線的橫剖面前視圖。圖2A為說明具有著裝表面上設置了多個導電焊墊與通路孔且配線從導電焊墊而延伸的習知表面著裝型多層著裝基板的局部放大平面圖。圖2B為說明圖2A之習知表面著裝型多層著裝基板的多層結構的局部放大橫剖面前視圖。

習知表面著裝型半導體插件1具有的平坦著裝表面，其上設置有鉍錫球或鉍錫塊20之陣列。將習知表面著裝型半導體插件1著裝於表面著裝型多層裝配基板47，其具有平坦著裝表面而在對應於習知表面著裝型半導體裝置1的著裝表面所設置鉍錫球20的位置上，設置陣列型式的導電焊墊44，使得鉍錫球20與導電焊墊44接觸。表面著裝型多層著裝基板47的著裝表面上尚設置有配線41與通路孔46，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

其中配線41從導電焊墊44而延伸。表面著裝型多層著裝基板47包含三層結構，舉例來說，具有平坦著裝表面的第1層板51、在第1層板51下面的第2層板52與在第2層板52下面的第3層板53。形成各自的通路孔46以貫穿第1至第3層板51、52與53。將每個通路孔46的內壁以導電性膜(未顯示)覆蓋。配線41具有多層相互連繫的結構，其中配線41延伸於第1層板51的平坦著裝表面上、第3層板53的平坦底面上及第1與第2層板51與52間之第1界面及第2與第3層板52與53間之第2界面。

前述配線41延伸至其上設置有表面著裝型半導體插件1的半導體裝置著裝區的外面，藉以將顯現在表面著裝型半導體插件1之端子上的信號經由鉚錫球20與導電焊墊44而傳送，並再傳送上配線41而至位於表面著裝型多層著裝基板47的著裝區外面的外部區。

將最外面的配線41與最外面的導電焊墊44連接，而導電焊墊44經由鉚錫球20連接至表面著裝型半導體插件1最外面的端子，其中最外面的端子被配置為臨近正方形之表面著裝型半導體裝置1的個別面。最外面的配線41可輕易地引出表面著裝型多層著裝基板47的著裝區。

同時，分別將第2和第3外面的配線41及剩下的內部配線41與第2和第3外面的導電焊墊44及另一內部導電焊墊44連接。又將第2和第3外面的導電焊墊44及另一內部導電焊墊44經由鉚錫球20連接到表面著裝型半導體裝置1之第2和第3外面的端子與另一內部端子，其中最外面的端子被配

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

置為臨近正方形之表面著裝型半導體裝置1的個別面。第2和第3外面的配線41及剩下的內部配線41無法輕易地引出表面著裝型多層著裝基板47的著裝區，但是可以選擇下列兩可行方法的任一或二者的組合。

第1個可行方法為使第2和第3外面的配線41及剩下的內部配線41經由相臨兩個最外面的導電焊墊44之間而引導到外部區，其位於表面著裝型半導體插件1所著裝於其上的著裝區的外面。

第2個可行方法為使用如圖2A與2B所示之表面著裝型多層著裝基板47，如此則允許延伸於第1層板51之著裝表面的上方作為頂層配線的第2和第3外面的配線41及剩下的內部配線41經由通路孔46內壁上的導電膜而引導到第1與第2層板51與52間之第2頂層配線，或到第2與第3層板52與53間之第3頂層配線，不然則到第3層板53之底面上的下層配線。

由於對大幅縮小尺寸之半導體插件的需求增加，故需要使以陣列設置在表面著裝型半導體插件之著裝表面上的相鄰兩鉑錫球間之距離變窄。也需要使對應於表面著裝型半導體插件上之鉑錫球而配置的導電焊墊的球之間距或相鄰兩個間之距離變窄。球之間距或相鄰兩導電焊墊間之距離的變窄對相鄰兩導電焊墊間所延伸之配線的可能數量與可能寬度產生許多限制。

若將頂層配線連接到通路孔之內壁上的導電膜，以使頂層配線引導至第2、第3或底層配線，而由於通路孔的數

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

五、發明說明(5)

量被限制住，則經由孔而能夠引導到第2、第3或底層配線的頂層配線的數量也被限制住了。換言之，欲避免形成通路孔，則需要引導經過通路孔的配線以外的配線來引導。又，必需要第2、第3或剩下的底層配線來引導以避免通路孔。

此外，對於前述習知表面著裝型半導體插件而言，鑑於保持使配線引導至位於表面著裝型著裝基板之著裝區外的外部區所需要之最小的自由度，半導體插件的尺寸縮小是困難的。球之間距或相鄰兩導電焊墊間之距離的顯著變窄使得配線經由相鄰兩導電焊墊之間引導到位於表面著裝型著裝基板之著裝區外的外部區變得困難。為了允許第2或第3頂層或剩下的下層配線來引導而避免通路孔所增加的自由度，當然對於縮小通路孔的數量是有效的。為了實現對於通路孔數量的縮小，也需要縮小表面著裝型半導體插件之內部端子的數量，其中內部端子被置於表面著裝型半導體插件的內部區上，且被位於表面著裝型半導體插件的周邊區上的外面端子所圍繞。換言之，依照表面著裝型半導體插件之內部端子的數量上的縮小，也需要縮小位於表面著裝型半導體插件的內部區上且被位於表面著裝型半導體插件的周邊區上的外面鉑錫球塊所圍繞的內部鉑錫球的數量。然而，內部端子與內部鉑錫球的數量上的縮小需要外部端子與外部鉑錫球的數量加上與內部端子與內部鉑錫球所縮小的相同數量。外部端子與外部鉑錫球的增加需要表面著裝型半導體插件之周邊區的面積大幅增加。這表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

示需要增加表面著裝型半導體插件的面積。表面著裝型半導體插件的面積增加則違反了對於半導體插件之尺寸縮小的需求。具有端子以陣列分佈在表面著裝型半導體插件之整個著裝表面區上的前述全柵陣列結構，對於滿足半導體插件之尺寸上可能縮小的需求似乎是必需的。

在前述情況下，需要發展一種不具有前述問題之新的表面著裝型半導體插件。

發明概要

因此，本發明的一目的為提供一種不具有前述問題的新表面著裝型半導體插件。

本發明的另一目的為提供一種新表面著裝型半導體插件允許大幅縮小其尺寸。

本發明的再一目的為提供一種新表面著裝型半導體插件允許大幅縮小其重量。

本發明的又一目的為提供一種新表面著裝型半導體插件允許具有全格結構的半導體裝置被著裝在著裝基板上。

本發明的再另一目地為提供一種新表面著裝型半導體插件允許再縮小表面著裝型半導體裝置上相鄰兩鉑錫球間之間距或距離。

本發明的又另一目的為提供一種新的表面著裝型半導體插件，其使多層式配線將著裝基板的著裝區引出到位於著裝區外的其外部區的自由度增加。

本發明的又再一目的為提供一種新的表面著裝型半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

體插件，其即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小藉以增加端子的數量也藉以縮小表面著裝型半導體裝置的面積，仍不具有對於多層式配線將著裝基板的著裝區引出到位於著裝區外的其外部區之進一步的限制。

本發明的另一目的為提供一種新的表面著裝型半導體插件，其不具有會阻止頂面配線下面之較低層配線將表面著裝型多層著裝基板之著裝區引出的通路孔，而允許多層式配線將著裝基板的著裝區引出到位於著裝區外的其外部區的自由度增加。

本發明的第1實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有至少一段差部，該等段差部朝向該半導體插件的配線引出緣方向而降低其高度，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出緣延伸至從該著裝區所界限的外部區，且其中該段差部具有複數個導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

本發明的第2實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有至少一梯級部，其提供一四邊形邊界線來界限在內部區上的一較高層

五、發明說明(8)

區與位在外部區上的一較低層區，使得該較低層區圍繞該較高層區，其中該梯級部具有實質上垂直的牆壁面向該半導體插件的四邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

本發明的第3實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中著裝表面具有至少一斜面，其提供一四邊形邊界區來界限在內部區上的一較高層區與位在外部區上的一較低層區，使得該較低層區圍繞該較高層區，其中該斜面面向該半導體插件的四邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

本發明的第4實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一L形邊界線來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低

五、發明說明(9)

層區，且其中該四L形邊界線分別圍繞該四角區，其中各自的該四梯級部具有實質上垂直的牆壁面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

本發明的第5實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一直線形邊界線來界限該較高層區與四較低層區，且其中該四條直線形邊界線分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，其中各自的該四梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

本發明的第6實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

裝基板上的一著裝表面，其中該著裝表面具有四組的至少一斜面，其提供四組的至少一L形邊界區來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低層區，且其中該四L形邊界區分別圍繞該四角區，其中各自的該四斜面面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

本發明的第7實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一斜面，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四個直線形邊界區分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，其中各自的該四斜面面向該半導體插件之對應的該四角之一，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

(請先閱讀背面之注意事項再填寫本頁)

世

訂

線

五、發明說明(11)

本發明的第8實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有向著該半導體插件的四邊而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的著裝區經由該半導體插件的該四邊延伸至一外部區，且其中各自的該四斜面區具有複數個導電焊墊位於該斜面中的各斜面區上複數個不同高度上，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

本發明的第9實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有向著該半導體插件的四角而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的一著裝區經由該半導體插件的該四角的附近延伸至圍繞該著裝區的一外部區，且其中各自的該四斜面區具有複數個導電焊墊位於各自的該四斜面區上的不同高度上，且該導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

本發明之上述及其他目的、優點和特色由以下說明當可更加明白。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

圖式之簡單說明

以下將參考附圖詳細說明依照本發明之較佳實施例。

圖1A為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球或球塊的習知表面著裝型半導體插件的示意透視圖。

圖1B為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球或球塊的習知表面著裝型半導體插件的平面圖。

圖1C為說明具有平坦著裝表面上以柵陣列型式設置了多個鉍錫球的習知表面著裝型半導體插件沿著圖1B之A-A連線的橫剖面前視圖。

圖2A為說明具有著裝表面上設置了多個導電焊墊與通路孔且配線從導電焊墊而延伸的習知表面著裝型多層著裝基板的局部放大平面圖。

圖2B為說明圖2A之習知表面著裝型多層著裝基板的多層結構的局部放大橫剖面前視圖。

圖3A為說明在依照本發明的第1實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖3B為說明在依照本發明的第1實施例中圖3A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖3C為說明在依照本發明的第1實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖3B之A-A連線的示意橫剖面前視圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

圖4為說明在依照本發明的第1實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖3C之A-A連線的橫剖面前視圖。

圖5A為說明依照本發明之具有改良式著裝表面的新表面著裝型半導體插件所著裝於其上的多層著裝基板的局部放大平面圖。

圖5B為說明圖5A之多層著裝基板的局部放大橫剖面前視圖。

圖6為說明在依照本發明的第1實施例中著裝至多層著裝基板上之具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖7A為說明在依照本發明的第2實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖7B為說明在依照本發明的第2實施例中圖7A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖7C為說明在依照本發明的第2實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖7B之A-A連線的示意橫剖面前視圖。

圖7D為說明在依照本發明的第2實施例中圖7A的新表面著裝型半導體插件的改良式著裝表面的每一平台上的雙列導電焊墊的局部放大平面圖。

圖8A為說明在依照本發明的第3實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

(請先閱讀背面之注意事項再填寫本頁)

第

訂

線

五、發明說明(14)

圖8B為說明在依照本發明的第3實施例中圖8A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖8C為說明在依照本發明的第3實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖8B之A-A連線的示意橫剖面前視圖。

圖9A為說明在依照本發明的第4實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖9B為說明在依照本發明的第4實施例中圖9A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖9C為說明在依照本發明的第4實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖9B之A-A連線的示意橫剖面前視圖。

圖10A為說明在依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖10B為說明在依照本發明的第5實施例中圖10A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖10C為說明在依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖10B之A-A連線的示意橫剖面前視圖。

圖10D為說明在依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖10B之B-B連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

線的示意橫剖面前視圖。

圖11A為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖11B為說明在依照本發明的第6實施例中圖11A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖11C為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖11B之A-A連線的示意橫剖面前視圖。

圖11D為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖11B之B-B連線的示意橫剖面前視圖。

圖12A為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖12B為說明在依照本發明的第7實施例中圖12A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖12C為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖12B之A-A連線的示意橫剖面前視圖。

圖12D為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖12B之B-B連線的示意橫剖面前視圖。

圖13A為說明在依照本發明的第8實施例中具有改良式

(請先閱讀背面之注意事項再填寫本頁)

步

訂

線

五、發明說明(16)

著裝表面的新表面著裝型半導體插件的示意透視圖。

圖13B為說明在依照本發明的第8實施例中圖13A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖13C為說明在依照本發明的第8實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖13B之A-A連線的示意橫剖面前視圖。

圖14A為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖14B為說明在依照本發明的第9實施例中圖14A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖14C為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖14B之A-A連線的示意橫剖面前視圖。

圖14D為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖14B之C-C連線的示意橫剖面前視圖。

圖14E為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖14B之D-D連線的示意橫剖面前視圖。

圖15A為說明在依照本發明的第10實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

圖15B為說明在依照本發明的第10實施例中圖15A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。

圖15C為說明在依照本發明的第10實施例中具有改良

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(17)

式著裝表面的新表面著裝型半導體插件沿著圖15B之A-A連線的示意橫剖面前視圖。

圖15D為說明在依照本發明的第10實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖15B之C-C連線的示意橫剖面前視圖。

符號說明

- 1~半導體插件
- 11~第1層板
- 12~第2層板
- 13~第3層板
- 14~第4層板
- 15~第5層板
- 20~鉑錫球
- 24~正方形頂台
- 25~下坡
- 31~第1層板上的端子
- 32~第2層板上的端子
- 33~第3層板上的端子
- 40~密封材質
- 41~配線
- 42~連結電線
- 43~矽晶片
- 44~導電焊墊

(請先閱讀背面之注意事項再填寫本頁)

夢

訂

線

五、發明說明(18)

45~絕緣層

46~通路孔

47~多層著裝基板

51~第1著裝基板

52~第2著裝基板

53~第3著裝基板

發明的效果

本發明的第1實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有至少一段差部，該等段差部向著該半導體插件的配線引出緣而降低高度，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出緣延伸至從該著裝區所界限的外部區，且其中該段差部具有複數個導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

該第1實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的

(請先閱讀背面之注意事項再填寫本頁)

步

訂

線

五、發明說明(19)

相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該梯級部可以下述方式形成：藉由具有相互不同之尺寸之複數個塑膠層板的疊層構造物，其中頂層塑膠層板在平面圖上具有最小尺寸，而底層塑膠層板則在平面圖上具有最大尺寸。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由具有在平面圖上相同之尺寸之複數個塑膠層板

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

五、發明說明(20)

的疊層構造物並隨後選擇性地蝕刻以形成梯級部。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用與梯級部相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具梯級部的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具梯級部的陶瓷基板以形成梯級部。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

較佳的情形是：該段差部不連續地改變高度，使得該著裝表面包含至少一較高層區與至少一較低層區，且使得該至少一較低層區被配置於比該較高層區更接近該半導體插件的配線引出邊，其中該著裝基板的該多層式配線的該至少一部分從該多層著裝基板的該著裝區經由該半導體插件的該配線引出邊延伸至該外部區，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區

(請先閱讀背面之注意事項再填寫本頁)

世

訂

線

五、發明說明(2)

引出至圍繞該著裝區的其外部區。

較佳的情形是：該段差部具有至少一梯級部，其提供一邊界線來界限該較高層區與該較低層區，且該梯級部具有實質上垂直的牆壁面向該半導體插件的該配線引出邊。

較佳的情形是：該至少一梯級部提供一邊界線來圍繞一內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區圍繞該較高層區。

較佳的情形是：各自的該較高層與較低層區具有至少一單列的該導電焊墊圍繞該內部區。

較佳的情形是：各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：複數個該梯級部延伸以提供多條邊界線來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊圍繞該內部區。

另外較佳的情形是：各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(22)

焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：由該至少一梯級部所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以中心式而配置。

另外較佳的情形是：由該至少一梯級部所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以偏心式而配置。

另外較佳的情形是：由該至少一梯級部所提供之該邊界線所圍繞的該內部區係正方形。

另外較佳的情形是：該至少一梯級部所提供的該邊界線全向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區全向式地圍繞該較高層區。

另外較佳的情形是：該至少一梯級部所提供的該邊界線三向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區三向式地圍繞該較高層區。

另外較佳的情形是：該著裝表面具有至少兩梯級部，其提供至少兩直線形邊界線來界限至少一該較高層區與至少兩該較低層區，且各自的該兩梯級部具有實質上垂直的牆壁面向該半導體插件的相對兩邊，使得該至少兩該較低層區分別鄰近於該半導體插件的該相對兩邊，且該至少一

五、發明說明(23)

該較高層區被夾在該至少兩該較低層區之間。

另外較佳的情形是：該著裝表面具有至少一斜面，其在該較高層區與該較低層區提供一邊界區，且該斜面面向該半導體插件的該配線引出邊。

另外較佳的情形是：該至少一斜面提供一邊界區圍繞一內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區圍繞該較高層區。

另外較佳的情形是：各自的該較高層與較低層區具有至少一單列的該導電焊墊圍繞該內部區。

另外較佳的情形是：各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：複數個該斜面延伸以提供多個邊界區來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊圍繞該內部區。

另外較佳的情形是：各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，

五、發明說明(24)

將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：由該至少一斜面所提供之該邊界區所圍繞的該內部區係對於該半導體插件的中心以中心式而配置。

另外較佳的情形是：由該至少一斜面所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以偏心式而配置。

另外較佳的情形是：由該至少一斜面所提供之該邊界線所圍繞的該內部區係正方形。

另外較佳的情形是：該至少一斜面所提供的該邊界線全向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區全向式地圍繞該較高層區。

另外較佳的情形是：該至少一斜面所提供的該邊界線三向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區三向式地圍繞該較高層區。

另外較佳的情形是：該著裝表面具有至少兩斜面，其提供至少兩直線形邊界區來界限至少一該較高層區與至少兩該較低層區，且該兩斜面中的各斜面面向該半導體插件的相對兩邊，使得該至少兩該較低層區分別鄰近於該半導

五、發明說明(25)

體插件的該相對兩邊，且該至少一該較高層區被夾在該至少兩該較低層區之間。

另外較佳的情形是：該段差部不連續地改變高度，使得該著裝表面包含至少一較高層區與至少一較低層區，且使得該至少一較低層區被配置於比該較高層區更接近該半導體插件的角，其中該著裝基板的該多層式配線的該至少一部分從該多層著裝基板的該著裝區經由該半導體插件的該角附近延伸至該外部區，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至該外部區。

另外較佳的情形是：該段差部具有至少一梯級部，其提供一L形邊界線來界限該較高層區與該較低層區，且其中該L形邊界線圍繞鄰近於該角的一角區，使得該較低層區被配置在該角區，且該梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之該角的相鄰兩邊。

另外較佳的情形是：該段差部具有四組的至少一梯級部，其提供四組的至少一L形邊界線來界限該較高層區與四較低層區，且其中該四L形邊界線分別圍繞鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

五、發明說明(26)

另外較佳的情形是：該段差部具有四組的複數個梯級部，其提供四組的多條L形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條L形邊界線共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中各自的梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：該段差部具有至少一梯級部，其提供一直線形邊界線來界限該較高層區與該較低層區，且其中該直線形邊界線延伸在夾該角的兩邊之間，且該直線形邊界線在該半導體插件的對角線方向上界限出鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該梯

(請先閱讀背面之注意事項再填寫本頁)

步

訂

線

五、發明說明(2)

級部具有實質上垂直的牆壁面向該半導體插件的該角。

另外較佳的情形是：該段差部具有四組的至少一梯級部，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四條直線形邊界線分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

另外較佳的情形是：該段差部具有四組的複數個梯級部，其提供四組的多條直線形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條直線形邊界線分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中各自的該梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩

五、發明說明(28)

個該導電焊墊之間。

另外較佳的情形是：該段差部具有至少一斜面，其提供一L形邊界區來界限該較高層區與該較低層區，且其中該L形邊界區圍繞鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該斜面面向包夾於該半導體插件之該角的相鄰兩邊。

另外較佳的情形是：該段差部具有四組的至少一斜面，其提供四組的至少一L形邊界區來界限該較高層區與四較低層區，且其中該四個L形邊界區分別圍繞鄰近於四角的四角區，使得該四個較低層區分別被配置在該四角區上，且各自的該四斜面面向包夾於該半導體插件之四角中之對應的一角的相鄰兩邊。

另外較佳的情形是：該段差部具有四組的複數個斜面，其提供四組的多個L形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個L形邊界區共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中該斜面面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(29)

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：該段差部具有至少一斜面，其提供一直線形邊界區來界限該較高層區與該較低層區，且其中該直線形邊界區延伸在夾該角的兩邊之間，且該直線形邊界區在該半導體插件的對角線方向上界限出鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該斜面向該半導體插件的該角。

另外較佳的情形是：該段差部具有四組的至少一斜面，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四個直線形邊界區分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且該四斜面中之各斜面向該半導體插件之對應的該四角之一。

另外較佳的情形是：該段差部具有四組的複數個斜面，其提供四組的多個直線形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個直線形邊界區分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(30)

至少一居中層區以該半導體插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中該斜面中的各斜面向該半導體插件之對應的該四角之一。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：該段差部連續地改變高度，使得該段差部包含向著該半導體插件的配線引出緣而高度下降的一斜面區，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出邊延伸至由該著裝區所界限的一外部區，且其中該斜面區具有位於該斜面區上複數個不同高度的複數個導電焊墊，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

另外較佳的情形是：該段差部包含向著該半導體插件的四邊而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的該著裝區經由該半導體插件的

(請先閱讀背面之注意事項再填寫本頁)

此

訂

線

五、發明說明(3/)

該四邊延伸至該外部區。

另外較佳的情形是：各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件之各自的該四邊而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

另外較佳的情形是：該段差部連續地改變高度，使得該段差部包含向著該半導體插件的配線引出角而高度下降的一斜面區，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出角附近的一區延伸至由該著裝區所界限的一外部區，且其中該斜面區具有位於該斜面區上複數個不同高度的複數個導電焊墊，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

另外較佳的情形是：該段差部包含向著該半導體插件的四角而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的該著裝區經由該半導體插件的該四角延伸至該外部區。

另外較佳的情形是：各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件的對角線而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(32)

本發明的第2實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有至少一梯級部，其提供一四邊形邊界線來界限在內部區上的一較高層區與位在外部區上的一較低層區，使得該較低層區圍繞該較高層區，其中該梯級部具有實質上垂直的牆壁面向該半導體插件的四邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

該第2實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(33)

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該梯級部可以下述方式形成：藉由具有相互不同之尺寸之複數個塑膠層板的疊層構造物，其中頂層塑膠層板在平面圖上具有最小尺寸，而底層塑膠層板則在平面圖上具有最大尺寸。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由具有在平面圖上相同之尺寸之複數個塑膠層板的疊層構造物並隨後選擇性地蝕刻以形成梯級部。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用與梯級部相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具梯

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(34)

級部的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具梯級部的陶瓷基板以形成梯級部。

另外較佳的情形是：各自的該較高層與較低層區具有至少一單列的該導電焊墊平行於該半導體插件的四邊。

另外較佳的情形是：各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：複數個該梯級部延伸以提供多條邊界線來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

另外較佳的情形是：各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第3實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(35)

裝基板上的一著裝表面，其中著裝表面具有至少一斜面，其提供一四邊形邊界區來界限在內部區上的一較高層區與位在外部區上的一較低層區，使得該較低層區圍繞該較高層區，其中該斜面面向該半導體插件的四邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

該第3實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(36)

表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉚錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉚錫球之下。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

另外較佳的情形是：各自的該較高層與較低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

另外較佳的情形是：各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

另外較佳的情形是：複數個該斜面延伸以提供多個邊

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(37)

界區來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

另外較佳的情形是：各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第4實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一L形邊界線來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低層區，且其中該四L形邊界線分別圍繞該四角區，其中各自的該四梯級部具有實質上垂直的牆壁面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

五、發明說明(38)

該第4實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(39)

位於半導體插件之不同層的該梯級部可以下述方式形成：藉由具有相互不同之尺寸之複數個塑膠層板的疊層構造物，其中頂層塑膠層板在平面圖上具有最小尺寸，而底層塑膠層板則在平面圖上具有最大尺寸。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由具有在平面圖上相同之尺寸之複數個塑膠層板的疊層構造物並隨後選擇性地蝕刻以形成梯級部。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用與梯級部相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具梯級部的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具梯級部的陶瓷基板以形成梯級部。

另外較佳的情形是：該著裝表面具有四組的複數個梯級部，其提供四組的多條L形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條L形邊界線共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中各自的該梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(40)

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第5實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一直線形邊界線來界限該較高層區與四較低層區，且其中該四條直線形邊界線分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，其中各自的該四梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(4|)

該第5實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(42)

位於半導體插件之不同層的該梯級部可以下述方式形成：藉由具有相互不同之尺寸之複數個塑膠層板的疊層構造物，其中頂層塑膠層板在平面圖上具有最小尺寸，而底層塑膠層板則在平面圖上具有最大尺寸。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由具有在平面圖上相同之尺寸之複數個塑膠層板的疊層構造物並隨後選擇性地蝕刻以形成梯級部。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用與梯級部相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該梯級部也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具梯級部的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具梯級部的陶瓷基板以形成梯級部。

另外較佳的情形是：該段差部具有四組的複數個梯級部，其提供四組的多條直線形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條直線形邊界線分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中各自的該梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

另外較佳的情形是：各自的該至少一居中層區具有至

五、發明說明(43)

少一單列的該導電焊墊以該對角線方向界限該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第6實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有四組的至少一斜面，其提供四組的至少一L形邊界區來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低層區，且其中該四L形邊界區分別圍繞該四角區，其中各自的該四斜面面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

該第6實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(44)

換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之距離或距離。此相鄰兩導電焊墊間之距離或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之距離或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(45)

成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

另外較佳的情形是：該著裝表面具有四組的複數個斜面，其提供四組的多個L形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個L形邊界區共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中該斜面中的各斜面面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第7實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(46)

裝基板上的一著裝表面，其中該著裝表面具有四組的至少一斜面，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四個直線形邊界區分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，其中各自的該四斜面面向該半導體插件之對應的該四角之一，且其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

該第7實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(47)

尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

另外較佳的情形是：該段差部具有四組的複數個斜面，其提供四組的多個直線形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個直線形邊界區多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最低層區與各自的該四最低層區，且其中該斜面中的各斜面面

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(48)

向該半導體插件之對應的該四角之一。

另外較佳的情形是：各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

另外較佳的情形是：各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

本發明的第8實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有向著該半導體插件的四邊而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的著裝區經由該半導體插件的該四邊延伸至一外部區，且其中各自的該四斜面區具有複數個導電焊墊位於該斜面中的各斜面區上複數個不同高度上，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

該第8實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(49)

線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(50)

的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

再較佳的情形是：各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件之各自的該四邊而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

本發明的第9實施態樣提供一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，其中該著裝表面具有向著該半導體插件的四角而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的一著裝區經由該半導體插件的該四角的附近延伸至圍繞該著裝區的一外部區，且其中各自的該四斜面區具有複數個導電焊墊位於各自的該四斜面區上的不同高度上，且該導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

該第9實施態樣提供以下三效果。

該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區之實質上的限制，即使是將表面著裝型半導體裝置的

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(5)

相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小表面著裝型半導體插件的面積也是如此。該新表面著裝型半導體插件在不具有通路孔其會避免在頂層配線之下的較低層配線將表面著裝型多層著裝基板之著裝區引出的情況下，允許多層式配線將多層著裝基板的著裝區引出至位於著裝區外部之其外部區。

又，該新表面著裝型半導體插件允許再實質上減小其尺寸。如前所述，並不需使多層式配線引導經過相鄰兩鉅錫球之間，藉以允許再縮小表面著裝型半導體插件之著裝表面上相鄰兩導電焊墊間之間距或距離。此相鄰兩導電焊墊間之間距或距離的再縮小則造成表面著裝型半導體插件之面積的再縮小。

再者，該新表面著裝型半導體插件允許在半導體插件之鉅錫球或端子之數量之實質上的增加，此乃由於對使多層式配線將著裝區引出至外部區的限制減少及使相鄰兩導電焊墊間之間距或距離變窄。可以形成導電焊墊的全柵陣列。

導電焊墊可以被設置於有或沒有鉅錫球之下。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用與斜面相同形狀之鑄模來鑄造一陶瓷封裝。

位於半導體插件之不同層的該斜面也可以下述方式形成：藉由使用一鑄模來鑄造一陶瓷封裝以形成一不具斜面的陶瓷基板並隨後選擇性地機械切割或機械磨光該不具斜面的陶瓷基板以形成梯級部。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(52)

較佳的情形是：各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件的對角線方向而延伸，使得該複數列彼此位於不同高度，使得在維持個別高度的情況下分別允許該多層式配線將該著裝區引出至該外部區。

較佳實施例之詳細說明

第1實施例

以下將參考圖3A、3B、3C、4、5A、5B與6詳細說明依照本發明的第1實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖3A為說明在依照本發明的第1實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖3B為說明在依照本發明的第1實施例中圖3A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖3C為說明在依照本發明的第1實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖3B之A-A連線的示意橫剖面前視圖。圖4為說明在依照本發明的第1實施例中圖3C之具有改良式著裝表面的新表面著裝型半導體插件的橫剖面前視圖。圖5A為說明依照本發明之具有改良式著裝表面的新表面著裝型半導體插件所著裝於其上的多層著裝基板的局部放大平面圖。圖5B為說明圖5A之多層著裝基板的局部放大橫剖面前視圖。圖6為說明在依照本發明的第1實施例中著裝至多層著裝基板上之具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(53)

如圖3A、3B與3C所示，新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1、第2與第3層板11、12與13為正方形但在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之尺寸差異造成在第1層板11的第1平台與第2層板12的第2平台間形成第1梯級部，與在第2層板12的第2平台與第3層板13的第3平台間形成第2梯級部。第1層板11的第1平台被定義為第1層板11之頂面的周邊區，其中第1層板11的周邊區並未被第2層板12所蓋住。第2層板12的第2平台被定義為第2層板12之頂面的周邊區，其中第2層板12的周邊區並未被第3層板13所蓋住。第3層板13的第3平台被定義為第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1平台、第2平台與第3平台的多平台結構，其中第2平台被第1平台所包圍，而且也被第1梯級部從第1平台所界限，而第3平台則被第2平台所包圍，而且也被第2梯級部從第2平台所界限。

第1層板11的第1平台是沿著正方形半導體插件1的四邊延伸的四直條形式。第1層板11的第1平台之各自的四直條具有沿著直條延伸的單一系列導電焊墊，使得導電焊墊被排列在第1層板11的第1平台上形成一正方形。第2層板12的第2平台也是平行於正方形半導體插件1的四邊而延伸的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(54)

四直條形式。第2層板12的第2平台之各自的四直條具有沿著直條延伸的單一系列導電焊墊，使得導電焊墊被排列在第2層板12的第2平台上形成一正方形。第3層板13的第3平台為正方形的形式。第3層板13的第3平台具有四列導電焊墊，分別沿著正方形的第3層板13的四邊而延伸，使得導電焊墊被排列在正方形之第3層板13的周邊區。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成三正方形，然而，它們位於不同層。最外面之正方形的四直列導電焊墊為半導體插件1之著裝表面的底面。居中之正方形的四直列導電焊墊為半導體插件1之著裝表面的居中層。最內部之正方形的四直列導電焊墊為半導體插件1之著裝表面的頂面。將鉅錫球20設置在個別的導電焊墊上，藉此鉅錫球20的直列形成三正方形，然而，它們位於不同層。最外面之正方形的四直列鉅錫球20為半導體插件1之著裝表面的底面。居中之正方形的四直列鉅錫球20為半導體插件1之著裝表面的居中層。最內部之正方形的四直列鉅錫球20為半導體插件1之著裝表面的頂面。三正方形之導電焊墊或鉅錫球20的不同層造成個別的導電焊墊與鉅錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉅錫球20向外或向正方形之個別邊引出並無阻礙物存在。

茲參考圖4，以下將說明半導體插件的構造。正方形的半導體插件1具有矽晶片43、絕緣層45與多層著裝基板，其尚包含第1、第2與第3層板11、12與13的疊層構造物。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(55)

以絕緣層45將第1、第2與第3層板11、12與13的疊層構造物與矽晶片43分開。設置配線41，其延伸於半導體插件1之著裝表面之第1層板11的反面上。如前所述，將鉅錫球20設置在第1、第2與第3層板11、12與13之第1、第2與第3平台上所提供之個別的導電焊墊上，如此以形成鉅錫球20直列的三正方形。最外面之正方形的四直列鉅錫球20係形成在第1層板11的第1平台上。居中之正方形的四直列鉅錫球20係形成在第2層板12的第2平台上。最內部之正方形的四直列鉅錫球20係形成在第3層板13的第3平台的周邊區上。第1、第2與第3層板11、12與13的疊層構造物具有通路孔46，其各自具有提供配線41與鉅錫球20間之電性連接的導電膜。矽晶片43的表面具有導電焊墊，其經由連結電線42而電性連接至配線41。將矽晶片43以密封材質40加以密封。半導體晶片1的著裝表面包含階梯狀的多平台結構，具有位於不同層之鉅錫球列的三正方形。

將該半導體插件1著裝到圖5A、5B與6所示之多層著裝基板上。多層著裝基板包含第1、第2與第3著裝基板51、52與53的疊層構造物，其中第2著裝基板52係層疊在第3著裝基板53上，而第1著裝基板51係層疊在第2著裝基板52上。第2著裝基板52具有小的正方形開口位於多層著裝基板的中央，使得第3著裝基板53表面的正方形部經由第2著裝基板52之小的正方形開口而露出。第1著裝基板51具有大的正方形開口位於多層著裝基板的中央，使得第2著裝基板52之小的正方形開口的周邊區與第3著裝基板53表面

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(56)

的正方形部，經由第1著裝基板51之大的正方形開口而露出。

因此，多層著裝基板的著裝表面具有包含第1、第2與第3平台的多平台結構。第1著裝基板51的第1平台由大的正方形開口所定義。第2著裝基板52的第2平台由大的與小的正方形開口所定義。第3著裝基板53的第3平台為正方形且由小的正方形開口所定義。較大的正方形開口的邊緣也提供一第1梯級部，其形成第1著裝基板51之第1平台與第2著裝基板52之第2平台的界限。較小的正方形開口的邊緣也提供一第2梯級部，其形成第2著裝基板52之第2平台與第3著裝基板53之第3平台的界限。第3著裝基板53之第3平台被第2著裝基板52之第2平台所圍繞，而第2著裝基板52之第2平台被第1著裝基板51之第1平台所圍繞。

在第1著裝基板51上設置第1層配線41與第1層導電焊墊44。第1層導電焊墊44的各自四列沿著較大的正方形開口的四邊延伸，使得較外面之正方形的四列第1層導電焊墊44圍繞較大的正方形開口而形成。第1層配線41從第1層導電焊墊44垂直於大的正方形開口的邊而向外延伸。將第2層配線41與第2層導電焊墊44設置在第2著裝基板52上。第2層導電焊墊44的各自四列沿著較小的正方形開口的四邊延伸，使得居中之正方形的四列第2層導電焊墊44圍繞較小的正方形開口而形成，並被較外面之正方形的四列第1層導電焊墊44所圍繞。第2層配線41從第2層導電焊墊44垂直於較小的正方形開口的邊而向外延伸。第2層配線41

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

延伸在第1與第2著裝基板51與52間之界面上，並且也延伸在第1層配線41之下。也將第3層配線41與第3層導電焊墊44設置在第3著裝基板53上。第3層導電焊墊44的各自四列沿著較小的正方形開口的四邊延伸，使得最內部之正方形的四列第3層導電焊墊44形成在較小的正方形開口內，並被居中之正方形的四列第2層導電焊墊44所圍繞。第3層配線41從第3層導電焊墊44垂直於較小的正方形開口的邊而向外延伸。第3層配線41延伸在第2與第3著裝基板52與53間之界面上，並且也延伸在位於第1層配線41之下的第2層配線41之下。也可將第4層配線41設置在多層著裝基板之著裝表面第3著裝基板53之相反面上。

茲參考圖6，將該半導體插件1著裝到多層著裝基板47上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板47之第1著裝基板51的第1平台一致。半導體插件1之第1梯級部也在平面尺寸、形狀與位置上與多層著裝基板47的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板47之第2著裝基板52的第2平台一致。半導體插件1之第2梯級部也在平面尺寸、形狀與位置上與多層著裝基板47的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板47之第3著裝基板53的第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的較大正方形列上的第1層導電焊墊又與位於多層著裝基板47

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(58)

之第1著裝基板51之第1平台上的較大正方形列上的第1層導電焊墊44在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的較大正方形列上的第1層鉚錫球20又與位於多層著裝基板47之第1著裝基板51第1平台上的較大正方形列上的第1層導電焊墊44在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中正方形列上的第2層導電焊墊又與位於多層著裝基板47之第2著裝基板52之第2平台上的居中正方形列上的第2層導電焊墊44在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中正方形列上的第2層鉚錫球20又與位於多層著裝基板47之第2著裝基板52之第2平台上的居中之正方形列上的第2層導電焊墊44在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層導電焊墊又與位於多層著裝基板47之第3著裝基板53之第3平台上的較小正方形列上的第3層導電焊墊44在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層鉚錫球20又與位於多層著裝基板47之第3著裝基板53之第3平台上的較小正方形列上的第3層導電焊墊44在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板47上，則半導體插件1的第1層鉚錫球20與多層著裝基板47的第1層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板47的第1層導電焊墊44接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(59)

47的第2層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第2層鉅錫球20與多層著裝基板47的第2層導電焊墊44接觸。又同時，半導體插件1的第3層鉅錫球20與多層著裝基板47的第3層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第3層鉅錫球20與多層著裝基板47的第3層導電焊墊44接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉅錫球20及多層著裝基板47的第1層導電焊墊44而電性連接至第1層配線41，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉅錫球20及多層著裝基板47的第2層導電焊墊44而電性連接至第2層配線41，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊44外面的相鄰兩個第1層導電焊墊44之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊44等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉅錫球20及多層著裝基板47的第3層導電焊墊44而電性連接至第3層配線41，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊44外面的相鄰兩個第1層或第2層導電焊墊44之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊44等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(60)

式配線將多層著裝基板47的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個正方形列的鉚錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉚錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(61)

面積及再縮小半導體插件的尺寸。

第2實施例

以下將參考圖7A、7B、7C與7D詳細說明依照本發明的第2實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖7A為說明在依照本發明的第2實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖7B為說明在依照本發明的第2實施例中圖7A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖7C為說明在依照本發明的第2實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖7B之A-A連線的示意橫剖面前視圖。圖7D為說明在依照本發明的第2實施例中圖7A的新表面著裝型半導體插件的改良式著裝表面的每一平台上的雙列導電焊墊的局部放大平面圖。

在第2實施例中，半導體插件的改良式著裝表面具有在不同層的三平台，其中各自的平台具有包含四邊之導電焊墊列的雙正方形，其每一邊又包含其上設置有鉑錫球的雙列導電焊墊。半導體插件的其它結構在實質上與第1實施例者相同。在半導體插件的每一正方形平台的每一邊上，配置雙列中靠內側的導電焊墊於雙列中靠外側的導電焊墊之間距的一半處，使得雙列中靠內側的每一導電焊墊上的鉑錫球被連接到配線上，其以直線延伸經過雙列中靠外側的相鄰兩導電焊墊間之中間點。與雙列結構一致，將多層著裝基板的著裝表面在構造上改為形成雙列的導電焊

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(62)

墊。以下將參考圖7A、7B與7C詳細說明第2實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1、第2與第3層板11、12與13為正方形但在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之尺寸差異造成在第1層板11的第1平台與第2層板12的第2平台間形成第1梯級部，與在第2層板12的第2平台與第3層板13的第3平台間形成第2梯級部。第1層板11的第1平台被定義為第1層板11之頂面的周邊區，其中第1層板11的周邊區並未被第2層板12所蓋住。第2層板12的第2平台被定義為第2層板12之頂面的周邊區，其中第2層板12的周邊區並未被第3層板13所蓋住。第3層板13的第3平台被定義為第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1平台、第2平台與第3平台的多平台結構，其中第2平台被第1平台所包圍，而且也被第1梯級部從第1平台所界限，而第3平台則被第2平台所包圍，而且也被第2梯級部從第2平台所界限。

第1層板11的第1平台是沿著正方形半導體插件1的四邊延伸的四直條形式。第1層板11的第1平台之各自的四直條具有沿著直條延伸的雙列導電焊墊，使得導電焊墊被排列在第1層板11的第1平台上形成一正方形。第2層板12的第2平台也是平行於正方形半導體插件1的四邊而延伸的四

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(63)

直條形式。第2層板12的第2平台之各自的四直條具有沿著直條延伸的雙列導電焊墊，使得導電焊墊被排列在第2層板12的第2平台上形成一正方形。第3層板13的第3平台為正方形的形式。第3層板13的第3平台具有四個雙列導電焊墊，分別沿著正方形的第3層板13的四邊而延伸，使得導電焊墊被排列在正方形之第3層板13的周邊區。各自的雙列沿著正方形的第3平台的每一邊延伸。配置雙列中靠內側的導電焊墊於雙列中靠外側的導電焊墊之間距的一半處，使得雙列中靠內側的每一導電焊墊上的鉑錫球被連接到配線上，其以直線延伸經過雙列中靠外側的相鄰兩導電焊墊間之中間點。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成三組雙正方形，然而，它們位於不同層。第1平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的底面。第2平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的居中層。第3平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的頂面。將鉑錫球20設置在個別的導電焊墊上，藉此鉑錫球20的直列形成三組雙正方形，然而，它們位於不同層。最外面之雙正方形的直列鉑錫球20為半導體插件1之著裝表面的底面。居中之雙正方形的直列鉑錫球20為半導體插件1之著裝表面的居中層。最內部之雙正方形的直列鉑錫球20為半導體插件1之著裝表面的頂面。三組雙正方形之導電焊墊或鉑錫球20的不同層造成個別的導電焊墊與鉑錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉑錫球20向外

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(64)

或向正方形半導體插件之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到多層著裝基板上，其具有包含第1、第2與第3平台的多平台結構。用於本實施例的多層著裝基板具有與半導體插件1一致的雙列結構。各自的第1、第2與第3平台具有雙正方形的導電焊墊列。各自的正方形平台的每一邊具有雙列的導電焊墊沿著梯級部的每一邊，其中該雙列包含內側與外側的導電焊墊。配置內側的導電焊墊列於外側的導電焊墊之間距的一半處，使得各自的配線被連接到內側的導電焊墊列上，其延伸經過外側的相鄰兩導電焊墊間之中間點。

將該半導體插件1著裝到多層著裝基板上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板之第1著裝基板的第1平台一致。半導體插件1之第1梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板之第2著裝基板的第2平台一致。半導體插件1之第2梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板之第3著裝基板的第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的較大正方形雙列上的第1層導電焊墊又與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形雙列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之第1

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(65)

層板11之第1平台上的較大正方形雙列上的第1層鉚錫球20又與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形雙列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中正方形雙列上的第2層導電焊墊又與位於多層著裝基板之第2著裝基板之第2平台上的居中正方形雙列上的第2層導電焊墊在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中正方形雙列上的第2層鉚錫球20又與位於多層著裝基板之第2著裝基板之第2平台上的居中之正方形雙列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小正方形雙列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形雙列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小正方形雙列上的第3層鉚錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形雙列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第1層鉚錫球20與多層著裝基板之雙列中靠內側的內側第1層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第1層鉚

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(66)

錫球20與多層著裝基板之雙列中靠外側的外側第1層導電焊墊接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第2層鉚錫球20與多層著裝基板之雙列中靠內側的內側第2層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第2層鉚錫球20與多層著裝基板之雙列中靠外側的外側第2層導電焊墊接觸。又同時，半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第3層鉚錫球20與多層著裝基板之雙列中靠內側的內側第3層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第3層鉚錫球20與多層著裝基板之雙列中靠外側的外側第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉚錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(67)

焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(68)

表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個正方形列的鉑錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉑錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第3實施例

以下將參考圖8A、8B與8C詳細說明依照本發明的第3實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖8A為說明在依照本發明的第3實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖8B為說明在依照本發明的第3實施例中圖8A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖8C為說明在依照本發明的第3實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖8B之A-A連線的示意橫剖面前視圖。

在第3實施例中，新表面著裝型半導體插件1在包圍第1、第2與第3平台的第1與第2斜面處具有對第1實施例者之結構差異。可形成斜面將具有相互不同層的第1、第2與第3平台包圍來取代具有垂直牆壁的梯級部。

(請先閱讀背面之注意事項再填寫本頁)

世

訂

線

五、發明說明(69)

如圖8A、8B與8C所示，新表面著裝型半導體插件1具有斜面狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1、第2與第3層板11、12與13為正方形但在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之平面尺寸差異造成在第1層板11的第1平台與第2層板12的第2平台間形成第1斜面，與在第2層板12的第2平台與第3層板13的第3平台間形成第2斜面。第1層板11的第1平台被定義為第1層板11之頂面的周邊區，其中第1層板11的周邊區並未被第2層板12所蓋住。第2層板12的第2平台被定義為第2層板12之頂面的周邊區，其中第2層板12的周邊區並未被第3層板13所蓋住。第3層板13的第3平台被定義為第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1平台、第2平台與第3平台的多平台結構，其中第2平台被第1平台所包圍，而且也被第1斜面從第1平台所界限，而第3平台則被第2平台所包圍，而且也被第2斜面從第2平台所界限。

第1層板11的第1平台是沿著正方形半導體插件1的四邊延伸的四直條形式。第1層板11的第1平台之各自的四直條具有沿著直條延伸的單一系列導電焊墊，使得導電焊墊被排列在第1層板11的第1平台上形成一正方形。第2層板12的第2平台也是平行於正方形半導體插件1的四邊而延伸的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(70)

四直條形式。第2層板12的第2平台之各自的四直條具有沿著直條延伸的單一系列導電焊墊，使得導電焊墊被排列在第2層板12的第2平台上形成一正方形。第3層板13的第3平台為正方形的形式。第3層板13的第3平台具有四列導電焊墊，分別沿著正方形的第3層板13的四邊而延伸，使得導電焊墊被排列在正方形之第3層板13的周邊區。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成三正方形，然而，它們位於不同層。最外面之正方形的四直列導電焊墊為半導體插件1之著裝表面的底面。居中之正方形的四直列導電焊墊為半導體插件1之著裝表面的居中層。最內部之正方形的四直列導電焊墊為半導體插件1之著裝表面的頂面。將鉑錫球20設置在個別的導電焊墊上，藉此鉑錫球20的直列形成三正方形，然而，它們位於不同層。最外面之正方形的四直列鉑錫球20為半導體插件1之著裝表面的底面。居中之正方形的四直列鉑錫球20為半導體插件1之著裝表面的居中層。最內部之正方形的四直列鉑錫球20為半導體插件1之著裝表面的頂面。三正方形之導電焊墊或鉑錫球20的不同層造成個別的導電焊墊與鉑錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉑錫球20向外或向正方形半導體插件1之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到圖5A、5B與6所示之多層著裝基板上。多層著裝基板包含第1、第2與第3著裝基板51、52與53的疊層構造物，其中第2著裝基板52係層疊在第3著

(請先閱讀背面之注意事項再填寫本頁)

步

訂

線

五、發明說明(7/)

裝基板53上，而第1著裝基板51係層疊在第2著裝基板52上。第2著裝基板52具有小的正方形開口位於多層著裝基板的中央，使得第3著裝基板53表面的正方形部經由第2著裝基板52之小的正方形開口而露出。第1著裝基板51具有大的正方形開口位於多層著裝基板的中央，使得第2著裝基板52之小的正方形開口的周邊區與第3著裝基板53表面的正方形部，經由第1著裝基板51之大的正方形開口而露出。

因此，多層著裝基板的著裝表面具有包含第1、第2與第3平台的多平台結構。第1著裝基板51的第1平台由大的正方形開口所定義。第2著裝基板52的第2平台由大的與小的正方形開口所定義。第3著裝基板53的第3平台為正方形且由較小的正方形開口所定義。較大的正方形開口的邊緣也提供一第1梯級部，其形成第1著裝基板51之第1平台與第2著裝基板52之第2平台的界限。較小的正方形開口的邊緣也提供一第2梯級部，其形成第2著裝基板52之第2平台與第3著裝基板53之第3平台的界限。第3著裝基板53之第3平台被第2著裝基板52之第2平台所圍繞，而第2著裝基板52之第2平台被第1著裝基板51之第1平台所圍繞。

在第1著裝基板51上設置第1層配線41與第1層導電焊墊44。第1層導電焊墊44的各自四列沿著較大的正方形開口的四邊延伸，使得較外面之正方形的四列第1層導電焊墊44圍繞較大的正方形開口而形成。第1層配線41從第1層導電焊墊44垂直於大的正方形開口的邊而向外延伸。將第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(72)

2層配線41與第2層導電焊墊44設置在第2著裝基板52上。第2層導電焊墊44的各自四列沿著較小的正方形開口的四邊延伸，使得居中之正方形的四列第2層導電焊墊44圍繞較小的正方形開口而形成，並被較外面之正方形的四列第1層導電焊墊44所圍繞。第2層配線41從第2層導電焊墊44垂直於較小的正方形開口的邊而向外延伸。第2層配線41延伸在第1與第2著裝基板51與52間之界面上，並且也延伸在第1層配線41之下。也將第3層配線41與第3層導電焊墊44設置在第3著裝基板53上。第3層導電焊墊44的各自四列沿著較小的正方形開口的四邊延伸，使得最內部之正方形的四列第3層導電焊墊44形成在較小的正方形開口內，並被居中之正方形的四列第2層導電焊墊44所圍繞。第3層配線41從第3層導電焊墊44垂直於較小的正方形開口的邊而向外延伸。第3層配線41延伸在第2與第3著裝基板52與53間之界面上，並且也延伸在位於第1層配線41之下的第2層配線41之下。也可將第4層配線41設置在多層著裝基板之著裝表面第3著裝基板53之相反面上。

茲參考圖6，將該半導體插件1著裝到多層著裝基板47上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板47之第1著裝基板51的第1平台一致。半導體插件1之第1斜面也在平面尺寸、形狀與位置上與多層著裝基板47的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板47之第2著裝基板52的第2平台一致。半導體插件

(請先閱讀背面之注意事項再填寫本頁)

步

訂

線

五、發明說明(73)

1之第2也在平面尺寸、形狀與位置上與多層著裝基板47的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板47之第3著裝基板53的第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的較大正方形列上的第1層導電焊墊又與位於多層著裝基板47之第1著裝基板51之第1平台上的較大正方形列上的第1層導電焊墊44在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的較大正方形列上的第1層鉚錫球20又與位於多層著裝基板47之第1著裝基板51第1平台上的較大正方形列上的第1層導電焊墊44在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中正方形列上的第2層導電焊墊又與位於多層著裝基板47之第2著裝基板52之第2平台上的居中正方形列上的第2層導電焊墊44在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中正方形列上的第2層鉚錫球20又與位於多層著裝基板47之第2著裝基板52之第2平台上的居中之正方形列上的第2層導電焊墊44在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層導電焊墊又與位於多層著裝基板47之第3著裝基板53之第3平台上的較小正方形列上的第3層導電焊墊44在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層鉚錫球20又與位於多層著裝基板47之第3著裝基板53之第3平台上的較小正方形列上的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(74)

第3層導電焊墊44在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板47上，則半導體插件1的第1層鉚錫球20與多層著裝基板47的第1層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板47的第1層導電焊墊44接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板47的第2層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第2層鉚錫球20與多層著裝基板47的第2層導電焊墊44接觸。又同時，半導體插件1的第3層鉚錫球20與多層著裝基板47的第3層導電焊墊44在高度及位置上一致，藉以使半導體插件1的第3層鉚錫球20與多層著裝基板47的第3層導電焊墊44接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉚錫球20及多層著裝基板47的第1層導電焊墊44而電性連接至第1層配線41，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板47的第2層導電焊墊44而電性連接至第2層配線41，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊44外面的相鄰兩個第1層導電焊墊44之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊44等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板47的第3層導電焊墊44

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(75)

而電性連接至第3層配線41，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊44外面的相鄰兩個第1層或第2層導電焊墊44之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊44等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板47的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(76)

差的著裝表面便允許半導體插件之多個正方形列的鉚錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之斜面與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉚錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第4實施例

以下將參考圖9A、9B與9C詳細說明依照本發明的第4實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖9A為說明在依照本發明的第4實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖9B為說明在依照本發明的第4實施例中圖9A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖7C為說明在依照本發明的第4實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖9B之A-A連線的示意橫剖面前視圖。

在第4實施例中，半導體插件的改良式著裝表面具有在不同層的三平台與界限三平台的二斜面，其中各自的平台具有包含四邊之導電焊墊列的雙正方形，其每一邊又包含其上設置有鉚錫球的雙列導電焊墊。半導體插件的其它結構在實質上與第2實施例者相同。在半導體插件的每一正方形平台的每一邊上，配置雙列中靠內側的導電焊墊於雙列中靠外側的導電焊墊之間距的一半處，使得雙列中靠

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(??)

內側的每一導電焊墊上的鉅錫球被連接到配線上，其以直線延伸經過雙列中靠外側的相鄰兩導電焊墊間之中間點。與雙列結構一致，將多層著裝基板的著裝表面在構造上改爲形成雙列的導電焊墊。以下將參考圖9A、9B與9C詳細說明第4實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1、第2與第3層板11、12與13爲正方形但在平面圖上爲不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之尺寸差異造成在第1層板11的第1平台與第2層板12的第2平台間形成第1斜面，與在第2層板12的第2平台與第3層板13的第3平台間形成第2斜面。第1層板11的第1平台被定義爲第1層板11之頂面的周邊區，其中第1層板11的周邊區並未被第2層板12所蓋住。第2層板12的第2平台被定義爲第2層板12之頂面的周邊區，其中第2層板12的周邊區並未被第3層板13所蓋住。第3層板13的第3平台被定義爲第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1平台、第2平台與第3平台的多平台結構，其中第2平台被第1平台所包圍，而且也被第1斜面從第1平台所界限，而第3平台則被第2平台所包圍，而且也被第2斜面從第2平台所界限。

第1層板11的第1平台是沿著正方形半導體插件1的四

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(78)

邊延伸的四直條形式。第1層板11的第1平台之各自的四直條具有沿著直條延伸的雙列導電焊墊，使得導電焊墊被排列在第1層板11的第1平台上形成一正方形。第2層板12的第2平台也是平行於正方形半導體插件1的四邊而延伸的四直條形式。第2層板12的第2平台之各自的四直條具有沿著直條延伸的雙列導電焊墊，使得導電焊墊被排列在第2層板12的第2平台上形成一正方形。第3層板13的第3平台為正方形的形式。第3層板13的第3平台具有四個雙列導電焊墊，分別沿著正方形的第3層板13的四邊而延伸，使得導電焊墊被排列在正方形之第3層板13的周邊區。各自的雙列沿著正方形的第3平台的每一邊延伸。配置雙列中靠內側的導電焊墊於雙列中靠外側的導電焊墊之間距的一半處，使得雙列中靠內側的每一導電焊墊上的鉅錫球被連接到配線上，其以直線延伸經過雙列中靠外側的相鄰兩導電焊墊間之中間點。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成三組雙正方形，然而，它們位於不同層。第1平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的底面。第2平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的居中層。第3平台上正方形的雙列導電焊墊為半導體插件1之著裝表面的頂面。將鉅錫球20設置在個別的導電焊墊上，藉此鉅錫球20的直列形成三組雙正方形，然而，它們位於不同層。最外面之雙正方形的直列鉅錫球20為半導體插件1之著裝表面的底面。居中之雙正方形的直列鉅錫球20為半導體插件1之著裝表面的居中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(79)

層。最內部之雙正方形的直列鉑錫球20為半導體插件1之著裝表面的頂面。三組雙正方形之導電焊墊或鉑錫球20的不同層造成個別的導電焊墊與鉑錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉑錫球20向外或向正方形半導體插件1之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到多層著裝基板上，其具有包含第1、第2與第3平台的多平台結構。用於本實施例的多層著裝基板具有與半導體插件1一致的雙列結構。各自的第1、第2與第3平台具有雙正方形的導電焊墊列。各自的正方形平台的每一邊具有雙列的導電焊墊沿著斜面的每一邊，其中該雙列包含外側與內側的導電焊墊。配置內側的導電焊墊列於外側的導電焊墊之間距的一半處，使得各自的配線被連接到內側的導電焊墊列上，其延伸經過外側的相鄰兩導電焊墊間之中間點。

將該半導體插件1著裝到多層著裝基板上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板之第1著裝基板的第1平台一致。半導體插件1之第1斜面也在平面尺寸、形狀與位置上與多層著裝基板的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板之第2著裝基板的第2平台一致。半導體插件1之第2斜面也在平面尺寸、形狀與位置上與多層著裝基板的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板之第3著裝基板的第3平台一致。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(80)

又，位在半導體插件1之第1層板11之第1平台上的較大正方形雙列上的第1層導電焊墊又與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形雙列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的較大正方形雙列上的第1層鉚錫球20又與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形雙列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中正方形雙列上的第2層導電焊墊又與位於多層著裝基板之第2著裝基板之第2平台上的居中正方形雙列上的第2層導電焊墊在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中正方形雙列上的第2層鉚錫球20又與位於多層著裝基板之第2著裝基板之第2平台上的居中之正方形雙列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小正方形雙列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形雙列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小正方形雙列上的第3層鉚錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形雙列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8/)

銲錫球20與多層著裝基板的第1層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第1層銲錫球20與多層著裝基板之雙列中靠內側的內側第1層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第1層銲錫球20與多層著裝基板之雙列中靠外側的外側第1層導電焊墊接觸。同時，半導體插件1的第2層銲錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層銲錫球20與多層著裝基板的第2層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第2層銲錫球20與多層著裝基板之雙列中靠內側的內側第2層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第2層銲錫球20與多層著裝基板之雙列中靠外側的外側第2層導電焊墊接觸。又同時，半導體插件1的第3層銲錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層銲錫球20與多層著裝基板的第3層導電焊墊接觸，其中使位在半導體插件1之雙列中靠內側的內側第3層銲錫球20與多層著裝基板之雙列中靠內側的內側第3層導電焊墊接觸，而使位在半導體插件1之雙列中靠外側的外側第3層銲錫球20與多層著裝基板之雙列中靠外側的外側第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層銲錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(82)

來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(83)

面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個正方形列的鉑錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之斜面與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉑錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第5實施例

以下將參考圖10A、10B、10C與10D詳細說明依照本發明的第5實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖10A為說明在依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖10B為說明在依照本發明的第5實施例中圖10A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖10C為說明在依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖10B之A-A連線的示意橫剖面前視圖。圖10D為說明在

五、發明說明(84)

依照本發明的第5實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖10B之B-B連線的示意橫剖面前視圖。

在第5實施例中，新表面著裝型半導體插件1具有改良式著裝表面，其包含由第1與第2梯級部所界限的第1、第2與第3平台，其第1方向上為偏心且左右對稱的，但在垂直於第1方向的第2方向上則是不對稱的。在方形半導體插件1的一邊具有如第2實施例所顯示之雙列結構，而方形半導體插件1的另外三邊則具有如第1實施例所顯示之單列結構。在半導體插件之各自的第1與第2方形平台的一邊上，雙列結構包含外側與內側的導電焊墊列。配置雙列中靠內側的導電焊墊於雙列中靠外側的導電焊墊之間距的一半處，使得雙列中靠內側的每一導電焊墊上的鉚錫球被連接到配線上，其以直線延伸經過雙列中靠外側的相鄰兩導電焊墊間之中間點。與雙列結構一致，將多層著裝基板的著裝表面在構造上改為在對應的一邊上形成雙列的導電焊墊。以下將參考圖10A、10B、10C與10D詳細說明第5實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1、第2與第3層板11、12與13為方形但在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(85)

層板11、12與13間之尺寸差異造成在第1層板11的第1平台與第2層板12的第2平台間形成第1梯級部，與在第2層板12的第2平台與第3層板13的第3平台間形成第2梯級部。第1層板11的第1平台被定義為第1層板11之頂面的周邊區，其中第1層板11的周邊區並未被第2層板12所蓋住。第2層板12的第2平台被定義為第2層板12之頂面的周邊區，其中第2層板12的周邊區並未被第3層板13所蓋住。第3層板13的第3平台被定義為第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1平台、第2平台與第3平台的多平台結構，其中第2平台被第1平台所包圍，而且也被第1梯級部從第1平台所界限，而第3平台則被第2平台所包圍，而且也被第2梯級部從第2平台所界限。

第1層板11的第1平台是沿著方形半導體插件1的四邊延伸的四直條形式，其中四邊的其中之一具有較其它三邊寬的直條。第1層板11的第1平台之四直條的其中一邊具有雙列結構，其包含雙列如一外側列與一內側列的導電焊墊。配置內側的導電焊墊列於外側的導電焊墊之間距的一半處。內側列上的導電焊墊可經由鉚錫球連接到配線，其以直線形式延伸經過外側列上相鄰兩導電焊墊的個別對間之中間點。第1層板11之第1平台之其它三直條均具有單列的導電焊墊，其沿著直條而延伸使得導電焊墊被排列在第1層板11的第1平台上形成一方形。第2層板12的第2平台也是平行於方形半導體插件1的四邊而延伸的四直條形式，其中四邊的其中之一具有較其它三邊寬的直條。第2層板12

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(86)

的第2平台之四直條的其中一邊具有雙列結構，其包含雙列如一外側列與一內側列的導電焊墊。配置內側列的導電焊墊於外側列的導電焊墊之間距的一半處。內側列上的導電焊墊可經由鉚錫球連接到配線，其以直線形式延伸經過外側列上相鄰兩導電焊墊的個別對間之中間點。第2層板12之第2平台之其它三直條均具有單列的導電焊墊，其沿著直條而延伸使得導電焊墊被排列在第2層板12的第2平台上形成一方形。第3層板13的第3平台為方形的形式。第3層板13的第3平台具有四列導電焊墊，分別沿著方形的第3層板13的四邊而延伸，使得導電焊墊被排列在方形之第3層板13的周邊區。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成三個修飾方形，然而，它們位於不同層。靠外側之修飾方形的三單列與一雙列導電焊墊為半導體插件1之著裝表面的底面。居中之修飾方形的三單列與一雙列導電焊墊為半導體插件1之著裝表面的居中層。靠內側之修飾方形的三單列與一雙列導電焊墊為半導體插件1之著裝表面的頂面。將鉚錫球20設置在個別的導電焊墊上，藉此鉚錫球20的直列形成三組修飾方形，然而，它們位於不同層。靠外側之修飾方形的三單列與一雙列鉚錫球20為半導體插件1之著裝表面的底面。居中之修飾方形的三單列與一雙列鉚錫球20為半導體插件1之著裝表面的居中層。靠內側之修飾方形的三單列與一雙列鉚錫球20為半導體插件1之著裝表面的頂面。三組修飾方形之導電焊墊或鉚錫球20的不同層造成個別的導電焊墊與鉚錫球20具有向

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(8)

外的自由空間，而且在維持個別高度的情況下使配線將鉅錫球20向外或向方形半導體插件之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到多層著裝基板上，其具有著裝表面對應於半導體插件1之該修飾過的著裝表面而被修飾。著裝基板的其它結構與第1實施例者相同。

將該半導體插件1著裝到多層著裝基板上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板之第1著裝基板的第1平台一致。半導體插件1之第1梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板之第2著裝基板的第2平台一致。半導體插件1之第2梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板之第3著裝基板的第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的較大修飾方形列上的第1層導電焊墊又與位於多層著裝基板之第1著裝基板之第1平台上的較大修飾方形雙列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的較大修飾方形列上的第1層鉅錫球20又與位於多層著裝基板之第1著裝基板之第1平台上的較大修飾方形列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中修飾方

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(88)

形列上的第2層導電焊墊又與位於多層著裝基板之第2著裝基板之第2平台上的居中修飾方形列上的第2層導電焊墊在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中修飾方形列上的第2層鉚錫球20又與位於多層著裝基板之第2著裝基板之第2平台上的居中之修飾方形列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小修飾方形列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第3平台上的較小修飾方形列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小修飾方形列上的第3層鉚錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的較小修飾方形列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊接觸。又同時，半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉚錫

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(89)

球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(90)

的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個修飾方形列的鉅錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉅錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第6實施例

以下將參考圖11A、11B、11C與11D詳細說明依照本發明的第6實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖11A為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖11B為說明在依照本發明的第6實施例中圖11A的具有改良式著裝表面的新表面著裝型半導

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(91)

體插件的示意平面圖。圖11C為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖11B之A-A連線的示意橫剖面前視圖。圖11D為說明在依照本發明的第6實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖11B之B-B連線的示意橫剖面前視圖。

在第6實施例中，新表面著裝型半導體插件1具有改良式著裝表面，其包含由第1與第2梯級部所界限的第1、第2與第3平台，其在第1方向上為偏心且左右對稱的，但在垂直於第1方向的第2方向上則是不對稱的。第1與第2平台並未延伸到長方形半導體插件1的其中一邊上，而第3平台則為正方形。換言之，長方形半導體插件1的其中一邊不具有第1層導電焊墊或第2層導電焊墊，但具有單一系列的3層導電焊墊在第3平台上。長方形半導體插件1的其它三邊則具有如第1實施例之單列結構，使得第1與第2平台具有U形條，其中第1與第2平台並未延伸到長方形半導體插件1的其中一邊上。以下將參考圖11A、11B、11C與11D詳細說明第6實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1與第2層板11與12為長方形而第3層板13為正方形。第1、第2與第3層板11、12與13在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(92)

13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之尺寸差異造成在第1層板11的第1 U形平台與第2層板12的第2 U形平台間形成第1 U形梯級部，與在第2層板12的第2 U形平台與第3層板13的第3正方形平台間形成第2 U形梯級部。第1層板11的第1 U形平台被定義為第1層板11之頂面的U形周邊區，其中第1層板11的U形周邊區並未被第2層板12所蓋住。第2層板12的第2 U形平台被定義為第2層板12之頂面的U形周邊區，其中第2層板12的U形周邊區並未被第3層板13所蓋住。第3層板13的第3正方形平台被定義為第3層板13的頂面。表面著裝型半導體插件1的著裝表面具有包含第1 U形平台、第2 U形平台與第3正方形平台的多平台結構，其中第2 U形平台被第1 U形平台所包圍，而且也被第1 U形梯級部從第1 U形平台所界限，而第3正方形平台則被第2 U形平台所包圍，而且也被第2 U形梯級部從第2 U形平台所界限。

第1層板11的第1 U形平台是沿著長方形半導體插件1的三邊延伸的三直條形式。半導體插件1的其中一邊不存在第1 U形梯級部或第2平台，因此半導體插件1的其中一邊在第3平台上具有單列。第1層板11的第1 U形平台之各自的三直條具有單列導電焊墊，其沿著直條而延伸，使得導電焊墊被排列在第1層板11的第1平台上而形成一U形。第2層板12的第2 U形平台也是平行於長方形半導體插件1的三邊而延伸的三直條形式。第2層板12的第2 U形平台之各自的三直條具有單列導電焊墊，其沿著直條而延伸，使

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(93)

得導電焊墊被排列在第2層板12的第2 U形平台上而形成一U形。第3層板13的第3平台為正方形的形式。第3層板13的第3平台具有四列導電焊墊，分別沿著正方形的第3層板13的四邊而延伸，使得導電焊墊被排列在正方形之第3層板13的周邊區上。因此，導電焊墊被排列在半導體插件1的著裝區上，而形成單個正方形與圍繞該正方形的兩個U形，然而，它們位於不同層。靠外側之U形的三單列導電焊墊為半導體插件1之著裝表面的底面。居中之U形的三單列導電焊墊為半導體插件1之著裝表面的居中層。靠內側之正方形的四單列導電焊墊為半導體插件1之著裝表面的頂面。將鉅錫球20設置在個別的導電焊墊上，藉此鉅錫球20的直列形成單個正方形與兩個U形，然而，它們位於不同層。靠外側之U形的三單列鉅錫球20為半導體插件1之著裝表面的底面。居中之U形的三單列鉅錫球20為半導體插件1之著裝表面的居中層。靠內側之正方形的四單列鉅錫球20為半導體插件1之著裝表面的頂面。單個正方形與兩個U形之導電焊墊或鉅錫球20的不同層造成個別的導電焊墊與鉅錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉅錫球20向外或向長方形半導體插件1之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到多層著裝基板上，其具有著裝表面對應於半導體插件1之該修飾過的著裝表面而被修飾。著裝基板的其它結構與第1實施例者相同。

將該半導體插件1著裝到多層著裝基板上。半導體插

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(94)

件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板之第1著裝基板的第1平台一致。半導體插件1之第1梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板之第2著裝基板的第2平台一致。半導體插件1之第2梯級部也在平面尺寸、形狀與位置上與多層著裝基板的第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板之第3著裝基板的第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的較大U形列上的第1層導電焊墊又與位於多層著裝基板之第1著裝基板之第1平台上的較大U形列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的較大U形列上的第1層鉚錫球20又與位於多層著裝基板之第1著裝基板之第1平台上的較大U形列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中U形列上的第2層導電焊墊又與位於多層著裝基板之第2著裝基板之第2平台上的居中U形列上的第2層導電焊墊在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中U形列上的第2層鉚錫球20又與位於多層著裝基板之第2著裝基板之第2平台上的居中U形列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第

訂

線

五、發明說明(95)

3平台上的較小正方形列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的較小正方形列上的第3層鉚錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊接觸。又同時，半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉚錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(96)

行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(97)

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個U形列的鉚錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉚錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第7實施例

以下將參考圖12A、12B、12C與12D詳細說明依照本發明的第7實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖12A為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖12B為說明在依照本發明的第7實施例中圖12A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖12C為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖12B之A-A連線的示意橫剖面前視圖。圖12D為說明在依照本發明的第7實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖12B之B-B連線的示意橫剖面前視圖。

在第7實施例中，新表面著裝型半導體插件1具有改良式著裝表面，其包含由第1與第2梯級部所界限的第1、第2

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(98)

與第3平台，其在第1方向上及與第1方向垂直的第2方向上均為左右對稱。第1與第2平台延伸到正方形半導體插件1的第1相對邊上，但並未延伸到第2相對邊上。正方形半導體插件1的第1相對邊與圖12B的B-B連線平行。正方形半導體插件1的第2相對邊與圖12B的A-A連線平行。換言之，第1層板的第1平台包含第1層雙直條，其分別延伸在正方形半導體插件1的第1相對邊上。第1平台的第1層雙直條的其一沿著正方形半導體插件1的第1相對邊的其一而延伸。第1平台的第1層雙直條的另一沿著正方形半導體插件1的第1相對邊的另一而延伸。第2層板的第2平台也包含第2層雙直條，其分別平行於正方形半導體插件1的第1相對邊而延伸，且延伸在第1平台之第1層雙直條第1層雙直條的內側。第2平台的第2層雙直條的其一沿著第1平台的第1層雙直條的其一的內側而延伸。第2平台的第2層雙直條的另一沿著第1平台的第1層雙直條的另一的內側而延伸。第3平台為長方形，其被夾在第2平台的第2層雙直條之間。換言之，第2層板之第2平台的第2層雙直條沿著第3層板之長方形的第3平台之長的相對邊的外側而延伸，使得長方形的第3平台被夾在第2層板的第2平台的第2層雙直條之間。第1層板的第1平台之各自的第1層雙直條具有沿著第1層直條而延伸的單列導電焊墊。第2層板的第2平台之各自的第2層雙直條具有沿著第2層直條而延伸的單列導電焊墊。第3層板之長方形的第3平台具有沿著長方形的第3平台之長的相對邊而延伸的兩單列導電焊墊，及沿著長方形的第3平

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(99)

台之短的相對邊而延伸的兩雙列導電焊墊。各自的雙列包含外側與內側列，其中內側列上的導電焊墊被配置於外側的導電焊墊之間距的一半處，使得內側列上導電焊墊經由鉚錫球被連接到配線，其以直線形式向外延伸經過外側列的相鄰兩導電焊墊間之個別的中間點。與雙列結構一致，將多層著裝基板的著裝表面在構造上改為在對應的邊上形成雙列的導電焊墊。以下將參考圖12A、12B、12C與12D詳細說明第7實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2與第3層板11、12與13的疊層構造物，其中第1層板11為正方形而第2與第3層板12與13為長方形。第1、第2與第3層板11、12與13在平面圖上為不同的尺寸。第1層板11在平面圖上具有最大尺寸。第2層板12在平面圖上具有居中尺寸。第3層板13在平面圖上具有最小尺寸。第1、第2與第3層板11、12與13間之尺寸差異造成在第1層板11的第1雙直條形平台與第2層板12的第2雙直條形平台間形成第1層雙直條形梯級部，與在第2層板12的第2雙直條形平台與第3層板13的第3正方形平台間形成第2層雙直條形梯級部。第1層板11的第1雙直條形平台被定義為第1層板11之頂面的雙直條形周邊相對邊區，其中該雙直條形周邊相對邊區並未被第2層板12所蓋住，且沿著正方形半導體插件1的第1相對邊而延伸。第2層板12的第2雙直條形平台被定義為第2層板12之頂面的雙直條形周邊相對邊區，其中該雙直條形周邊相對邊區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(100)

並未被第3層板13所蓋住，且平行於正方形半導體插件1的第1相對邊而延伸，並沿著第1層板11的第1層雙直條形周邊相對邊區而延伸。第3層板13的第3矩形平台被定義為第3層板13的頂面。第3層板13的第3矩形平台被夾在第2層板12的第2雙直條形平台之間，其中第3矩形平台之長的相對邊鄰接第2層板12的第2雙直條形平台的內緣。與表面著裝型半導體插件1的著裝表面具有包含第1雙直條形平台、第2雙直條形平台與第3矩形平台的多平台結構，其中第2雙直條形平台被夾在第1雙直條形平台之間，而且也被第1層雙直條形梯級部從第1平台所界限，而第3矩形平台則被夾在第2雙直條形平台之間，而且也被第2層雙直條形梯級部從第2雙直條形平台所界限。

第1層板11之第1雙直條形平台各自具有沿著直條而延伸的單列導電焊墊，使得導電焊墊被排列在第1層板的第1平台上而形成雙直條形。第2層板12之第2雙直條形平台各自具有沿著直條而延伸的單列導電焊墊，使得導電焊墊被排列在第2層板的第2平台上而形成雙直條形。第3層板13的第3平台為矩形的形式。第3層板13的第3平台具有兩單列導電焊墊沿著第3層板13之矩形第3平台長的相對邊而延伸，與兩雙列導電焊墊沿著第3層板13之矩形第3平台短的相對邊而延伸。各自的雙列包含導電焊墊的外側列與內側列，其中內側列上的導電焊墊被配置於外側的導電焊墊之間距的一半處，使得內側列上導電焊墊經由鉅錫球被連接到配線，其以直線形式延伸經過外側列上的相鄰兩導電焊

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(101)

墊間之個別的中間點。結果，導電焊墊被排列在半導體插件1的著裝表面上形成單一修飾方形與包夾於該單一修飾矩形的兩雙直條形，然而，它們位於不同層。靠外側之雙直條形的導電焊墊列為半導體插件1之著裝表面的底面。居中之雙直條形的導電焊墊列為半導體插件1之著裝表面的居中層。靠內側之修飾矩形的兩組單雙列導電焊墊為半導體插件1之著裝表面的頂面。將鉑錫球20設置在個別導電焊墊上，藉此鉑錫球20的直列形成單一修飾矩形與兩雙直條形，然而，它們位於不同層。靠外側之雙直條形的鉑錫球20列為半導體插件1之著裝表面的底面。居中之雙直條形的鉑錫球20列為半導體插件1之著裝表面的居中層。靠內側之修飾矩形的鉑錫球20列為半導體插件1之著裝表面的頂面。單一修飾矩形與兩雙直條形之導電焊墊或鉑錫球20的不同層造成個別導電焊墊與鉑錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將鉑錫球20向外或向正方形半導體插件1之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到多層著裝基板上，其具有著裝表面對應於半導體插件1之該修飾過的著裝表面而被修飾。著裝基板的其它結構與第1實施例者相同。

將該半導體插件1著裝到多層著裝基板上。半導體插件1之第1層板11的第1平台，在平面尺寸、形狀與位置上與多層著裝基板之第1著裝基板的第1平台一致。半導體插件1之第1梯級部也在平面尺寸、形狀與位置上與多層著裝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(10Z)

基板之第1梯級部一致。半導體插件1之第2層板12的第2平台，在平面尺寸、形狀與位置上與多層著裝基板之第2著裝基板之第2平台一致。半導體插件1之第2梯級部也在平面尺寸、形狀與位置上與多層著裝基板之第2梯級部一致。半導體插件1之第3層板13的第3平台也在平面尺寸、形狀與位置上與多層著裝基板之第3著裝基板之第3平台一致。

又，位在半導體插件1之第1層板11之第1平台上的外側第1層雙直條形列上的第1層導電焊墊又與位於多層著裝基板之第1著裝基板之第1平台上的外側雙直條形列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之第1層板11之第1平台上的外側雙直條形列上的第1層鉚錫球20又與位於多層著裝基板之第1著裝基板之第1平台上的外側雙直條形列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之第2層板12之第2平台上的居中雙直條形列上的第2層導電焊墊又與位於多層著裝基板之第2著裝基板之第2平台上的居中雙直條形列上的第2層導電焊墊在位置上一致。換言之，位在半導體插件1之第2層板12之第2平台上的居中雙直條形列上的第2層鉚錫球20又與位於多層著裝基板之第2著裝基板之第2平台上的居中雙直條形列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之第3層板13之第3平台上的內側矩形列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第3平台上的內側矩形列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之第3層板13之第3平台上的內側矩形列上

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(103)

的第3層鉚錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的內側矩形列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層鉚錫球20與多層著裝基板的第1層導電焊墊接觸。同時，半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層鉚錫球20與多層著裝基板的第2層導電焊墊接觸。又同時，半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層鉚錫球20與多層著裝基板的第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉚錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(104)

及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉅錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(105)

差的著裝表面便允許半導體插件之多個雙直條形列的鉅錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉅錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第8實施例

以下將參考圖13A、13B與13C詳細說明依照本發明的第8實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖13A為說明在依照本發明的第8實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖13B為說明在依照本發明的第8實施例中圖13A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖13C為說明在依照本發明的第8實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖13B之A-A連線的示意橫剖面前視圖。

在第8實施例中，新表面著裝型半導體插件1具有改良式著裝表面正方形頂台與四下坡，其從正方形頂台的個別邊延伸到正方形半導體插件1的個別邊。正方形頂台上不具有導電焊墊。四下坡各自具有平行於正方形半導體插件1的邊或平行於正方形頂台的邊而延伸的三列導電焊墊，使得導電焊墊的外側列具有第1高度，導電焊墊的居中列具有第2高度，導電焊墊的內側列具有第3高度。因此，四

五、發明說明(106)

下坡具有三正方形導電焊墊列，舉例來說，外側正方形的四第1層導電焊墊列、居中正方形的四第2層導電焊墊列與內側正方形的四第3層導電焊墊列。可將該半導體插件1著裝到與第1實施例相同的具有梯級部的多層著裝基板上，此乃由於鉅錫球被設置在四不具梯級部的下坡上，而鉅錫球的高度可避免多層著裝基板的梯級部邊緣與半導體插件之著裝表面的四下坡間的接觸。

如圖13A、13B與13C所示，新表面著裝型半導體插件1具有不具梯級部的改良式著裝表面。該改良式著裝表面包含正方形頂台24與四下坡25，其從正方形頂台24的頂四邊延伸到正方形半導體插件1的底四邊。正方形頂台24不具有導電焊墊。四下坡25各自具有三導電焊墊列，其相互位於不同高度。換言之，四下坡25各自具有一外側列導電焊墊、一居中列導電焊墊與一內側列導電焊墊。外側列的導電焊墊平行並沿著正方形半導體插件1的邊而延伸且具有第1高度，居中列的導電焊墊平行正方形半導體插件1的邊而延伸且具有第2高度。內側列的導電焊墊平行並沿著正方形頂台24的邊而延伸且具有第3高度。半導體插件1之著裝表面的四下坡25具有三正方形，舉例來說，外側、居中與內側正方形的導電焊墊列。外側正方形包含四外側導電焊墊列且在平面圖上具有較大尺寸。居中正方形包含四居中導電焊墊列且在平面圖上具有居中尺寸。內側正方形包含四內側導電焊墊列且在平面圖上具有較小尺寸。外側正方形包圍居中正方形。居中正方形包圍內側正方形。將

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(107)

銲錫球20設置在個別的導電焊墊上，藉此銲錫球20的直列形成三正方形，然而，它們位於不同層。最外面之正方形的四直列銲錫球20具有半導體插件1之著裝表面的底面高度。居中之正方形的四直列銲錫球20具有半導體插件1之著裝表面的居中高度。最內部之正方形的四直列銲錫球20具有半導體插件1之著裝表面的頂面高度。三正方形之導電焊墊或銲錫球20的不同高度造成個別的導電焊墊與銲錫球20具有向外的自由空間，而且在維持個別高度的情況下使配線將銲錫球20向外或向正方形半導體插件1之個別邊引出並無阻礙物存在。

將該半導體插件1著裝到第1實施例之多層著裝基板上。四下坡25上之銲錫球20的高度避免半導體插件1之著裝表面之不具梯級部的四下坡25與多層著裝基板47的階梯狀多平台著裝表面間的接觸。

將該半導體插件1著裝到多層著裝基板上。

半導體插件1之四下坡25上較大正方形列上的第1層導電焊墊與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形列上的第1層導電焊墊在位置上一致。換言之，位在半導體插件1之四下坡25上之較大正方形列上的第1層銲錫球20與位於多層著裝基板之第1著裝基板之第1平台上的較大正方形列上的第1層導電焊墊在位置上一致。又，位在半導體插件1之四下坡25之居中正方形列上的第2層導電焊墊與位於多層著裝基板之第2著裝基板之第2平台上的居中正方形列上的第2層導電焊墊在位置上一致。換言之，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(108)

位在半導體插件1之四下坡25之居中正方形列上的第2層鉑錫球20與位於多層著裝基板之第2著裝基板之第2平台上的居中之正方形列上的第2層導電焊墊在位置上一致。又，位在半導體插件1之四下坡25上之較小正方形列上的第3層導電焊墊又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形列上的第3層導電焊墊在位置上一致。換言之，位在半導體插件1之四下坡25之的較小正方形列上的第3層鉑錫球20又與位於多層著裝基板之第3著裝基板之第3平台上的較小正方形列上的第3層導電焊墊在位置上一致。

因此，若將半導體插件1著裝至多層著裝基板上，則半導體插件1的第1層鉑錫球20與多層著裝基板的第1層導電焊墊在高度及位置上一致，藉以使半導體插件1的第1層鉑錫球20與多層著裝基板的第1層導電焊墊接觸。同時，半導體插件1的第2層鉑錫球20與多層著裝基板的第2層導電焊墊在高度及位置上一致，藉以使半導體插件1的第2層鉑錫球20與多層著裝基板的第2層導電焊墊接觸。又同時，半導體插件1的第3層鉑錫球20與多層著裝基板的第3層導電焊墊在高度及位置上一致，藉以使半導體插件1的第3層鉑錫球20與多層著裝基板的第3層導電焊墊接觸。

結果，半導體插件1的第1層導電焊墊經由第1層鉑錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(109)

來避開如其它導電焊墊等的阻礙物。又，半導體插件1的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板47的著裝表面向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(110)

新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個正方形列的鉅錫球或端子之數量之可能的增加。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉅錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第9實施例

以下將參考圖14A、14B、14C、14D與14E詳細說明依照本發明的第9實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖14A為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖14B為說明在依照本發明的第9實施例中圖14A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖14C為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖14B之A-A連線的示意橫剖面前視圖。圖14D為說明在依照本發明的第9實施例中具有改良式著裝表面

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(II)

的新表面著裝型半導體插件沿著圖14B之C-C連線的示意橫剖面前視圖。圖14D為說明在依照本發明的第9實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖14B之D-D連線的示意橫剖面前視圖。

在此實施例中，新表面著裝型半導體插件1具有改良式著裝表面，其具有鉅錫球的9*9全柵陣列結構。新表面著裝型半導體插件1的該改良式著裝表面包含五不同平台與界限這五不同平台的四梯級部。改良式著裝表面的四梯級部包含四組第1、第2、第3與第4梯級部，其在平面圖上具有直角的L形且面向正方形半導體插件1之各自的角。換言之，每組第1、第2、第3與第4各自的梯級部具有兩垂直牆壁與在兩垂直牆壁之間的直角夾角，其中該直角夾角向著正方形半導體插件1之對應的角，而該兩垂直牆壁則面向半導體插件1中夾該對應的角的相鄰兩邊。第1平台與第1層且位於較其它第2、第3與第4平台接近正方形半導體插件1的角。此L形第1平台在平面圖上具有最小尺寸。L形第2平台在平面圖上具有第2小的尺寸。L形第3平台在平面圖上具有第2大的尺寸。L形第4平台在平面圖上具有最大尺寸。第1平台包含四組正方形角區，其分別位於半導體插件1的四角，使得四正方形角區分別具有最接近半導體插件1之四角的四導電焊墊。四正方形角區即第1平台上的第1層導電焊墊各自經由鉅錫球而連接至對應的第1層配線，其保留第1層而向外延伸在半導體插件1的對角線方向上。第2平台包含四組L形較小尺寸區，其分別位於以兩方向圍

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(112)

繞第1正方形平台處，使得四L形較小尺寸區各自具有三導電焊墊位於鄰近第1平台上之各自的第1層導電焊墊處。四L形較小尺寸區即第2平台上的導電焊墊各自經由鉚錫球而連接至對應的第2層配線，其保留第2層而向外延伸在半導體插件1的對角線方向上。第3平台包含四組L形居中尺寸區，其分別位於以兩方向圍繞第2 L形較小尺寸平台處，使得四L形居中尺寸區各自具有五導電焊墊位於鄰近第2平台處。四L形居中尺寸區即第3平台上的導電焊墊各自經由鉚錫球而連接至對應的第3層配線，其保留第3層而向外延伸在半導體插件1的對角線方向上。第4平台包含四組L形較大尺寸區，其分別位於以兩方向圍繞第3 L形居中尺寸平台處，使得四L形較大尺寸區各自具有七導電焊墊位於鄰近第3平台處。四L形較大尺寸區即第4平台上的導電焊墊各自經由鉚錫球而連接至對應的第4層配線，其保留第4層而向外延伸在半導體插件1的對角線方向上。第5平台包含第5層十字形區，其延伸於正方形半導體插件1之相互垂直的兩中心線上，而將正方形半導體插件1之著裝表面分割成四區，其中每區各自具有一組第1、第2、第3與第4平台。第5平台的第5層十字形區鄰近於第4平台的四L形較大尺寸區，使得第5層十字形區具有十七導電焊墊位於相互垂直且鄰近四第4平台的兩中心線上。第5層十字形區即第5平台上的導電焊墊各自經由鉚錫球而連接至對應的第5層配線，其保留第5層而向外延伸在半導體插件1的對角線方向上。以下將參考圖14A、14B、14C、14D與14E詳細說

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(113)

明第9實施例。

新表面著裝型半導體插件1具有階梯狀之改良式著裝表面。新表面著裝型半導體插件1包含第1、第2、第3、第4與第5層板11、12、13、14與15的疊層構造物。第1層板11為正方形。第2層板12為四角具有最小尺寸之正方形凹處的修飾方形。第3層板13為四角具有第2小尺寸之正方形凹處的修飾方形。第4層板14為由四角之第2大尺寸的正方形凹處所定義的寬十字形。第5層板15為由四角之最大尺寸的正方形凹處所定義的細十字形。第1、第2、第3、第4與第5層板11、12、13、14與15間之尺寸差異造成第1梯級部、第2梯級部、第3梯級部與第4梯級部的形成。第1梯級部形成第1層板11的第1平台與第2層板12的第2平台間之界限。第2梯級部形成第2層板12的第2平台與第3層板13的第3平台間之界限。第3梯級部形成第3層板13的第3平台與第4層板14的第4平台間之界限。第4梯級部形成第4層板14的第4平台與第5層板15的第5平台間之界限。第1梯級部、第2梯級部、第3梯級部與第4各自的梯級部具有兩垂直牆壁與兩垂直牆壁間之直角夾角，其中直角夾角向著正方形半導體插件1的對應角，而兩垂直牆壁面向正方形半導體插件1中夾該對應角的兩相鄰邊

第1層板11的第1平台被定義為四組正方形角區，其分別位於半導體插件1的四角處，使得四正方形角區分別具有位於最接近半導體插件1之四角的四導電焊墊，其中四角正方形最小區並未被第2層板12所蓋住且鄰近於正方形

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(114)

半導體插件1的四角。配置第1層板11之第1平台之四正方形角區上的四第1層導電焊墊以形成四角點。第2層板12的第2平台被定義為四組L形較小尺寸區，其分別位於以兩方向圍繞第1正方形平台處，使得四L形較小尺寸區各自具有三導電焊墊鄰近於第1平台上各自的第1層導電焊墊，其中四L形較小尺寸區並未被第3層板13所蓋住。第2層板12之第2平台之四L形較小尺寸區上的十二個第2層導電焊墊被排列以形成四較小尺寸的L形，其面向正方形半導體插件1的四角且以兩方向圍繞第1層導電焊墊之個別的四角點。第3層板13的第3平台被定義為四組L形居中尺寸區，其分別位於以兩方向圍繞第2正方形較小尺寸平台處，使得四L形居中尺寸區各自具有五導電焊墊鄰近於第2平台，其中第3層板13的四L形居中尺寸區並未被第4層板14所蓋住。第3層板13之第3平台之四L形居中尺寸區上的二十個第3層導電焊墊被排列以形成四居中尺寸的L形，其面向正方形半導體插件1的四角且以兩方向圍繞第2層導電焊墊之個別的四較小尺寸L形。第4層板14的第4平台被定義為四組L形較大尺寸區，其分別位於以兩方向圍繞第3正方形居中尺寸平台處，使得四L形較大尺寸區各自具有七導電焊墊鄰近於第3平台，其中第4層板14的四L形較大尺寸區並未被第5層板15所蓋住。第4層板14之第4平台之四L形較大尺寸區上的二十八個第4層導電焊墊被排列以形成四較大尺寸的L形，其面向正方形半導體插件1的四角且以兩方向圍繞第3層導電焊墊之個別的四居中尺寸L形。第5層板15的第5

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(115)

平台被定義為四組L形較大尺寸區，其分別位於以兩方向圍繞第3正方形居中尺寸平台處，使得四L形較大尺寸區各自具有七導電焊墊鄰近於第3平台，其中第4層板14的四L形較大尺寸區並未被第5層板15所蓋住。第4層板14之第4平台之四L形較大尺寸區上的二十八個第4層導電焊墊被排列以形成四較大尺寸的L形，其面向正方形半導體插件1的四角且以兩方向圍繞第3層導電焊墊之個別的四居中尺寸L形。第5層板15的第5平台被定義為第5層十字形區，其延伸於正方形半導體插件1之相互垂直的兩中心線上，而將正方形半導體插件1的著裝表面分割成四區，其每區具有一組第1、第2、第3與第4平台。第5平台的第5層十字形區鄰近第4平台的四L形較大尺寸區，使得第5層十字形區具有十七個導電焊墊，其位於相互垂直的兩中心線上且鄰近第4平台。第5層板15之第5平台之十字形區上的十七個第5層導電焊墊被排列以形成單十字形，其延伸於正方形半導體插件1之相互垂直的兩中心線上。

第1平台最接近正方形半導體插件1的各角。第2平台第2接近正方形半導體插件1的各角。第3平台第3接近正方形半導體插件1的各角。第4平台第4接近正方形半導體插件1的各角。第1平台的第1層導電焊墊列最接近正方形半導體插件1的各角。第2平台的第2層導電焊墊列第2接近正方形半導體插件1的各角。第3平台的第3層導電焊墊列第3接近正方形半導體插件1的各角。第4平台的第4層導電焊墊列第4接近正方形半導體插件1的各角。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11b)

第1平台、第2平台、第3平台、第4平台與第5平台形成導電焊墊的 9×9 全柵陣列。再將鉚錫球20設置在導電焊墊的 9×9 全柵陣列上。將第1層板11之四正方形角區上各自的第1層導電焊墊經由鉚錫球20連接到對應的第1層配線，其保留第1層而向外延伸於半導體插件1的對角線方向。將四L形較小尺寸區即第2層板12的第2層上各自的導電焊墊經由鉚錫球20連接到對應的第2層配線，其保留第2層而向外延伸於半導體插件1的對角線方向。將四L形居中尺寸區即第3層板13的第3層上各自的導電焊墊經由鉚錫球20連接到對應的第3層配線，其保留第3層而向外延伸於半導體插件1的對角線方向。將四L形較大尺寸區即第4層板14的第4層上各自的導電焊墊經由鉚錫球20連接到對應的第4層配線，其保留第4層而向外延伸於半導體插件1的對角線方向。將第5層十字形區即第5層板15的第5層上各自的導電焊墊經由鉚錫球20連接到對應的第5層配線，其保留第5層而向外延伸於半導體插件1的對角線方向。

將該半導體插件1著裝到多層著裝基板上，其具有修飾過的著裝表面為對應於半導體插件1之該修飾過的著裝表面而被修飾。著裝基板的其它結構與第1實施例者相同。半導體插件1之第1層板11上的第1層導電焊墊經由第1層鉚錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸於對角線方向且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(117)

半導體插件1之第2層板12之第2平台上的第2層導電焊墊經由第2層鉚錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1之第3層板13之第3平台上的第3層導電焊墊經由第3層鉚錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。此外，半導體插件1之第4層板14之第4平台上的第4層導電焊墊經由第4層鉚錫球20及多層著裝基板的第4層導電焊墊而電性連接至第4層配線，其保留第4層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第4層的導電焊墊外面的相鄰兩個第1層或第2層或第3層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層或第3層導電焊墊等的阻礙物。再者，半導體插件1之第5層板15之第5平台上的第5層導電焊墊經由第5層鉚錫球20及多層著裝基板的第5層導電焊墊而電性連接至第5層配線，其保留第5層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第5層的導電焊墊外面的相鄰兩個第1層或第2層或第3層或第4層導電焊墊之間，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(118)

且未做任何繞行如使用通路孔而來避開如第1層或第2層或第3層或第4層面導電焊墊等的阻礙物。

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝區向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個L形列的鉚錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(119)

來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉅錫球或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

第10實施例

以下將參考圖15A、15B、15C與15D詳細說明依照本發明的第10實施例，其中將提供一種具有改良式著裝表面的新表面著裝型半導體插件。圖15A為說明在依照本發明的第10實施例中具有改良式著裝表面的新表面著裝型半導體插件的示意透視圖。圖15B為說明在依照本發明的第10實施例中圖15A的具有改良式著裝表面的新表面著裝型半導體插件的示意平面圖。圖15C為說明在依照本發明的第10實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖15B之A-A連線的示意橫剖面前視圖。圖15D為說明在依照本發明的第10實施例中具有改良式著裝表面的新表面著裝型半導體插件沿著圖15B之C-C連線的示意橫剖面前視圖。

在此實施例中，新表面著裝型半導體插件1具有改良式著裝表面，其具有鉅錫球的9*9全柵陣列結構。新表面著裝型半導體插件1的改良式著裝表面包含四不同平台與界限這四不同平台的三梯級部。改良式著裝表面的三梯級部包含四組在平面圖上為直線形的第1梯級部，與在平面圖上為較大與較小尺寸之正方形第2梯級部與第3梯級部。四第1梯級部以直線形式與在垂直於對角線方向的對角線

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (120)

方向上延伸在正方形半導體插件1的相鄰兩邊之間向著正方形半導體插件1之個別的近角，使得四第1梯級部限定出小的等邊直角三角形的四角區即第1平台。四直線形第1各自的梯級部具有單一垂直牆壁，其面向正方形半導體插件1之四角中的近者。所以，第1平台包含四組小的等邊直角三角形的四角區位於正方形半導體插件1的四角，使得小的等邊直角三角形的四角區各自具有三導電焊墊接近正方形半導體插件1的角，舉例來說，位於正方形半導體插件1之角上的一導電焊墊與第2接近正方形半導體插件1之角的兩導電焊墊，其並且鄰近於配置於角上的導電焊墊與沿著夾正方形半導體插件1之對應角的相鄰兩邊。在第1平台上之各自的小的等邊直角三角形的四角區上的兩第2接近之導電焊墊被排列成平行於第1梯級部的各自的直線，並於對角線方向上但垂直於其餘對角線方向而向著正方形半導體插件1的近角。在第1平台上之各自的小的等邊直角三角形的四角區上的三導電焊墊經由鉚錫球被連接到第1層配線，其保留第1層而以直線形式延伸於對角線方向而垂直於界限各自的小的等邊直角三角形的四角區的第1梯級部的直線。在第1平台上之各自的小的等邊直角三角形的四角區上的兩第2接近之導電焊墊被排列成配置於位於角上之導電焊墊位於兩第2接近之導電焊墊的一半間距處，於對角線方向上而平行第1梯級部的直線，藉以將第1層配線連接到位於第1平台之各自的小的等邊直角三角形的四角區上的兩第2接近之導電焊墊，其保留第1層而延伸經過位

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(121)

於角之導電焊墊的相對邊。

第2梯級部包含單一較大正方形，其具有與正方形半導體插件1相同之中心點，但被繞著中心點旋轉了45度，使得第2梯級部之較大正方形的四角被置於正方形半導體插件1之四邊的個別中心點上，而第2梯級部之較大正方形的四邊平行於第1梯級部的直線而延伸但位於其內部。第2梯級部之較大正方形的各自四邊延伸在正方形半導體插件1之相鄰兩邊的中心點上，其中正方形半導體插件1之相鄰兩邊夾著面向第2梯級部之較大正方形之各自四邊的垂直牆壁的角度。較大正方形第2梯級部界限出四截頂的三角條區即第2平台。第2平台之各自的截頂的三角條區延伸於正方形半導體插件1之相鄰兩邊之間，且也被定義在第2梯級部之較大正方形之一邊與第1梯級部之直線之間。第2平台之各自的截頂的三角條區具有雙列導電焊墊，其延伸於對角線方向而平行於界限第2平台之截頂的三角條區的第1梯級部的直線，且也平行於界限第2平台之截頂的三角條區的第2梯級部之較大正方形的一邊。第2平台之各自的截頂的三角條區上的雙列導電焊墊包含一外側列的三導電焊墊，其沿著第1梯級部的直線而延伸；與一內側列的四導電焊墊，其沿著第2平台之較大正方形的一邊而延伸。第2平台之各自的截頂的三角條區之內側列上的四導電焊墊被排列成配置在外側列之三導電焊墊之間距的一半處，於對角線方向而平行於第1梯級部的直線，且也平行於較大正方形之第2梯級部之界限的一邊，藉以將第2層配線連接到

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(122)

第2平台之各自的截頂的三角條區之內側列上的四導電焊墊的外面兩個，其保留第2層而延伸經過內側列之三導電焊墊的相對外側，而將其它第2層配線連接到第2平台之各自的截頂的三角條區之內側列上的四導電焊墊的裏面兩個，其保留第2層而延伸經過內側列之三導電焊墊之個別相鄰兩個間的中間點。

第3梯級部包含單一較小正方形，其具有與正方形半導體插件1相同之中心點，但被繞著中心點旋轉了45度，使得第3梯級部之較小正方形的四角指向被置於正方形半導體插件1之四邊的個別中心點，但位於第2梯級部之較大正方形的內部，而第3梯級部之較小正方形的四邊平行於第2梯級部之較大正方形的四邊而延伸，但位於第2梯級部之較大正方形的內部。第3梯級部之較小正方形被第2梯級部之較大正方形所包圍。第3梯級部之較小正方形的各自四邊具有與第1梯級部之直線相等的長度。較小正方形第3梯級部界限出正方形框條區即第3平台，其包含延伸在正方形半導體插件1之對角線方向的四直條；與正方形中心區即第4平台。正方形框條區即第3平台被界限在較大正方形第2梯級部與較小正方形第3梯級部之間。正方形中心區即第4平台被正方形框條區即第3平台所圍繞。第3平台之正方形框條區具有兩正方形導電焊墊列沿著較大正方形第2梯級部與較小正方形第3梯級部而延伸。第3平台之正方形框條區上的雙正方形導電焊墊列包含：大外側正方形的四列十六個導電焊墊，其沿著較大正方形第2梯級部而延

五、發明說明(123)

伸；與小內側正方形的四列十二個導電焊墊，其沿著較小正方形第3梯級部而延伸。換言之，第3平台之正方形框條區的每一邊上具有雙列導電焊墊。該雙列導電焊墊包含外側列的五個導電焊墊與內側列的四個導電焊墊。第3平台之正方形框條區的每一邊的內側列上的四導電焊墊被排列成配置在外側列之五導電焊墊之間距的一半處，於對角線方向而平行於較大正方形之第2梯級部與較小正方形之第3梯級部之界限的邊，藉以將第3層配線連接到內側列上的四導電焊墊，其保留第3層而延伸經過外側列之五導電焊墊之個別相鄰兩個間的中間點。正方形中心區即第4平台被較小正方形之第3梯級部所界限。正方形中心區即第4平台具有兩正方形導電焊墊列沿著較小正方形第3梯級部而延伸。第4平台之正方形中心區上的雙正方形導電焊墊列包含：大外側正方形的四列八個導電焊墊，其沿著較小正方形第3梯級部而延伸；與由四導電焊墊為其角的小內側正方形。換言之，第4平台之正方形中心區的每一邊上具有雙列導電焊墊。該雙列導電焊墊包含外側列的三個導電焊墊與內側列的兩個導電焊墊。第4平台之正方形中心區的每一邊的內側列上的兩導電焊墊被排列成配置在外側列之三導電焊墊之間距的一半處，於對角線方向而平行於較小正方形第3梯級部之界限的邊，藉以將第4層配線連接到內側列上的兩導電焊墊，其保留第4層而延伸經過外側列之三導電焊墊之個別相鄰兩個間的中間點。

新表面著裝型半導體插件1可包含第1、第2、第3與第

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(124)

4層板11、12、13與14的疊層構造物。第1層板11為大尺寸正方形。第2層板12為在四角有三角形凹處之四角被截頂的大尺寸正方形。第3層板13為居中尺寸正方形。第4層板14為小尺寸正方形。第1、第2、第3與第4層板11、12、13與14間之尺寸差異造成前述第1、第2、第3與第4梯級部的形成。

第1平台、第2平台、第3平台、第4平台與第5平台形成導電焊墊的9×9全柵陣列，而半導體插件1之中心點則無設置導電焊墊。再將鉅錫球20設置在導電焊墊的9×9全柵陣列上。將四小的等邊直角三角形的四角區即第1層板11之第1平台上各自的第1層導電焊墊經由鉅錫球20連接到對應的第1層配線，其保留第1層而向外延伸於半導體插件1的對角線方向。將四截頂的三角條區即第2層板12的第2平台上各自的導電焊墊經由鉅錫球20連接到對應的第2層配線，其保留第2層而向外延伸於半導體插件1的對角線方向。將正方形框條區即第3層板13的第3平台上各自的導電焊墊經由鉅錫球20連接到對應的第3層配線，其保留第3層而向外延伸於半導體插件1的對角線方向。將第4層板14之第4平台之正方形中心區上各自的導電焊墊經由鉅錫球20連接到對應的第4層配線，其保留第4層而向外延伸於半導體插件1的對角線方向。

將該半導體插件1著裝到多層著裝基板上，其具有修飾過的著裝表面為對應於半導體插件1之該修飾過的著裝表面而被修飾。著裝基板的其它結構與第1實施例者相同。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (125)

半導體插件1之第1層板11之第1平台上的第1層導電焊墊經由第1層鉅錫球20及多層著裝基板的第1層導電焊墊而電性連接至第1層配線，其保留第1層而向外延伸於對角線方向且以直線延伸，然而並未引導經過相鄰兩個其它的導電焊墊之間，且未做任何繞行來避開如其它導電焊墊等的阻礙物。又，半導體插件1之第2層板12之第2平台上的第2層導電焊墊經由第2層鉅錫球20及多層著裝基板的第2層導電焊墊而電性連接至第2層配線，其保留第2層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第2層的導電焊墊外面的相鄰兩個第1層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層導電焊墊等的阻礙物。再者，半導體插件1之第3層板13之第3平台上的第3層導電焊墊經由第3層鉅錫球20及多層著裝基板的第3層導電焊墊而電性連接至第3層配線，其保留第3層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第3層的導電焊墊外面的相鄰兩個第1層或第2層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層導電焊墊等的阻礙物。此外，半導體插件1之第4層板14之第4平台上的第4層導電焊墊經由第4層鉅錫球20及多層著裝基板的第4層導電焊墊而電性連接至第4層配線，其保留第4層而向外延伸於對角線方向且以直線延伸，然而並未引導經過位於第4層的導電焊墊外面的相鄰兩個第1層或第2層或第3層導電焊墊之間，且未做任何繞行如使用通路孔而來避開如第1層或第2層或第3層導電焊墊等的阻礙物。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(126)

半導體插件1的該改良式具段差的著裝表面允許多層式配線將多層著裝基板的著裝區向外引出而維持個別高度。換言之，半導體插件1的該改良式具段差的著裝表面不需要藉由提供通路孔而做任何配線的垂直繞行或其水平繞行。此允許相鄰兩配線間之間距或距離再顯著的變窄。可使相鄰兩配線間之間距或距離再顯著變窄的允許性表示可以再顯著縮小多層著裝基板的相鄰兩導電焊墊間之間距或距離。此又使得可以顯著縮小半導體插件1的相鄰兩鉚錫球間之間距或距離。這表示可以顯著縮小半導體插件1的相鄰兩導電焊墊與端子間之間距或距離。因此，半導體插件的該改良式著裝表面增加了使多層式配線將多層著裝基板的著裝區引出至其外部區的自由度。換言之，該新表面著裝型半導體插件不具有對於多層式配線將多層著裝基板的著裝區引出到其外部區之實質上的限制，即使是將表面著裝型半導體裝置的相鄰兩端子間之距離以設計原則減至最小，藉以增加端子的數量也藉以縮小半導體插件著裝表面及縮小半導體插件的尺寸也是如此。

再者，對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下，半導體插件的該改良式具段差的著裝表面便允許半導體插件之多個正方形列的鉚錫球或端子之數量之可能的增加，此僅僅藉由半導體插件之著裝表面之梯級部與不同平台的數量上的增加便可達到。舉例來說，可以在對於配線將多層著裝基板的著裝區引出的限制已不產生任何問題的情況下完成半導體插件的鉚錫球

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(127)

或端子的全柵陣列，藉以再縮小半導體插件之著裝表面的面積及再縮小半導體插件的尺寸。

在較佳實施例之詳細說明中所提出之具體的實施例僅爲了易於說明本發明之技術內容，而並非將本發明狹義地限制於該實施例，在不超出本發明之精神及以下申請專利範圍之情況，可作種種變化實施。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱:半導體插件及其著裝基板)

本發明提供一種半導體插件，其包含一半導體晶片且具有一著裝表面，其將被著裝在具有多層式配線的多層著裝基板上，其中該著裝表面具有至少一段差部，該等段差部朝向該半導體插件的配線引出緣而高度漸下降，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的一著裝區經由該半導體插件的該配線引出緣延伸至從該著裝區所界限的外部區，且其中該段差部具有複數個導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至外部區。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

SEMICONDUCTOR PACKAGE AND MOUNTING
英文發明摘要(發明之名稱:SUBSTRATE THEREOF)

The present invention provides a semiconductor package including a semiconductor chip and having a mounting surface which is to be mounted onto a multilayer mounting substrate having multilevel interconnections, wherein the mounting surface has at least a level-varying region which varies in level so that the level-varying region decreases in level toward an interconnection leading-out edge of the semiconductor package, where at least a part of the multilevel interconnections of the mounting substrate extends from a mounting region of the multilayer mounting substrate to an outside region bounded from the mounting region through the interconnection leading-out edge of the semiconductor package, and wherein the level-varying region has a plurality of conductive pads to be connected to the at least a part of the multilevel interconnections so as to allow the at least a part of the multilevel interconnections to lead out of the mounting region to the outside region with keeping those individual levels respectively.

六、申請專利範圍

1. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有至少一段差部，該等段差部向著該半導體插件的配線引出緣方向而降低高度，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出緣延伸至從該著裝區所界限的外部區，且

其中該段差部具有複數個導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

2. 如申請專利範圍第1項所述之半導體插件，其中該段差部不連續地改變高度，使得該段差部包含至少一較高層區與至少一較低層區，且使得該至少一較低層區被配置於比該較高層區更接近該半導體插件的配線引出邊，其中該著裝基板的該多層式配線的該至少一部分從該多層著裝基板的該著裝區經由該半導體插件的該配線引出邊延伸至該外部區，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

六、申請專利範圍

3. 如申請專利範圍第2項所述之半導體插件，其中該段差部具有至少一梯級部，其提供一邊界線來界限該較高層區與該較低層區，且該梯級部具有實質上垂直的牆壁面向該半導體插件的該配線引出邊。

4. 如申請專利範圍第3項所述之半導體插件，其中該至少一梯級部提供一邊界線來圍繞一內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區圍繞該較高層區。

5. 如申請專利範圍第4項所述之半導體插件，其中各自的該較高層與較低層區具有至少一單列的該導電焊墊圍繞該內部區。

6. 如申請專利範圍第5項所述之半導體插件，其中各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

7. 如申請專利範圍第4項所述之半導體插件，其中複數個該梯級部延伸以提供多條邊界線來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊圍繞該內部區。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

8. 如申請專利範圍第7項所述之半導體插件，其中各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

9. 如申請專利範圍第4項所述之半導體插件，其中由該至少一梯級部所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以中心式而配置。

10. 如申請專利範圍第4項所述之半導體插件，其中由該至少一梯級部所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以偏心式而配置。

11. 如申請專利範圍第4項所述之半導體插件，其中由該至少一梯級部所提供之該邊界線所圍繞的該內部區係正方形。

12. 如申請專利範圍第11項所述之半導體插件，其中該至少一梯級部所提供的該邊界線全向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區全向式地圍繞該較高層區。

13. 如申請專利範圍第11項所述之半導體插件，其中該至少一梯級部所提供的該邊界線三向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區三向式

六、申請專利範圍

地圍繞該較高層區。

14. 如申請專利範圍第2項所述之半導體插件，其中該著裝表面具有至少兩梯級部，其提供至少兩直線形邊界線來界限至少一該較高層區與至少兩該較低層區，且各自的該兩梯級部具有實質上垂直的牆壁面向該半導體插件的相對兩邊，使得該至少兩該較低層區分別鄰近於該半導體插件的該相對兩邊，且該至少一該較高層區被夾在該至少兩該較低層區之間。

15. 如申請專利範圍第2項所述之半導體插件，其中該著裝表面具有至少一斜面，其在該較高層區與該較低層區提供一邊界區，且該斜面面向該半導體插件的該配線引出邊。

16. 如申請專利範圍第15項所述之半導體插件，其中該至少一斜面提供一邊界區圍繞一內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區圍繞該較高層區。

17. 如申請專利範圍第16項所述之半導體插件，其中各自的該較高層與較低層區具有至少一單列的該導電焊墊圍繞該內部區。

18. 如申請專利範圍第17項所述之半導體插件，其中各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側

六、申請專利範圍

列上的相鄰兩個該導電焊墊之間。

19. 如申請專利範圍第19項所述之半導體插件，其中複數個該斜面延伸以提供多個邊界區來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊圍繞該內部區。

20. 如申請專利範圍第19項所述之半導體插件，其中各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

21. 如申請專利範圍第16項所述之半導體插件，其中由該至少一斜面所提供之該邊界區所圍繞的該內部區係對於該半導體插件的中心以中心式而配置。

22. 如申請專利範圍第16項所述之半導體插件，其中由該至少一斜面所提供之該邊界線所圍繞的該內部區係對於該半導體插件的中心以偏心式而配置。

23. 如申請專利範圍第16項所述之半導體插件，其中由該至少一斜面所提供之該邊界線所圍繞的該內部區係正方形。

24. 如申請專利範圍第23項所述之半導體插件，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該至少一斜面所提供的該邊界線全向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區全向式地圍繞該較高層區。

25. 如申請專利範圍第24項所述之半導體插件，其中該至少一斜面所提供的該邊界線三向式地圍繞該內部區，使得該較高層區被配置在該半導體插件的該內部區上而該較低層區被配置在周邊區上，藉此該較低層區三向式地圍繞該較高層區。

26. 如申請專利範圍第15項所述之半導體插件，其中該著裝表面具有至少兩斜面，其提供至少兩直線形邊界區來界限至少一該較高層區與至少兩該較低層區，且該兩斜面中的各斜面面向該半導體插件的相對兩邊，使得該至少兩該較低層區分別鄰近於該半導體插件的該相對兩邊，且該至少一該較高層區被夾在該至少兩該較低層區之間。

27. 如申請專利範圍第1項所述之半導體插件，其中該段差部不連續地改變高度，使得該著裝表面包含至少一較高層區與至少一較低層區，且使得該至少一較低層區被配置於比該較高層區更接近該半導體插件的角，其中該著裝基板的該多層式配線的該至少一部分從該多層著裝基板的該著裝區經由該半導體插件的該角附近延伸至該外部區，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至該外部區。

28. 如申請專利範圍第27項所述之半導體插件，其中該段差部具有至少一梯級部，其提供一L形邊界線來界限該較高層區與該較低層區，且其中該L形邊界線圍繞鄰近於該角的一角區，使得該較低層區被配置在該角區，且該梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之該角的相鄰兩邊。

29. 如申請專利範圍第28項所述之半導體插件，其中該段差部具有四組的至少一梯級部，其提供四組的至少一L形邊界線來界限該較高層區與四較低層區，且其中該四L形邊界線分別圍繞鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

30. 如申請專利範圍第29項所述之半導體插件，其中該段差部具有四組的複數個梯級部，其提供四組的多條L形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條L形邊界線共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中各自的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

梯級部具有實質上垂直的牆壁面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

31. 如申請專利範圍第30項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

32. 如申請專利範圍第31項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

33. 如申請專利範圍第27項所述之半導體插件，其中該段差部具有至少一梯級部，其提供一直線形邊界線來界限該較高層區與該較低層區，且其中該直線形邊界線延伸在夾該角的兩邊之間，且該直線形邊界線在該半導體插件的對角線方向上界限出鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該梯級部具有實質上垂直的牆壁面向該半導體插件的該角。

34. 如申請專利範圍第33項所述之半導體插件，其中該段差部具有四組的至少一梯級部，其提供四組的至少一直線形邊界線來界限該較高層區與四較低層區，且其中該四條直線形邊界線分別在該對角線方向上界限出鄰近於四

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

35. 如申請專利範圍第34項所述之半導體插件，其中該段差部具有四組的複數個梯級部，其提供四組的多條直線形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條直線形邊界線分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中各自的該梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

36. 如申請專利範圍第35項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

37. 如申請專利範圍第36項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

38. 如申請專利範圍第27項所述之半導體插件，其中該段差部具有至少一斜面，其提供一L形邊界區來界限該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

較高層區與該較低層區，且其中該L形邊界區圍繞鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該斜面面向包夾於該半導體插件之該角的相鄰兩邊。

39. 如申請專利範圍第38項所述之半導體插件，其中該段差部具有四組的至少一斜面，其提供四組的至少一L形邊界區來界限該較高層區與四較低層區，且其中該四個L形邊界區分別圍繞鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四斜面面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

40. 如申請專利範圍第39項所述之半導體插件，其中該段差部具有四組的複數個斜面，其提供四組的多個L形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個L形邊界區共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中該斜面面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

41. 如申請專利範圍第40項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

42. 如申請專利範圍第41項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

43. 如申請專利範圍第27項所述之半導體插件，其中該段差部具有至少一斜面，其提供一直線形邊界區來界限該較高層區與該較低層區，且其中該直線形邊界區延伸在夾該角的兩邊之間，且該直線形邊界區在該半導體插件的對角線方向上界限出鄰近於該角的一角區，使得該較低層區被配置在該角區上，且該斜面面向該半導體插件的該角。

44. 如申請專利範圍第43項所述之半導體插件，其中該段差部具有四組的至少一斜面，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四個直線形邊界區分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，且各自的該四斜面面向該半導體插件之對應的該四角之一。

45. 如申請專利範圍第44項所述之半導體插件，其中該段差部具有四組的複數個斜面，其提供四組的多個直線形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個直線形邊界區分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體

六、申請專利範圍

插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中該斜面中的各斜面面向該半導體插件之對應的該四角之一。

46. 如申請專利範圍第45項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

47. 如申請專利範圍第46項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

48. 如申請專利範圍第1項所述之半導體插件，其中該段差部連續地改變高度，使得該段差部包含向著該半導體插件的配線引出緣而高度下降的一斜面區，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出邊延伸至由該著裝區所界限的一外部區，且

其中該斜面區具有位於該斜面區上複數個不同高度的複數個導電焊墊，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

49. 如申請專利範圍第48項所述之半導體插件，其中

六、申請專利範圍

該段差部包含向著該半導體插件的四邊而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的該著裝區經由該半導體插件的該四邊延伸至該外部區。

50. 如申請專利範圍第49項所述之半導體插件，其中各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件之各自的該四邊而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

51. 如申請專利範圍第1項所述之半導體插件，其中該段差部連續地改變高度，使得該段差部包含向著該半導體插件的配線引出角而高度下降的一斜面區，其中該著裝基板的該多層式配線的至少一部分從該多層著裝基板的著裝區經由該半導體插件的該配線引出角附近的一區延伸至由該著裝區所界限的一外部區，且

其中該斜面區具有位於該斜面區上複數個不同高度的複數個導電焊墊，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

52. 如申請專利範圍第51項所述之半導體插件，其中該段差部包含向著該半導體插件的四角而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的該著裝區經由該半導體插件的該四角延伸至該外部區。

53. 如申請專利範圍第52項所述之半導體插件，其中各自的該四斜面區具有複數列的該導電焊墊，其平行於該

六、申請專利範圍

半導體插件的對角線而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

54. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有至少一梯級部，其提供一四邊形邊界線來界限在內部區上的一較高層區與位在外部區上的一較低層區，使得該較低層區圍繞該較高層區，

其中該梯級部具有實質上垂直的牆壁面向該半導體插件的四邊，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

55. 如申請專利範圍第54項所述之半導體插件，其中各自的該較高層與較低層區具有至少一單列的該導電焊墊平行於該半導體插件的四邊。

56. 如申請專利範圍第55項所述之半導體插件，其中各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

引導經過該外側列上的相鄰兩個該導電焊墊之間。

57. 如申請專利範圍第54項所述之半導體插件，其中複數個該梯級部延伸以提供多條邊界線來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

58. 如申請專利範圍第57項所述之半導體插件，其中各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊圍繞該內部區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

59. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有至少一斜面，其提供一四邊形邊界區來界限在內部區上的一較高層區與位在外圍區上的一較低層區，使得該較低層區圍繞該較高層區，

其中該斜面面向該半導體插件的四邊，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

60. 如申請專利範圍第59項所述之半導體插件，其中各自的該較高層與較低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

61. 如申請專利範圍第60項所述之半導體插件，其中各自的該較高層與較低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

62. 如申請專利範圍第59項所述之半導體插件，其中複數個該斜面延伸以提供多個邊界區來共同圍繞該內部區，使得一最高層區被配置在該半導體插件的該內部區上，而至少一居中層區則圍繞該最高層區，且一最低層區被配置在周邊區上圍繞該至少一居中層區，且其中各自的該最高層、居中層與最低層區具有至少一單列的該導電焊墊平行於該半導體插件的該四邊。

63. 如申請專利範圍第62項所述之半導體插件，其中各自的該最高層、居中層與最低層區具有一組內側與外側列的該導電焊墊平行於該半導體插件的該四邊，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

間。

64. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一L形邊界線來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低層區，且其中該四L形邊界線分別圍繞該四角區，

其中各自的該四梯級部具有實質上垂直的牆壁面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

65. 如申請專利範圍第64項所述之半導體插件，其中該著裝表面具有四組的複數個梯級部，其提供四組的多條L形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條L形邊界線共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中各自的該梯級部具有實質上垂直的牆壁面向包夾於該半導體插

六、申請專利範圍

件之對應的該四角之一的相鄰兩邊。

66. 如申請專利範圍第65項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該相互垂直的兩方向圍繞該最低層區。

67. 如申請專利範圍第66項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

68. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有四組的至少一梯級部，其提供四組的至少一直線形邊界線來界限該較高層區與四較低層區，且其中該四條直線形邊界線分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，

其中各自的該四梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電

六、申請專利範圍

焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

69. 如申請專利範圍第68項所述之半導體插件，其中該段差部具有四組的複數個梯級部，其提供四組的多條直線形邊界線來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多條直線形邊界線分別多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最高層區與各自的該四最低層區，且其中各自的該梯級部具有實質上垂直的牆壁面向該半導體插件之對應的該四角之一。

70. 如申請專利範圍第69項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

71. 如申請專利範圍第70項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

72. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表

六、申請專利範圍

面，

其中該著裝表面具有四組的至少一斜面，其提供四組的至少一L形邊界區來界限一較高層區與位在該半導體插件之四角附近的四角區上的四較低層區，且其中該四L形邊界區分別圍繞該四角區，

其中各自的該四斜面面向包夾於該半導體插件對應的該四角之一的相鄰兩邊，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

73. 如申請專利範圍第72項所述之半導體插件，其中該著裝表面具有四組的複數個斜面，其提供四組的多個L形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個L形邊界區共同圍繞各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以相互垂直的兩方向圍繞對應的該四最低層區之一，且該最高層區以該兩方向圍繞各自的該四組的該至少一居中層區，且其中該斜面中的各斜面面向包夾於該半導體插件之對應的該四角之一的相鄰兩邊。

74. 如申請專利範圍第73項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該相互垂直的兩方向圍繞該最低層區。

75. 如申請專利範圍第74項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該相互垂直的兩方向共同圍繞該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

76. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有四組的至少一斜面，其提供四組的至少一直線形邊界區來界限該較高層區與四較低層區，且其中該四個直線形邊界區分別在該對角線方向上界限出鄰近於四角的四角區，使得該四較低層區分別被配置在該四角區上，

其中各自的該四斜面面向該半導體插件之對應的該四角之一，且

其中該較高層區具有複數個第1導電焊墊被連接至該多層式配線的第1層配線，且該較低層區具有複數個第2導電焊墊被連接至該多層式配線的第2層配線，使得在分別保留第1與第2層的情況下允許該第1層與第2層配線將該多層著裝基板的著裝區引出至圍繞該著裝區的其外部區。

六、申請專利範圍

77. 如申請專利範圍第76項所述之半導體插件，其中該段差部具有四組的複數個斜面，其提供四組的多個直線形邊界區來分別界限一最高層區、四組的至少一居中層區與四組最低層區，且其中各自組的該多個直線形邊界區多重界限各自的該四角區，使得該四最低層區分別被配置在該四角區上，且各自的該至少一居中層區以該半導體插件的該對角線方向界限出該最低層區與各自的該四最低層區，且其中該斜面中的各斜面面向該半導體插件之對應的該四角之一。

78. 如申請專利範圍第77項所述之半導體插件，其中各自的該至少一居中層區具有至少一單列的該導電焊墊以該對角線方向界限該最低層區。

79. 如申請專利範圍第78項所述之半導體插件，其中各自的該至少一居中層區具有一組內側與外側列的該導電焊墊以該對角線方向共同界限該最低層區，其中該外側列被配置於比該內側列更接近該最低層區，將該內側列上的該導電焊墊配置在自該外側列上的該導電焊墊錯開之位置，使得被連接至該內側列的該導電焊墊上之各自的該配線可引導經過該外側列上的相鄰兩個該導電焊墊之間。

80. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有向著該半導體插件的四邊而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

層著裝基板的著裝區經由該半導體插件的該四邊延伸至一外部區，且

其中各自的該四斜面區具有複數個導電焊墊位於該斜面中的各斜面區上複數個不同高度上，且該導電焊墊被連接到該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

81. 如申請專利範圍第80項所述之半導體插件，其中各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件之各自的該四邊而延伸，使得該複數列彼此位於不同高度，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

82. 一種半導體插件，其包含一半導體晶片且具有將被著裝在具有多層式配線的多層著裝基板上的一著裝表面，

其中該著裝表面具有向著該半導體插件的四角而高度下降的四斜面區，其中該著裝基板的該多層式配線從該多層著裝基板的一著裝區經由該半導體插件的該四角的附近延伸至圍繞該著裝區的一外部區，且

其中各自的該四斜面區具有複數個導電焊墊位於各自的該四斜面區上的不同高度上，且該導電焊墊被連接至該多層式配線的該至少一部分，使得在分別維持個別高度的情況下允許該多層式配線的該至少一部分將該著裝區引出至該外部區。

六、申請專利範圍

83. 如申請專利範圍第82項所述之半導體插件，其中各自的該四斜面區具有複數列的該導電焊墊，其平行於該半導體插件的對角線方向而延伸，使得該複數列彼此位於不同高度，使得在維持個別高度的情況下分別允許該多層式配線將該著裝區引出至該外部區。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

圖式

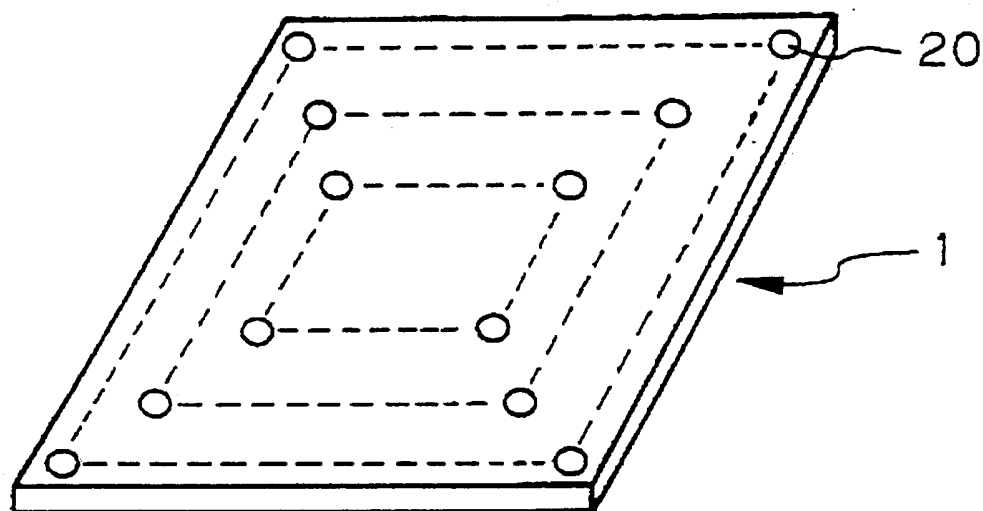


圖 1A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

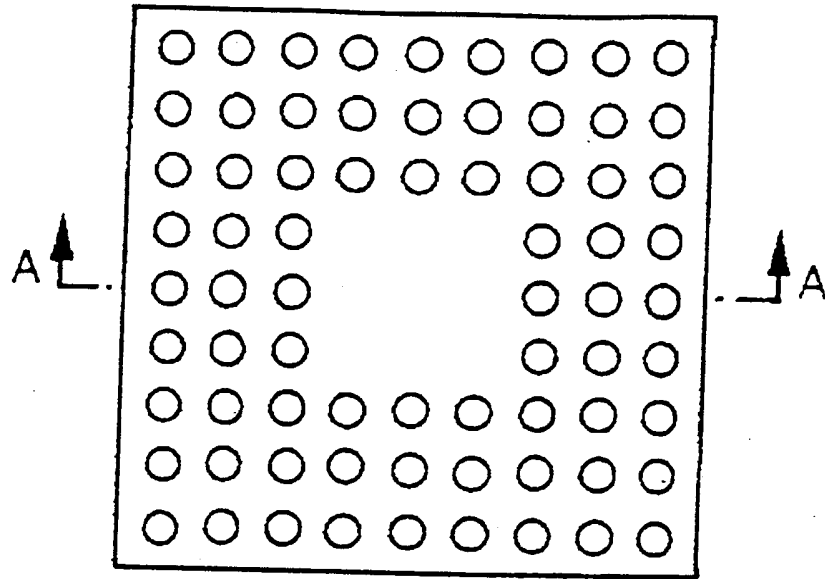


圖 1B

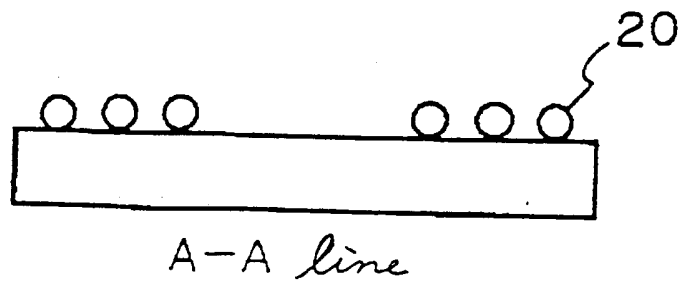


圖 1C

(請先閱讀背面之注意事項再行繪製)

訂
線

A9
B9
C9
D9

圖式

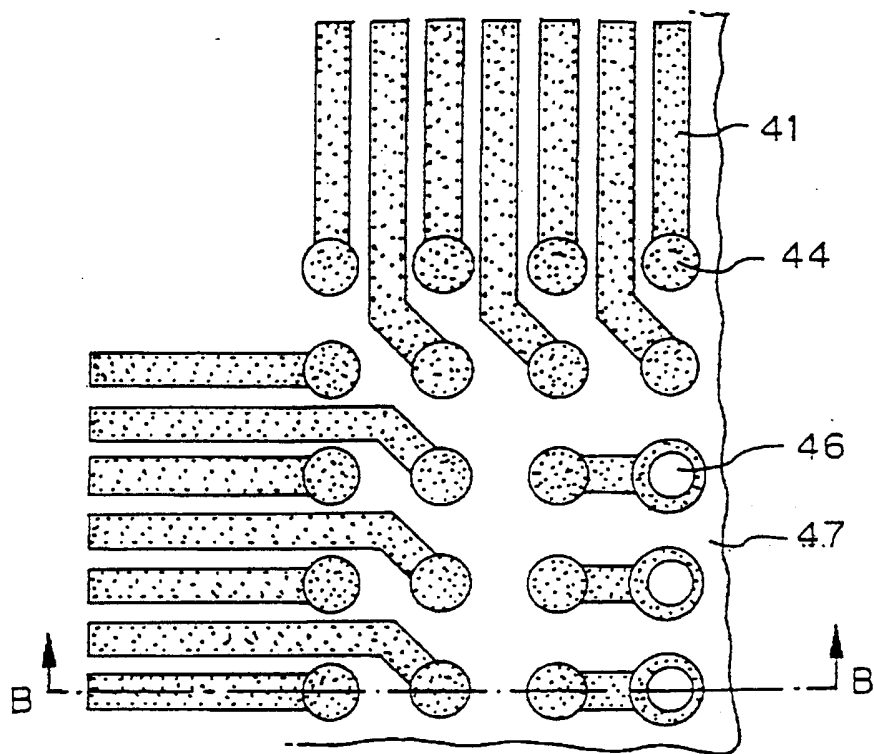
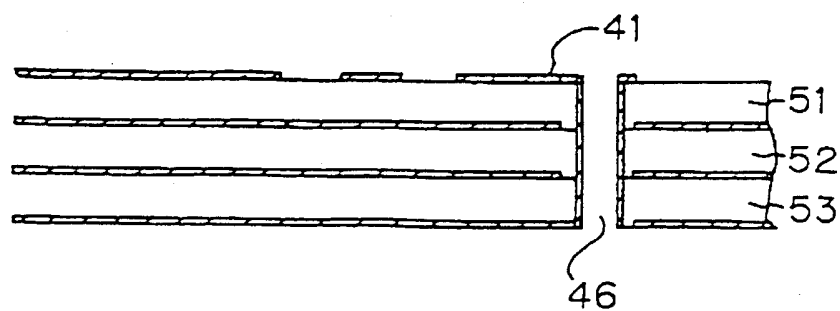


圖 2A



B-B line

圖 2B

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

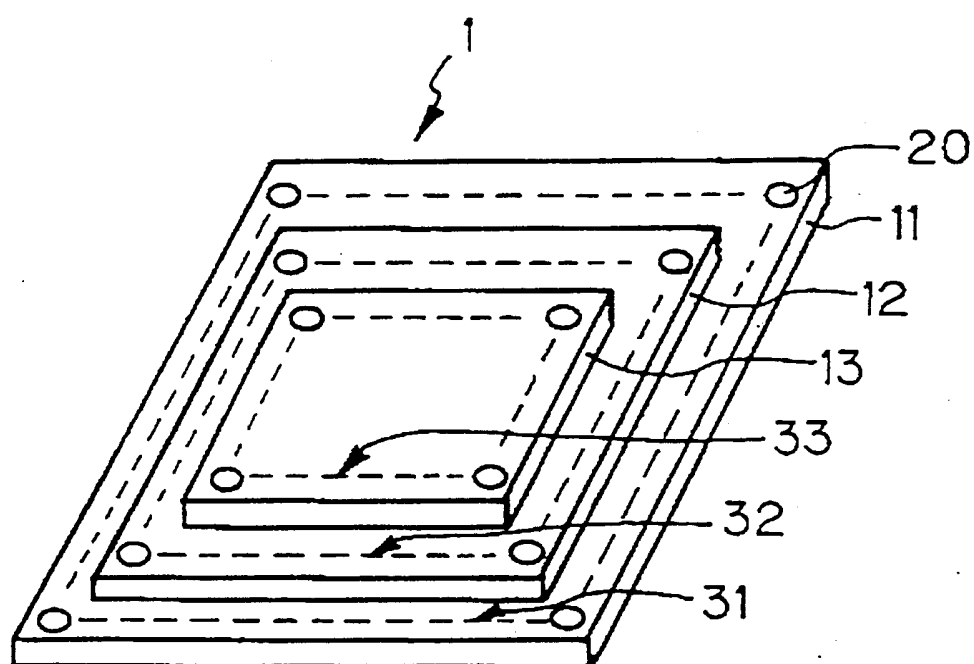


圖 3A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

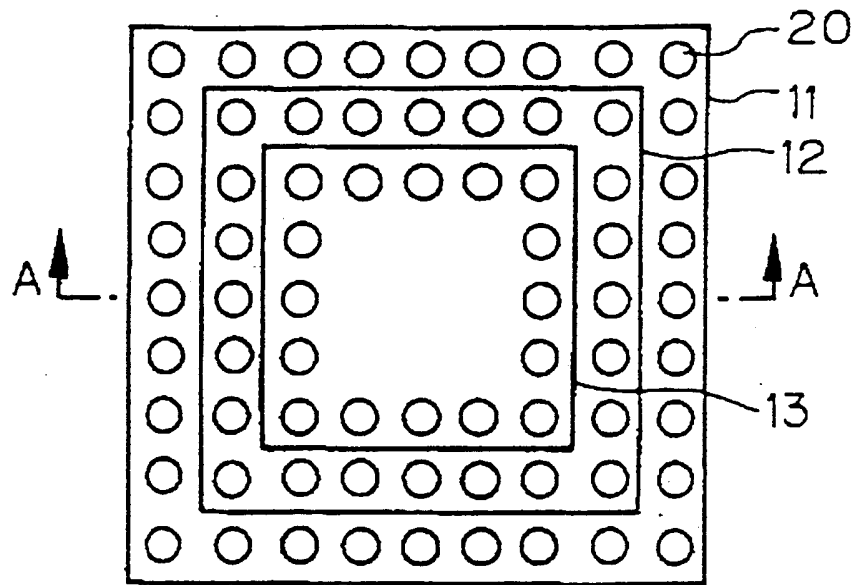
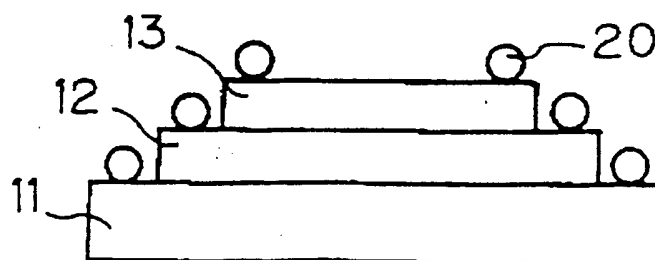


圖 3B



A-A line

圖 3C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

(請先閱讀背面之注意事項再行繪製)

訂

線

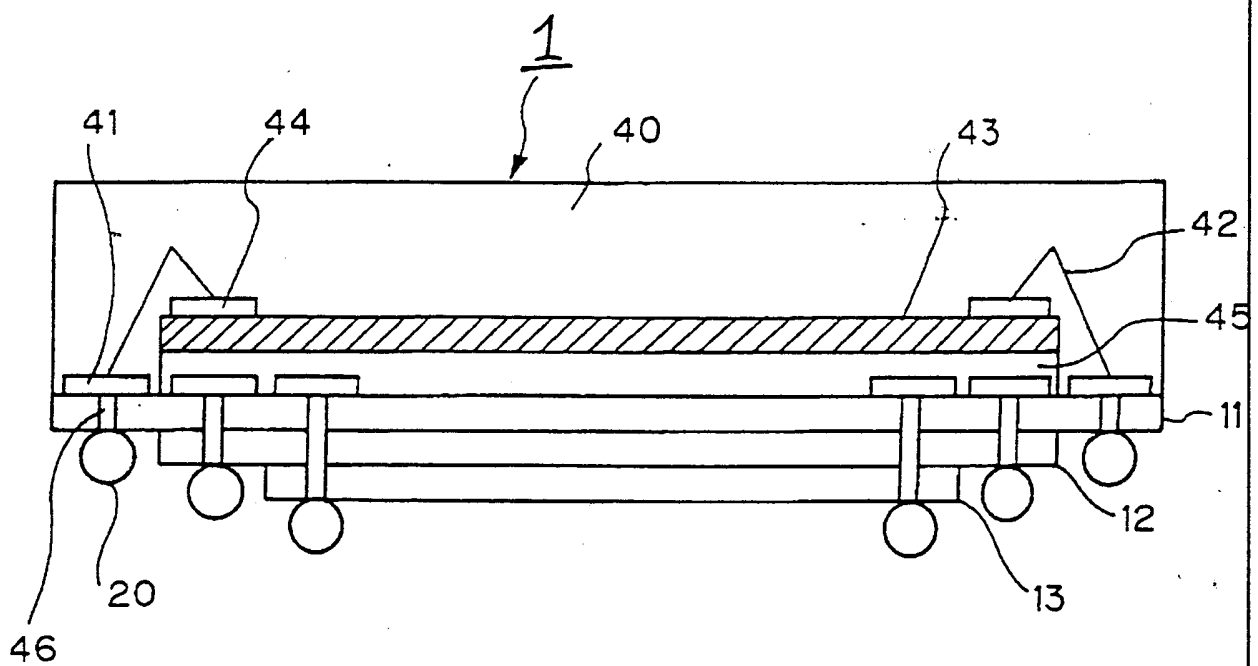


圖 4

圖式

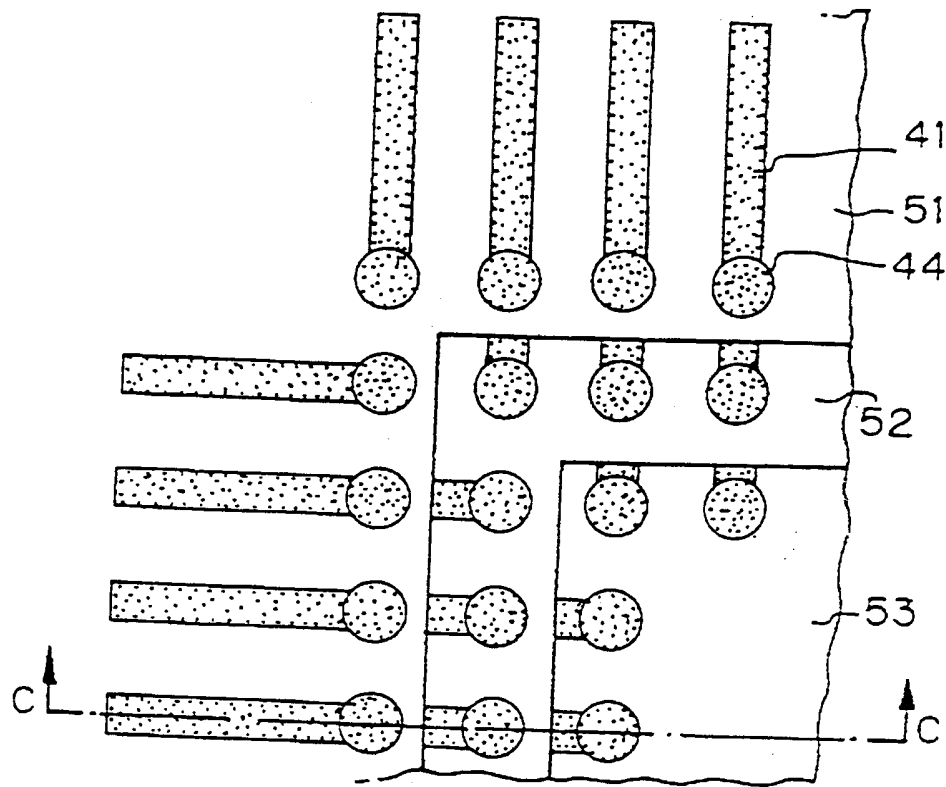
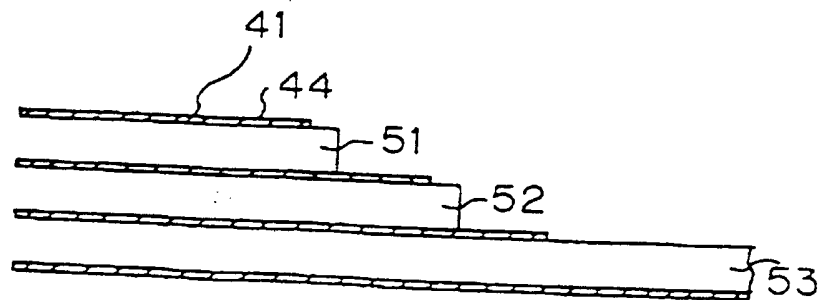


圖 5A



C-C line

圖 5B

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

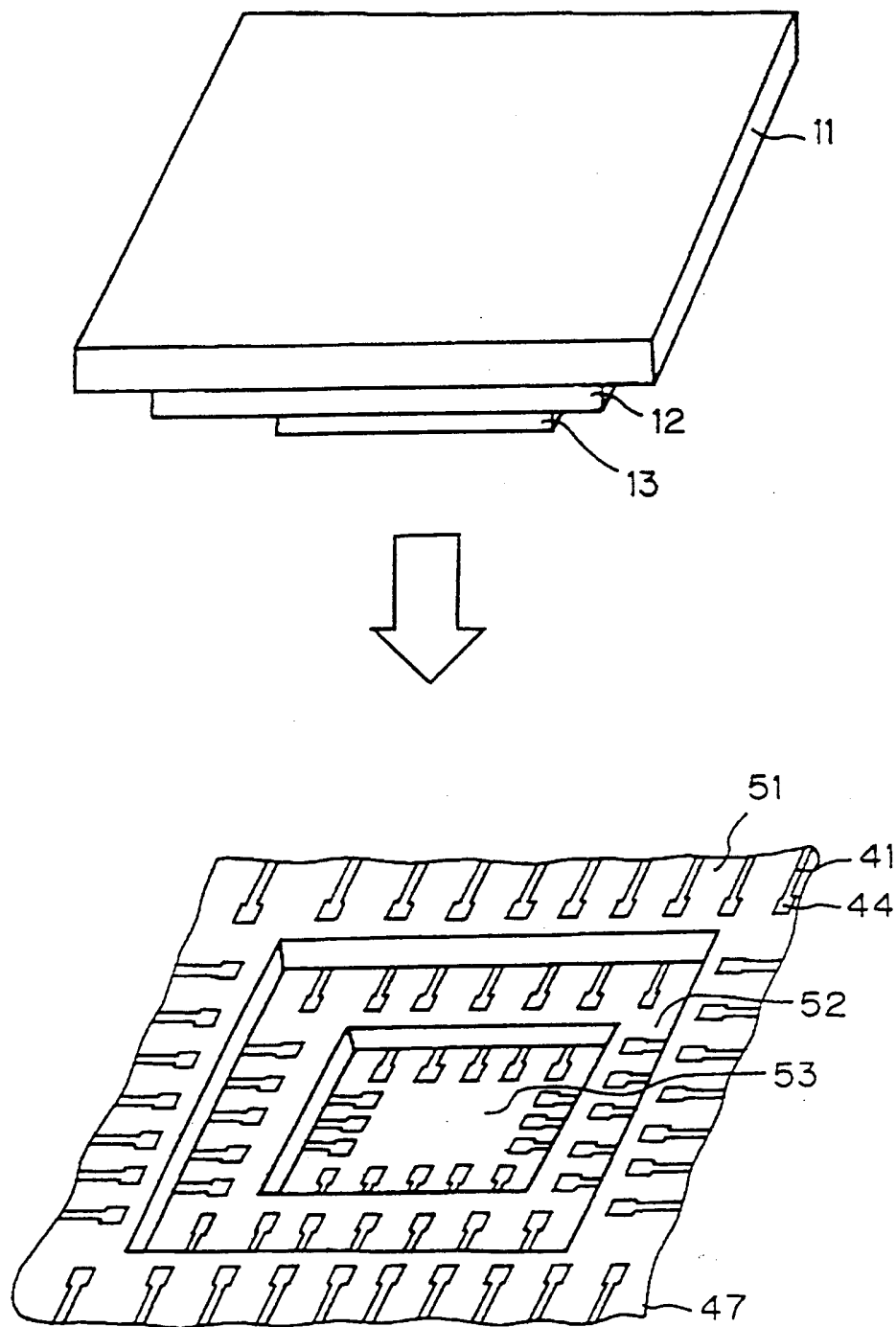


圖 6

(請先閱讀背面之注意事項再行繪製)

製

訂

線

圖式

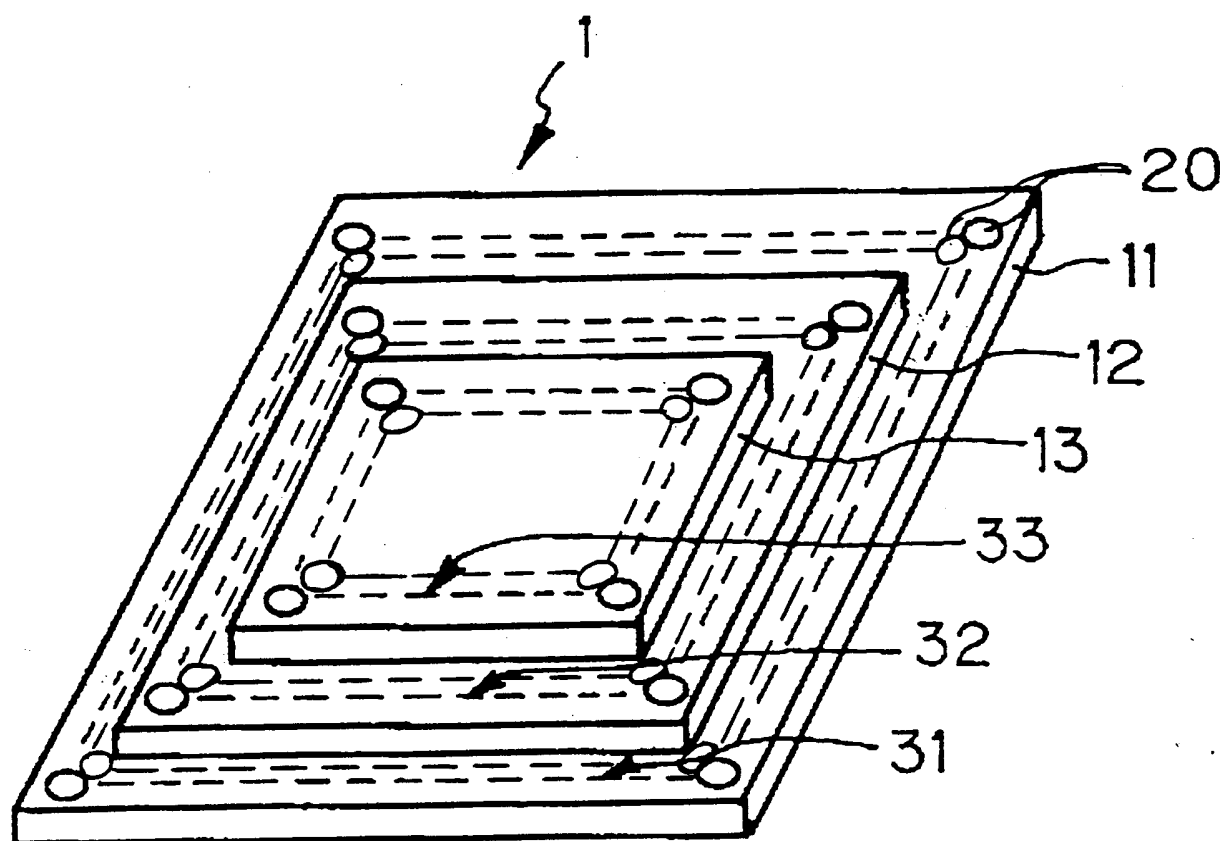


圖 7A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

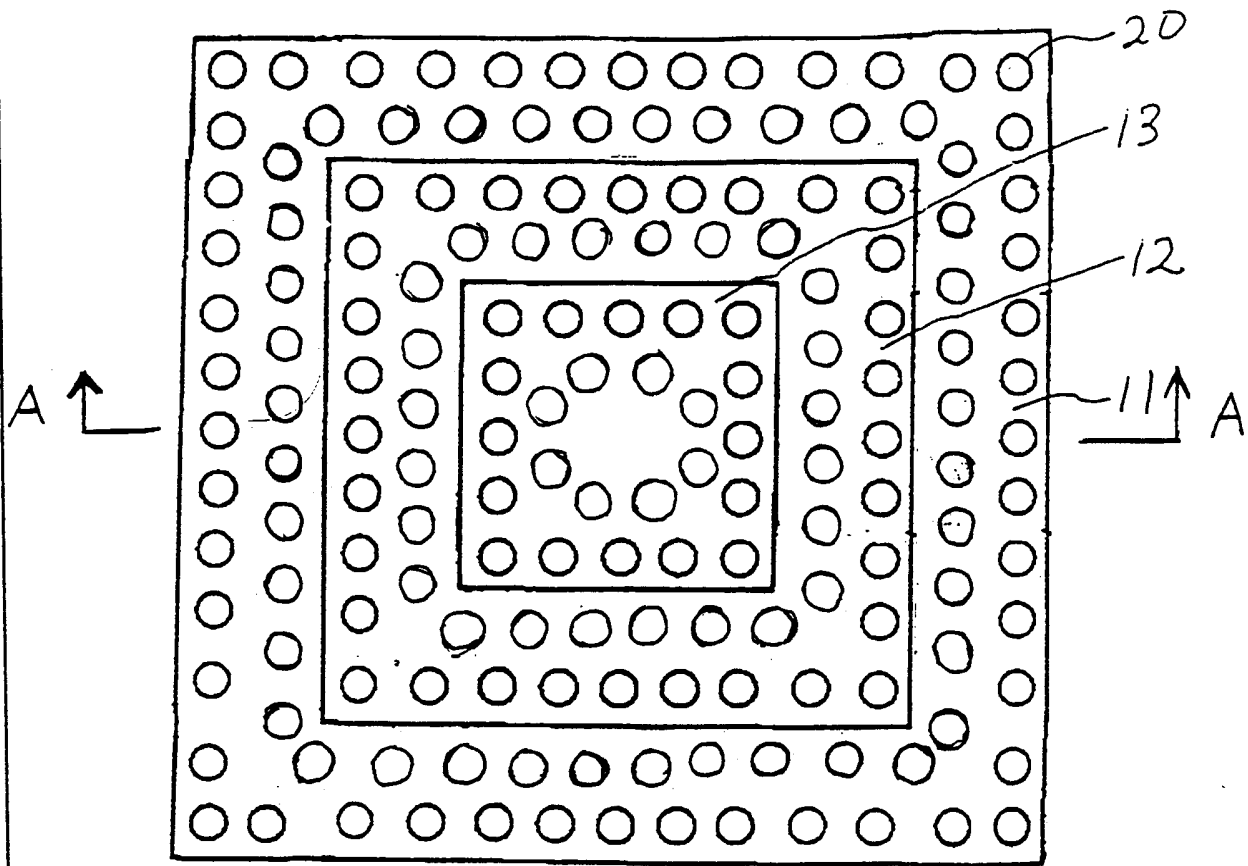


圖 7B

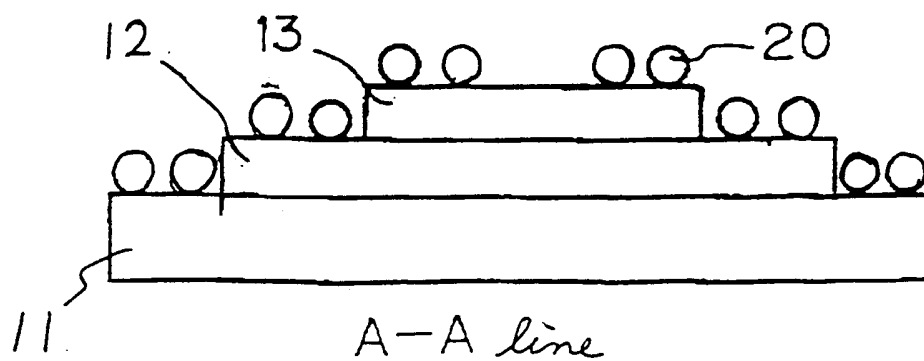


圖 7C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

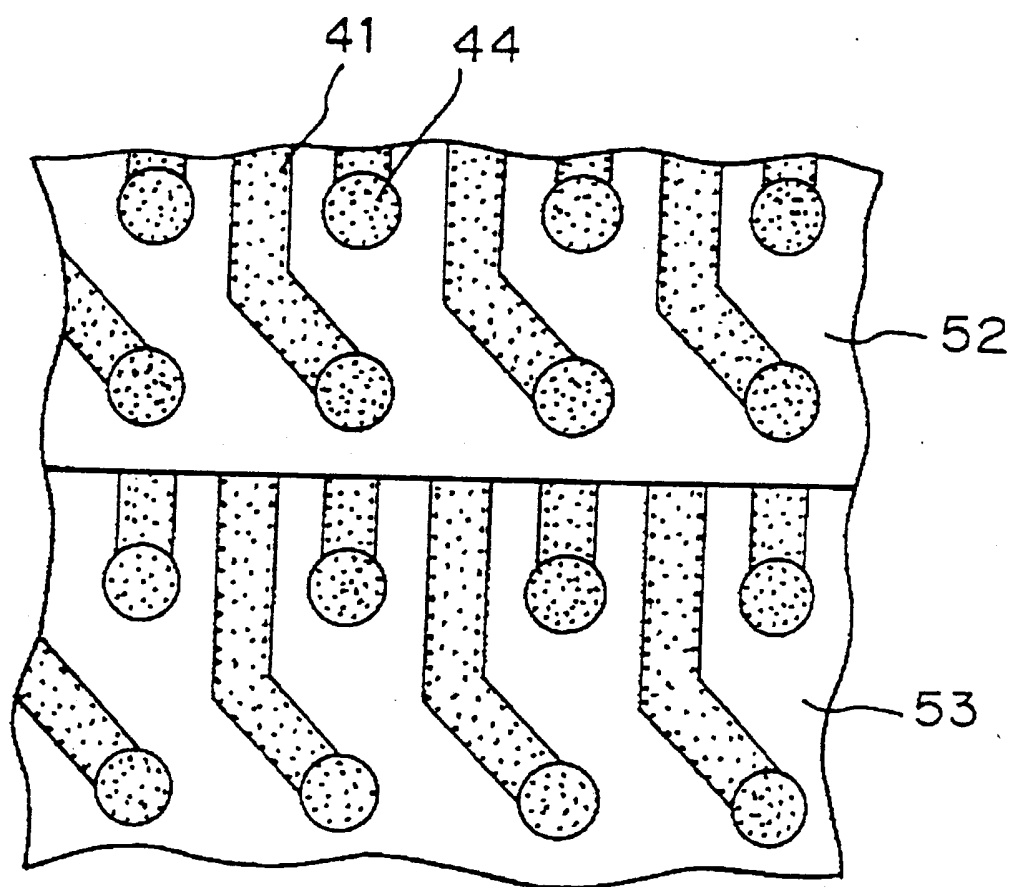


圖 7D

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

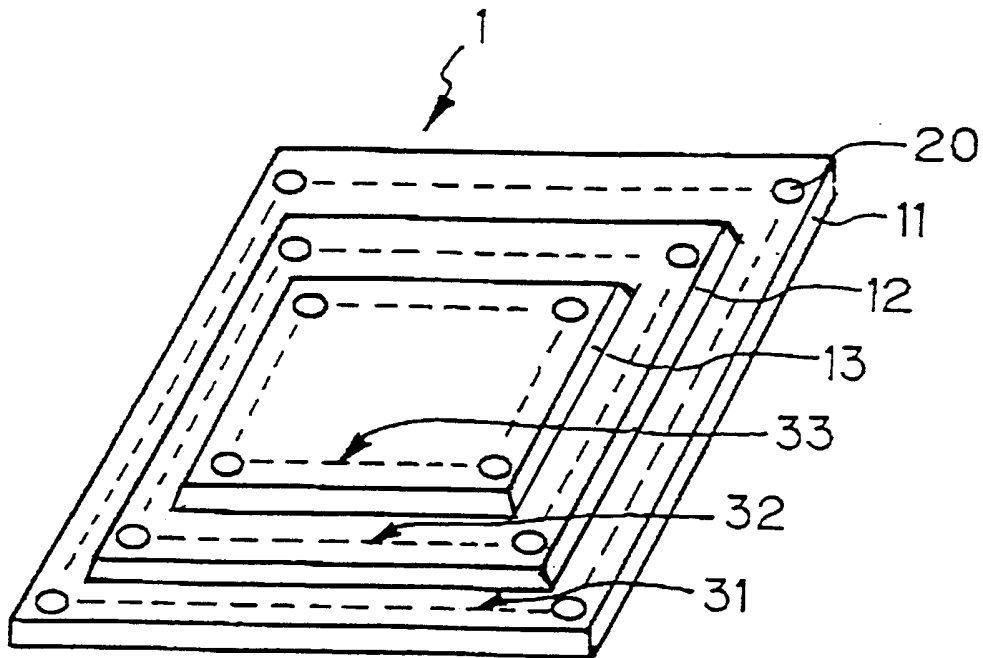


圖 8A

(請先閱讀背面之注意事項再行繪製)

表

訂

線

圖式

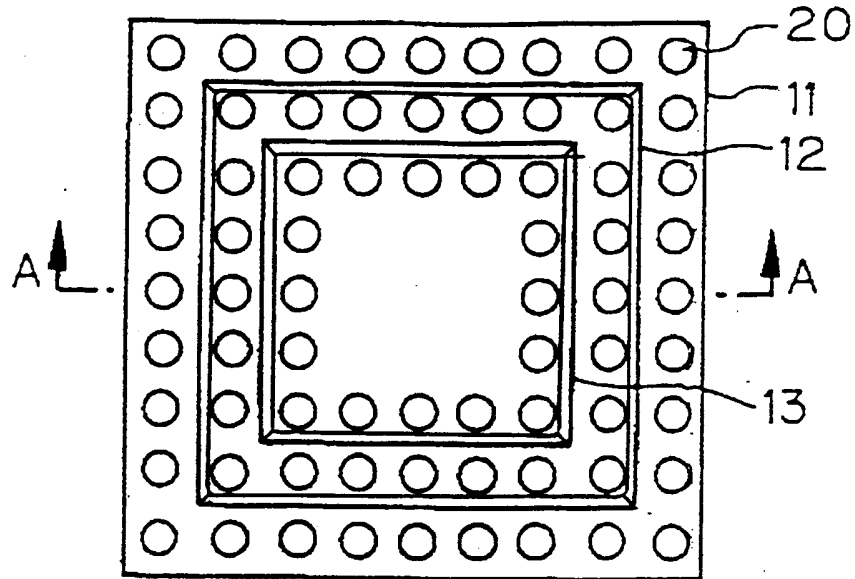
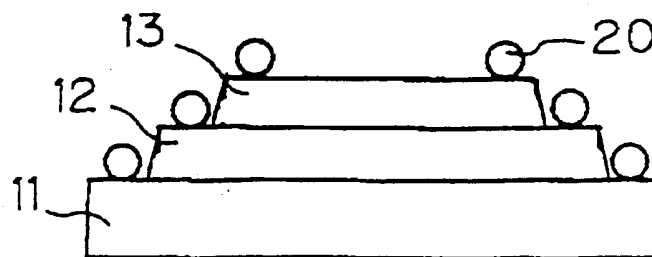


圖 8B



A-A line

圖 8C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

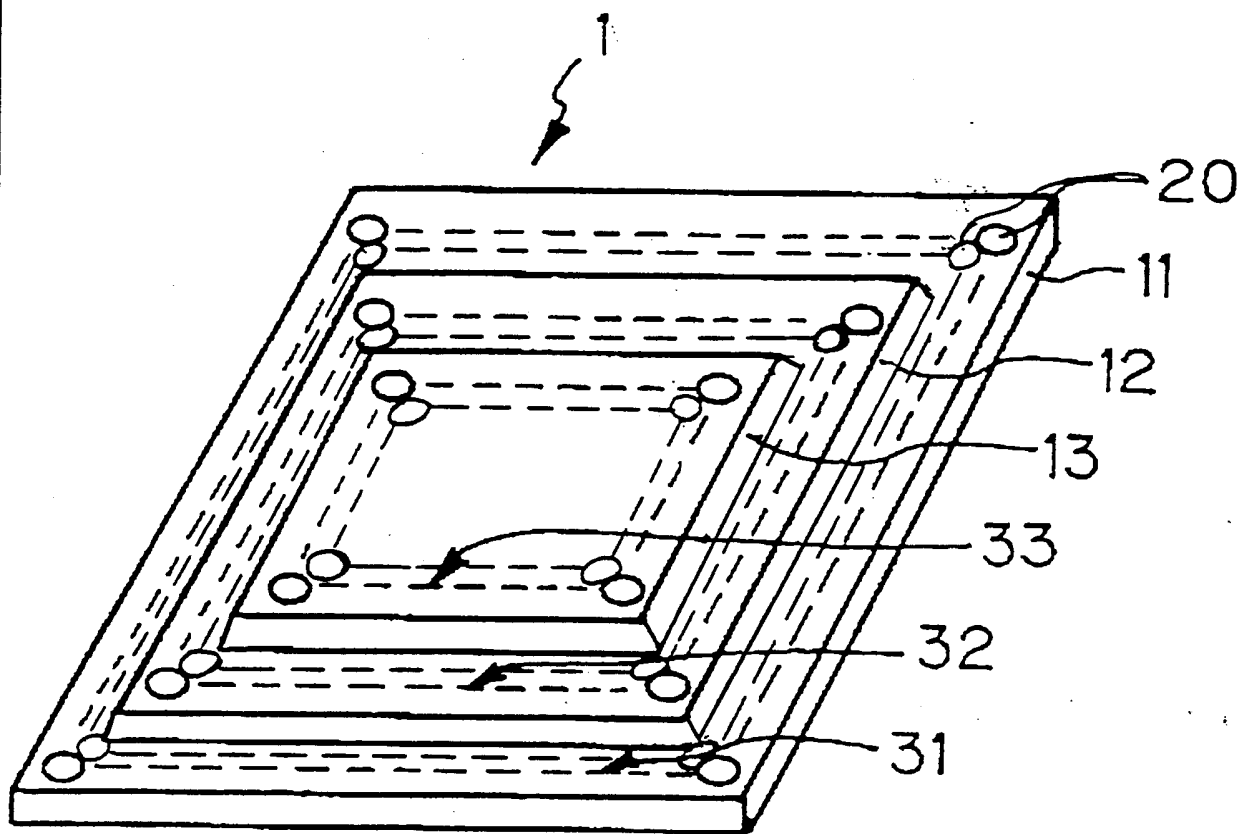


圖 9A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

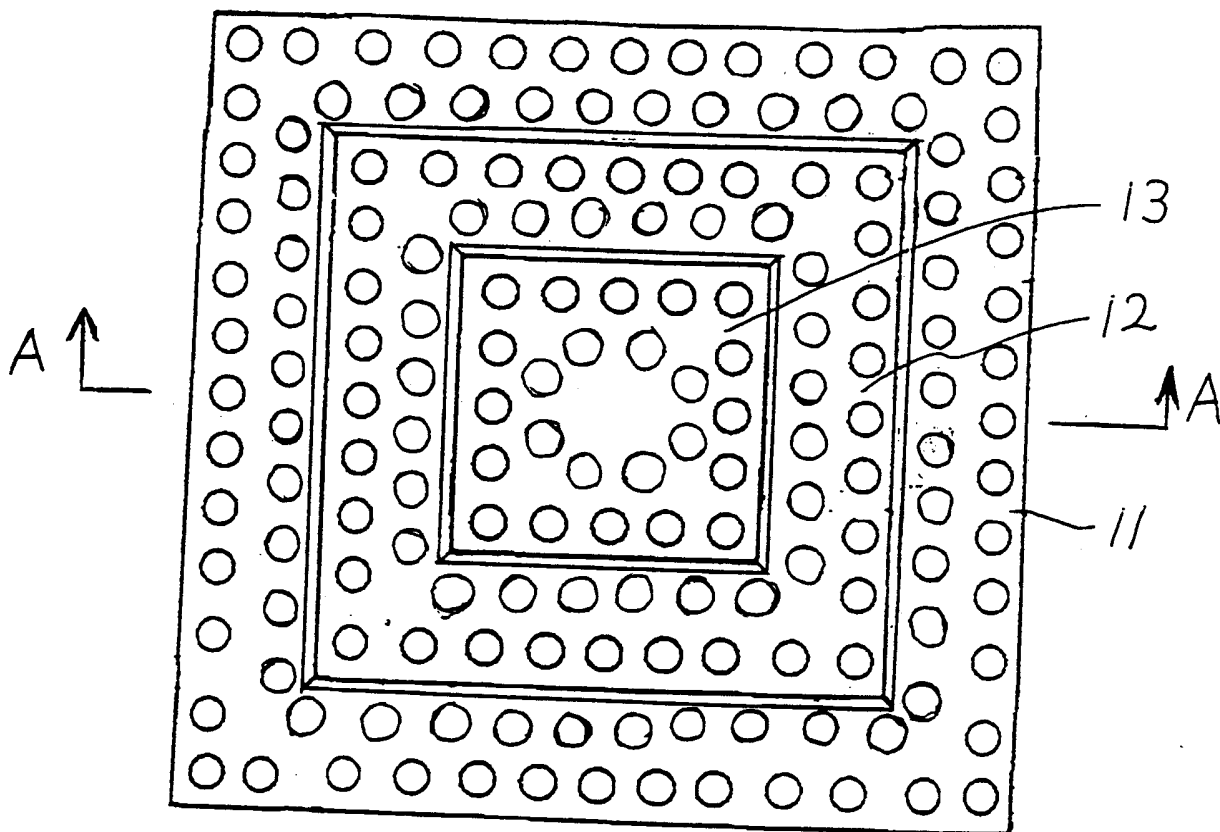


圖 9B

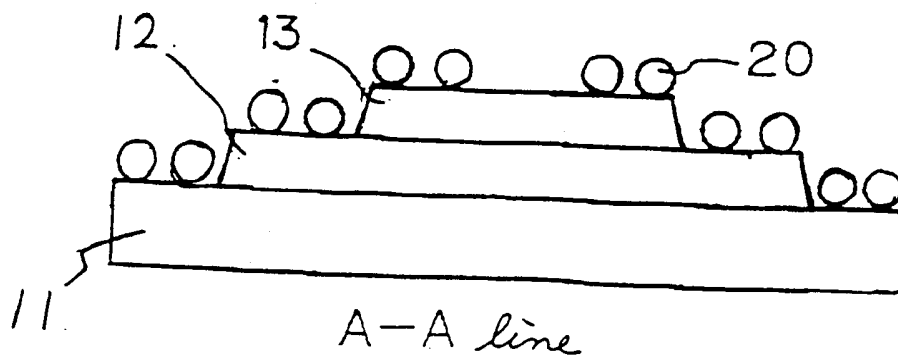


圖 9C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

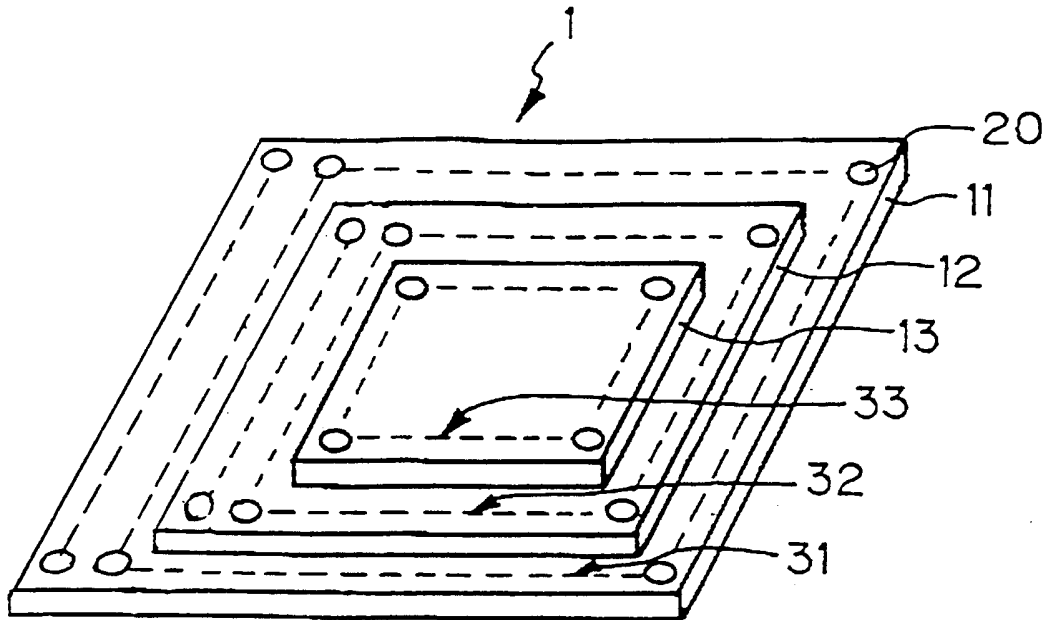


圖 10A

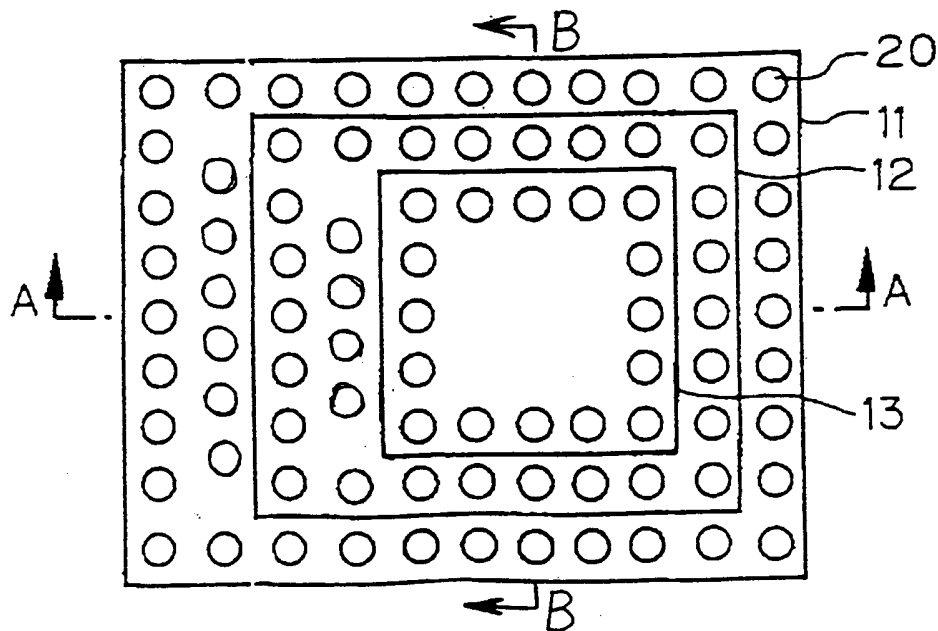


圖 10B

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

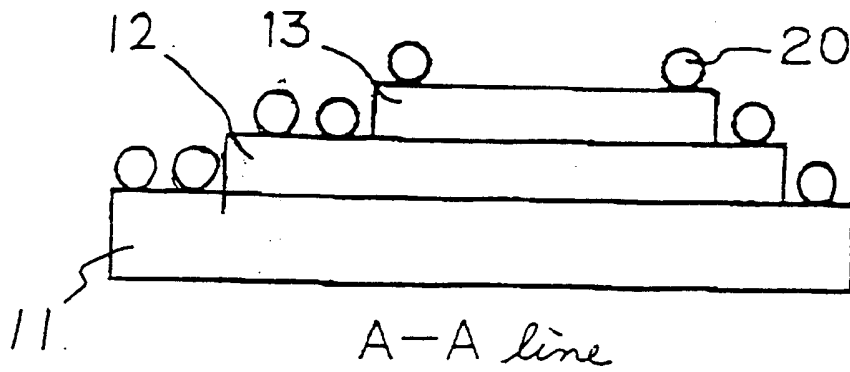


圖 10C

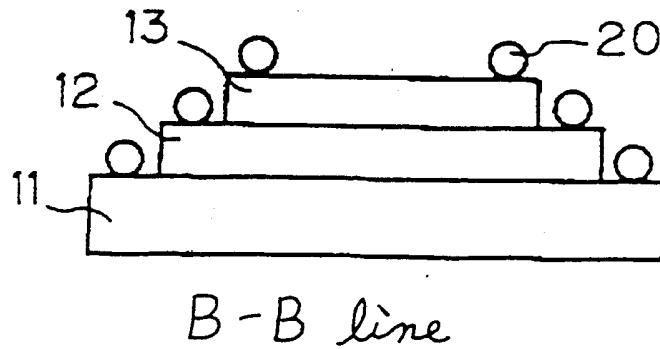


圖 10D

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

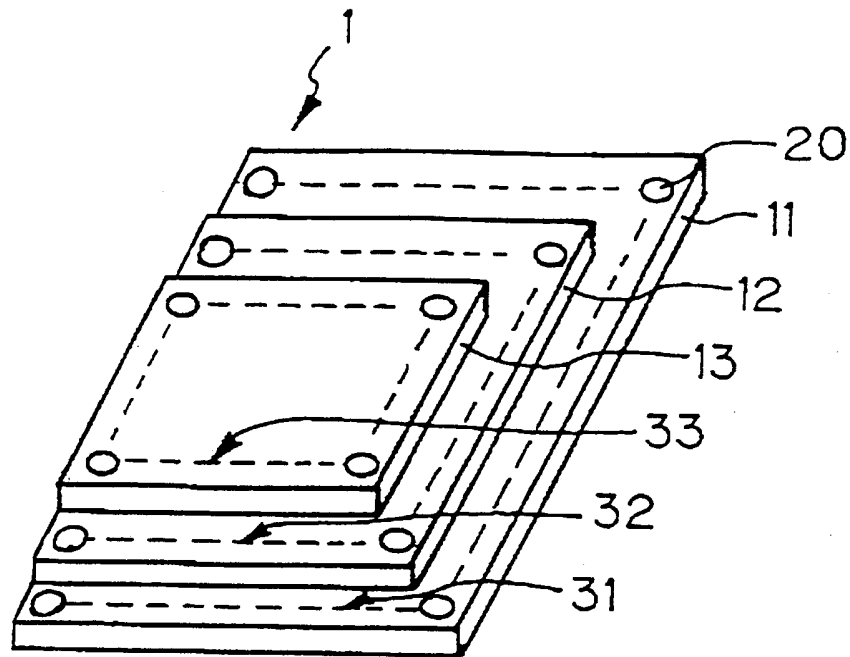


圖 11A

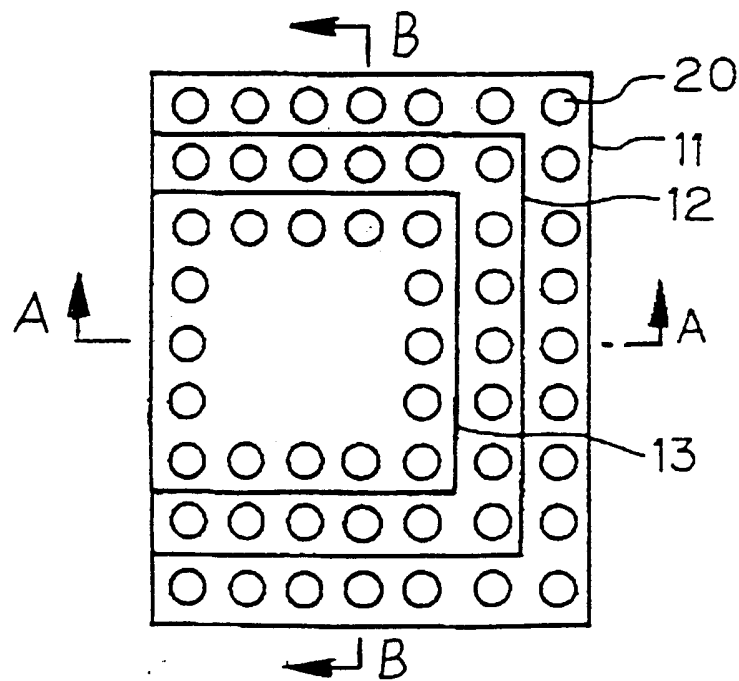


圖 11B

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

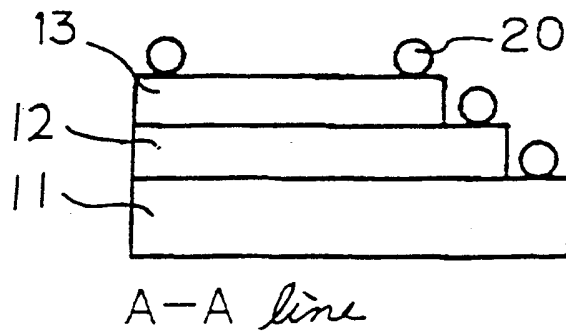


圖 11C

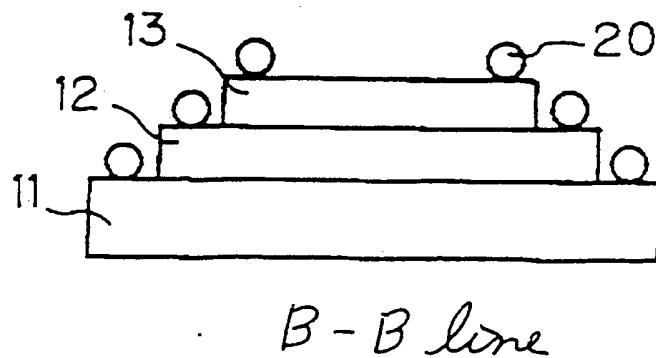


圖 11D

(請先閱讀背面之注意事項再行繪製)

訂

訂

線

圖式

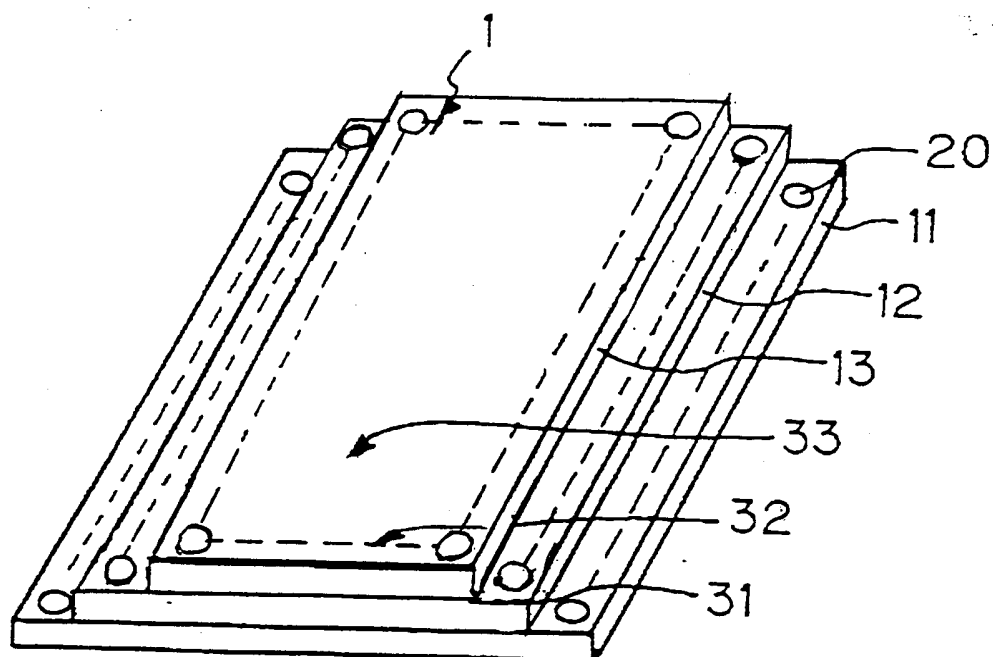


圖 12A

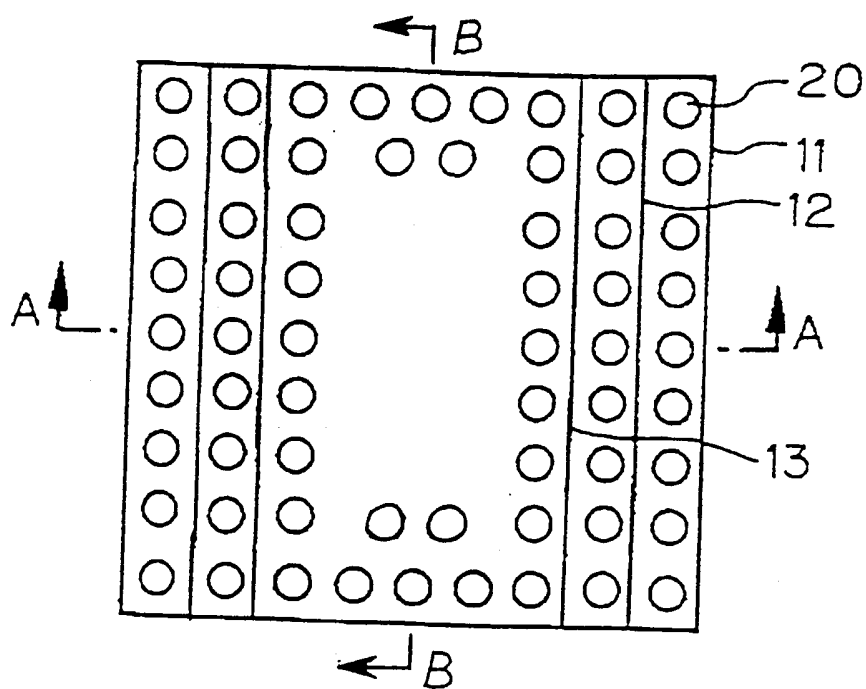


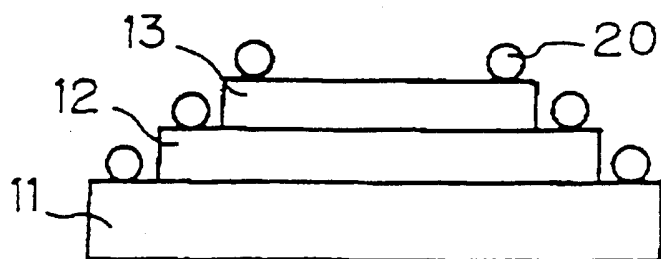
圖 12B

(請先閱讀背面之注意事項再行繪製)

訂

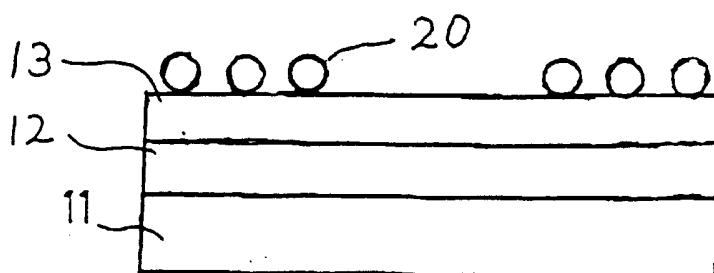
線

圖式



A-A line

圖 12C



B-B line

圖 12D

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

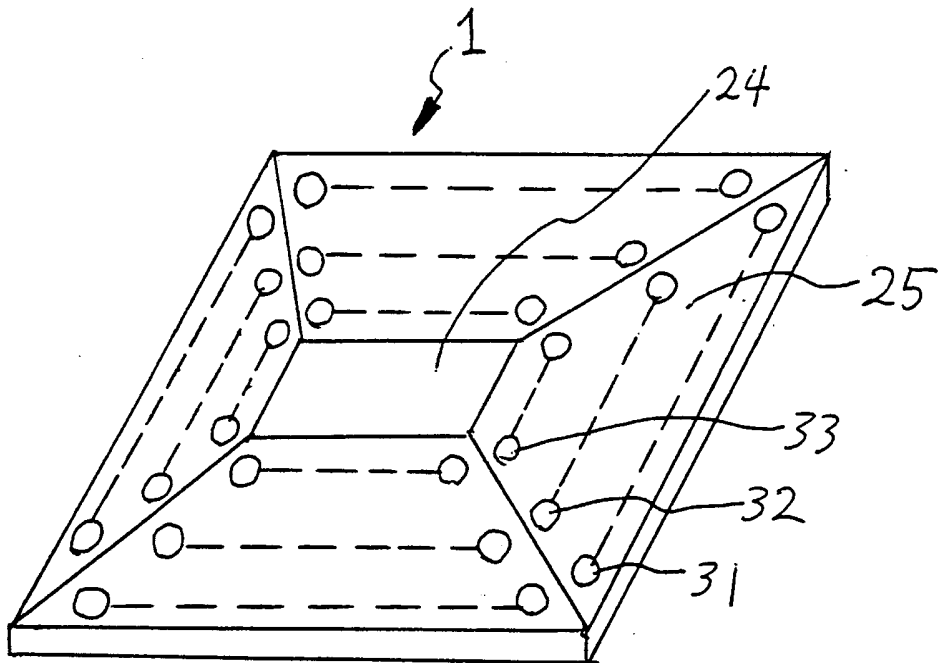


圖 13A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

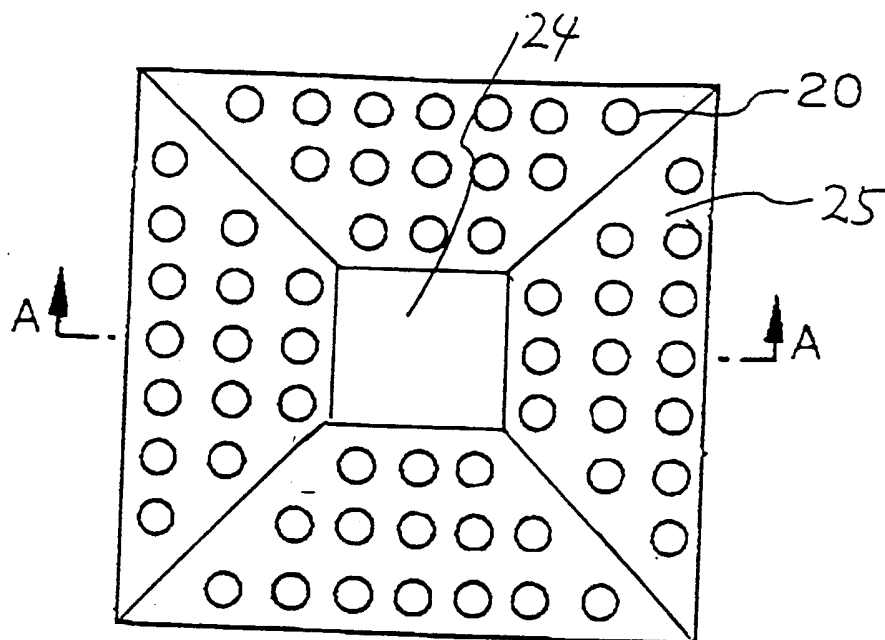
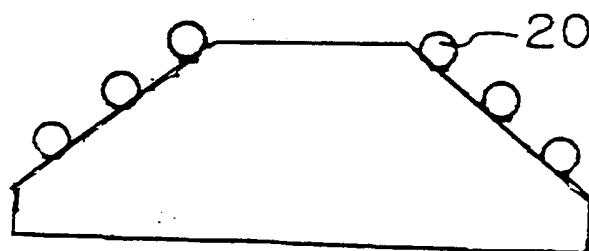


圖 13B



A-A line

圖 13C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

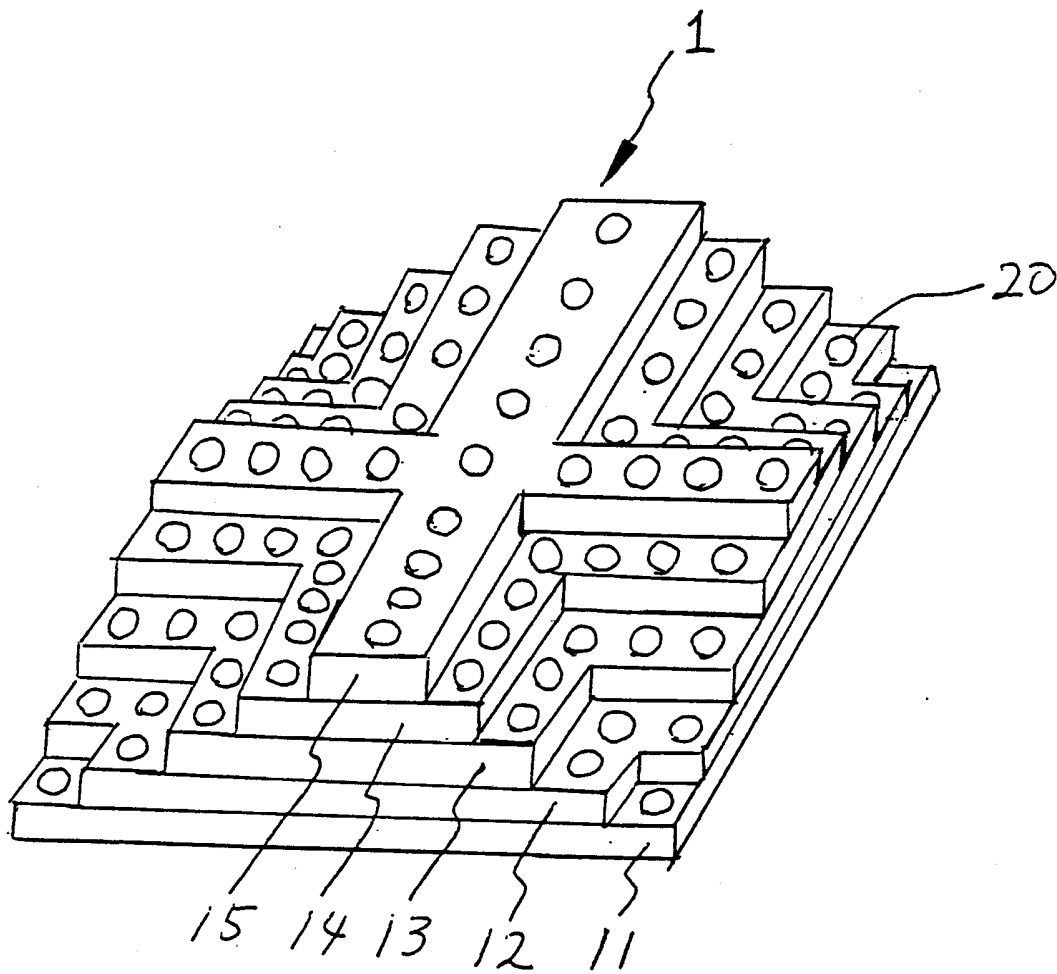


圖 14A

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

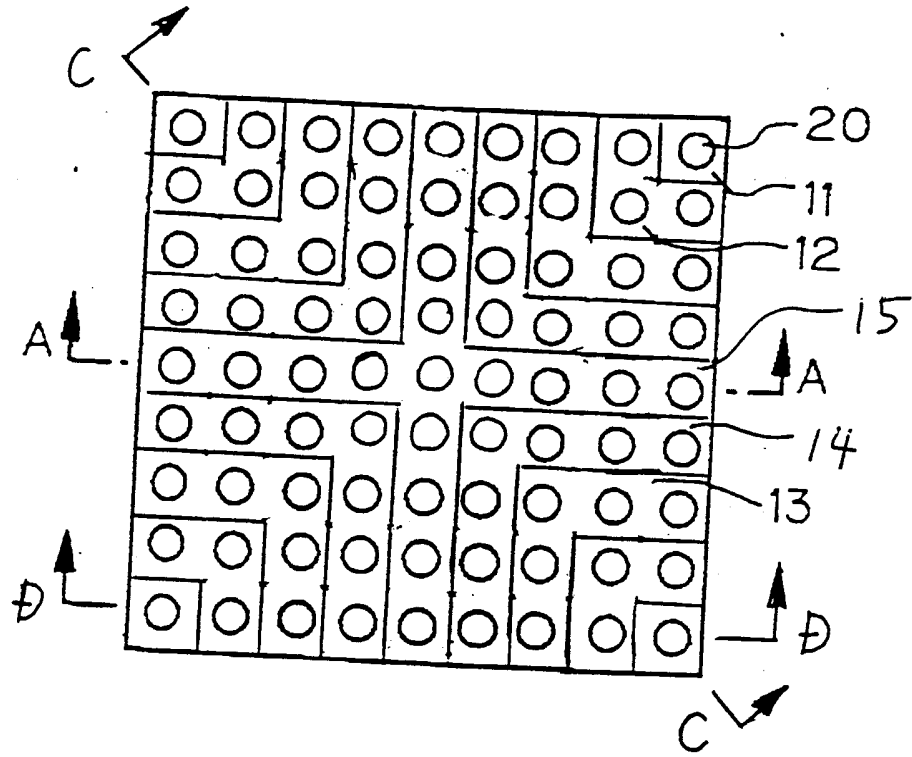
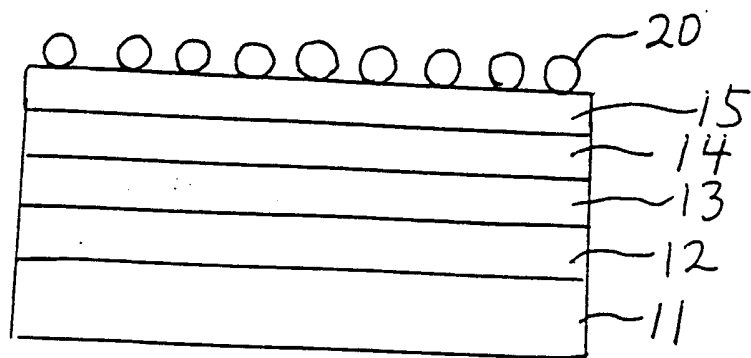


圖 14B



A - A line

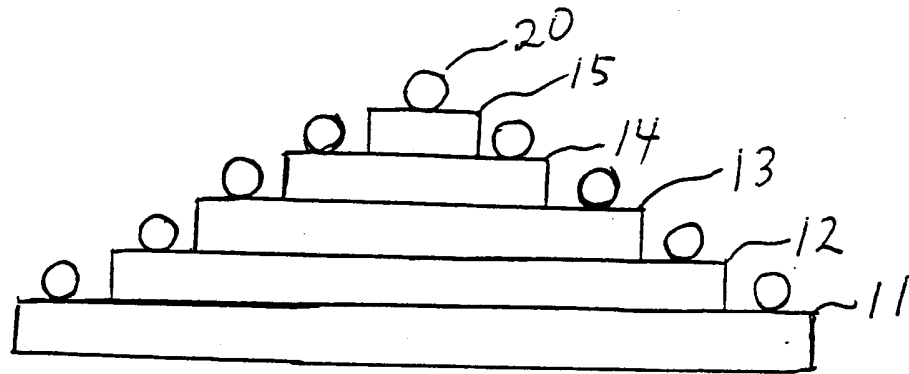
圖 14C

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式



C-C line

圖 14D

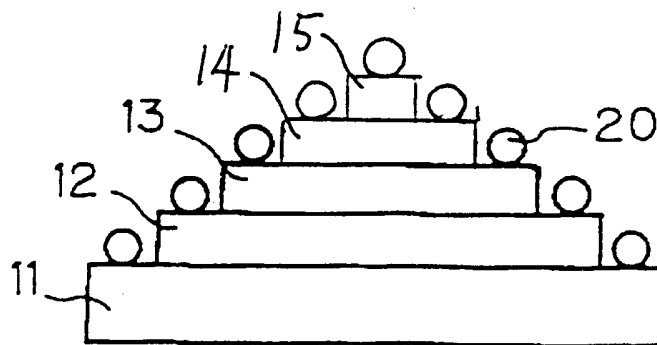


圖 14E

(請先閱讀背面之注意事項再行繪製)

訂

線

圖式

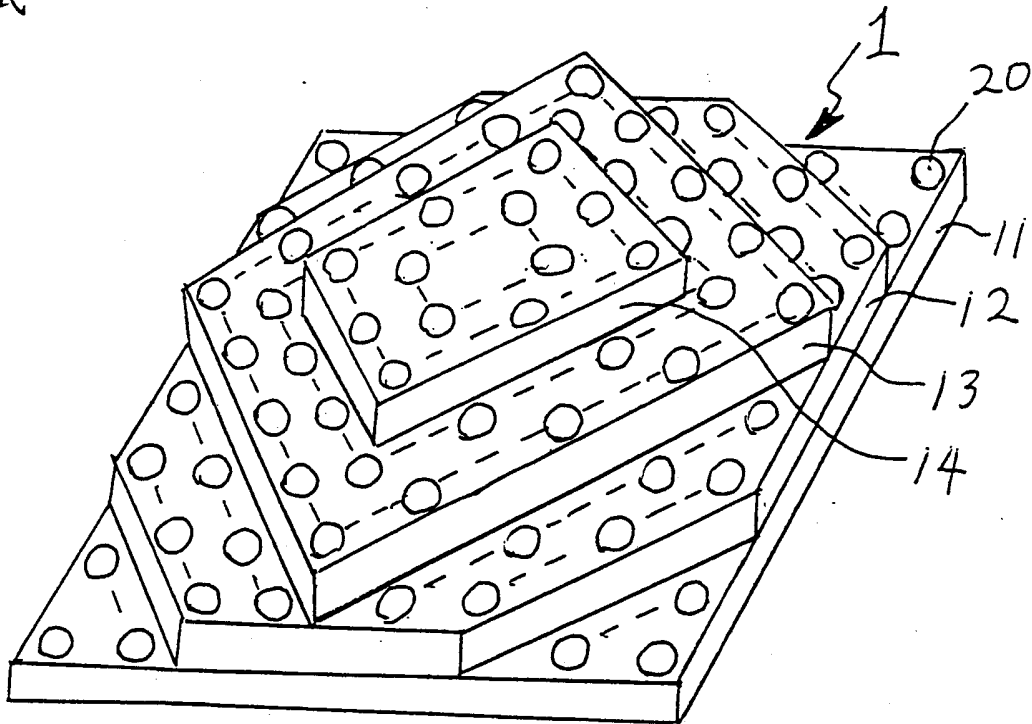


圖 15A

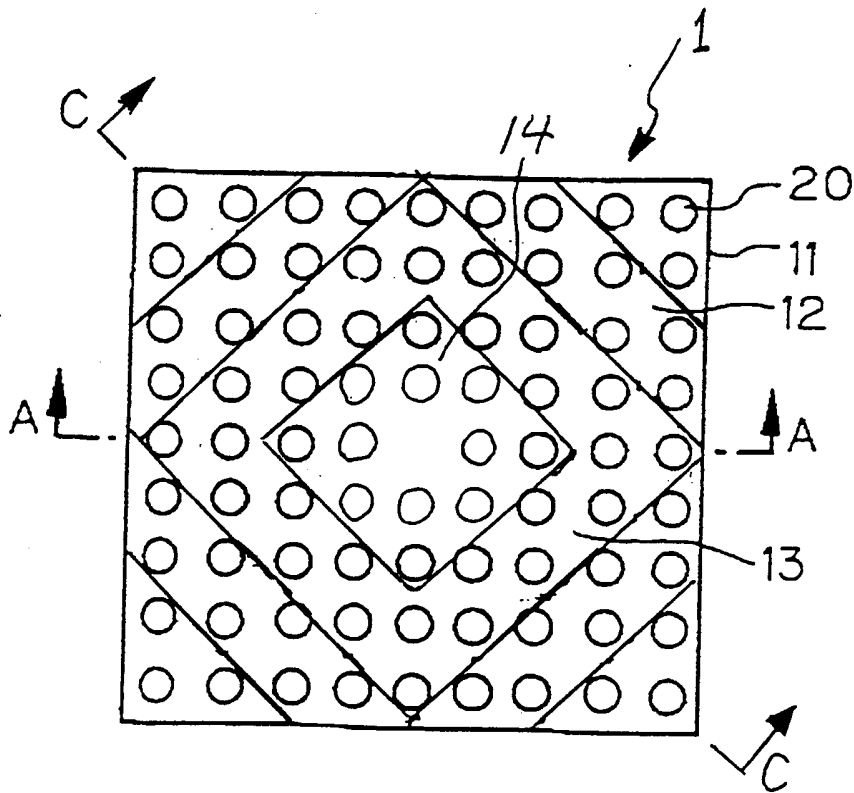


圖 15B

(請先閱讀背面之注意事項再行繪製)

訂

線

401731

A9
B9
C9
D9

圖式

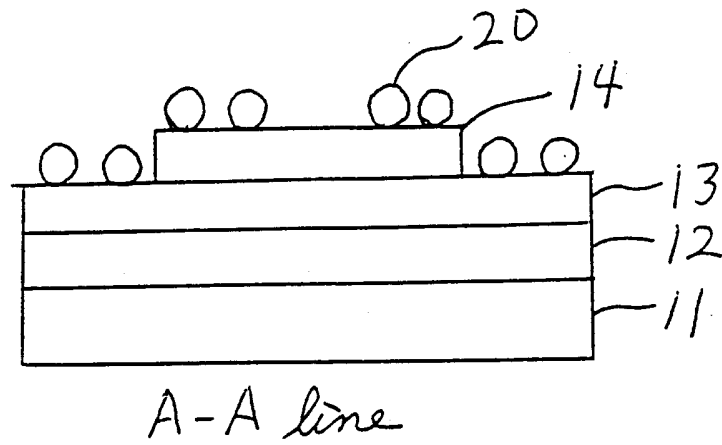


圖 15C

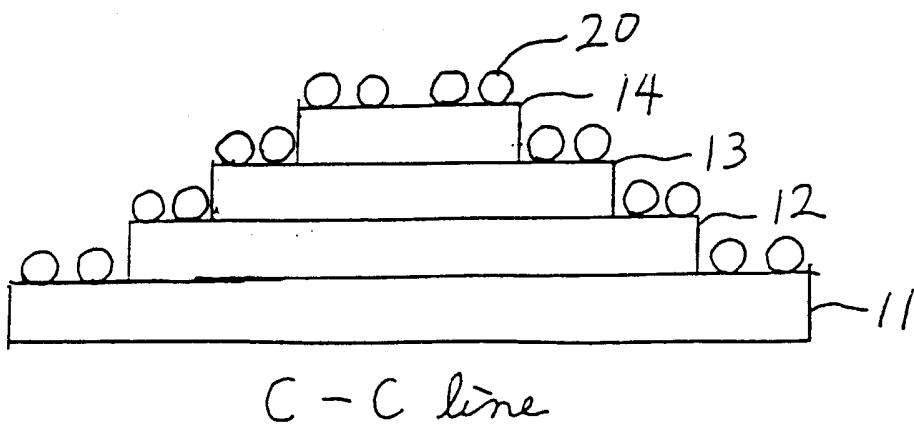


圖 15D

(請先閱讀背面之注意事項再行繪製)