

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5287191号
(P5287191)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

H

請求項の数 14 (全 16 頁)

(21) 出願番号	特願2008-308613 (P2008-308613)	(73) 特許権者	000006747
(22) 出願日	平成20年12月3日(2008.12.3)		株式会社リコー
(65) 公開番号	特開2010-136497 (P2010-136497A)		東京都大田区中馬込1丁目3番6号
(43) 公開日	平成22年6月17日(2010.6.17)	(74) 代理人	100081422
審査請求日	平成23年10月6日(2011.10.6)		弁理士 田中 光雄
		(74) 代理人	100068526
			弁理士 田村 恭生
		(74) 代理人	100098280
			弁理士 石野 正弘
		(72) 発明者	西田 淳二
			東京都大田区中馬込1丁目3番6号 株式
			会社リコー内
		審査官	槻木澤 昌司

最終頁に続く

(54) 【発明の名称】 ヒステリシススイッチングレギュレータ及びその動作制御方法

(57) 【特許請求の範囲】

【請求項1】

入力端子に入力された入力電圧を、所定の電圧に変換して出力端子から出力電圧として出力する、インダクタを使用した出力電圧可変の非絶縁型のヒステリシススイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行うことにより、前記インダクタに対して、前記入力電圧による充電を行うスイッチングトランジスタと、

前記出力電圧を分圧して第1帰還電圧を生成し出力する帰還電圧生成回路部と、

前記第1帰還電圧と設定された基準電圧との電圧比較を行い、該比較結果を示す信号を生成して出力するコンパレータを有する電圧比較回路部と、

該コンパレータの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記コンパレータの出力信号に応じた電圧を第2帰還電圧として、前記第1帰還電圧に加算されるように前記帰還電圧生成回路部に帰還させる帰還ループ回路部と、
を備え、

前記帰還ループ回路部は、前記帰還電圧生成回路部に帰還させる前記第2帰還電圧を、前記出力電圧に応じて変えることを特徴とするヒステリシススイッチングレギュレータ。

【請求項2】

前記帰還ループ回路部は、スイッチングレギュレータの動作周波数が一定になるように、前記帰還電圧生成回路部に帰還させる前記第2帰還電圧を、前記出力電圧に応じて変え

10

20

ることを特徴とする請求項 1 記載のヒステリシススイッチングレギュレータ。

【請求項 3】

前記帰還電圧生成回路部は、

一端が前記出力電圧に接続された第 2 帰還抵抗と、

一端が前記第 2 帰還抵抗の他端に接続された第 1 分圧抵抗と、

前記第 1 分圧抵抗の他端と所定の負側電源電圧との間に接続された第 2 分圧抵抗と、

前記第 2 帰還抵抗と前記第 1 分圧抵抗との直列回路に並列に接続された帰還コンデンサと、
を備え、

前記第 1 分圧抵抗と前記第 2 分圧抵抗との接続部から前記第 1 帰還電圧が出力され、前記帰還ループ回路部は、前記第 2 帰還抵抗と前記第 1 分圧抵抗との接続部に前記第 2 帰還電圧を帰還させることを特徴とする請求項 1 又は 2 記載のヒステリシススイッチングレギュレータ。

10

【請求項 4】

前記帰還ループ回路部は、

入力端が前記コンパレータの出力端に接続されたバッファ回路と、

該バッファ回路の出力端と、前記第 2 帰還抵抗及び前記第 1 分圧抵抗の接続部との間に接続された第 1 帰還抵抗と、
を備え、

前記第 1 帰還抵抗は、入力された信号に応じた抵抗値をなす可変抵抗であり、前記出力電圧に応じて抵抗値が変わるように該信号が入力されることを特徴とする請求項 3 記載のヒステリシススイッチングレギュレータ。

20

【請求項 5】

前記第 1 帰還抵抗は、スイッチングレギュレータの動作周波数が一定になるように、前記出力電圧に応じて抵抗値が変えられることを特徴とする請求項 4 記載のヒステリシススイッチングレギュレータ。

【請求項 6】

前記電圧比較回路部は、外部から入力された出力電圧設定信号に応じて前記基準電圧の設定を行い、該出力電圧設定信号に応じた電圧値に前記出力電圧を設定し、前記第 1 帰還抵抗は、該出力電圧設定信号に応じた抵抗値をなすことを特徴とする請求項 4 又は 5 記載のヒステリシススイッチングレギュレータ。

30

【請求項 7】

前記バッファ回路の出力電圧の振幅を所定値で一定なるように制御する手段を備えることを特徴とする請求項 4、5 又は 6 記載のヒステリシススイッチングレギュレータ。

【請求項 8】

前記バッファ回路は、所定の定電圧を電源にして作動することを特徴とする請求項 7 記載のヒステリシススイッチングレギュレータ。

【請求項 9】

前記制御回路部は、前記インダクタに流れるインダクタ電流の逆流検出を行い、該逆流を検出すると、前記電圧比較回路部のコンパレータの内部に流れるバイアス電流を低減させることを特徴とする請求項 1、2、3、4、5、6、7 又は 8 記載のヒステリシススイッチングレギュレータ。

40

【請求項 10】

前記制御回路部から制御電極に入力された制御信号に応じて、前記スイッチングトランジスタと相反するスイッチング動作を行い、前記スイッチングトランジスタがオフして前記インダクタへの充電が停止すると、該インダクタの放電を行う同期整流用トランジスタと、

前記インダクタに流れるインダクタ電流の逆流検出を行う逆流検出回路部と、
を備え、

前記制御回路部は、前記逆流検出回路部が前記逆流を検出すると、前記電圧比較回路部

50

のコンパレータの内部に流れるバイアス電流を低減させることを特徴とする請求項 1、2、3、4、5、6、7又は8記載のヒステリシススイッチングレギュレータ。

【請求項 1 1】

前記電圧比較回路部のコンパレータは、所定のヒステリシスを有することを特徴とする請求項 1、2、3、4、5、6、7、8、9又は10記載のヒステリシススイッチングレギュレータ。

【請求項 1 2】

前記電圧比較回路部のコンパレータは、該コンパレータの動作遅延時間と前記第 1 帰還電圧の変化速度に基づいて前記ヒステリシスが設定されることを特徴とする請求項 1 1 記載のヒステリシススイッチングレギュレータ。

【請求項 1 3】

制御電極に入力された制御信号に応じてスイッチングを行うスイッチトランジスタと、
該スイッチトランジスタのスイッチングによって、入力端子に入力された入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、
を備え、

出力端子から出力される出力電圧が所定の定電圧になるように前記スイッチトランジスタに対するスイッチング制御を行い、前記入力端子に入力された入力電圧を所定の電圧に変換して前記出力端子から出力電圧として出力する出力電圧可変の非絶縁型のヒステリシススイッチングレギュレータの動作制御方法において、

複数の抵抗を直列に接続してなる分圧回路で前記出力電圧を分圧して第 1 帰還電圧を生成し、

前記第 1 帰還電圧と、設定された基準電圧との電圧比較を行い、該比較結果を示す信号を生成し、

前記比較結果を示す信号に応じて前記スイッチングトランジスタのスイッチング制御を行い、

前記比較結果を示す信号に応じた電圧を第 2 帰還電圧として、前記第 1 帰還電圧に加算されるように前記分圧回路に帰還させ、

前記第 2 帰還電圧を前記出力電圧に応じて変えることを特徴とするヒステリシススイッチングレギュレータの動作制御方法。

【請求項 1 4】

スイッチングレギュレータの動作周波数が一定になるように、前記第 2 帰還電圧を前記出力電圧に応じて変えることを特徴とする請求項 1 3 記載のヒステリシススイッチングレギュレータの動作制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、出力電圧可変のヒステリシススイッチングレギュレータに関し、特に入出力電圧の変化に対する動作周波数の変動を少なくしたヒステリシススイッチングレギュレータ及びその動作制御方法に関する。

【背景技術】

【0002】

近年、環境対策上からも省エネルギー化が求められている。携帯電話やデジタルカメラ等の電池を使用する機器においては、電池寿命を伸ばすという観点からも、機器内で消費する電力の削減の重要度は増している。このため、電源回路としては、高効率でしかも小型化が可能な、インダクタを用いた非絶縁型のスイッチングレギュレータが多く使用されている。

また、機器の高機能化も進んでおり、例えば静止画に加えて動画の録画再生なども頻繁に行われるようになってきた。この結果、機器内で使用される CPU 等も高性能になり、より高速のクロックで動作するようになってきた。

【0003】

しかし、クロックを高速にすると、クロックの周波数に比例して消費電流が増加するという問題が発生する。更に、クロックを高速にするためには、より高い電源電圧を必要とするため、消費電力が大幅に増加してしまう。このようなことから、通常動作時には電源電圧を低下させて低速のクロックで動作させて低消費電力化を図り、動画等の高速な処理が必要なときにだけ、電源電圧を高くして高速のクロックで動作させることにより、消費電力の増加を最小限に抑えるようにしていた。このため、出力電圧設定信号に応じて出力電圧を変更することができ、負荷変動に対して高速に応答することができ、しかも低消費電力モード時には消費電力を小さくすることができるスイッチングレギュレータが必要とされていた。

10

【0004】

このような用途に適したスイッチングレギュレータとしては、ヒステリシススイッチングレギュレータがあった。しかし、従来のヒステリシススイッチングレギュレータは、インダクタに流れる電流であるインダクタ電流を検出するために、インダクタに直列に電流検出抵抗を設ける必要があり、該抵抗の影響で負荷電流－出力電圧特性が劣化し、前記電流検出抵抗による損失で電力変換効率が低下していた。更に、出力電圧に重畳するリップル電圧が大きく、動作周波数が大幅に変動する等の多くの問題があった。

【0005】

図6は、このような問題を解決するためのスイッチングレギュレータの従来例を示した回路図である（例えば、特許文献1参照。）。なお、図6のヒステリシスコンパレータ121のヒステリシス電圧を $V_{hy s}$ とする。

20

図6において、出力電圧 V_o が低下して、帰還電圧 $V_{f b}$ が基準電圧 $V_{r e f}$ 以下になると、ヒステリシスコンパレータ121の出力信号はハイレベルになり、スイッチ素子 S_{101} をオンさせて導通状態にする。すると、電源端子からインダクタ L_{101} を介して負荷123に電力が供給されると同時に、インダクタ L_{101} と出力コンデンサ C_o にエネルギーが蓄積されるため、出力電圧 V_o は次第に上昇する。

【0006】

出力電圧 V_o が上昇して、帰還電圧 $V_{f b}$ が（基準電圧 $V_{r e f}$ ＋ヒステリシス電圧 $V_{h y s}$ ）以上になると、ヒステリシスコンパレータ121の出力信号はローレベルになり、スイッチ素子 S_{101} をオフさせて遮断状態にする。するとインダクタ L_{101} の逆起電力の作用で接続ノード $L X a$ の電圧が負電圧まで低下するため、接地電圧から整流素子 D_1 を介してインダクタ L_{101} に電流が流れる。しかし、インダクタ L_{101} と出力コンデンサ C_o に蓄えられたエネルギーが減少するに連れて出力電圧 V_o は低下する。出力電圧 V_o が低下して、帰還電圧 $V_{f b}$ が基準電圧 $V_{r e f}$ 以下になると、最初に説明した動作に戻り、以下このような動作を繰り返す。

30

【0007】

前記のように、帰還電圧 $V_{f b}$ は基準電圧 $V_{r e f}$ と（基準電圧 $V_{r e f}$ ＋ヒステリシス電圧 $V_{h y s}$ ）との間を往復するため、抵抗 R_{101} 及び R_{102} の抵抗値 r_{101} 及び r_{102} とすると、出力電圧 V_o にはヒステリシス電圧 $V_{h y s}$ の $(r_{101} + r_{102}) / r_{102}$ 倍のリップル電圧が発生する。通常、このようなリップル電圧はかなり大きな電圧になるため、ヒステリシススイッチングレギュレータでは前記リップル電圧を小さくするための工夫が施されている。抵抗 $R_{f a}$ 、 $R_{f b}$ 及びコンデンサ C_R からなるローパスフィルタは、前記リップル電圧を小さくするための回路である。

40

【0008】

前記ローパスフィルタは、接続ノード $L X a$ に発生する矩形波を三角波に変換し、抵抗 R_{103} を介して帰還電圧 $V_{f b}$ に加算している。帰還電圧 $V_{f b}$ の変化は、出力電圧 V_o の変化よりも前記ローパスフィルタからの電圧によって支配されるようにしている。このことから、出力電圧 V_o が大きく変化する前にヒステリシスコンパレータ121の出力信号の信号レベルが反転してスイッチング動作が行われるため、出力電圧 V_o に重畳するリップル電圧を小さく抑えることができる。

50

【特許文献1】特開2007-159395号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかし、図6の回路構成では、接続ノードLXaの電圧は入力電圧Vsupplyの影響を受けるため、入力電圧Vsupplyの変動で動作周波数が大きく変動するという問題があった。

また、効率アップと小型化の観点から、最近のスイッチングレギュレータはより高周波動作が求められているが、図6のスイッチングレギュレータでは利得1のバッファ回路122が必要である。高周波で動作するバッファ回路122は消費電流が大きく、しかも位相補償のために大きな回路面積が必要とし、コストアップの要因になっていたため、動作周波数をあまり高くすることができなかった。また、動作周波数を高くする場合は、バッファ回路122での消費電流が増加して、回路コストを増加させるという問題があった。

【0010】

本発明は、このような問題を解決するためになされたものであり、動作周波数変動を小さくすることができると共に応答性能を向上させることができ、しかも出力リップル電圧を小さくすることができる、出力電圧可変で低消費電力モードを備えたヒステリシススイッチングレギュレータ及びその動作制御方法を得ることを目的とする。

【課題を解決するための手段】

【0011】

この発明に係るヒステリシススイッチングレギュレータは、入力端子に入力された入力電圧を、所定の電圧に変換して出力端子から出力電圧として出力する、インダクタを使用した出力電圧可変の非絶縁型のヒステリシススイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行うことにより、前記インダクタに対して、前記入力電圧による充電を行うスイッチングトランジスタと、

前記出力電圧を分圧して第1帰還電圧を生成し出力する帰還電圧生成回路部と、

前記第1帰還電圧と設定された基準電圧との電圧比較を行い、該比較結果を示す信号を生成して出力するコンパレータを有する電圧比較回路部と、

該コンパレータの出力信号に応じて前記スイッチングトランジスタのスイッチング制御を行う制御回路部と、

前記コンパレータの出力信号に応じた電圧を第2帰還電圧として、前記第1帰還電圧に加算されるように前記帰還電圧生成回路部に帰還させる帰還ループ回路部と、
を備え、

前記帰還ループ回路部は、前記帰還電圧生成回路部に帰還させる前記第2帰還電圧を、前記出力電圧に応じて変えるものである。

【0013】

この場合、前記帰還ループ回路部は、スイッチングレギュレータの動作周波数が一定になるように、前記帰還電圧生成回路部に帰還させる前記第2帰還電圧を、前記出力電圧に応じて変えるようにしてもよい。

【0014】

また、前記帰還電圧生成回路部は、

一端が前記出力電圧に接続された第2帰還抵抗と、

一端が前記第2帰還抵抗の他端に接続された第1分圧抵抗と、

前記第1分圧抵抗の他端と所定の負側電源電圧との間に接続された第2分圧抵抗と、

前記第2帰還抵抗と前記第1分圧抵抗との直列回路に並列に接続された帰還コンデンサと、

を備え、

前記第1分圧抵抗と前記第2分圧抵抗との接続部から前記第1帰還電圧が出力され、前記帰還ループ回路部は、前記第2帰還抵抗と前記第1分圧抵抗との接続部に前記第2帰還電圧を帰還させるようにした。

【0015】

また、前記帰還ループ回路部は、
入力端が前記コンパレータの出力端に接続されたバッファ回路と、
該バッファ回路の出力端と、前記第2帰還抵抗及び前記第1分圧抵抗の接続部との間に
接続された第1帰還抵抗と、
を備え、

前記第1帰還抵抗は、入力された信号に応じた抵抗値をなす可変抵抗であり、前記出力
電圧に応じて抵抗値が変わるように該信号が入力されるようにした。

【0016】

また、前記第1帰還抵抗は、スイッチングレギュレータの動作周波数が一定になるよう
に、前記出力電圧に応じて抵抗値が変えられるようにした。

10

【0017】

また、前記電圧比較回路部は、外部から入力された出力電圧設定信号に応じて前記基準
電圧の設定を行い、該出力電圧設定信号に応じた電圧値に前記出力電圧を設定し、前記第
1帰還抵抗は、該出力電圧設定信号に応じた抵抗値をなすようにした。

【0018】

また、前記バッファ回路の出力電圧の振幅を所定値で一定なるように制御する手段を備
えるようにしてもよい。

【0019】

この場合、前記バッファ回路は、所定の定電圧を電源にして作動するようにした。

20

【0020】

また、前記制御回路部は、前記インダクタに流れるインダクタ電流の逆流検出を行い、
該逆流を検出すると、前記電圧比較回路部のコンパレータの内部に流れるバイアス電流を
低減させるようにした。

【0021】

また、前記制御回路部から制御電極に入力された制御信号に応じて、前記スイッチング
トランジスタと相反するスイッチング動作を行い、前記スイッチングトランジスタがオフ
して前記インダクタへの充電が停止すると、該インダクタの放電を行う同期整流用ラン
ジスタと、

前記インダクタに流れるインダクタ電流の逆流検出を行う逆流検出回路部と、
を備え、

30

前記制御回路部は、前記逆流検出回路部が前記逆流を検出すると、前記電圧比較回路部
のコンパレータの内部に流れるバイアス電流を低減させるようにしてもよい。

【0022】

また、前記電圧比較回路部のコンパレータは、所定のヒステリシスを有するようにした
。

【0023】

この場合、前記電圧比較回路部のコンパレータは、該コンパレータの動作遅延時間と前
記第1帰還電圧の変化速度に基づいて前記ヒステリシスが設定されるようにしてもよい。

【0024】

40

また、この発明に係るヒステリシススイッチングレギュレータの動作制御方法は、制御
電極に入力された制御信号に応じてスイッチングを行うスイッチトランジスタと、

該スイッチトランジスタのスイッチングによって、入力端子に入力された入力電圧によ
る充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、
を備え、

出力端子から出力される出力電圧が所定の定電圧になるように前記スイッチトランジスタ
に対するスイッチング制御を行い、前記入力端子に入力された入力電圧を所定の電圧に
変換して前記出力端子から出力電圧として出力する出力電圧可変の非絶縁型のヒステリシ
ススイッチングレギュレータの動作制御方法において、

50

複数の抵抗を直列に接続してなる分圧回路で前記出力電圧を分圧して第1帰還電圧を生成し、

前記第1帰還電圧と、設定された基準電圧との電圧比較を行い、該比較結果を示す信号を生成し、

前記比較結果を示す信号に応じて前記スイッチングトランジスタのスイッチング制御を行い、

前記比較結果を示す信号に応じた電圧を第2帰還電圧として、前記第1帰還電圧に加算されるように前記分圧回路に帰還させ、

前記第2帰還電圧を前記出力電圧に応じて変えるようにした。

【0025】

具体的には、スイッチングレギュレータの動作周波数が一定になるように、前記第2帰還電圧を前記出力電圧に応じて変えるようにしてもよい。

【発明の効果】

【0026】

本発明のヒステリシススイッチングレギュレータ及びその動作制御方法によれば、前記コンパレータの出力端から前記帰還電圧生成回路部に前記帰還ループ回路部による帰還ループを設けたため、前記出力電圧の負荷特性が改善され、前記出力電圧に重畳されるリップル電圧を極めて小さくすることができる。

また、前記帰還ループ回路部に使用した前記バッファ回路のハイレベルの出力信号の電圧が定電圧になるようにしたため、スイッチングレギュレータのスイッチング動作周波数が入力電圧の影響を受けないようにすることができる。

更に、前記出力電圧に応じて前記帰還ループ回路部の第1帰還抵抗の抵抗値を変化させるようにしたことから、スイッチングレギュレータの動作周波数がほぼ一定になるように制御することができる。

【0027】

また、前記コンパレータのヒステリシス電圧が第1帰還電圧の変化速度と該コンパレータの遅延時間で決まる電圧になるようにしたことから、スイッチングレギュレータの動作周波数を十分高い周波数に設定することができ、より効率を向上させることができる。

更に、前記コンパレータの遅延時間を変えることによってスイッチングレギュレータの動作周波数を変えることができるため、低消費動作モード時には、前記コンパレータのバイアス電流を減らすだけで、該コンパレータの遅延時間が該バイアス電流に比例して長くなり、自動的に前記動作周波数を下げることができる。このため、特別な回路を追加することなく周波数を下げてスイッチングロスの低減を図ることができる。

【発明を実施するための最良の形態】

【0028】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。
第1の実施の形態。

図1は、本発明の第1の実施の形態におけるヒステリシススイッチングレギュレータの回路例を示した図である。

図1のヒステリシススイッチングレギュレータ（以下、スイッチングレギュレータと呼ぶ）1は、入力端子INに入力された入力電圧 V_{in} を外部から入力された出力電圧設定信号 V_{oset} に応じた定電圧に降圧して出力電圧 V_{out} として出力端子OUTから出力する出力電圧可変のスイッチングレギュレータであり、同期整流方式の非絶縁型スイッチングレギュレータをなしている。

【0029】

スイッチングレギュレータ1は、入力電圧 V_{in} の出力制御を行うためのスイッチング動作を行うPMOSトランジスタからなるスイッチングトランジスタM1と、NMOSトランジスタからなる同期整流用トランジスタM2と、インダクタL1と、出力コンデンサCoと、帰還コンデンサCf1と、可変抵抗をなす第1帰還抵抗Rf1と、第2帰還抵抗

10

20

30

40

50

R f 2 と、可変抵抗をなす第 1 分圧抵抗 R 1 と、可変抵抗をなす第 2 分圧抵抗 R 2 とを備えている。また、スイッチングレギュレータ 1 は、設定された電圧の基準電圧 V r e f を生成して出力する基準電圧生成回路 2 と、帰還電圧 V f b と基準電圧 V r e f との電圧比較を行い該比較結果を示す信号 H Y S o を生成して出力するコンパレータ 3 と、バッファ回路 4 と、スイッチングトランジスタ M 1 及び同期整流用トランジスタ M 2 のスイッチング制御を行うための制御信号 P H S 及び N L S を生成して出力する制御回路 5 と、逆流検出コンパレータ 6 と、所定の定電圧 V r e g を生成して出力する定電圧回路 7 とを備えている。

【0030】

なお、同期整流用トランジスタ M 2 は整流素子を、帰還コンデンサ C f 1、第 2 帰還抵抗 R f 2、第 1 分圧抵抗 R 1 及び第 2 分圧抵抗 R 2 は帰還電圧生成回路部を、基準電圧生成回路 2 及びコンパレータ 3 は電圧比較回路部を、制御回路 5 は制御回路部を、バッファ回路 4 及び第 1 帰還抵抗 R f 1 は帰還ループ回路部を、逆流検出コンパレータ 6 は逆流検出回路部をそれぞれなす。また、帰還電圧 V f b は第 1 帰還電圧をなし、第 2 帰還抵抗 R f 2 と第 1 分圧抵抗 R 1 との接続部に帰還する電圧が第 2 帰還電圧をなす。また、スイッチングレギュレータ 1 において、インダクタ L 1 及び出力コンデンサ C 1 を除く各回路を 1 つの I C に集積するようにしてもよく、場合によっては、スイッチングトランジスタ M 1 及び／又は同期整流用トランジスタ M 2、インダクタ L 1 並びに出力コンデンサ C 1 を除く各回路を 1 つの I C に集積するようにしてもよい。

【0031】

入力端子 I N と接地電圧 G N D との間にはスイッチングトランジスタ M 1 と同期整流用トランジスタ M 2 が直列に接続され、スイッチングトランジスタ M 1 と同期整流用トランジスタ M 2 との接続部 L X と、出力端子 O U T との間にインダクタ L 1 が接続されている。出力端子 O U T と接地電圧 G N D との間には、第 2 帰還抵抗 R f 2、第 1 分圧抵抗 R 1 及び第 2 分圧抵抗 R 2 が直列に接続されると共に出力コンデンサ C o が接続されている。第 1 分圧抵抗 R 1 と第 2 分圧抵抗 R 2 との接続部の電圧である帰還電圧 V f b はコンパレータ 3 の反転入力端に入力され、コンパレータ 3 の非反転入力端には基準電圧 V r e f が入力されており、コンパレータ 3 の出力信号 H Y S o は制御回路 5 とバッファ回路 4 の各入力端にそれぞれ入力されている。また、出力電圧 V o u t と帰還電圧 V f b との間には帰還コンデンサ C f 1 が接続されている。

【0032】

また、バッファ回路 4 の出力端と、第 2 帰還抵抗 R f 2 及び第 1 分圧抵抗 R 1 の接続部との間に第 1 帰還抵抗 R f 1 が接続されている。逆流検出コンパレータ 6 の反転入力端は接続部 L X に接続され、逆流検出コンパレータ 6 の非反転入力端は接地電圧 G N D に接続されている。逆電流検出コンパレータ 6 は、接続部 L X の電圧と接地電圧 G N D との電圧比較を行って該比較結果を示す信号 C P O を生成して制御回路 5 に出力し、同期整流用トランジスタ M 2 に接続部 L X から接地電圧 G N D の方向に電流が流れる逆流の発生する兆候の検出を行い、該逆流発生兆候を検出すると所定の信号 C P O を生成して制御回路 5 に出力する。

【0033】

制御回路 5 は、逆流検出コンパレータ 6 からの出力信号 C P O から前記逆流を検出したことを検知すると、逆流検出コンパレータ 6 に対して所定の制御信号 L O C K を出力して、次に同期整流用トランジスタ M 2 がオンするまで逆流検出コンパレータ 6 の動作を停止させる。このようにすることにより、逆流検出コンパレータ 6 の消費電流を削減することができる。また、制御回路 5 は、コンパレータ 3 の出力信号 H Y S o 及び逆流検出コンパレータ 6 の出力信号 C P O に応じて、スイッチングトランジスタ M 1 のゲートに制御信号 P H S を、同期整流用トランジスタ M 2 のゲートに制御信号 N L S をそれぞれ出力し、スイッチングトランジスタ M 1 と同期整流用トランジスタ M 2 のオン／オフ制御を行う。

【0034】

第 1 帰還抵抗 R F 1 及び基準電圧生成回路 2 には、外部から出力電圧設定信号 V o s e

t がそれぞれ入力されており、第 1 帰還抵抗 R_{F1} は、入力された出力電圧設定信号 V_{oset} に応じた抵抗値をなし、基準電圧生成回路 2 は、入力された出力電圧設定信号 V_{oset} に応じた電圧値の基準電圧 V_{ref} を生成して出力する D/A コンバータをなしている。定電圧回路 7 は、所定の定電圧 V_{reg} を生成して基準電圧生成回路 2 及びバッファ回路 4 にそれぞれ出力し、制御回路 5 は、高速動作モードと低消費動作モードの切り換えを行うためのモード切換信号 $MODE$ をコンパレータ 3 及び定電圧回路 7 にそれぞれ出力する。更に、制御回路 5 は、逆流検出コンパレータ 6 の動作を制御するための制御信号 $LOCK$ を生成して出力する。

【0035】

なお、バッファ回路 4 は、デジタル回路で構成されており、従来技術で示したアナログ回路のものとは異なっているため、インバータ回路を 2 段シリーズに接続したような簡単な回路構成で済むことから、低消費電力で高速動作が可能であり、更にコストアップの要因になることはない。

また、第 1 帰還抵抗 R_{f1} の抵抗値を出力電圧設定信号 V_{oset} で変更する方法は既存の技術が使える。例えば、図 2 に示すような回路を使用することができ、図 2 において、第 1 帰還抵抗 R_{f1} を構成する抵抗 $R_{f11} \sim R_{f15}$ を直列接続し、該各抵抗の接続部と抵抗 R_{f15} の他端との間に接続されているスイッチ手段 $SW1 \sim SW4$ を、出力電圧設定信号 V_{oset} で直接オン/オフ制御するか、又はデコーダ 11 で出力電圧設定信号 V_{oset} をデコードした信号でオン/オフ制御することにより、所望の抵抗値を得ることができる。

【0036】

また、前記のように、基準電圧生成回路 2 は D/A コンバータで構成されており、出力電圧設定信号 V_{oset} の設定値に応じて基準電圧 V_{ref} の電圧値を変更することができる。すなわち、基準電圧 V_{ref} を変更することによってスイッチングレギュレータ 1 の出力電圧 V_{out} の電圧値を変えることができる。

一方、定電圧回路 7 は、所定の定電圧 V_{reg} を生成して出力し、定電圧 V_{reg} は基準電圧生成回路 2 とバッファ回路 4 の電源をなしていることから、バッファ回路 4 からのハイレベルの信号 BFO は、定電圧 V_{reg} とほぼ等しい電圧値をなす。

【0037】

このような構成において、図 3 は、図 1 のスイッチングレギュレータ 1 の動作例を示したタイミングチャートであり、図 3 を参照しながら、スイッチングレギュレータ 1 の動作について説明する。

図 3 において、 V_H は帰還電圧 V_{fb} の上限電圧を、 V_L は帰還電圧 V_{fb} の下限電圧をそれぞれ示しており、上限電圧 V_H と下限電圧 V_L との電圧差がヒステリシス電圧である。 V_{OH} はバッファ回路 4 における出力信号 BFO の上限電圧であり、該上限電圧は前記のように定電圧回路 7 の出力電圧 V_{reg} とほぼ同じ電圧値である。 V_{OL} はバッファ回路 4 における出力信号 BFO の下限電圧であり、ほぼ接地電圧 GND と同電圧である。

【0038】

時刻 t_0 で、コンパレータ 3 の出力信号 $HYSO$ の信号レベルが反転してローレベルになると、バッファ回路 4 の出力信号 BFO もローレベルになる。制御回路 5 は、制御信号 PHS をハイレベルにしてスイッチングトランジスタ $M1$ をオフさせて遮断状態にする。なお、図示していないが、このとき、制御信号 NLS もハイレベルになり同期整流用トランジスタ $M2$ はオンして導通状態になる。

同期整流用トランジスタ $M2$ がオンすると、接地電圧 GND からインダクタ $L1$ にインダクタ電流が供給され、時間の経過と共に該インダクタ電流は減少する。インダクタ電流が、出力端子 OUT に接続された負荷 20 に流れる負荷電流未満になり、出力コンデンサ C_o から該負荷電流が供給されると出力電圧 V_{out} が低下する。

【0039】

帰還電圧 V_{fb} は出力電圧 V_{out} の変化を帰還してコンパレータ 3 の反転入力端に伝えている。しかし、コンパレータ 3 の出力信号 $HYSO$ がローレベルになると同時に、バ

10

20

30

40

50

ッファ回路4の出力信号B F oもローレベルになることから、第1帰還抵抗R f 1が第1分圧抵抗R 1と第2分圧抵抗R 2の直列回路に並列に接続された状態になる。このため、帰還電圧V f bを生成する分圧回路の分圧比が変わり、帰還電圧V f bの電圧が低下するが、帰還コンデンサC f 1の影響で帰還電圧V f bは所定の時間をかけて低下する。

【0040】

次に、時刻t 1で、帰還電圧V f bが基準電圧V r e f未満になると、コンパレータ3は出力信号H Y S oの信号レベルを反転させる動作を開始するが、コンパレータ3の出力信号H Y S oがローレベルからハイレベルに切り換わるまでには、コンパレータ3の応答遅れがあるため遅延時間T d 1を要する。このため、コンパレータ3の出力信号H Y S oの信号レベルが反転してハイレベルになるのは、時刻t 2になった時点であり、帰還電圧V f bは、この間も低下し続けていることから、時刻t 2時点では下限電圧V Lまで低下している。

10

【0041】

時刻t 2で、コンパレータ3の出力信号H Y S oとバッファ回路4の出力信号B F oが共にハイレベルになる。なお、バッファ回路4におけるハイレベルの出力信号B F oの電圧は、定電圧回路7からの定電圧V r e gと同じ電圧であることから入力電圧V i nに関係なく一定である。コンパレータ3の出力信号H Y S oがハイレベルになると、制御回路5は、制御信号P H S及びN L Sをそれぞれローレベルにし、スイッチングトランジスタM 1をオンさせると共に同期整流用トランジスタM 2をオフさせる。すると、入力電圧V i nがインダクタL 1に供給され、出力電圧V o u tが上昇する。

20

また、前記帰還電圧生成回路には第1帰還抵抗R f 1を介してバッファ回路4からハイレベルの電圧V r e gが印加されるため、帰還電圧V f bの電圧が上昇する。この際、帰還コンデンサC f 1の影響により、帰還電圧V f bは所定の時間をかけて上昇する。

【0042】

次に、時刻t 3で帰還電圧V f bが基準電圧V r e f以上になると、コンパレータ3は、出力信号H Y S oの信号レベルを反転させる動作を開始するが、コンパレータ3の出力信号H Y S oがハイレベルからローレベルに切り換わるまでには応答遅れがあり、遅延時間T d 2を要する。このため、コンパレータ3の出力信号H Y S oがローレベルになるのは、時刻t 4になった時点となる。帰還電圧V f bはこの間も上昇し続けることから、時刻t 4時点では帰還電圧V f bが上限電圧値V Hまで上昇している。時刻t 4から時刻t 5の動作は、前記した時刻t 0から時刻t 2のときと同じである。

30

【0043】

このように、コンパレータ3の出力端からバッファ回路4及び第1帰還抵抗R f 1を介して帰還ループを設けたため、帰還電圧V f bの変化は該帰還ループによって帰還される帰還量によって決まる。この結果、帰還電圧V f bのD C成分は出力電圧V o u tに比例するが、A C成分は前記帰還ループによって生成されるため、出力電圧V o u tに重畳されるリップル電圧を極めて小さくすることができる。また、電流検出用の抵抗が不要になり、D C成分が帰還されていることから、負荷電流の増加と共に出力電圧V o u tが大きく低下することなくなった。

【0044】

40

次に、スイッチングレギュレータ1の動作周波数について考察する。以下、スイッチングトランジスタM 1がオンしている期間をT o nとし、オフしている期間をT o f fとする。

時刻t 2において、(帰還電圧V f b = 下限電圧V L)という条件から、時刻t 4において(帰還電圧V f b = 上限電圧V H)になるまでの時間T o nを求めると、下記(1)式のようになる。なお以下、第1帰還抵抗R f 1、第2帰還抵抗R f 2、第1分圧抵抗R 1及び第2分圧抵抗R 2の各抵抗値を、それぞれr f 1、r f 2、r 1及びr 2とし、帰還コンデンサC f 1の容量値をc f 1とする。

$$T_{on} = r_1 \times c_{f1} / A \times \ln \{ (-V_L + B / A) / (-V_H + B / A) \} \dots\dots\dots (1)$$

50

ただし、

$$A = (\alpha \times r_2 + \alpha \times r_1 - r_{f1} \times r_{f2} \times r_2) / (\alpha \times r_2)$$

$$B = (r_1 \times r_{f1} \times V_{out} - r_{f2} \times r_1 \times V_{OH}) / \alpha$$

$$\alpha = r_1 \times r_{f1} + r_{f2} \times r_{f1} + r_{f2} \times r_1$$

である。

【0045】

ここで、 $(V_L - V_H) \ll (V_H + B/A)$ であると仮定すると、前記(1)式は更に簡略化でき、下記(2)式のようにになる。

$$T_{on} = r_1 \times c_{f1} / A \times \{ (V_L - V_H) / (-V_H + B/A) \} \dots\dots\dots (2)$$

10

【0046】

同様に、時刻 t_4 における(帰還電圧 V_{fb} =上限電圧 V_H)の条件から、時刻 t_5 における(帰還電圧 V_{fb} =下限電圧 V_L)になるまでの時間 T_{off} を求めると、下記(3)式のようにになる。

$$T_{off} = r_1 \times c_{f1} / A \times \ln \{ (V_H + D/A) / (V_L + D/A) \} \dots\dots\dots (3)$$

ただし、 $D = (-1 \times r_{f1} \times r_1 \times V_{out} - r_{f2} \times r_1 \times V_{OL}) / \alpha$ である。

【0047】

ここで、 $(V_H - V_L) \ll (V_L + D/A)$ であると仮定すると、前記(3)式は更に簡略化することができ、下記(4)式のようにになる。

20

$$T_{off} = r_1 \times c_{f1} / A \times \{ (V_H - V_L) / (V_L + D/A) \} \dots\dots\dots (4)$$

なお、前記計算式では出力電圧 V_{out} に重畳されるリップル電圧については考慮していない。

【0048】

$V_{out} = 0.6V$ 、 $r_{f1} = 60k\Omega$ 、 $r_{f2} = 1k\Omega$ 、 $r_1 = 3M\Omega$ 、 $r_2 = 1M\Omega$ 、 $c_{f1} = 1pF$ 、 $V_{OH} = 2.5V$ 、 $V_{OL} = 0V$ 、 $V_L = 0.15V$ 、 $V_H = 0.152V$ として、前記(2)式及び(4)式からスイッチングレギュレータ1の動作周波数を求めると、およそ $1.5MHz$ になる。

また、前記の式には入力電圧 V_{in} の項がないため、前記動作周波数は入力電圧 V_{in} の影響を受けないが、出力電圧 V_{out} の項があるため出力電圧 V_{out} を変えると周波数が変わることが分かる。

30

このようなことから、出力電圧 V_{out} に応じて、第1帰還抵抗 R_{f1} の抵抗値 r_{f1} を変えることで動作周波数をほぼ一定になるように制御することができる。

【0049】

図4は、動作周波数を $2MHz$ にした場合の第1帰還抵抗 R_{f1} の抵抗値 r_{f1} と出力電圧 V_{out} との関係例を示した図である。

図4において、実線は出力電圧 V_{out} が $0.6V$ 、 $1.2V$ 及び $2.0V$ のときにおける第1帰還抵抗 R_{f1} の抵抗値 r_{f1} をそれぞれ計算してプロットしたものである。ちなみに、出力電圧 V_{out} が $0.6V$ のときの抵抗値 r_{f1} は $33k\Omega$ であり、出力電圧 V_{out} が $1.2V$ のときの抵抗値 r_{f1} は $61k\Omega$ であり、出力電圧 V_{out} が $2.0V$ のときの抵抗値 r_{f1} は $90k\Omega$ である。また、1点鎖線は、出力電圧 V_{out} が $0.6V$ と $2.0V$ における各抵抗値 r_{f1} を直線で結んだものである。図4から、出力電圧 V_{out} の範囲が $0.6V$ から $2.0V$ の範囲であればほぼ直線近似できることが分かる。

40

【0050】

このようなことから、本第1の実施の形態では、図2の説明で述べたように、出力電圧設定信号 V_{set} を使用して第1帰還抵抗 R_{f1} の抵抗値 r_{f1} を変えるようにしている。なお、出力電圧 V_{out} を D/A コンバータでデジタル信号に変え、該デジタル信号を出力電圧設定信号 V_{set} の代わりに使用するようにしてもよいし、アナログ制御を使用し出力電圧 V_{out} に応じて第1帰還抵抗 R_{f1} の抵抗値 r_{f1} が変わるようにして

50

もよい。

【0051】

図5は、高速動作モードから低消費動作モードに移行する際の図1のスイッチングレギュレータ1の動作例を示したタイミングチャートである。

図5において、高速動作モードで動作を行うときはモード切換信号MODEがハイレベルになり、低消費動作モードで動作を行うときはモード切換信号MODEがローレベルになる。

低消費動作モードに移行する手前の高速動作モードでは、スイッチングトランジスタM1のオン時間が次第に短くなる。このため、帰還電圧Vfbは全体に上昇し、下限電圧VLが基準電圧Vrefに近づき、逆に上限電圧VHは基準電圧Vrefよりもかなり大きくなっている。

10

【0052】

時刻t1で、インダクタL1に逆流が発生して接続部LXの電圧が正電圧になると、逆流検出コンパレータ6の出力信号CPOの信号レベルが反転してローレベルになる。すると、制御回路5は、制御信号LOCKを使用して逆流検出コンパレータ6の動作を停止させて出力信号CPOをハイレベルに立ち上げる。更に、制御回路5は、スイッチングトランジスタM1がオンする次のタイミングである時刻t2で、制御信号PHSをローレベルにすると共にモード切換信号MODEをローレベルにする。モード切換信号MODEがローレベルになると、コンパレータ3の回路に供給されるバイアス電流が高速動作モード時の約1/4に減少するため、コンパレータ3の動作遅れもほぼ4倍になる。

20

【0053】

この結果、時刻t3で帰還電圧Vfbが基準電圧Vrefに到達してから、コンパレータ3の出力信号HYSOの信号レベルが反転してローレベルになる時刻t4までの遅延時間Td2Lは、高速動作モード時の遅延時間Td2の約4倍になる。このため、帰還電圧Vfbが下がり始める上限電圧VHLと基準電圧Vrefとの電圧差も、高速動作モード時の上限電圧VHと基準電圧Vrefとの電圧差の約4倍になる。

【0054】

時刻t4で、コンパレータ3の出力信号HYSOがローレベルになると、スイッチングトランジスタM1がオフすると共に同期整流用トランジスタM2がオンして、帰還電圧Vfbが低下する。

30

次に、時刻t5で帰還電圧Vfbが基準電圧Vrefに達すると、遅延時間Td1L後の時刻t6で、コンパレータ3の出力信号HYSOの信号レベルが反転してハイレベルになる。時刻t5から時刻t6までの遅延時間Td1Lも、高速動作モード時の遅延時間Td1の約4倍になっている。

時刻t6で出力信号HYSOの信号レベルがハイレベルになると、スイッチングトランジスタM1がオンしてインダクタL1にエネルギーが蓄えられる。この後の動作は時刻t2からの動作と同じである。

【0055】

前記のように低消費動作モードでは、コンパレータ3の遅延時間が高速動作モードのときよりも約4倍長くなったため、低消費動作モードではスイッチングレギュレータ1の動作周波数も約4倍になり、スイッチング電力も1/4に減少する。また、低消費動作モードでは、帰還電圧Vfbの上限電圧VHLと下限電圧VLLの電圧差も高速動作モードのときよりも約4倍大きくなっている。

40

このように、負荷電流が減少して逆流検出コンパレータ6が逆流を検出すると、制御回路5はコンパレータ3のバイアス電流を1/4に減少させることによって、結果的にスイッチングレギュレータ1の動作周波数を1/4に低下させることができるため、スイッチング電力も1/4に低下させることができ、高速動作モードよりも大幅な電力削減を行うことができる。なお、コンパレータ3におけるバイアス電流の減少は1/4に限ることはなく、機器の電源仕様に合わせて決めるようにすればよい。

【0056】

50

本第1の実施の形態におけるスイッチングレギュレータは、コンパレータ3の出力端からバッファ回路4と第1帰還抵抗 R_{f1} を介して帰還ループを設けたことから、出力電圧 V_{out} の負荷特性を改善することができ、出力電圧 V_{out} に重畳されるリップル電圧を極めて小さくすることができる。

また、前記帰還ループに使用したバッファ回路4におけるハイレベルの出力電圧を定電圧にしたことから、スイッチングレギュレータ1のスイッチング動作周波数が入力電圧 V_{in} の影響を受けないようにすることができる。

【0057】

また、出力電圧 V_{out} に応じて前記帰還ループをなす第1帰還抵抗 R_{f1} の抵抗値を変えるようにしたことから、スイッチングレギュレータ1の動作周波数をほぼ一定にすることができる。

10

更に、ヒステリシス電圧が帰還電圧 V_{fb} の変化速度とコンパレータ3の遅延時間で決まるようにしたことから、スイッチングレギュレータ1の動作周波数を十分高い周波数に設定することができ、より効率の向上を図ることができる。

更に、コンパレータ3の遅延時間を変えることによってスイッチングレギュレータ1の動作周波数を変えることができるようにしたことから、低消費動作モード時には、コンパレータ3のバイアス電流を低減させるだけで、コンパレータ3の遅延時間がバイアス電流に比例して長くなり、自動的にスイッチングレギュレータ1の動作周波数を低下させることができるため、特別な回路を追加することなく周波数を下げてスイッチングロスの低減を図ることができる。

20

【図面の簡単な説明】

【0058】

【図1】本発明の第1の実施の形態におけるスイッチングレギュレータの回路例を示した図である。

【図2】図1の第1帰還抵抗 R_{f1} の回路例を示した図である。

【図3】図1のスイッチングレギュレータ1の動作例を示したタイミングチャートである。

【図4】第1帰還抵抗 R_{f1} の抵抗値 r_{f1} と出力電圧 V_{out} との関係例を示した図である。

【図5】高速動作モードから低消費動作モードに移行する際のスイッチングレギュレータ1の動作例を示したタイミングチャートである。

30

【図6】スイッチングレギュレータの従来例を示した回路図である。

【符号の説明】

【0059】

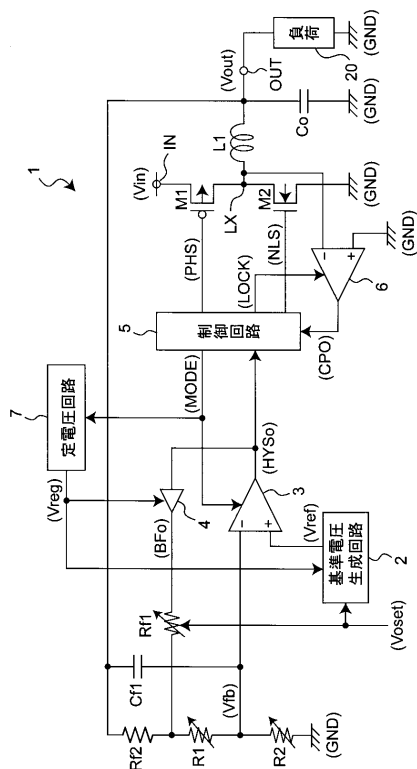
- 1 スwitchングレギュレータ
- 2 基準電圧生成回路
- 3 コンパレータ
- 4 バッファ回路
- 5 制御回路
- 6 逆流検出コンパレータ
- 7 定電圧回路
- 11 デコーダ
- 20 負荷
- M1 スwitchングトランジスタ
- M2 同期整流用トランジスタ
- L1 インダクタ
- R_{f1} 第1帰還抵抗
- R_{f2} 第2帰還抵抗
- R1 第1分圧抵抗
- R2 第2分圧抵抗

40

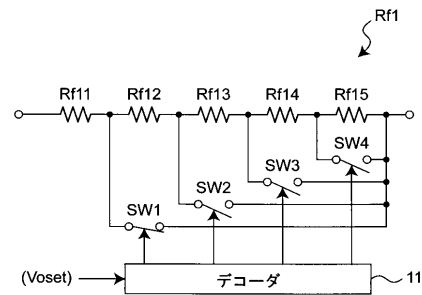
50

C f 1 帰還コンデンサ
 C o 出力コンデンサ
 R f 1 1 ~ R f 1 5 抵抗
 S W 1 ~ S W 4 スイッチ手段

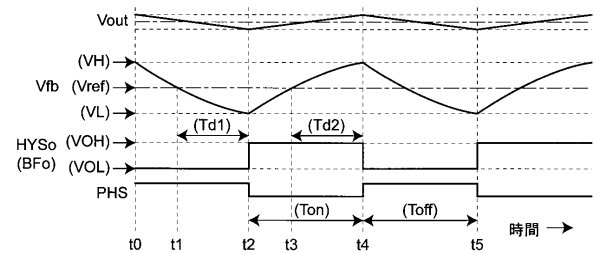
【図 1】



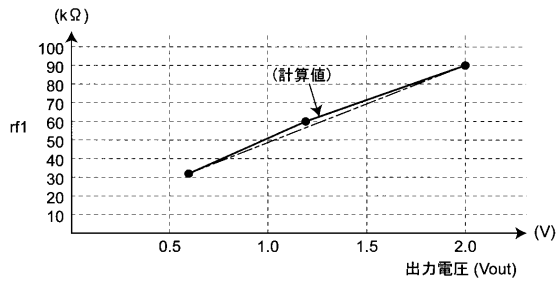
【図 2】



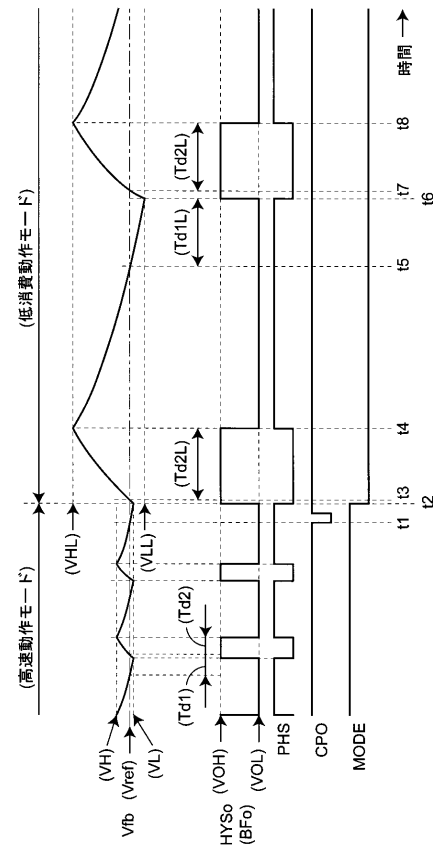
【図 3】



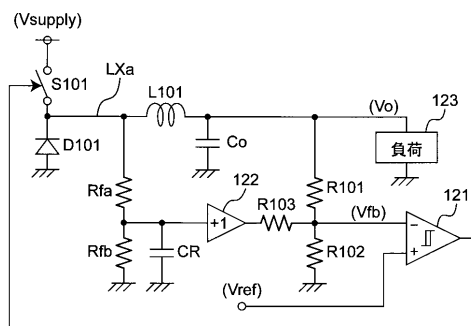
【図 4】



【図 5】



【図 6】



フロントページの続き

(56)参考文献 特開2006-254587 (JP, A)
特開2010-252627 (JP, A)
特開2007-159395 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H02M 3/155