(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 112306938 B
(45)授权公告日 2023.01.10

(21)申请号 202011163728.8
(22)申请日 2020.10.27
(65)同一申请的已公布的文献号
申请公布号 CN 112306938 A
(43)申请公布日 2021.02.02
(73)专利权人 苏州浪潮智能科技有限公司
地址 215124 江苏省苏州市吴中经济开发区郭巷街道官浦路1号9幢
(72)发明人 邓文博
(74)专利代理机构 北京权智天下知识产权代理事务所(普通合伙) 11638
专利代理师 王新爱
(51)Int.Cl.
G06F 13/40(2006.01)

审查员 任洪潮

权利要求书2页 说明书4页 附图5页

(54)发明名称

一种OCP卡和多主机卡的热插拔方法及装置

(57)摘要

本发明公开了一种OCP卡和多主机卡的热插拔方法及装置，方法包括：第一步，定义主板与riser卡信号地址，CPLD检测服务器中装入的riser卡类型；第二步，CPLD根据riser卡类型将9555芯片中含有的ARRD0地址进行动态配置；第三步，若扩展板卡触发热插拔动作，则9555芯片将ARRD0地址以及9555芯片中IO寄存器对应的热插拔状态信息传递至CPU；第四步，CPU根据ARRD0地址和9555芯片中IO寄存器判断发生热插拔动作为哪路PCIE链路；第五步，CPU处理热插拔动作。本发明能够利用riser卡ID判断OCP卡类型，进而动态配置9555芯片地址来实现热插拔功能。



CN 112306938 B

1.一种OCP卡和多主机卡的热插拔方法,其特征在于,包括:第一步,定义扩展卡信号地址,可编程逻辑器件检测服务器中装入的扩展卡类型;第二步,可编程逻辑器件根据扩展卡类型将IO扩展芯片中的寄存器地址进行动态配置;第三步,若扩展板卡触发热插拔动作,则IO扩展芯片将寄存器地址以及IO扩展芯片中IO寄存器对应的热插拔状态信息传递至CPU;第四步,CPU根据寄存器地址和IO扩展芯片中IO寄存器判断哪路PCIE链路发生热插拔动作;第五步,CPU处理对应的PCIE链路热插拔动作;

所述扩展卡中设有PCIE接口、电源接口以及OCP连接器;所述CPU通过VPP信号线连接所述IO扩展芯片;所述IO扩展芯片中ADDR0管脚连接所述可编程逻辑器件;所述IO扩展芯片中ADDR1管脚与ADDR2管脚接地;所述可编程逻辑器件连接所述扩展卡;所述可编程逻辑器件传输第一信号与第二信号至所述扩展卡。

2.根据权利要求1所述的一种OCP卡和多主机卡的热插拔方法,其特征在于:所述扩展卡包括支持OCP扩展卡和支持多主机扩展卡;所述IO扩展芯片为9555芯片。

3.根据权利要求2所述的一种OCP卡和多主机卡的热插拔方法,其特征在于:所述第一步中,所述定义扩展卡信号地址包括定义可编程逻辑器件和扩展卡互联的两个空余边带信号为第一信号与第二信号,所述第一信号与第二信号上拉,当扩展卡为支持OCP扩展卡时,所述第一信号与第二信号接地,所述第一信号与第二信号地址为低电平;当扩展卡为支持多主机扩展卡时,所述第一信号接地,地址为低电平;所述第二信号悬空,地址为高电平。

4.根据权利要求3所述的一种OCP卡和多主机卡的热插拔方法,其特征在于:所述第一步中,所述可编程逻辑器件检测服务器中装入的扩展板卡类型包括:当可编程逻辑器件检测到扩展卡第一信号与第二信号为低电平时,当前装入的扩展卡为支持OCP扩展卡;当可编程逻辑器件检测到第一信号为低电平且第二信号为高电平时,当前装入的扩展卡为支持多主机扩展卡。

5.根据权利要求1所述的一种OCP卡和多主机卡的热插拔方法,其特征在于:所述第二步中,所述可编程逻辑器件根据扩展卡类型将IO扩展芯片中含有的寄存器地址进行动态配置包括若装入的扩展卡支持多主机卡,则将IO扩展芯片的寄存器地址拉高,将IO扩展芯片寄存器地址配置为1;若装入的扩展卡类型支持OCP卡,则将IO扩展芯片的寄存器地址拉低,将IO扩展芯片的寄存器地址配置为0。

6.一种OCP卡和多主机卡的热插拔装置,其特征在于,包括:CPU、IO扩展芯片、riser卡、CPLD;所述riser卡中设有PCIE接口,电源接口以及OCP连接器;所述CPU通过VPP信号线连接所述IO扩展芯片;所述IO扩展芯片中ADDR0管脚连接所述CPLD;所述IO扩展芯片中ADDR1管脚与ADDR2管脚接地;所述CPLD连接所述riser卡;所述CPLD传输ID0与ID1信号至所述riser卡。

7.根据权利要求6所述的一种OCP卡和多主机卡的热插拔装置,其特征在于:所述riser卡包括支持标准OCP的扩展卡与支持multihost的扩展卡。

8.根据权利要求6所述的一种OCP卡和多主机卡的热插拔装置,其特征在于:所述IO扩展芯片为9555芯片。

9.根据权利要求6所述的一种OCP卡和多主机卡的热插拔装置,其特征在于:当riser卡为支持标准OCP扩展卡时,riser卡中ID0信号为0,ID1信号为0;IO扩展芯片中00至07管脚为port0;CPLD控制ADDR0管脚为低电平。

10.根据权利要求6所述的一种OCP卡和多主机卡的热插拔装置,其特征在于:当riser卡为支持multihost扩展卡时,riser卡中ID0信号为0,ID1信号为1;IO扩展芯片中00至07管脚为port1,10至17管脚为port2;CPLD控制ADDR0管脚为高电平。

一种OCP卡和多主机卡的热插拔方法及装置

技术领域

[0001] 本发明涉及服务器系统设计领域,特别是涉及一种OCP卡和多主机卡的热插拔方法及装置。

背景技术

[0002] OCP开放计算项目(Open Compute Project),是由Facebook在2011年发起的组织,其目的就是为了实现开源和开放。

[0003] 4路服务器作为一款安全可靠且配置灵活的通用服务器,为了满足不同应用场景以及冗余策略需要同时支持双OCP标卡或双OCP multihost卡,且为了在OCP卡出现问题时能够不关机直接替换,OCP标卡和OCP multihost卡均需要支持热插拔功能。OCP卡热插拔需要遵从intel的PCIE设备热插拔流程,挂接OCP卡的CPU通过VPP总线连接IO expander芯片(9555),然后通过读取9555芯片的寄存器来控制其IO接口,进而实现OCP卡的在位、供电使能、状态LED等信息的交互。双OCP标卡和双OCP multihost卡配置分别对应不同的应用场景,两种配置不存在混插情况。

[0004] 见图1,当支持双OCP标卡时,两个OCP卡的X16 PCIE信号分别来自于CPU0/1的port0接口,并通过Riser转接卡连接到OCP标卡。

[0005] 见图2,当支持双multihost卡时,每个multihost卡的pcie信号分别来自4个CPU,带宽为X4。在两种配置下CPU0/1需要支持3个PCIE port的热插拔功能,而9555芯片的IO分为IO_0和IO_1两组,每组包含8个IO,可用于控制一个PCIE port的热插拔动作。

[0006] 见图3,在现有方案设计中,CPU0/1各采用两组9555芯片,其中9555_0的IO_0用于控制OCP标卡的热插拔,9555_1的IO_0用于控制multihost卡0的热插拔,9555_1的IO_1组控制multihost卡1的热插拔,由于每个CPU只有一组VPP信号,因此为了准确控制两个9555芯片,每个9555需采用不同的地址,9555_0的地址为000,9555_1的地址为001。CPU1的热插拔控制方案同CPU0,CPU2/3只需控制两个multihost卡的热插拔,只需外接1个9555芯片即可。

[0007] 现有方法可以实现双OCP卡和双multihost卡的热插拔控制,但CPU0/1会用到多颗9555芯片,由于4路服务器主板器件较多,布局空间有限,使用多颗9555芯片存在无法摆放的风险,另外也增加了项目的开发成本。

发明内容

[0008] 本发明主要解决的技术问题是提供一种OCP卡和多主机卡的热插拔方法及装置,能够利用riser卡ID地址来判定当前支持的OCP卡类型,进而动态配置9555地址来实现双OCP卡或双multihost卡的热插拔功能。

[0009] 为解决上述技术问题,本发明采用的一个技术方案是:提供一种OCP卡和多主机卡的热插拔方法,包括:第一步,定义扩展卡信号地址,可编程逻辑器件检测服务器中装入的扩展卡类型;第二步,可编程逻辑器件根据扩展卡类型将IO扩展芯片中的寄存器地址进行动态配置;第三步,若扩展板卡触发热插拔动作,则IO扩展芯片将寄存器地址以及IO扩展芯

片中IO寄存器对应的热插拔状态信息传递至CPU;第四步,CPU根据寄存器地址和IO扩展芯片中IO寄存器判断哪路PCIE链路发生热插拔动作;第五步,CPU处理对应的PCIE链路热插拔动作。

[0010] 进一步,所述扩展卡包括支持OCP扩展卡和支持多主机扩展卡;所述IO扩展芯片为9555芯片。

[0011] 进一步,所述第一步中,所述定义扩展卡信号地址包括定义可编程逻辑器件和扩展卡互联的两个空余边带信号为第一信号与第二信号,所述第一信号与第二信号上拉,当扩展卡为支持OCP扩展卡时,所述第一信号与第二信号接地,所述第一信号与第二信号地址为低电平;当扩展卡为支持多主机扩展卡时,所述第一信号接地,地址为低电平;所述第二信号悬空,地址为高电平。

[0012] 进一步,所述第一步中,所述可编程逻辑器件检测服务器中装入的扩展板卡类型包括:当可编程逻辑器件检测到扩展卡第一信号与第二信号为低电平时,当前装入的扩展卡为支持OCP扩展卡;当可编程逻辑器件检测到第一信号为低电平且第二信号为高电平时,当前装入的扩展卡为支持多主机扩展卡。

[0013] 进一步,所述第二步中,所述可编程逻辑器件根据扩展卡类型将IO扩展芯片中含有的寄存器地址进行动态配置包括若装入的扩展卡支持多主机卡,则将IO扩展芯片的寄存器地址拉高,将IO扩展芯片寄存器地址配置为1;若装入的扩展卡类型支持OCP卡,则将IO扩展芯片的寄存器地址拉低,将IO扩展芯片的寄存器地址配置为0。

[0014] 一种OCP卡和多主机卡的热插拔装置,包括:CPU、IO扩展芯片、riser卡、CPLD;所述riser卡中设有PCIE接口,电源接口以及OCP连接器;所述CPU通过VPP信号线连接所述IO扩展芯片;所述IO扩展芯片中ADDR0管脚连接所述CPLD;所述IO扩展芯片中ADDR1管脚与ADDR2管脚接地;所述CPLD连接所述riser卡;所述CPLD传输ID0与ID1信号至所述riser卡。

[0015] 进一步,所述riser卡包括支持OCP的扩展卡与支持multihost的扩展卡。

[0016] 进一步,所述IO扩展芯片为9555芯片。

[0017] 进一步,当riser卡为支持OCP扩展卡时,riser卡中ID0信号为0,ID1信号为0;IO扩展芯片中00至07管脚为port0;CPLD控制ADDR0管脚为低电平。

[0018] 进一步,当riser卡为支持multihost扩展卡时,riser卡中ID0信号为0,ID1信号为1;IO扩展芯片中00至07管脚为port1,10至17管脚为port2;CPLD控制ADDR0管脚为高电平。

[0019] 本发明的有益效果是:本发明减少了服务器中9555芯片的使用,从而节省了服务器当中的空间,并且减少了项目开发成本。

附图说明

[0020] 图1是支持双OCP标卡的PCIE互联拓扑图;

[0021] 图2是支持双OCP multihost卡的PCIE互联拓扑图;

[0022] 图3现有设计支持双OCP标卡和双multihost卡的热插拔图;

[0023] 图4是本发明一种OCP卡和多主机卡的热插拔方法一较佳实施例的流程图;

[0024] 图5是本发明一种OCP卡和多主机卡的热插拔方法中9555芯片中ADDR0地址动态配置表;

[0025] 图6是本发明一种OCP卡和多主机卡的热插拔装置架构图;

[0026] 图7是本发明一种OCP卡和多主机卡的热插拔装置中支持标准OCP卡的热插拔装置架构图；

[0027] 图8是本发明一种OCP卡和多主机卡的热插拔装置中支持multihost卡的热插拔装置图。

具体实施方式

[0028] 下面结合附图对本发明的较佳实施例进行详细阐述，以使本发明的优点和特征能更易于被本领域技术人员理解，从而对本发明的保护范围做出更为清楚明确的界定。

[0029] 请参阅图4至图8，本发明实施例包括：

[0030] 见图4，一种OCP卡和多主机卡的热插拔方法，包括：第一步，定义主板与riser卡信号地址，CPLD检测服务器中装入的riser卡类型；第二步，CPLD根据riser卡类型将9555芯片中含有的ARRD0地址进行动态配置；第三步，若扩展板卡触发热插拔动作，则9555芯片将ARRD0地址以及9555芯片中IO寄存器对应的热插拔状态信息传递至CPU；第四步，CPU根据ARRD0地址和9555芯片中IO寄存器判断发生热插拔动作为哪路PCIE链路，第五步，CPU处理对应的PCIE链路热插拔动作。

[0031] 见图5，所述第一步中，所述定义主板与riser卡信号地址包括：

[0032] 定义CPLD和riser卡互联的两个空余边带信号为ID0与ID1，CPLD端两个信号做上拉处理，标准OCP riser卡中ID0与ID1做接地处理，地址为低电平00；支持multihost的riser卡中ID1做接地处理，地址为低电平0；ID0做悬空处理，地址为高电平1。

[0033] 所述CPLD检测服务器中装入的扩展板卡类型包括：

[0034] 第一种，CPLD侦测到riser ID[1:0]＝00，判断当前装入的riser卡类型支持标准OCP卡；

[0035] 第二种，CPLD侦测到riser ID[1:0]＝01，判断当前装入的riser卡类型支持multihost卡。

[0036] 所述第二步中，所述CPLD根据riser卡类型将9555芯片中含有的ARRD0地址进行动态配置包括若装入的riser卡类型支持multihost卡，则将9555芯片的ADDR0地址做拉高处理，从而将9555芯片ADDR0地址配置为001；若装入的riser卡类型支持标准OCP卡，则将9555芯片的ADDR0地址做拉低处理，从而将9555芯片的ARRD0地址配置为000。

[0037] 所述multihost卡为多主机卡。

[0038] 所述第三步中，当标准OCP卡触发热插拔动作时，9555芯片会将地址000以及IO寄存器对应热插拔状态信息传递至CPU0，CPU0根据地址000判定为port0的PCIE链路发生了热插拔事件，进而处理port0对应的热插拔动作；

[0039] 当multihost卡触发热插拔动作时，9555芯片会将地址001以及IO寄存器对应的热插拔状态信息传递至CPU0，CPU0根据地址001和IO寄存器判定为port1的PCIE链路发生了热插拔事件，进而处理port1对应的热插拔动作；

[0040] 见图6，基于与前述实施例中一种OCP卡和多主机卡的热插拔方法同样的发明构思，本说明书实施例还提供一种OCP卡和多主机卡的热插拔装置，包括：CPU、9555芯片、riser卡、CPLD；所述riser卡中设有PCIE接口，电源接口以及OCP连接器；所述CPU通过VPP信号线连接所述9555芯片；所述9555芯片中ADDR0管脚连接所述CPLD；所述9555芯片中ADDR1

管脚与ADDR2管脚接地;所述CPLD连接所述riser卡;所述CPLD传输ID0与ID1信号至所述riser卡。

[0041] 所述riser卡包括支持标准OCP的扩展卡与支持multihost的扩展卡。

[0042] 见图7,当riser卡为支持标准OCP卡时,riser卡ID信号为00;9555芯片中00-07管脚为port0;CPLD控制ADDR0管脚为低电平。

[0043] 见图8,当riser卡为支持multihost卡时,riser卡ID信号为01;9555芯片中00-07管脚为port1,10-17管脚为port2;CPLD控制ADDR0管脚为高电平。

[0044] 以上所述仅为本发明的实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

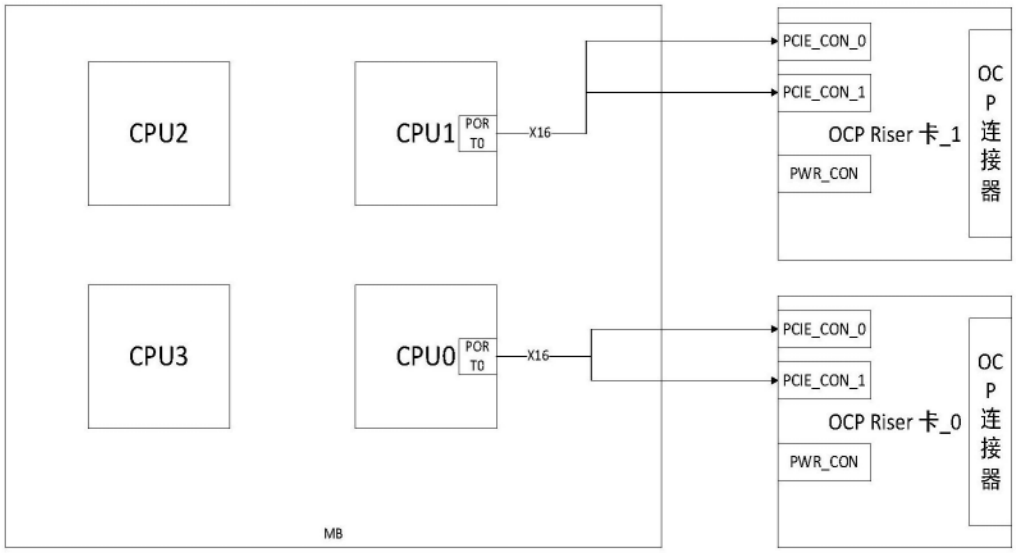
CPU2
CPU1
POR T0
X16
CPU3
CPU0
POR T0
X16
MB
PCIE_CON_0
PCIE_CON_1
OCP Riser 卡_1
PWR_CON
OCP 连接器
PCIE_CON_0
PCIE_CON_1
OCP Riser 卡_0
PWR_CON
OCP 连接器

图1

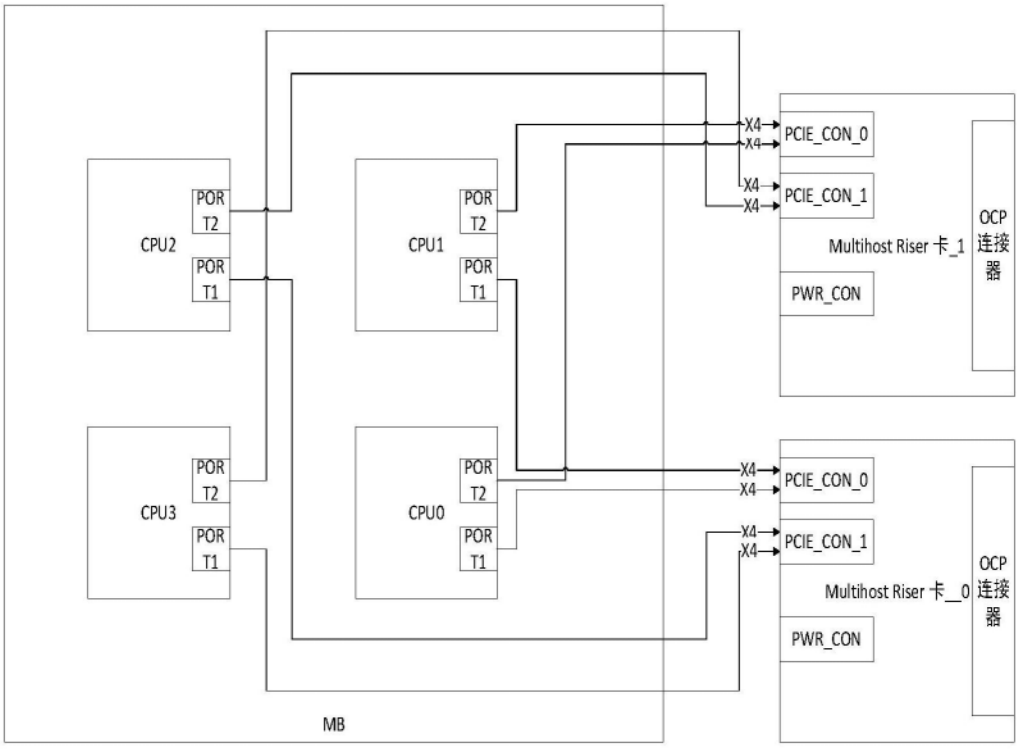
CPU2
POR T2
POR T1
CPU1
POR T2
POR T1
CPU3
POR T2
POR T1
CPU0
POR T2
POR T1
MB
X4
X4
X4
X4
PCIE_CON_0
PCIE_CON_1
Multihost Riser 卡_1
PWR_CON
OCP 连接器
X4
X4
X4
X4
PCIE_CON_0
PCIE_CON_1
Multihost Riser 卡__0
PWR_CON
OCP 连接器

图2

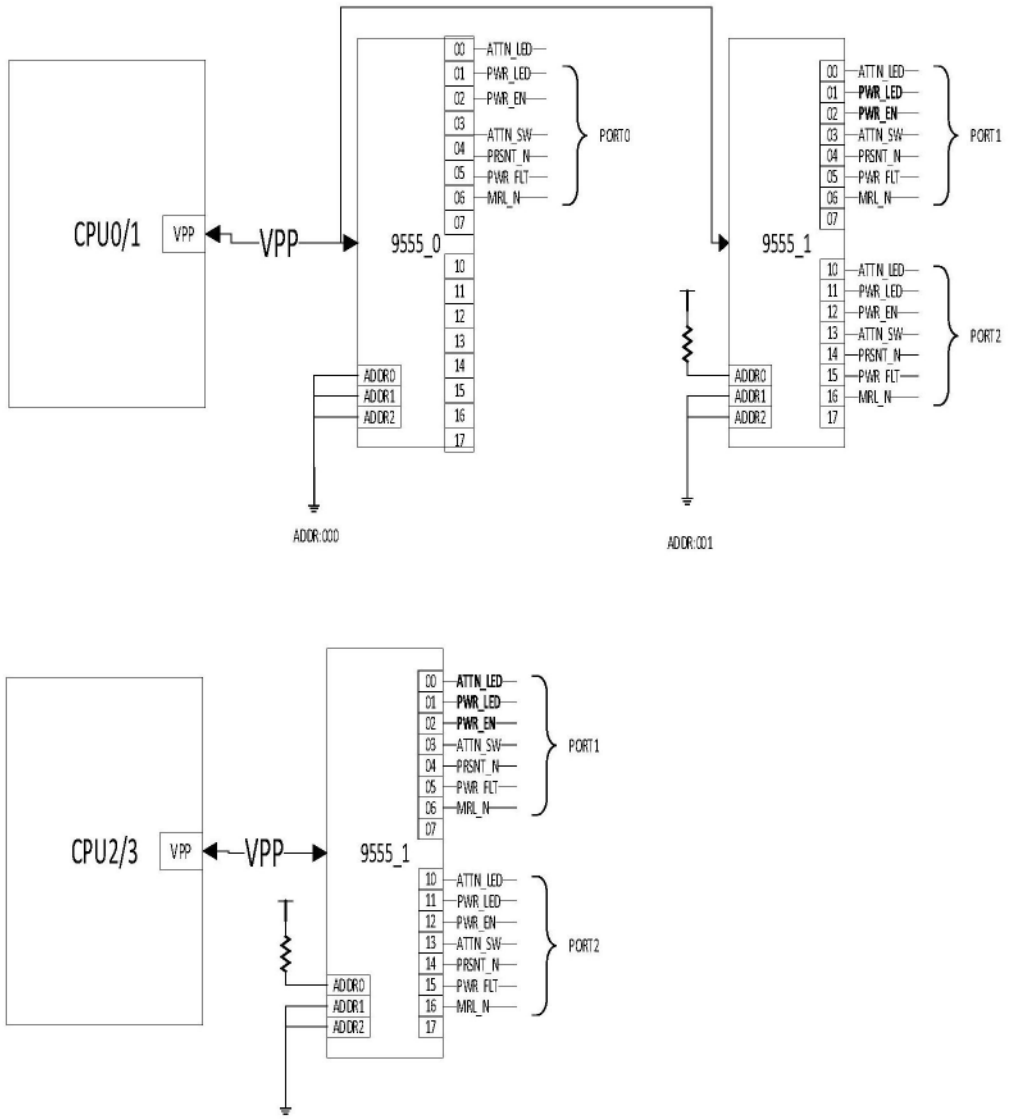
CPU0/1
VPP
VPP
9555_0
9555_1
00 ATTN_LED
01 PWR_LED
02 PWR_EN
03 ATTN_SW
04 PRSNT_N
05 PWR_FLT
06 MRL_N
07
10
11
12
13
14
15
16
17
PORT0
PORT1
PORT2
ADDR0
ADDR1
ADDR2
ADDR:000
ADDR:001
CPU2/3
VPP
VPP
9555_1
ADDR0
ADDR1
ADDR2
PORT1
PORT2

图3

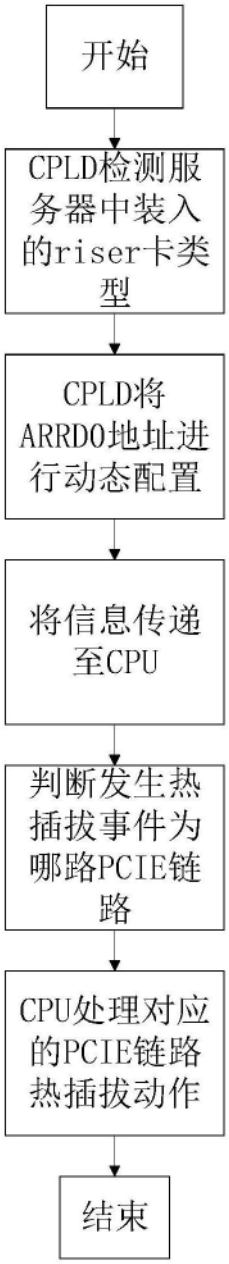

图4

Riser 类型	Riser ID	ADDR0	9555 地址
OCP 标卡	00	0	000
Multihost	01	1	001

图5

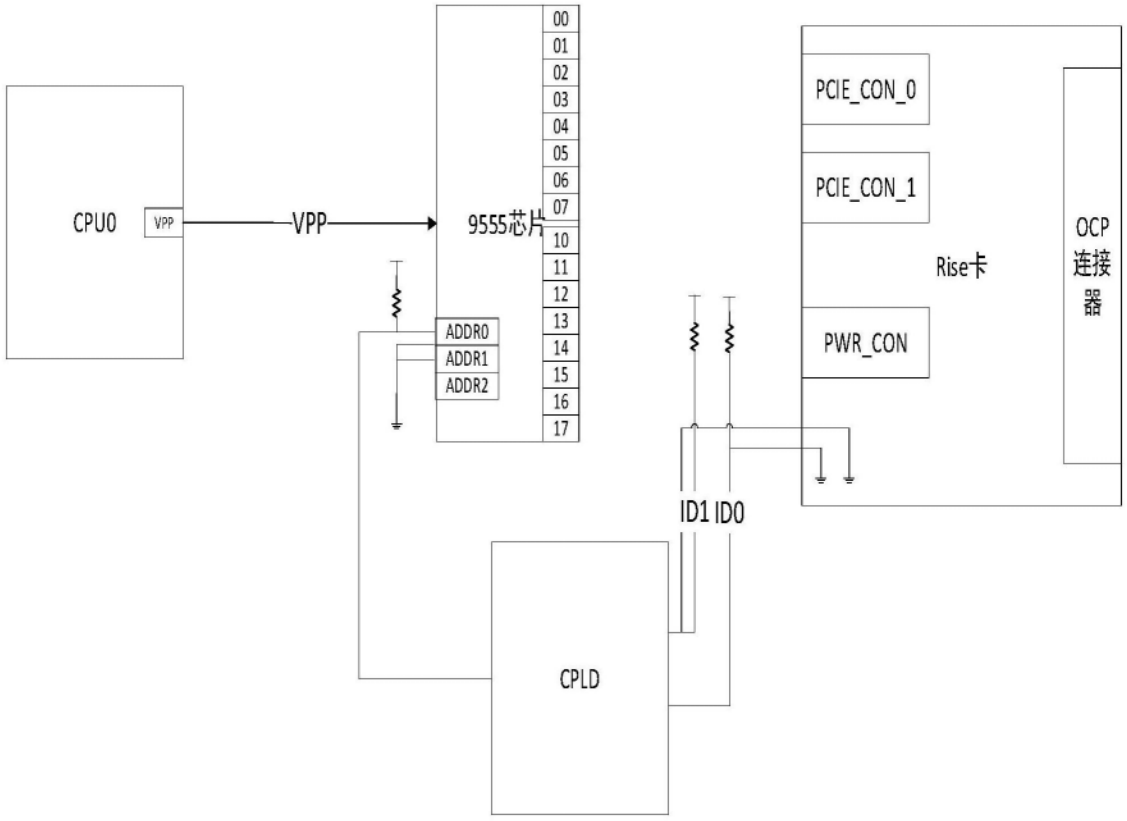
CPU0
VPP
VPP
9555芯片
00
01
02
03
04
05
06
07
10
11
12
13
14
15
16
17
ADDR0
ADDR1
ADDR2
PCIE_CON_0
PCIE_CON_1
Rise卡
PWR_CON
OCP
连接
器
ID1 ID0
CPLD

图6

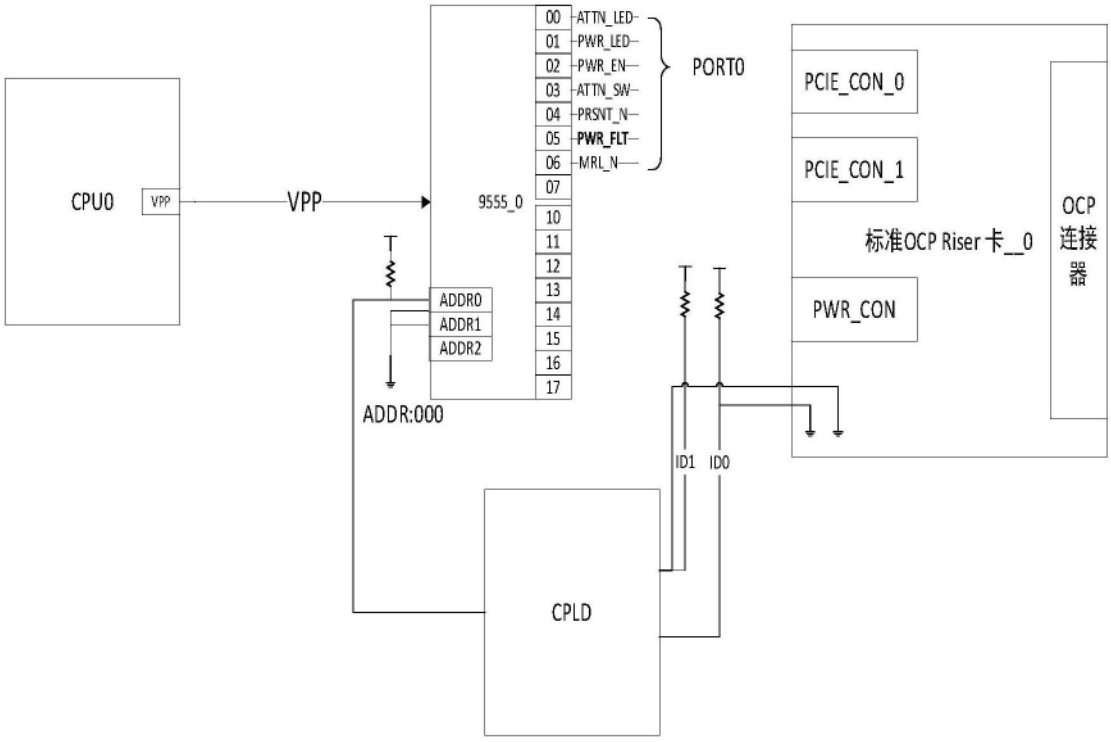
CPU0
VPP
VPP
9555_0
00
01
02
03
04
05
06
07
10
11
12
13
14
15
16
17
ATTN_LED
PWR_LED
PWR_EN
ATTN_SW
PRSNT_N
PWR_FLT
MRL_N
PORT0
ADDR0
ADDR1
ADDR2
ADDR:000
PCIE_CON_0
PCIE_CON_1
标准OCP Riser卡__0
PWR_CON
OCP
连接
器
ID1 ID0
CPLD

图7

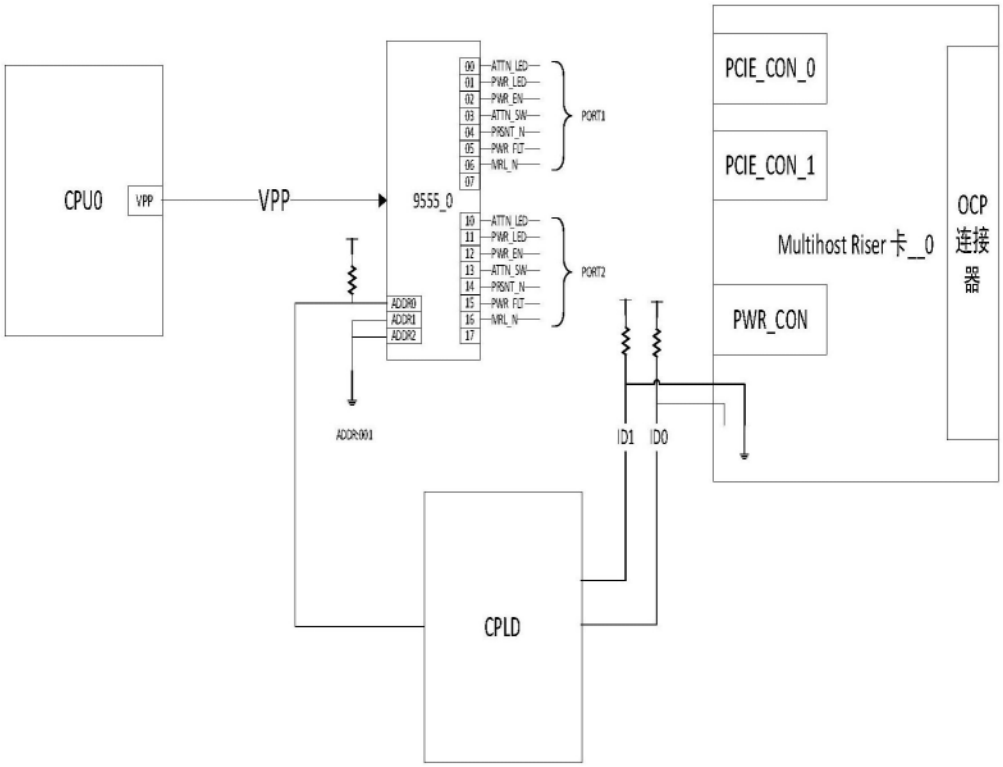
CPU0
VPP
VPP
9555_0
00 ATTN_LED
01 PWR_LED
02 PWR_EN
03 ATTN_SW
04 PRSNT_N
05 PWR_FLT
06 MRL_N
07
PORT1
10 ATTN_LED
11 PWR_LED
12 PWR_EN
13 ATTN_SW
14 PRSNT_N
15 PWR_FLT
16 MRL_N
17
PORT2
ADDR0
ADDR1
ADDR2
ADDR:001
ID1
ID0
CPLD
PCIE_CON_0
PCIE_CON_1
Multihost Riser卡_0
PWR_CON
OCP
连接
器

图8