

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-163709

(P2017-163709A)

(43) 公開日 平成29年9月14日(2017.9.14)

(51) Int.Cl.
H02M 7/48 (2007.01)F1
H02M 7/48テーマコード(参考)
5H770

審査請求 未請求 請求項の数 3 O L (全 19 頁)

(21) 出願番号 特願2016-46175 (P2016-46175)
(22) 出願日 平成28年3月9日(2016.3.9)(71) 出願人 000003609
株式会社豊田中央研究所
愛知県長久手市横道41番地の1
(71) 出願人 000003207
トヨタ自動車株式会社
愛知県豊田市トヨタ町1番地
(74) 代理人 110000110
特許業務法人快友国際特許事務所
(72) 発明者 野村 勝也
愛知県長久手市横道41番地の1 株式会
社豊田中央研究所内
(72) 発明者 小島 崇
愛知県長久手市横道41番地の1 株式会
社豊田中央研究所内

最終頁に続く

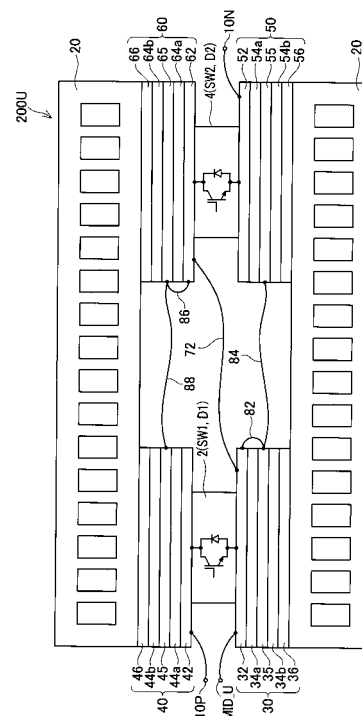
(54) 【発明の名称】 三相インバータ及び三相インバータ用の半導体モジュール

(57) 【要約】

【課題】製造が容易な構成を有するとともに、三相インバータの等価ブリッジ回路の平衡条件を満たすことができる半導体モジュールを提供する。

【解決手段】半導体モジュール200Uは、高電圧側絶縁基板30、40及び低電圧側絶縁基板50、60を備える。高電圧側絶縁基板30、40は、第1高電圧側絶縁体層34a、44aと第2高電圧側絶縁体層34b、44bの間に設けられている高電圧側中間導体層35、45を有する。低電圧側絶縁基板50、60は、第1低電圧側絶縁体層54a、64aと第2低電圧側絶縁体層54b、64bの間に設けられている低電圧側中間導体層55、65を有する。高電圧側中間導体層35、45及び低電圧側中間導体層55、65が、高電圧側スイッチング素子SW1と低電圧側スイッチング素子SW2の midpoint MID_Uに接続するように構成されている。

【選択図】図11



【特許請求の範囲】

【請求項 1】

三相インバータであって、
冷却器と、
前記冷却器で冷却して用いられるとともに、U相、V相及びW相を構成する半導体モジュールと、
高電圧端子と、
低電圧端子と、を備えており、
前記半導体モジュールは、各相において、
前記高電圧端子に接続する高電圧側スイッチング素子と、
前記低電圧端子に接続する低電圧側スイッチング素子と、
前記高電圧側スイッチング素子と前記冷却器の間に設けられる高電圧側絶縁基板と、
前記低電圧側スイッチング素子と前記冷却器の間に設けられる低電圧側絶縁基板と、
を有しており、
前記高電圧側スイッチング素子と前記低電圧側スイッチング素子は、前記高電圧端子と前記低電圧端子の間に直列に接続されており、
前記高電圧側絶縁基板は、
前記高電圧側スイッチング素子側に配置されている第1高電圧側絶縁体層と、
前記冷却器側に配置されている第2高電圧側絶縁体層と、
前記第1高電圧側絶縁体層と前記第2高電圧側絶縁体層の間に設けられている高電圧側中間導体層と、を含み、
前記低電圧側絶縁基板は、
前記低電圧側スイッチング素子側に配置されている第1低電圧側絶縁体層と、
前記冷却器側に配置されている第2低電圧側絶縁体層と、
前記第1低電圧側絶縁体層と前記第2低電圧側絶縁体層の間に設けられている低電圧側中間導体層と、を含み、
前記高電圧側中間導体層及び前記低電圧側中間導体層が、前記高電圧側スイッチング素子と前記低電圧側スイッチング素子の中点に接続するように構成されている、三相インバータ。

【請求項 2】

前記高電圧側絶縁基板は、各相間において共通形態であり、
前記低電圧側絶縁基板は、各相間において共通形態である、請求項 1 に記載の三相インバータ。

【請求項 3】

冷却器で冷却して用いられる三相インバータ用の半導体モジュールであって、
前記三相インバータの高電圧端子に接続する高電圧側スイッチング素子と、
前記三相インバータの低電圧端子に接続する低電圧側スイッチング素子と、
前記高電圧側スイッチング素子と前記冷却器の間に設けられる高電圧側絶縁基板と、
前記低電圧側スイッチング素子と前記冷却器の間に設けられる低電圧側絶縁基板と、を備えており、
前記高電圧側スイッチング素子と前記低電圧側スイッチング素子は、前記高電圧端子と前記低電圧端子の間に直列に接続されるように構成されており、
前記高電圧側絶縁基板は、
前記高電圧側スイッチング素子側に配置されている第1高電圧側絶縁体層と、
前記冷却器側に配置されている第2高電圧側絶縁体層と、
前記第1高電圧側絶縁体層と前記第2高電圧側絶縁体層の間に設けられている高電圧側中間導体層と、を有しており、
前記低電圧側絶縁基板は、
前記低電圧側スイッチング素子側に配置されている第1低電圧側絶縁体層と、
前記冷却器側に配置されている第2低電圧側絶縁体層と、

前記第 1 低電圧側絶縁体層と前記第 2 低電圧側絶縁体層の間に設けられている低電圧側中間導体層と、を有しており、

前記高電圧側中間導体層及び前記低電圧側中間導体層が、前記高電圧側スイッチング素子と前記低電圧側スイッチング素子の中点に接続するように構成されている、半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する技術は、三相インバータ及び三相インバータ用の半導体モジュールに関する。

【背景技術】

【0002】

例えば電気自動車は、直流電源の直流電力を走行用のモータを駆動するための交流電力に変換する三相インバータを備える。このような三相インバータは、冷却器及び半導体モジュールを備えており、半導体モジュール内のスイッチング素子で発生する熱を冷却器に効率的に伝熱するように構成されている。これにより、三相インバータは、半導体モジュール内のスイッチング素子が高温になることを抑制し、スイッチング素子の安定動作を実現する。

【0003】

三相インバータ用の半導体モジュールは、スイッチング素子と冷却器を電氣的に絶縁するために、スイッチング素子と冷却器の間に設けられる絶縁基板を有する。絶縁基板は、高周波ノイズに対してコンデンサとして機能する。このため、スイッチング素子と冷却器の間に浮遊容量が形成される。

【0004】

スイッチング素子は、電力変換するときに高速でスイッチングする。このため、スイッチング素子は、高周波ノイズの発生源となる。これにより、スイッチング素子がスイッチングするときに発生する高周波ノイズは、スイッチング素子から絶縁基板を介して冷却器に流れるコモンモード電流を生成する。

【0005】

特許文献 1 は、三相インバータが動作したときに、三相インバータを構成する回路が等価的にブリッジ回路になることを見出し、その等価ブリッジ回路の平衡条件を満たすようにすることでコモンモード電流を抑える技術を開示する。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2009-273272 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1 は、等価ブリッジ回路の平衡条件を満たすために、半導体モジュール内にあって、高電圧側スイッチング素子と冷却器の間の絶縁基板に存在する浮遊容量と低電圧側スイッチング素子と冷却器の間の絶縁基板に存在する浮遊容量の間で容量比を調整する技術を開示する。特許文献 1 の技術では、そのような容量比を 100 倍以上にする必要があり、そのためには、絶縁基板間で厚み及び／又は材料を異ならせる必要がある。しかしながら、そのような設計は、以下の理由により容易なことではない。絶縁基板は、高電圧に耐えるための絶縁性能を保つ必要がある。絶縁基板の絶縁性能は厚みに比例するため、絶縁基板の厚みを 100 分の 1 に薄くすると、絶縁基板の絶縁性能を保つことが難しい。また、絶縁基板は、冷却器の冷却性能を阻害しないように低い熱抵抗である必要がある。絶縁基板の熱抵抗は厚みに比例するため、絶縁基板の厚みを 100 倍にすると、冷却器の冷却性能が阻害される。また、絶縁基板の材料は、絶縁性能、低熱抵抗及び機械的強度等を

10

20

30

40

50

考慮すると、使用できる種類が限定される。このため、絶縁基板間で誘電率が100倍も異なる材料を使用することは、現実的に不可能である。本明細書は、製造が容易な構成の半導体モジュールを有するとともに、等価ブリッジ回路の平衡条件を満たすことができる三相インバータを提供する。また、本明細書は、そのような三相インバータ用の半導体モジュールを提供する。

【課題を解決するための手段】

【0008】

本明細書で開示する三相インバータの一実施形態は、冷却器、冷却器で冷却して用いられるとともにU相、V相及びW相を構成する半導体モジュール、高電圧端子及び低電圧端子を備える。半導体モジュールは、各相において、高電圧側スイッチング素子、低電圧側スイッチング素子、高電圧側絶縁基板及び低電圧側絶縁基板を有する。高電圧側絶縁基板と低電圧側絶縁基板は、別体で構成されていてもよく、一体で形成されていてもよい。半導体モジュールは、両面冷却式であってもよく、片面冷却式であってもよい。高電圧側スイッチング素子は、高電圧端子に接続する。低電圧側スイッチング素子は、低電圧端子に接続する。高電圧側スイッチング素子と低電圧側スイッチング素子は、高電圧端子と低電圧端子の間に直列に接続されている。高電圧側絶縁基板は、高電圧側スイッチング素子と冷却器の間に設けられる。低電圧側絶縁基板は、低電圧側スイッチング素子と冷却器の間に設けられる。高電圧側絶縁基板は、高電圧側スイッチング素子側に配置されている第1高電圧側絶縁体層、冷却器側に配置されている第2高電圧側絶縁体層、及び、第1高電圧側絶縁体層と第2高電圧側絶縁体層の間に設けられている高電圧側中間導体層を有する。低電圧側絶縁基板は、低電圧側スイッチング素子側に配置されている第1低電圧側絶縁体層、冷却器側に配置されている第2低電圧側絶縁体層、及び、第1低電圧側絶縁体層と第2低電圧側絶縁体層の間に設けられている低高電圧側中間導体層を有する。高電圧側中間導体層及び低電圧側中間導体層が、高電圧側スイッチング素子と低電圧側スイッチング素子の中点に接続するように構成されている。

【0009】

上記実施形態の三相インバータの等価ブリッジ回路は、それ自体で平衡条件を満たすように構成される。このため、上記実施形態の三相インバータで用いられる半導体モジュールは、その絶縁基板の厚み及び／又は材料に対する設計自由度が高く、製造が簡易な構成を有する。

【0010】

高電圧側絶縁基板は、各相間において共通形態であるのが望ましい。さらに、低電圧側絶縁基板は、各相間において共通形態であるのが望ましい。この場合、三相インバータの等価ブリッジ回路は、平衡条件が良好に満たされる。

【図面の簡単な説明】

【0011】

【図1】インバータの回路構成を示す。

【図2】従来技術の両面冷却式の半導体モジュールの要部断面図を模式的に示す。

【図3】従来技術の両面冷却式の半導体モジュールの等価回路を示す。

【図4】従来技術の両面冷却式の半導体モジュールの等価回路を示す。

【図5】従来技術のインバータの等価回路を示す。

【図6】従来技術のインバータが動作したときの等価回路を示す。

【図7】従来技術のインバータが動作したときの等価回路を示す。

【図8】従来技術のインバータが動作したときの等価回路を示す。

【図9】従来技術のインバータが動作したときの等価回路を示す。

【図10】一般的なブリッジ回路の構成を示す。

【図11】本明細書で開示する両面冷却式の半導体モジュールの要部断面図を模式的に示す。

【図12】本明細書で開示する両面冷却式の半導体モジュールの等価回路を示す。

【図13】本明細書で開示する両面冷却式の半導体モジュールの等価回路を示す。

【図 1 4】本明細書で開示するインバータが動作したときの等価回路を示す。

【図 1 5】本明細書で開示するインバータが動作したときの等価回路を示す。

【図 1 6】本明細書で開示するインバータが動作したときの等価回路を示す。

【図 1 7】本明細書で開示するインバータが動作したときの等価回路を示す。

【図 1 8】本明細書で開示する片面冷却式の半導体モジュールの要部断面図を模式的に示す。

【発明を実施するための形態】

【0012】

まず、本明細書で開示する技術の理解を助けるために、三相インバータが動作したときに、三相インバータを構成する回路が等価的にブリッジ回路になることを説明する。図 1 は、例えば電気自動車に搭載して用いられる三相インバータ 1 の回路構成を例示する。三相インバータ 1 は、直流電源（図示省略）の直流電力を走行用のモータ MG を駆動するための交流電力に変換する。

【0013】

三相インバータ 1 は、高電圧端子 10 P、低電圧端子 10 N、平滑コンデンサ C 10 及び 3 つのレグ 10 U、10 V、10 W を備える。高電圧端子 10 P は直流電源（図示省略）の正極に接続され、低電圧端子 10 N は直流電源（図示省略）の負極に接続される。三相インバータ 1 と直流電源（図示省略）の間には、変圧用のコンバータが接続されてもよい。

【0014】

平滑コンデンサ C 10 は、一端が高電圧端子 10 P に接続されており、他端が低電圧端子 10 N に接続されている。平滑コンデンサ C 10 は、高電圧端子 10 P と低電圧端子 10 N に入力する交流電力を平滑化する。

【0015】

3 つのレグ 10 U、10 V、10 W は、高電圧端子 10 P と低電圧端子 10 N の間で並列に接続されており、各々が 2 つのスイッチング素子を有する。後述するように、レグ 10 U、10 V、10 W の各々は、半導体モジュールとして構成されている。

【0016】

U 相レグ 10 U は、高電圧端子 10 P に接続されている第 1 スwitchング素子 SW 1 及び低電圧端子 10 N に接続されている第 2 スwitchング素子 SW 2 を有する。第 1 スwitchング素子 SW 1 と第 2 スwitchング素子 SW 2 は、高電圧端子 10 P と低電圧端子 10 N の間で直列に接続されている。第 1 スwitchング素子 SW 1 と第 2 スwitchング素子 SW 2 の間の U 相中点 MID__U が、モータ MG の U 相巻線 MG__U の一端に接続されている。第 1 スwitchング素子 SW 1 に対して逆並列に第 1 ダイオード D 1 が接続されており、第 2 スwitchング素子 SW 2 に対して逆並列に第 2 ダイオード D 2 が接続されている。

【0017】

V 相レグ 10 V は、高電圧端子 10 P に接続されている第 3 スwitchング素子 SW 3 及び低電圧端子 10 N に接続されている第 4 スwitchング素子 SW 4 を有する。第 3 スwitchング素子 SW 3 と第 4 スwitchング素子 SW 4 は、高電圧端子 10 P と低電圧端子 10 N の間で直列に接続されている。第 3 スwitchング素子 SW 3 と第 4 スwitchング素子 SW 4 の間の V 相中点 MID__V が、モータ MG の V 相巻線 MG__V の一端に接続されている。第 3 スwitchング素子 SW 3 に対して逆並列に第 3 ダイオード D 3 が接続されており、第 4 スwitchング素子 SW 4 に対して逆並列に第 4 ダイオード D 4 が接続されている。

【0018】

W 相レグ 10 W は、高電圧端子 10 P に接続されている第 5 スwitchング素子 SW 5 及び低電圧端子 10 N に接続されている第 6 スwitchング素子 SW 6 を有する。第 5 スwitchング素子 SW 5 と第 6 スwitchング素子 SW 6 は、高電圧端子 10 P と低電圧端子 10 N の間で直列に接続されている。第 5 スwitchング素子 SW 5 と第 6 スwitchング素子 SW 6 の間の W 相中点 MID__W が、モータ MG の W 相巻線 MG__W の一端に接続されている。第 5 スwitchング素子 SW 5 に対して逆並列に第 5 ダイオード D 5 が接続されており

、第 6 スイッチング素子 S W 6 に対して逆並列に第 6 ダイオード D 6 が接続されている。

【0019】

スイッチング素子とダイオードの組合せのうちの高電圧端子 10 P に接続されるスイッチング素子 S W 1, S W 3, S W 5 とダイオード D 1, D 3, D 5 の組合せは、上アームと称される。スイッチング素子とダイオードの組合せのうちの低電圧端子 10 N に接続されるスイッチング素子 S W 2, S W 4, S W 6 とダイオード D 2, D 4, D 6 の組合せは、下アームと称される。上アームのスイッチング素子 S W 1, S W 3, S W 5 が特許請求の範囲に記載の高電圧側スイッチング素子の一例であり、下アームのスイッチング素子 S W 2, S W 4, S W 6 が特許請求の範囲に記載の低電圧側スイッチング素子の一例である。

10

【0020】

三相インバータ 1 を構成するスイッチング素子 S W 1 - S W 6 には、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 又は I G B T (Insulated Gate Bipolar Transistor) が用いられる。また、これらスイッチング素子 S W 1 - S W 6 は、対応するダイオード D 1 - D 6 が一体化された逆導通 I G B T であってもよい。以下では、スイッチング素子 S W 1 - S W 6 が I G B T の場合を例示する。

【0021】

図 2 に、U 相レグ 10 U を構成する U 相半導体モジュール 100 U の要部断面図を模式的に示す。図 2 に示す U 相半導体モジュール 100 U は、従来技術の一例である。なお、他の V 相レグ 10 V 及び W 相レグ 10 W も共通形態の半導体モジュールを有する。したがって、以下では、U 相半導体モジュール 100 U のみを説明し、他のレグ 10 V, 10 W の半導体モジュールの説明を省略する。

20

【0022】

U 相半導体モジュール 100 U は、両面冷却式の半導体モジュールであり、対向する冷却器 20 の間に介挿される。U 相半導体モジュール 100 U は、第 1 スイッチング素子 S W 1 及び第 1 ダイオード D 1 を含む半導体チップ 2 に対応した 2 つの絶縁基板 30, 40 を有する。U 相半導体モジュール 100 U はさらに、第 2 スイッチング素子 S W 2 及び第 2 ダイオード D 2 を含む半導体チップ 4 に対応した 2 つの絶縁基板 50, 60 を有する。

【0023】

第 1 絶縁基板 30 は、第 1 スイッチング素子 S W 1 及び第 1 ダイオード D 1 を含む半導体チップ 2 と冷却器 20 の間に設けられており、チップ側導体層 32、絶縁体層 34 及び冷却器側導体層 36 を有する。チップ側導体層 32、絶縁体層 34 及び冷却器側導体層 36 はこの順でチップ 2 から冷却器 20 に向けて積層しており、絶縁体層 34 がチップ側導体層 32 と冷却器側導体層 36 を絶縁する。チップ側導体層 32 が第 1 スイッチング素子 S W 1 のエミッタ及び第 1 ダイオード D 1 のアノードに接続しており、冷却器側導体層 36 が冷却器 20 に接続する。

30

【0024】

第 2 絶縁基板 40 は、第 1 スイッチング素子 S W 1 及び第 1 ダイオード D 1 を含む半導体チップ 2 と冷却器 20 の間に設けられており、チップ側導体層 42、絶縁体層 44 及び冷却器側導体層 46 を有する。チップ側導体層 42、絶縁体層 44 及び冷却器側導体層 46 はこの順でチップ 2 から冷却器 20 に向けて積層しており、絶縁体層 44 がチップ側導体層 42 と冷却器側導体層 46 を絶縁する。チップ側導体層 42 が第 1 スイッチング素子 S W 1 のコレクタ及び第 1 ダイオード D 1 のカソードに接続しており、冷却器側導体層 46 が冷却器 20 に接続する。

40

【0025】

第 3 絶縁基板 50 は、第 2 スイッチング素子 S W 2 及び第 2 ダイオード D 2 を含む半導体チップ 4 と冷却器 20 の間に設けられており、チップ側導体層 52、絶縁体層 54 及び冷却器側導体層 56 を有する。チップ側導体層 52、絶縁体層 54 及び冷却器側導体層 56 はこの順でチップ 4 から冷却器 20 に向けて積層しており、絶縁体層 54 がチップ側導体層 52 と冷却器側導体層 56 を絶縁する。チップ側導体層 52 が第 2 スイッチング素子

50

SW2のコレクタ及び第2ダイオードD2のカソードに接続しており、冷却器側導体層56が冷却器20に接続する。

【0026】

第4絶縁基板60は、第2スイッチング素子SW2及び第2ダイオードD2を含む半導体チップ4と冷却器20の間に設けられており、チップ側導体層62、絶縁体層64及び冷却器側導体層66を有する。チップ側導体層62、絶縁体層64及び冷却器側導体層66はこの順でチップ4から冷却器20に向けて積層しており、絶縁体層64がチップ側導体層62と冷却器側導体層66を絶縁する。チップ側導体層62が第2スイッチング素子SW2のコレクタ及び第2ダイオードD2のカソードに接続しており、冷却器側導体層66が冷却器20に接続する。

10

【0027】

第2絶縁基板40のチップ側導体層42が高電圧端子10Pに接続されており、第3絶縁基板50のチップ側導体層52が低電圧端子10Nに接続されている。第1絶縁基板30のチップ側導体層32と第4絶縁基板60のチップ側導体層62は、接続配線72を介して接続しており、U相中点MID_Uを構成する。

【0028】

このように、絶縁基板30、40、50、60の各々は、コンデンサ構造を有する。このため、これらのコンデンサ構造の各々に浮遊容量が形成される。図3に、U相半導体モジュール100Uの等価回路を示す。また、図4に、図3の等価回路を整理したU相半導体モジュール100Uの等価回路を示す。図3及び図4では、絶縁基板30、40、50、60の各々に存在する浮遊容量を破線で示す。このように、浮遊容量C_{pU}が第2絶縁基板40のチップ側導体層42と冷却器側導体層46（即ち、冷却器20）の間に存在し、浮遊容量C_{nU}が第3絶縁基板50のチップ側導体層52と冷却器側導体層56（即ち、冷却器20）の間に存在する。さらに、浮遊容量C_{midU}が、第1絶縁基板30のチップ側導体層32と冷却器側導体層36（即ち、冷却器20）の間、及び、第4絶縁基板60のチップ側導体層62と冷却器側導体層66（即ち、冷却器20）の間に存在する。

20

【0029】

上記したように、leg10U、10V、10Wを構成する半導体モジュールの各々は共通形態である。このため、図3及び図4で説明したU相leg10UのU相半導体モジュール100Uと同様に、他のleg10V、10Wの半導体モジュールの各々にも浮遊容量が存在する。図5に、三相インバータ1を構成する全てのleg10U、10V、10Wの半導体モジュールに存在する浮遊容量を示す。なお、モータMGを構成する巻線MG_U、MG_V、MG_Wの各々の他端は、対地浮遊容量C_mを介して接地GNDされている。

30

【0030】

図6に、三相インバータ1が動作したときの三相インバータ1の等価回路を示す。図6では、U相leg10Uがスイッチング動作を行い、V相leg10Vの第3スイッチング素子SW3及びW相leg10Wの第5スイッチング素子SW5が導通状態（短絡）であり、V相leg10Vの第4スイッチング素子SW4及びW相leg10Wの第6スイッチング素子SW6が非導通状態（開放）の場合を示す。スイッチング動作を行うU相leg10Uでは、第1スイッチング素子SW1と第2スイッチング素子SW2が高周波ノイズの逆相の電圧源とみなすことができる。平滑コンデンサC10は、高周波ノイズに対するインピーダンスが低いので、短絡とみなすことができる。

40

【0031】

図7に、図6の等価回路を整理した三相インバータ1の等価回路を示す。図7に示されるように、第1スイッチング素子SW1と第2スイッチング素子SW2による高周波ノイズの電圧源は、並列接続されている同振幅の電圧源となる。このため、これらを1つの電圧源に纏めることができる。また、上記したように、leg10U、10V、10Wを構成する半導体モジュールの各々は共通形態である。即ち、leg10U、10V、10Wを構成する半導体モジュール間において、対応する絶縁基板30、40、50、60が共通形

50

態である。このため、レグ10U, 10V, 10Wの各々の浮遊容量 C_{n_U} , C_{n_V} , C_{n_W} は浮遊容量 C_n として共通表記することができ、浮遊容量 C_{p_U} , C_{p_V} , C_{p_W} は浮遊容量 C_p として共通表記することができ、浮遊容量 C_{mid_U} , C_{mid_V} , C_{mid_W} は浮遊容量 C_{mid} として共通表記することができる。このため、図7に示す等価回路は、図8に示す等価回路に整理することができる。

【0032】

ここで、上記では、U相レグ10Uがスイッチング動作を行う場合を例に三相インバータ1の等価回路を作成した。しかしながら、V相レグ10Vがスイッチング動作を行う場合、W相レグ10Wがスイッチング動作を行う場合のいずれも、同様の手順により、図8と同様の等価回路が作成される。また、スイッチング動作を行わないレグの各々において、上アームと下アームのいずれか一方が導通状態（短絡）であり他方が非導通状態（開放）である限りにおいて、上アームと下アームの導通状態（短絡）と非導通状態（開放）がどのように選択されていても、同様の手順により、図8と同様の等価回路が作成される。したがって、スイッチング動作を行うレグの中点を MID_A と表記し、その他のレグの中点をそれぞれ MID_B , MID_C と表記し、スイッチング動作を行うレグの中点に接続される巻線を MG_A と表記し、その他のレグの中点に接続される巻線をそれぞれ MG_B , MG_C と表記すると、図8の等価回路は図9の等価回路に書き換えられる。図9は、三相インバータ1が動作したときの三相インバータ1の等価回路とみなすことができる。このように、三相インバータ1では、動作したときの等価回路をブリッジ回路とみなすことができる。ここで、冷却器20は接地して用いられる。このため、コモンモード電流 I_c は、三相インバータ1とモータMGと冷却器20を介して流れる。

【0033】

図10に、一般的なブリッジ回路の流れるコモンモード電流 I_c を示す。インピーダンスの比、すなわち Z_{A1}/Z_{A2} と Z_{B1}/Z_{B2} の値の相違が小さいほど、ブリッジ回路の平衡条件が満たされ、A点とB点の電位差が小さくなり、コモンモード電流が小さくなる。図9と図10を対比すると、インピーダンス Z_{A1} が浮遊容量 C_{mid} に依存するインピーダンスに対応し、インピーダンス Z_{A2} が浮遊容量($2C_{mid} + 3C_n + 3C_p$)に依存するインピーダンスに対応し、インピーダンス Z_{B1} が巻線 MG_A に依存するインピーダンスに対応し、インピーダンス Z_{B2} が巻線 MG_B と巻線 MG_C に依存するインピーダンスに対応する。また、インピーダンス Z_C は、モータMGの対地浮遊容量 C_m に依存したインピーダンスに対応する。一般的に、モータMGは三相对称な構造を有するので、巻線 MG_A , MG_B , MG_C の各々に依存するインピーダンスは等しい。したがって、インピーダンス Z_{B2} はインピーダンス Z_{B1} の半分となるので、図9においては、 Z_{B1}/Z_{B2} が2/1である。このため、三相インバータ1の等価ブリッジ回路の平衡条件を満たすためには、 Z_{A1}/Z_{A2} が2/1となるように調整するのが望ましい。

【0034】

背景技術で説明した特開2009-273272号公報の技術では、等価ブリッジ回路の平衡条件を満たすために、浮遊容量 C_p 及び浮遊容量 C_n が浮遊容量 C_{mid} に対して十分に小さくなるように調整する($C_n, C_p \ll C_{mid}$)。例えば、特開2009-273272号公報の技術では、 C_{mid}/C_n 及び C_{mid}/C_p の各々の容量比を100倍以上にする。そのような容量比を実現するためには、図2を参照すると、浮遊容量 C_{mid} に対応した絶縁基板30, 60の絶縁体層34, 64の厚みを浮遊容量 C_p , C_n に対応した絶縁基板40, 50の絶縁体層44, 54の厚みに対して十分に厚くしなければならない。あるいは、浮遊容量 C_{mid} に対応した絶縁基板30, 60の絶縁体層34, 64の材料を浮遊容量 C_p , C_n に対応した絶縁基板40, 50の絶縁体層44, 54の材料と異ならせなければならない。しかしながら、そのような設計は、以下の理由により容易なことではない。絶縁基板は、高電圧に耐えるための絶縁性能を保つ必要がある。絶縁基板の絶縁性能は厚みに比例するため、絶縁基板の厚みを100分の1に薄くすると、絶縁基板の絶縁性能を保つことが難しい。また、絶縁基板は、冷却器の冷却性能を阻

10

20

30

40

50

害しないように低い熱抵抗である必要がある。絶縁基板の熱抵抗は厚みに比例するため、絶縁基板の厚みを100倍にすると、冷却器の冷却性能が阻害される。また、絶縁基板の材料は、絶縁性能、低熱抵抗及び機械的強度等を考慮すると、使用できる種類が限定される。このため、絶縁基板間で誘電率が100倍も異なる材料を使用することは、現実的に不可能である。

【0035】

以下、本明細書が開示する技術を説明する。本明細書は、製造が容易な構成の半導体モジュールを有するとともに、等価ブリッジ回路の平衡条件を満たすことができる三相インバータを開示する。また、本明細書は、そのような三相インバータ用の半導体モジュールを開示する。

10

【0036】

まず、本明細書が開示する技術が適用された三相インバータの回路構成は、図1に示す三相インバータ1と同一である。したがって、その説明を省略する。次に、図11に、本明細書が開示するU相leg10Uを構成する両面冷却式のU相半導体モジュール200Uの要部断面図を模式的に示す。図2に示す従来のU相半導体モジュール100Uと共通する構成要素については共通の符号を付し、その説明を省略する。なお、他のV相leg10V及びW相leg10Wも共通形態の半導体モジュールを有する。

【0037】

図2の従来のU相半導体モジュール100Uと対比すると、図11のU相半導体モジュール200Uは、絶縁基板30、40、50、60の各々の絶縁体層34、44、54、64に中間導体層35、45、55、65が挿入されていることを特徴とする。ここで、絶縁体層34、44、54、64の各々に記載される添字「a」はチップ側であることを示し、添字「b」は冷却器側であることを示す。

20

【0038】

第1絶縁基板30は、第1スイッチング素子SW1及び第1ダイオードD1を含む半導体チップ2と冷却器20の間に設けられており、チップ側導体層32、チップ側絶縁体層34a、中間導体層35、冷却器側絶縁体層34b及び冷却器側導体層36を有する。チップ側導体層32、チップ側絶縁体層34a、中間導体層35、冷却器側絶縁体層34b及び冷却器側導体層36はこの順でチップ2から冷却器20に向けて積層しており、チップ側絶縁体層34aがチップ側導体層32と中間導体層35を絶縁しており、冷却器側絶縁体層34bが中間導体層35と冷却器側導体層36を絶縁する。

30

【0039】

第2絶縁基板40は、第1スイッチング素子SW1及び第1ダイオードD1を含む半導体チップ2と冷却器20の間に設けられており、チップ側導体層42、チップ側絶縁体層44a、中間導体層45、冷却器側絶縁体層44b及び冷却器側導体層46を有する。チップ側導体層42、チップ側絶縁体層44a、中間導体層45、冷却器側絶縁体層44b及び冷却器側導体層46はこの順でチップ2から冷却器20に向けて積層しており、チップ側絶縁体層44aがチップ側導体層42と中間導体層45を絶縁しており、冷却器側絶縁体層44bが中間導体層45と冷却器側導体層46を絶縁する。

【0040】

第3絶縁基板50は、第2スイッチング素子SW2及び第2ダイオードD2を含む半導体チップ4と冷却器20の間に設けられており、チップ側導体層52、チップ側絶縁体層54a、中間導体層55、冷却器側絶縁体層54b及び冷却器側導体層56を有する。チップ側導体層52、チップ側絶縁体層54a、中間導体層55、冷却器側絶縁体層54b及び冷却器側導体層56はこの順でチップ4から冷却器20に向けて積層しており、チップ側絶縁体層54aがチップ側導体層52と中間導体層55を絶縁しており、冷却器側絶縁体層54bが中間導体層55と冷却器側導体層56を絶縁する。

40

【0041】

第4絶縁基板60は、第2スイッチング素子SW2及び第2ダイオードD2を含む半導体チップ4と冷却器20の間に設けられており、チップ側導体層62、チップ側絶縁体層

50

64a、中間導体層65、冷却器側絶縁体層64b及び冷却器側導体層66を有する。チップ側導体層62、チップ側絶縁体層64a、中間導体層65、冷却器側絶縁体層64b及び冷却器側導体層66はこの順でチップ4から冷却器20に向けて積層しており、チップ側絶縁体層64aがチップ側導体層62と中間導体層65を絶縁しており、冷却器側絶縁体層64bが中間導体層65と冷却器側導体層66を絶縁する。

【0042】

第2絶縁基板40のチップ側導体層42が高電圧端子10Pに接続されており、第3絶縁基板50のチップ側導体層52が低電圧端子10Nに接続されている。第1絶縁基板30のチップ側導体層32と第4絶縁基板60のチップ側導体層62は、接続配線72を介して接続されており、U相中点MID --- Uを構成する。さらに、第1絶縁基板30のチップ側導体層32と中間導体層35が接続配線82を介して接続されており、第1絶縁基板30の中間導体層35と第3絶縁基板50の中間導体層55が接続配線84を介して接続されており、第4絶縁基板60のチップ側導体層62と中間導体層65が接続配線86を介して接続されており、第4絶縁基板60の中間導体層65と第2絶縁基板40の中間導体層45が接続配線88を介して接続されている。

【0043】

ここで、第1絶縁基板30のチップ側絶縁体層34a及び第2絶縁基板40のチップ側絶縁体層44aが特許請求の範囲に記載の第1高電圧側絶縁体層の一例であり、第1絶縁基板30の冷却器側絶縁体層34b及び第2絶縁基板40の冷却器側絶縁体層44bが特許請求の範囲に記載の第2高電圧側絶縁体層の一例であり、第1絶縁基板30の中間導体層35及び第2絶縁基板40の中間導体層45が特許請求の範囲に記載の高電圧側中間導体層の一例である。さらに、第3絶縁基板50のチップ側絶縁体層54a及び第4絶縁基板60のチップ側絶縁体層64aが特許請求の範囲に記載の第1低電圧側絶縁体層の一例であり、第3絶縁基板50の冷却器側絶縁体層54b及び第4絶縁基板60の冷却器側絶縁体層64bが特許請求の範囲に記載の第2低電圧側絶縁体層の一例であり、第3絶縁基板50の中間導体層55及び第4絶縁基板60の中間導体層65が特許請求の範囲に記載の低電圧側中間導体層の一例である。

【0044】

図12に、U相半導体モジュール200Uの等価回路を示す。また、図13に、図12の等価回路を整理したU相半導体モジュール200Uの等価回路を示す。図12及び図13では、絶縁基板30、40、50、60の各々に存在する浮遊容量を破線で示す。U相半導体モジュール200Uでは、絶縁基板30、40、50、60の各々の絶縁体層34、44、54、64に中間導体層35、45、55、65が挿入されているので、絶縁基板30、40、50、60の各々に2つの浮遊容量が存在する。ここで、浮遊容量に記載される添字「a」はチップ側絶縁体層34a、44a、54a、64aに対応する浮遊容量であることを示し、添字「b」は冷却器側絶縁体層34b、44b、54b、64bに対応する浮遊容量であることを示す。

【0045】

図12に示されるように、第1絶縁基板30では、中間導体層35が接続配線82を介してU相中点MID --- Uに接続する。このため、第1絶縁基板30のチップ側絶縁体層34aに対応する浮遊容量C_{m i d --- U a}は消失する。第4絶縁基板60では、中間導体層65が接続配線86を介してU相中点MID --- Uに接続する。このため、第4絶縁基板60のチップ側絶縁体層64aに対応する浮遊容量C_{m i d --- U a}は消失する。また、第2絶縁基板40では、中間導体層45が接続配線72、86、88を介してU相中点MID --- Uに接続する。このため、第2絶縁基板40では、チップ側絶縁体層44aに対応する浮遊容量C_{p --- U a}がチップ側導体層42とU相中点MID --- Uの間に存在することになり、冷却器側絶縁体層44bに対応する浮遊容量C_{p --- U b}がU相中点MID --- Uと冷却器20の間に存在することになる。第3絶縁基板50では、中間導体層55が接続配線82、84を介してU相中点MID --- Uに接続する。このため、第3絶縁基板50では、チップ側絶縁体層54aに対応する浮遊容量C_{n --- U a}がチップ側導体層52とU相中点M

I D __ U の間に存在することになり、冷却器側絶縁体層 5 4 b に対応する浮遊容量 $C_{n_U b}$ が U 相中点 M I D __ U と冷却器 2 0 の間に存在することになる。このため、図 1 2 の等価回路は、図 1 3 の U 相半導体モジュール 2 0 0 U の等価回路に整理することができる。

【0046】

上記したように、leg 1 0 U, 1 0 V, 1 0 W を構成する半導体モジュールの各々は共通形態である。このため、図 1 2 及び図 1 3 で説明した U 相 leg 1 0 U の U 相半導体モジュール 1 0 0 U と同様に、他の leg 1 0 V, 1 0 W の半導体モジュールの各々にも浮遊容量が存在する。図 1 4 に、三相インバータ 1 を構成する全ての leg 1 0 U, 1 0 V, 1 0 W の半導体モジュールに存在する浮遊容量を示すとともに、三相インバータ 1 が動作したときの等価回路を示す。図 1 4 では、U 相 leg 1 0 U がスイッチング動作を行う場合を例示する。なお、モータ M G を構成する巻線 M G __ U, M G __ V, M G __ W の各々の他端は、対地浮遊容量 C_m を介して接地 G N D されている。なお、モータの対地浮遊容量は、この例に限らず、モータの種類等に応じて異なる態様で存在し得る。後述するように、本明細書で開示する技術は、モータの対地浮遊容量の態様に制限されずに、効果を発揮することができる。換言すれば、本明細書で開示する技術は、様々な種類のモータに対して適用可能である。

【0047】

図 1 4 において、短絡により消失する浮遊容量を削除すると、図 1 5 の等価回路に整理することができる。上記したように、leg 1 0 U, 1 0 V, 1 0 W を構成する半導体モジュールの各々は共通形態である。即ち、leg 1 0 U, 1 0 V, 1 0 W を構成する半導体モジュール間において、対応する絶縁基板 3 0, 4 0, 5 0, 6 0 が共通形態である。このため、leg 1 0 U, 1 0 V, 1 0 W の各々の浮遊容量 $C_{n_U b}$, $C_{n_V b}$, $C_{n_W b}$ は浮遊容量 $C_{n b}$ として共通表記することができ、浮遊容量 $C_{p_U b}$, $C_{p_V b}$, $C_{p_W b}$ は浮遊容量 $C_{p b}$ として共通表記することができ、容量 $C_{m i d_U b}$, $C_{m i d_V b}$, $C_{m i d_W b}$ は浮遊容量 $C_{m i d b}$ として共通表記することができる。このため、図 1 5 に示す等価回路は、図 1 6 に示す等価回路に整理することができる。

【0048】

図 1 6 では、U 相 leg 1 0 U がスイッチング動作を行う場合を例示する。しかしながら、上記図 7 ~ 図 9 で説明したように、この例でも、V 相 leg 1 0 V がスイッチング動作を行う場合、W 相 leg 1 0 W がスイッチング動作を行う場合のいずれも、同様の手順により、図 1 6 と同様の等価回路が作成される。また、スイッチング動作を行わない leg の各々において、上アームと下アームのいずれか一方が導通状態（短絡）であり他方が非導通状態（開放）である限りにおいて、上アームと下アームの導通状態（短絡）と非導通状態（開放）がどのように選択されていても、同様の手順により、図 1 6 と同様の等価回路が作成される。したがって、スイッチング動作を行う leg の中点を M I D __ A と表記し、その他の leg の中点をそれぞれ M I D __ B, M I D __ C と表記し、スイッチング動作を行う leg の中点に接続される巻線を M G __ A と表記し、その他の leg の中点に接続される巻線をそれぞれ M G __ B, M G __ C と表記すると、図 1 6 の等価回路は図 1 7 の等価回路に書き換えられる。図 1 7 は、三相インバータ 1 が動作したときの三相インバータ 1 の等価回路とみなすことができる。

【0049】

図 1 7 の等価回路を図 1 0 の一般的なブリッジ回路と対比すると、インピーダンス $Z_{A 1}$ が浮遊容量 ($C_{m i d b} + C_{n b} + C_{p b}$) に依存するインピーダンスに対応し、インピーダンス $Z_{A 2}$ が浮遊容量 ($2 C_{m i d b} + 2 C_{n b} + 2 C_{p b}$) に依存するインピーダンスに対応し、インピーダンス $Z_{B 1}$ が巻線 M G __ A に依存するインピーダンスに対応し、インピーダンス $Z_{B 2}$ が巻線 M G __ B と巻線 M G __ C に依存するインピーダンスに対応する。また、インピーダンス Z_C は、モータ M G の対地浮遊容量 C_m に依存したインピーダンスに対応する。ここで、図 1 7 においては、 $Z_{A 1} / Z_{A 2}$ が $2 / 1$ であり、 $Z_{B 1} / Z_{B 2}$ も $2 / 1$ である。このため、三相インバータ 1 の等価ブリッジ回路は、平衡条

10

20

30

40

50

件を満たすように構成されている。

【0050】

このように、本明細書で開示する三相インバータ1の等価ブリッジ回路は、それ自体が平衡条件を満たすように半導体モジュールに存在する浮遊容量が配分されている。上記したように、三相インバータ1のLEG10U、10V、10Wを構成する半導体モジュールの各々は共通形態である。このため、三相インバータ1の等価ブリッジ回路のインピーダンスの比、すなわち Z_{A1}/Z_{A2} と Z_{B1}/Z_{B2} の値が極めて良く一致し、コモンモード電流が極めて低減される。なお、三相インバータ1において、LEG10U、10V、10Wを構成する半導体モジュールの各々は共通形態である必要があるが、各LEG10U、10V、10Wを構成する絶縁基板30、40、50、60の各々は共通形態でなくとも、絶縁体層34、44、54、64に中間導体層35、45、55、65が挿入されるとともに、その中間導体層35、45、55、65が中点MID_U、MID_V、MID_Wに短絡していれば、平衡条件を満たすような浮遊容量の配分効果によって、コモンモード電流は低下することができる。

10

【0051】

上記したように、背景技術で説明した特開2009-273272号公報の技術では、絶縁基板間で容量比を大きくするために、絶縁基板間で厚みを異ならせたり、絶縁基板間で材料を異ならせたりしなければならない。このため、設計の自由度が制限されてしまう。一方、本明細書で開示する三相インバータ1は、平衡条件を満たすような浮遊容量の配分効果を有しているので、そのような設計の自由度の制限を緩和することができる。例えば、半導体モジュールの各々が共通形態であれば、等価ブリッジ回路の平衡条件が満たされるので、半導体モジュールの絶縁基板の厚み及び材料を自由に設計することができる。

20

【0052】

上記では、本明細書で開示する技術を両面冷却式のU相半導体モジュール200Uを例に説明したが、本明細書で開示する技術は、片面冷却式の半導体モジュールを備える三相インバータにも適用できる。図18に、本明細書が開示するU相LEG10Uを構成する片面冷却式のU相半導体モジュール300Uの要部断面図を模式的に示す。図11に示す両面冷却式のU相半導体モジュール200Uと共通する構成要素については共通の符号を付し、その説明を省略する。なお、他のV相LEG10V及びW相LEG10Wも共通形態の半導体モジュールを有する。

30

【0053】

このような片面冷却式の半導体モジュールで構成される三相インバータ1の等価ブリッジ回路は、図17の等価ブリッジ回路から浮遊容量 C_{p_Ua} 及び浮遊容量 C_{p_Ub} を除去したものに对应する。この場合も同様に、三相インバータ1の等価ブリッジ回路が平衡条件を満たすように構成されており、コモンモード電流が低下する。

【0054】

上記したように、本明細書で開示される技術では、絶縁基板30、40、50、60の中間導体層35、45、55、65が中点MID_U、MID_V、MID_Wに短絡することを特徴とする。上記では、短絡する様子が接続配線82、84、86、88を利用して表記されているが、この接続配線82、84、86、88は、短絡している様子を示すことを目的として記載されているのであって、短絡させるためには、様々な形態が採用し得る。例えば、第1絶縁基板30と第3絶縁基板50は、チップ側絶縁体層34a、54a、中間導体層35、55、冷却器側絶縁体層34b、54b及び冷却器側導体層36、56が一体の積層体で構成されていてもよい。この場合、接続配線84は不要である。同様に、第2絶縁基板40と第4絶縁基板60は、チップ側絶縁体層44a、64a、中間導体層45、65、冷却器側絶縁体層44b、64b及び冷却器側導体層46、66が一体の積層体で構成されていてもよい。この場合、接続配線88は不要である。

40

【0055】

以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例

50

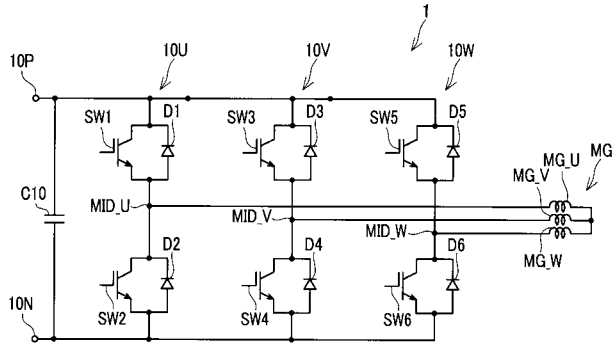
を様々に変形、変更したものが含まれる。本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時の請求項に記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

【符号の説明】

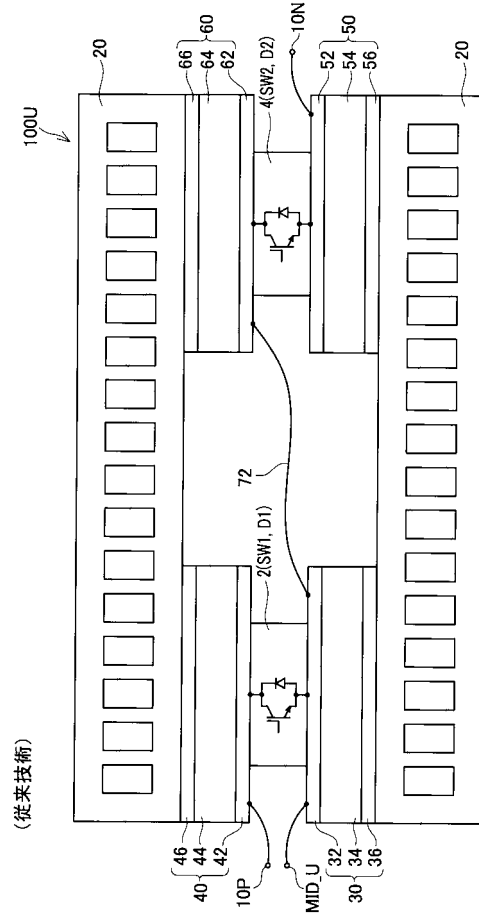
【0056】

1：三相インバータ	
2：半導体チップ	
4：半導体チップ	10
10N：低電圧端子	
10P：高電圧端子	
10U：U相レグ	
10V：V相レグ	
10W：W相レグ	
20：冷却器	
30：第1絶縁基板	
40：第2絶縁基板	
50：第3絶縁基板	
60：第4絶縁基板	20
32，42，52，62：チップ側導体層	
34a，44a，54a，64a：チップ側絶縁体層	
34b，44b，54b，64b：冷却器側絶縁体層	
35，45，55，65：中間導体層	
36，46，56，66：冷却器側導体層	
72，82，84，86，88：接続配線	
SW1-6：スイッチング素子	
D1-6：ダイオード	
MG：モータ	

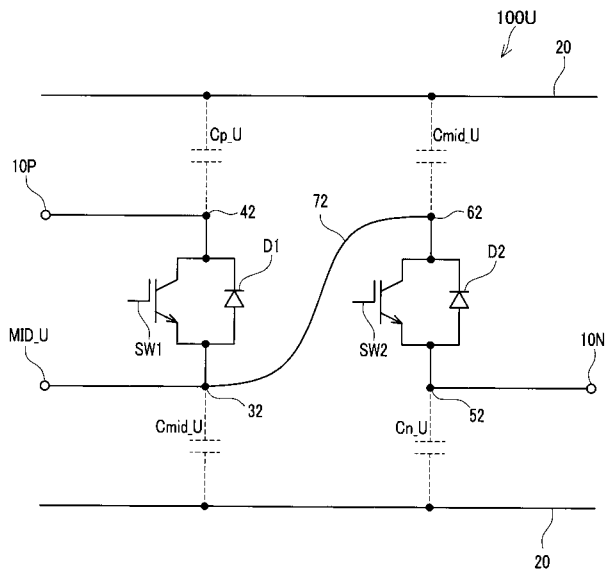
【図 1】



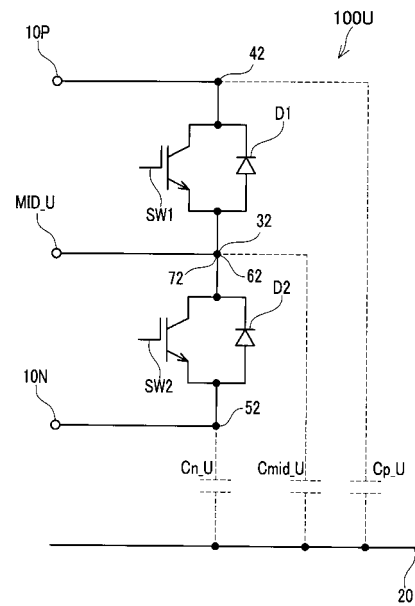
【図 2】



【図 3】

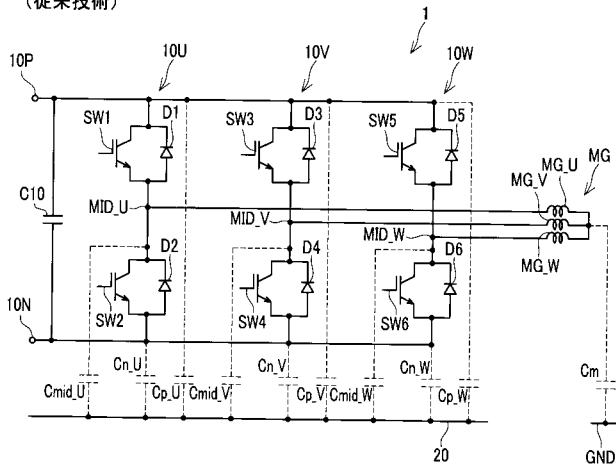


【図 4】



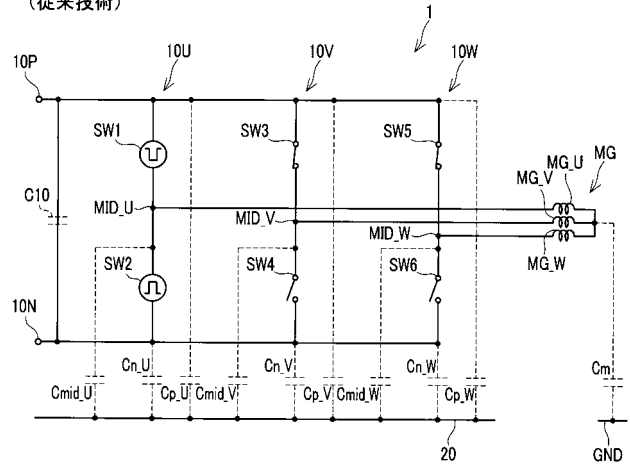
【図 5】

(従来技術)



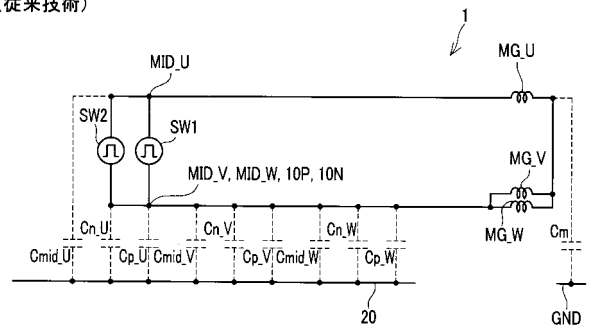
【図 6】

(従来技術)



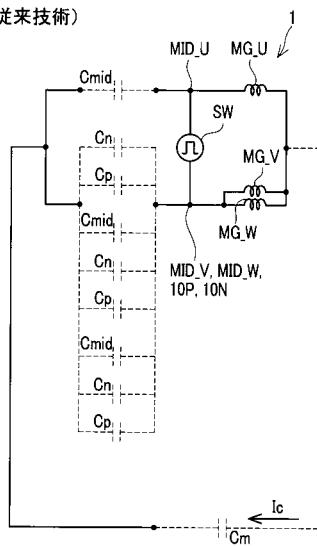
【図 7】

(従来技術)



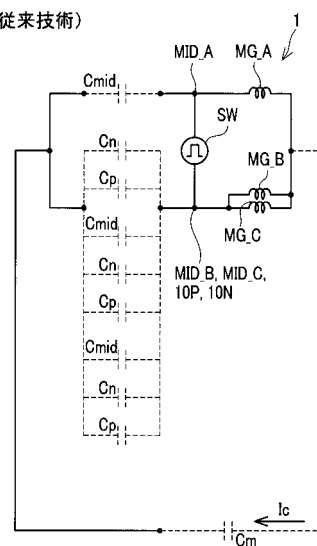
【図 8】

(従来技術)

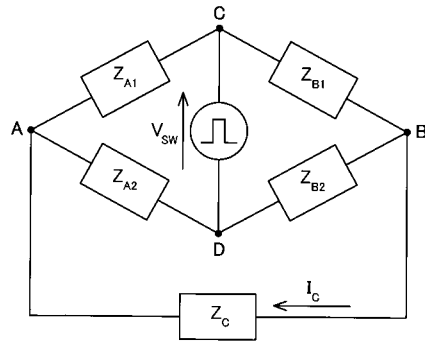


【図 9】

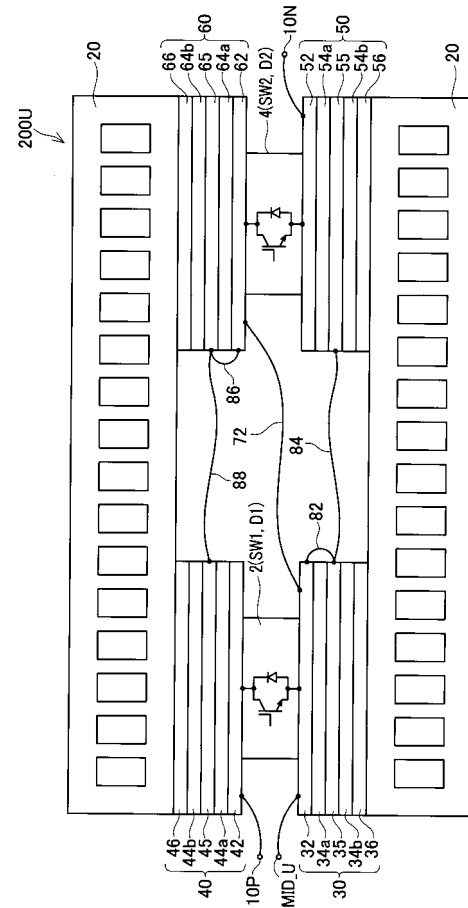
(従来技術)



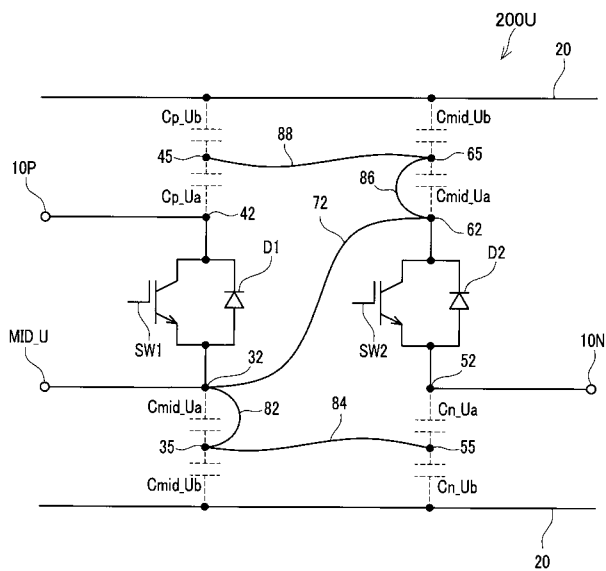
【図 10】



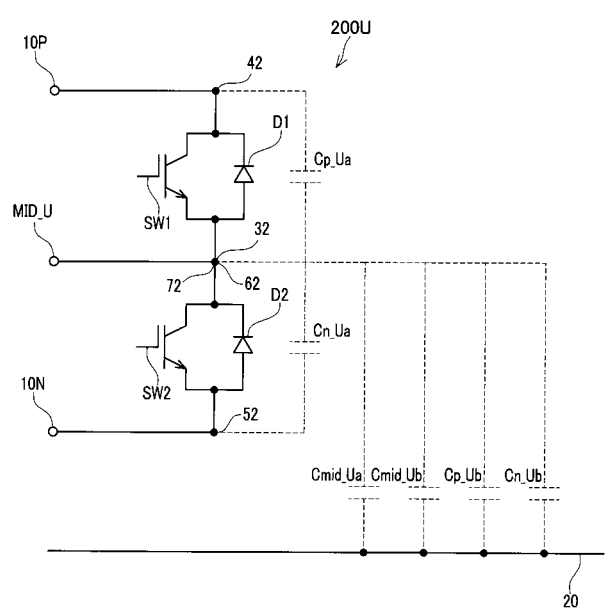
【図 11】



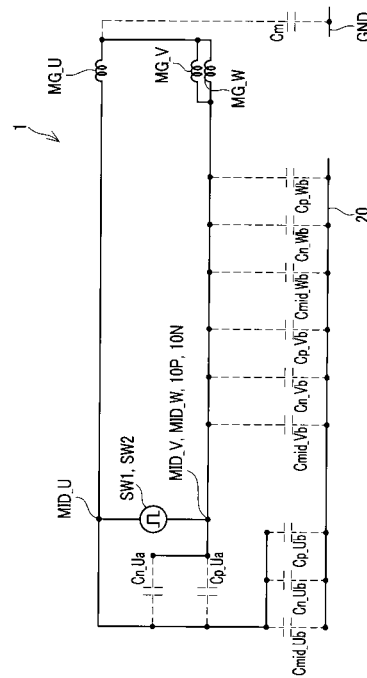
【図 12】



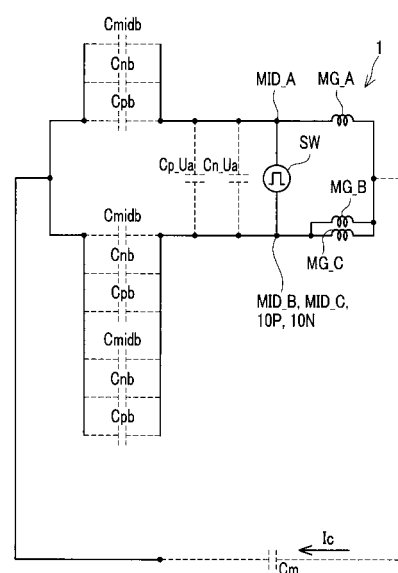
【図 13】



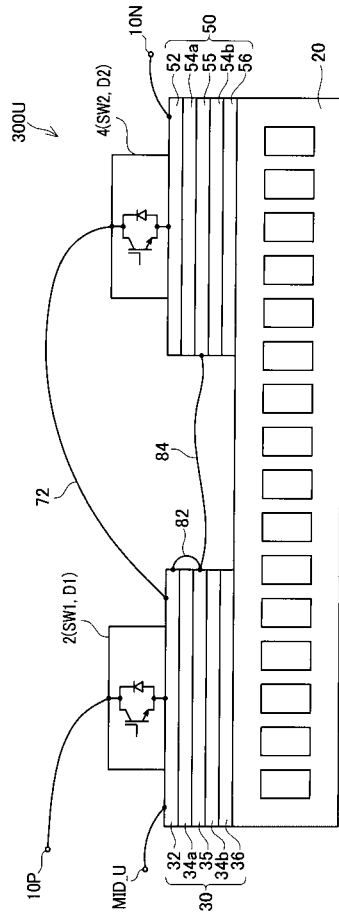
【 図 1 5 】



【 図 1 7 】



【図 18】



フロントページの続き

- (72)発明者 服部 佳晋
愛知県長久手市横道4番地の1 株式会社豊田中央研究所内
- (72)発明者 鳥居 薫
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 梶 弘祐
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 山本 一成
愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
- (72)発明者 加藤 大貴
愛知県刈谷市豊田町2丁目1番地 株式会社豊田自動織機内
- Fターム(参考) 5H770 BA02 DA03 DA41 PA21 PA42 QA01 QA02 QA08