

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일

2024 년 10 월 17 일 (17.10.2024)



WIPO PCT



(10) 국제공개번호

WO 2024/214878 A1

(51) 국제특허분류:

G06F 12/0862 (2016.01)

G06F 3/06 (2006.01)

(21) 국제출원번호:

PCT/KR2023/012771

(22) 국제출원일:

2023 년 8 월 29 일 (29.08.2023)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0047479 2023 년 4 월 11 일 (11.04.2023) KR

(71) 출원인: 이화여자대학교 산학협력단 (EWha UNIVERSITY - INDUSTRY COLLABORATION FOUNDATION) [KR/KR]; 03760 서울특별시 서대문구 이화여대길 52, Seoul (KR).

(72) 발명자: 윤명국 (YOON, Myung Kuk); 03025 서울특별시 종로구 통일로 246-20, 102동 603호, Seoul (KR). 박은성 (PARK, Eun Seong); 10115 경기도 김포시 풍무로68번길 39, 101동 1703호, Gyeonggi-do (KR).

(74) 대리인: 특허법인 무한 (MUHANN PATENT & LAW FIRM); 06144 서울특별시 강남구 언주로 560, 8층, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO,

NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

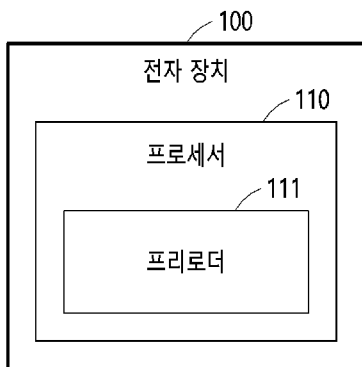
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: ELECTRONIC DEVICE FOR PREFETCHING DATA BY PREDICTING MEMORY ADDRESS AND METHOD FOR OPERATING SAME

(54) 발명의 명칭: 메모리 주소를 예측하여 데이터를 프리페칭하는 전자 장치 및 그 동작 방법



100 ... Electronic device

110 ... Processor

111 ... Preloader

(57) Abstract: An electronic device for prefetching data by predicting a memory address, and a method for operating same, are illustrated. A method for operating an electronic device according to an embodiment of the present disclosure may comprise the steps of: sampling prior demand memory addresses included in a prior demand memory request; generating a prefetch memory request on the basis of a stride between the sampled prior demand memory addresses; transmitting, to a preloader, a prefetch memory response according to the prefetch memory request; and storing, in a preloader cache, prefetch data included in the prefetch memory response and a prefetch memory address corresponding to the prefetch data.

(57) 요약서: 메모리 주소를 예측하여 데이터를 프리페칭하는 전자 장치 및 그 동작 방법이 도시된다. 본 개시의 일 실시예에 따른 전자 장치의 동작 방법은 이전 요구 메모리 요청(prior demand memory request)에 포함된 이전 요구 메모리 주소들(prior demand memory address)을 샘플링하는 단계, 상기 샘플링된 상기 이전 요구 메모리 주소들 간의 보폭(stride)에 기반하여 프리페치 메모리 요청(prefetch memory request)을 생성하는 단계, 상기 프리페치 메모리 요청에 따른 프리페치 메모리 응답(prefetch response)을 프리로더에 전달하는 단계, 및 상기 프리페치 메모리 응답에 포함되는 프리페치 데이터 및 상기 프리페치 데이터에 대응하는 프리페치 메모리 주소(prefetch memory address)를 프리로더 캐시에 저장하는 단계를 포함할 수 있다.

WO 2024/214878 A1

명세서

발명의 명칭: 메모리 주소를 예측하여 데이터를 프리패칭하는 전자 장치 및 그 동작 방법

기술분야

- [1] 메모리 주소를 예측하여 데이터를 프리패칭하는 전자 장치 및 그 동작 방법이 도시된다.
- [2] 본 출원은 2023년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구 결과이다(과제번호: RS-2022-00155966, 과제명: 인공지능융합혁신인재양성(이화여자대학교)(Artificial Intelligence Convergence Innovation Human Resources Development (Ewha Womans University)), 국가과제고유번호: 1711179344).
- [3] 또한, 본 출원은 2023년도 정부(과학기술정보통신부)의 재원으로 정보통신기획평가원의 지원을 받아 수행된 연구 결과이다(과제번호: 2021-0-02068, 과제명: 인공지능 혁신 허브 연구 개발(Artificial Intelligence Innovation Hub), 국가과제고유번호: 1711193622).
- [4] 또한, 본 출원은 2023년도 정부(과학기술정보통신부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구 결과이다(과제번호: 2021R1G1A1092196, 과제명: 대규모 병렬 프로세서를 위한 미세 전력 관리 기법, 국가과제고유번호: 1711189100).

배경기술

- [5] 프로세서는 머신 러닝 및 블록 체인과 같은 애플리케이션을 실행할 수 있다. 프로세서에서 애플리케이션을 실행할 때 하나의 명령어에 의해 연산이 종료된 후 다음 명령어에 의한 연산이 실행되어 파이프라인 스톨(pipeline stall)이 발생할 수 있다. 파이프라인 스톨이 감소할수록 프로세서는 더 높은 성능을 발휘할 수 있다. 따라서, 이러한 파이프라인 스톨을 줄이기 연구가 활발히 수행되고 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 개시는 연산에 이용된 메모리 주소를 이용하여 다음 연산에 필요한 메모리를 프리로더 캐시에 미리 로딩함으로써 파이프라인 스톨을 줄일 수 있다.
- [7] 본 개시는 프리로더 캐시에 다음 연산에 필요한 메모리를 프리패치함으로써 데이터가 L1 캐시에서 적출되더라도 다시 데이터를 L1 캐시로 로딩할 필요가 없어 파이프라인 스톨을 줄일 수 있다.

과제 해결 수단

- [8] 본 개시의 일 실시예에 따른 전자 장치의 동작 방법은 이전 요구 메모리 요청(prior demand memory request)에 포함된 이전 요구 메모리 주소들(prior demand memory address)을 샘플링하는 단계, 상기 샘플링된 상기 이전 요구 메모리 주소

들 간의 보폭(stride)에 기반하여 프리패치 메모리 요청(prefetch memory request)을 생성하는 단계, 상기 프리패치 메모리 요청에 따른 프리패치 메모리 응답(prefetch response)을 프리로더에 전달하는 단계, 및 상기 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소(prefetch memory address)를 프리로더 캐시(preloader cache)에 저장하는 단계를 포함할 수 있다.

- [9] 상기 프리패치 메모리 요청을 생성하는 단계는, 상기 보폭에 기반하여 상기 프리패치 메모리 주소를 예측하고, 상기 프리패치 메모리 주소를 포함하는 상기 프리패치 메모리 요청을 생성할 수 있다.
- [10] 상기 보폭은, 인트라 워프 패턴 보폭(intra-warp pattern stride) 및 인터 워프 패턴 보폭(inter-warp pattern stride) 중 하나 또는 둘 이상의 조합을 포함하고, 상기 프리패치 메모리 요청을 생성하는 단계는, 상기 인트라 워프 패턴 보폭의 우선 순위를 상기 인터 워프 패턴 보폭 보다 높게 결정하여 상기 프리패치 메모리 요청을 결정할 수 있다.
- [11] 상기 프리패치 메모리 요청을 생성하는 단계는, 상기 보폭이 인트라 워프 패턴 및 인터 워프 패턴 보폭을 모두 포함하고 상기 인트라 워프 패턴 보폭 및 상기 인터 워프 패턴 보폭 각각에 기반한 상기 프리패치 메모리 주소가 상이한 경우, 상기 인트라 워프 패턴 보폭에 기반한 상기 프리패치 메모리 요청을 생성할 수 있다.
- [12] LDST 유닛(load/store unit)으로부터 다음 연산을 위한 요구 메모리 요청(demand memory request)을 상기 프리로더로 전달하는 단계, 및 상기 요구 메모리 요청에 포함된 요구 메모리 주소(demand memory address) 및 상기 프리패치 메모리 주소에 기반하여 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계를 더 포함할 수 있다.
- [13] 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계는, 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 메모리 주소에 대응하는 상기 프리패치 데이터를 상기 프리로더 캐시로부터 상기 LDST 유닛으로 전송할 수 있다.
- [14] 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계는, 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 상이한 경우, 상기 요구 메모리 요청을 하위 캐시로 전달하고, 상기 요구 메모리 요청을 수신한 상기 하위 캐시로부터 상기 데이터를 상기 LDST 유닛으로 전송할 수 있다.
- [15] 상기 프리로더 캐시는, 복수의 엔트리들을 포함하고, 상기 복수의 엔트리들 각각은 엔트리의 상태를 나타내는 상태 비트를 포함할 수 있다.
- [16] 상기 프리패치 메모리 요청이 생성되었는지 여부, 요구 메모리 요청이 생성되기 전에 상기 프리패치 메모리 응답이 프리로더에 도달했는지 여부, 및 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 여부에 따라 상기 상태 비트들을 업데이트하는 단계를 더 포함할 수 있다.

- [17] 상기 프리로더 캐시에 저장하는 단계는, 복수의 서브 프리패치 메모리 요청들(sub-prefetch memory requests)을 생성하고, 상기 복수의 서브 프리패치 메모리 요청들에 기반하여 상기 프리패치 메모리 주소를 저장할 수 있다.
- [18] 본 개시의 일 실시예에 따른, 전자 장치의 동작 방법은 샘플링된 이전 요구 메모리 주소들의 보폭에 기반하여 프리패치 메모리 요청을 생성하는 단계, 상기 프리패치 메모리 요청에 대한 응답인 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소(prefetch memory address)를 프리로더 캐시에 저장하는 단계, LDST 유닛으로부터 생성된 다음 연산을 위한 요구 메모리 요청에 포함된 요구 메모리 주소 및 상기 프리로더 캐시에 저장된 상기 프리패치 메모리 주소가 일치하는지 여부를 판단하는 단계, 및 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 데이터를 상기 LDST 유닛으로 전송하고, 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하지 않는 경우, 상기 요구 메모리 요청을 상기 프리로더 캐시의 하위 캐시로 전달하는 단계를 포함할 수 있다.
- [19] 본 발명의 일 실시예에 따른 전자 장치는, 이전 요구 메모리 요청(prior demand memory request)에 포함된 이전 요구 메모리 주소들(prior demand memory address)을 샘플링하고, 상기 샘플링된 상기 이전 요구 메모리 주소들 간의 보폭(stride)에 기반하여 프리패치 메모리 요청(prefetch memory request)을 생성하고, 상기 프리패치 메모리 요청에 따른 프리패치 메모리 응답(prefetch response)을 프리로더에 전달하고, 상기 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소(prefetch memory address)를 프리로더 캐시에 저장하는 프로세서를 포함하고, 상기 프로세서는, 상기 프리패치 메모리 요청을 생성하는 상기 프리로더를 포함하고, 상기 프리로더는, 상기 프리패치 메모리 주소 및 상기 프리패치 데이터를 저장하는 상기 프리로더 캐시를 포함할 수 있다.
- [20] 상기 프로세서는, 상기 보폭에 기반하여 상기 프리패치 메모리 주소를 예측하고, 상기 프리패치 메모리 주소를 포함하는 상기 프리패치 메모리 요청을 생성할 수 있다.
- [21] 상기 보폭은, 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭 중 하나 또는 둘 이상의 조합을 포함하고, 상기 프로세서는, 상기 인트라 워프 패턴 보폭의 우선 순위를 상기 인터 워프 패턴 보폭 보다 높게 결정하여 상기 프리패치 메모리 요청을 결정할 수 있다.
- [22] 상기 프로세서는, 상기 보폭이 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭을 모두 포함하고 상기 인트라 워프 패턴 보폭 및 상기 인터 워프 패턴 보폭 각각에 기반한 상기 프리패치 메모리 주소가 상이한 경우, 상기 인트라 워프 패턴 보폭에 기반한 상기 프리패치 메모리 요청을 생성할 수 있다.
- [23] 상기 프로세서는, LDST 유닛으로부터 다음 연산을 위한 요구 메모리 요청(demand memory request)을 상기 프리로더로 전달하고, 상기 요구 메모리 요청에

포함된 요구 메모리 주소(demand memory address) 및 상기 프리패치 메모리 주소에 기반하여 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송할 수 있다.

- [24] 상기 프로세서는, 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 메모리 주소에 대응하는 상기 프리패치 데이터를 상기 프리로더 캐시로부터 상기 LDST 유닛으로 전송할 수 있다.
- [25] 상기 프로세서는, 상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 상이한 경우, 상기 요구 메모리 요청을 하위 캐시로 전달하고, 상기 요구 메모리 요청을 수신한 상기 하위 캐시로부터 상기 데이터를 상기 LDST 유닛으로 전송할 수 있다.
- [26] 상기 프리로더 캐시는, 상기 프리로더 캐시에 포함되는 엔트리들의 상태를 나타내는 상태 비트를 포함할 수 있다.
- [27] 상기 프로세서는, 복수의 서브 프리패치 메모리 요청들(sub-prefetch memory requests)을 생성하고, 상기 복수의 서브 프리패치 메모리 요청들을 병합하여 상기 프리패치 메모리 주소를 생성할 수 있다.

발명의 효과

- [28] 본 개시의 일 실시예에 따르면, 다음 연산에 필요한 메모리를 프리로더 캐시에 미리 로딩함으로써 파이프라인 스톨을 줄일 수 있다.
- [29] 본 개시의 일 실시예에 따르면, 프리로더 캐시에 다음 연산에 필요한 메모리를 프리패치함으로써 데이터가 L1 캐시에서 적출되더라도 다시 데이터를 L1 캐시로 로딩할 필요가 없다.

도면의 간단한 설명

- [30] 도 1은 본 개시의 일 실시예에 따른 전자 장치를 도시한 도면이다.
- [31] 도 2는 본 개시의 일 실시예에 따른 GPU를 설명하기 위한 도면이다.
- [32] 도 3a 및 도 3b는 보폭을 설명하기 위한 도면이다.
- [33] 도 4a 내지 도 4d는 복수의 프리패칭 시나리오를 설명하기 위한 도면이다.
- [34] 도 5는 본 개시의 일 실시예에 따른 프리로더를 포함하는 전자 장치의 동작을 설명하기 위한 플로우 차트이다.
- [35] 도 6은 본 개시의 일 실시예에 따른 GPU의 동작을 설명하기 위한 플로우 차트이다.
- [36] 도 7a 내지 도 7c는 본 개시의 일 실시예에 따른 프리로더의 동작을 설명하기 위한 도면이다.
- [37] 도 8은 본 개시의 일 실시예에 따른 엔트리의 상태 업데이트를 설명하기 위한 도면이다.
- [38] 도 9는 본 개시의 일 실시예에 따른 전자 장치의 동작을 설명하기 위한 플로우 차트이다.

발명의 실시를 위한 최선의 형태

- [39] 이하, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 특허출원의 범위가 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [40] 아래 설명하는 실시예들에는 다양한 변경이 가해질 수 있다. 아래 설명하는 실시예들은 실시 형태에 대해 한정하려는 것이 아니며, 이들에 대한 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [41] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 이해되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [42] 실시예에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 실시예를 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수 개의 표현을 포함한다. 본 명세서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [43] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 실시예가 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [44] 또한, 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 실시예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 실시예의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [45] 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [46]
- [47] 도 1은 본 개시의 일 실시예에 따른 전자 장치를 도시한 도면이다.
- [48] 도 1을 참조하면 전자 장치(100)가 도시된다. 전자 장치(100)는 프로세서(110)를 포함할 수 있다. 도 1에 도시된 전자 장치(100)에는 본 개시의 실시예들과 관련된 구성 요소들만이 도시되어 있다. 따라서, 전자 장치(100)는 도 5에 도시된 구성

요소 외에 다른 범용적인 구성 요소들을 더 포함할 수 있음은 통상의 기술자에게 자명하다.

- [49] 프로세서(110)는 전자 장치(100)를 제어하기 위한 전반적인 기능을 수행하는 역할을 수행할 수 있다. 프로세서(110)는 메모리(미도시)에 저장된 프로그램들 및/또는 명령어들을 실행함으로써, 전자 장치(100)를 전반적으로 제어할 수 있다. 프로세서(110)는 전자 장치(100) 내에 구비된 CPU(central processing unit), GPU(graphics processing unit), TPU(tensor processing unit) 및 NPU(neural processing unit) 등으로 구현될 수 있으나, 이에 제한되지 않는다.
- [50] 프로세서(110)는 프리로더(preloader)(111)를 포함할 수 있다. 프리로더(111)는 캐시(미도시)를 포함할 수 있다. 프리로더(111)는 프리패치의 일종이지만, 캐시(미도시)를 포함하지 않는 프리패치와 구별하기 위해 프리로더(111)라고 하겠다. 프리로더(111)에 포함되는 캐시(미도시)를 프리로더 캐시라고 할 수 있다. 프리로더(111)는 이전 연산에서 이미 생성된 메모리 주소를 사용하여 보폭(stride)을 계산할 수 있다. 프리로더(111)는 이 보폭을 이용하여 다음 메모리 주소를 예측할 수 있다. 프리로더(111)는 예측한 다음 메모리 주소에 저장된 데이터를 프리로더 캐시로 미리 로딩하는 프리패치 메모리 요청을 생성할 수 있다.
- [51] 이하에서는, 설명의 편의를 위해 프로세서(110)의 예시 중 하나인 GPU를 이용하여 본 개시를 설명하도록 하겠다. 다만, 이하의 설명이 GPU뿐만 아니라 프리로더를 포함하는 경우, CPU, TPU 및 NPU에도 적용될 수 있음은 통상의 기술자에게 자명하다.
- [52]
- [53] 도 2는 본 개시의 일 실시예에 따른 GPU를 설명하기 위한 도면이다.
- [54] 도 2를 참조하면, 본 개시의 실시예에 따른 GPU(200)가 도시된다. GPU(200)는 쓰레드 블록 스케줄러(thread block scheduler), 복수의 스트리밍 멀티 프로세서들(streaming multiprocessor)(210-1, 210-2, 210-N), 인터커넥션(inter connection), 공유 L2 캐시(shared L2 cache)(220) 및 글로벌 메모리(global memory)(230)를 포함할 수 있다.
- [55] 복수의 스트리밍 멀티프로세서들(210-1, 210-2, 210-N)(이하, SM) 각각은 동시에 수천개의 쓰레드들(threads)을 실행할 수 있다. 각 SM은 스트리밍 프로세서(streaming processor, 이하 SP)(213)라고 불리는 수 백 개의 코어들을 포함할 수 있다. SP(213) 산술 연산(arithmetic operation)을 수행할 수 있다. SM들에 스케줄링된 쓰레드들은 복수의 워프들(warps)로 나누어질 수 있다. 복수의 워프들은 워프 스케줄러(211)에 의해 다양한 스케줄링 정책(scheduling policy)에 의해 SP(213)들에 스케줄링될 수 있다.
- [56] GPU(200)는 CPU와 유사한 메모리 계층(memory hierarchy)을 가질 수 있다. SM은 큰 크기의 레지스터 파일(register file)(212)을 포함할 수 있다. SM은 레지스터 파일(212)의 하위 계층으로 L1 캐시(216) 및 스크래치패드 메모리(scratchpad memory)(217)를 포함할 수 있다. 마지막으로, GPU(200)는 스케줄링된 모든 쓰레

드들에 의해 공유되는 공유 L2 캐시(220) 및 글로벌 메모리(230)를 포함할 수 있다.

- [57] 데이터가 명령어에 의해 사용되기 위해서는 레지스터 파일(212)에 로딩되어야 할 수 있다. 따라서, 데이터를 레지스터 파일(212)의 직전 하위 캐시에 미리 로딩하는 프리페칭(prefetching)을 통해 메모리 지연을 줄일 수 있다.
- [58] SM은 프리로더(preloader)(215)를 포함할 수 있다. 프리로더(215)는 프리패치를 수행할 수 있다. 프리로더(215)는 프리패치를 수행하는 프리패처(prefetcher)의 일종일 수 있다. 다만, 프리로더(215)는 내부에 프리패치 메모리 주소 및 프리패치 데이터를 저장하는 프리로더 캐시를 더 포함할 수 있다.
- [59] 프리로더(215)는 하위 캐시인 L1 캐시(216), 공유 L2 캐시(220) 또는 글로벌 메모리(230)로부터 데이터를 프리패치(prefetch)할 수 있다. 이하에서, L1 캐시(216), 공유 L2 캐시(220) 또는 글로벌 메모리(230)로부터 프리패치되는 데이터를 프리패치 데이터(prefetch data)라고 하겠다. 또한, 프리패치 데이터가 저장된 메모리의 주소를 프리패치 메모리 주소라고 하겠다. 프리로더(215)는 프리패치 데이터를 프리로더 캐시에 저장할 수 있다. 프리로더 캐시는 L1 캐시보다 상위라는 의미에서 L0 캐시(L0 cache)라고도 할 수 있다. 다시 말해, L0 캐시는 프리패치 데이터의 저장에 사용될 수 있다. 프리로더(215)는 LDST 유닛(load/store unit)으로부터 요구 메모리 요청(demand memory request)을 수신하면, 요구 메모리 요청에 포함된 요구 메모리 주소와 프리로더 캐시에 포함된 프리패치 메모리 주소를 비교할 수 있다. 비교 결과에 따라서, 프리로더(215)는 프리패치 데이터를 LDST 유닛에 전달하거나 요구 메모리 요청을 하위 캐시로 전달할 수 있다.
- [60] 이하에서는, 프리로더(215) 및 프리패처가 프리패치 메모리 주소(prefetch memory address)를 예측하는 방법에 대해서 설명하도록 하겠다.
- [61]
- [62] 도 3a 및 도 3b는 보폭을 설명하기 위한 도면이다. 도 3a 및 도 3b에서 상술한 프리로더 캐시를 포함하는 프리로더가 아닌 프리로더 캐시를 포함하지 않는 프리패처를 기준으로 보폭을 결정하고 데이터를 L1 캐시로 프리패치하는 방법을 설명하겠다.
- [63] 다만, 이하에서 설명하는 방법은 프리로더 캐시를 포함하는 프리로더에도 적용될 수 있음은 통상의 기술자에게 자명하다. 이때, 프리로더가 아래의 방법을 수행하는 경우, 도 6, 도 7a, 도 7b 및 도 7c에서 설명되듯이 프리패치 데이터는 L1 캐시가 아닌 프리로더 캐시에 저장될 수 있다.
- [64] 도 3a 및 도 3b를 참조하면, 프리패치 메모리 주소를 예측하기 위해 보폭(stride)을 결정하는 방법이 도시된다. 구체적으로, 도 3a는 인트라 워프 패턴 보폭(intra-warp pattern stride)을 결정하고 데이터를 프리패치하는 방법이 도시된다. 도 3b는 인터 워프 패턴 보폭(inter-warp pattern stride)을 결정하고 데이터를 프리패치하는 방법이 도시된다.

- [65] 도 3a 및 도 3b에서, 블록(301)은 이전 요구 메모리 요청에 따른 이전 요구 메모리 주소를 나타낼 수 있다. 블록(303)은 프리페치 메모리 요청(prefetch memory request)에 포함된 프리페치 메모리 주소를 나타낼 수 있다. 블록(305)은, 다음 연산을 위한 요구 메모리 요청에 포함된 요구 메모리 주소를 나타낼 수 있다.
- [66] 이전 요구 메모리 요청에 따른 이전 요구 메모리 주소는 이전 연산에 이용된 데이터가 저장된 메모리 주소를 의미할 수 있다. 프리페치 메모리 요청에 포함된 프리페치 메모리 주소는 프리페처가 다음 연산에 이용될 것이라고 예측한 데이터가 저장된 메모리 주소를 의미할 수 있다. 다음 연산을 위한 요구 메모리 요청에 포함된 요구 메모리 주소는 LDST 유닛에 의해 요청된 다음 연산에 필요한 데이터가 저장된 메모리 주소를 의미할 수 있다.
- [67] 인트라 워프 패턴 보폭은 동일한 워프로부터 생성된 요구 메모리 요청들 간의 보폭을 이용하여 프리페치 메모리 주소를 예측하는 알고리즘일 수 있다. 프리페처는 동일한 워프로부터 생성된 이전 요구 메모리 요청들에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다. 프리페처는 샘플링된 이전 요구 메모리 주소들 간의 보폭에 기반하여 프리페치 메모리 주소를 결정할 수 있다. 프리페처는 결정된 프리페치 메모리 주소에 저장된 데이터인 프리페치 데이터를 L1 캐시로 로딩하여 저장할 수 있다. 즉, 프리페처는 프리페치 데이터에 대해 프리페칭을 수행할 수 있다. 이후에, 다음 연산을 위한 요구 메모리 요청이 있는 경우, 프리페처는 요구 메모리 요청에 포함된 요구 메모리 주소와 L1 캐시에 저장된 프리페치 메모리 주소를 비교할 수 있다. 요구 메모리 주소와 프리페치 메모리 주소가 일치하는 경우, 프리페처는 L1 캐시에서 LDST 유닛으로 프리페치 데이터를 전달할 수 있다.
- [68] 예를 들어, 도 3a를 참조하면, 프리페처는 동일한 워프 #00에서 생성된 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다. 프리페처는 이전 요구 메모리 주소들 0x0100 및 0x0200 간의 보폭을 계산할 수 있다(도 3a에서 ①). 이때, 보폭은 0x0100 및 0x0200 간의 차이인 0x0100일 수 있다. 프리페처는 보폭을 이용하여 다음 연산에 필요한 프리페치 데이터가 저장된 프리페치 메모리 주소를 0x0300으로 예측할 수 있다(도 3a에서 ②). 프리페처는 0x0300에 위치한 프리페치 데이터를 L1 캐시에 로딩하여 저장할 수 있다. 다음 연산을 위해 워프 #00으로부터 요구 메모리 주소가 0x0300인 요구 메모리 요청이 생성되는 경우, LDST 유닛은 L1 캐시로 요구 메모리 요청을 전송할 수 있다. 이 때, L1 캐시에 저장되어 있고, 프리페치 메모리 주소 0x0300에 대응하는 프리페치 데이터는 LDST 유닛에 전송될 수 있다. 반면에, 요구 메모리 주소와 프리페치 메모리 주소가 상이한 경우, 요구 메모리 요청은 하위 캐시(예를 들어, L2 캐시)로 전달될 수 있다.
- [69] 인터 워프 패턴 보폭은 상이한 워프로부터 생성된 요구 메모리 요청들 간의 보폭을 이용하여 프리페치 메모리 주소를 예측하는 알고리즘 일수 있다. 프리페처는 상이한 워프로부터 생성된 이전 요구 메모리 요청들에 포함된 이전 요구 메모리

리 주소들을 샘플링할 수 있다. 샘플링된 이전 요구 메모리 주소들을 이용하여 보폭을 결정하는 단계부터는 인트라 워프 패턴 보폭과 동일하므로 설명을 생략하도록 하겠다.

- [70] 예를 들어, 도 3b를 참조하면, 프리패처는 상이한 워프 #00 및 워프 #01 각각으로부터 이전 요구 메모리 주소 0x0100 및 0x0200을 샘플링할 수 있다. 프리패처는 이전 요구 메모리 주소들 0x0100 및 0x0200을 이용하여 보폭을 0x0100으로 결정할 수 있다(도 3b에서 ①). 프리패처는 보폭을 이용하여 다음 연산을 위해 필요한 워프 #02가 필요로 하는 프리패치 데이터가 위치한 프리패치 메모리 주소를 0x0300으로 예측할 수 있다(도 3b에서 ②). 프리패처는 0x0300에 위치한 프리패치 데이터를 L1 캐시로 로딩하여 저장할 수 있다. 다음 연산을 위해 워프 #02로부터 요구 메모리 주소가 0x0300인 요구 메모리 요청이 생성되는 경우, LDST 유닛은 L1 캐시로 요구 메모리 요청을 전송할 수 있다. 이때, L1 캐시에 저장되어 있고, 프리패치 메모리 주소 0x0300에 대응하는 프리패치 데이터는 LDST 유닛에 전송될 수 있다. 반면에, 요구 메모리 주소와 프리패치 메모리 주소가 상이한 경우, 요구 메모리 요청은 하위 캐시(예를 들어, L2 캐시)로 전달될 수 있다.
- [71] 이하에서는, L1 캐시에 데이터를 프리패치했을 때 발생할 수 있는 시나리오에 대해서 설명하도록 하겠다.
- [72]
- [73] 도 4a 내지 도 4d는 복수의 프리패칭 시나리오를 설명하기 위한 도면이다.
- [74] 도 4a 내지 도 4d를 참조하면, GPU(400)는 스트리밍 멀티프로세서(410), 인터커넥션(420), L2 캐시(430) 및 글로벌 메모리(440)를 포함할 수 있다. 스트리밍 멀티프로세서(410)는 레지스터 파일(411), LDST 유닛(413), 프리패처(415) 및 L1 캐시(417)를 포함할 수 있다.
- [75] 도 4a를 참조하면, ①에서, 프리패처(415)는 다음 연산에 이용될 프리패치 데이터의 주소인 프리패치 메모리 주소를 예측할 수 있다. 프리패처(415)는 프리패치 메모리 주소를 포함하는 프리패치 메모리 요청을 생성하고, 프리패치 메모리 요청을 L1 캐시에 전달할 수 있다. 프리패치 메모리 요청은 L1 캐시에 프리패치 메모리 주소에 대응하는 프리패치 데이터가 로딩되어 있는지 여부를 확인할 수 있다. 프리패치 데이터가 로딩되어 있지 않은 경우 캐시 미스(cache miss)가 발생할 수 있다. 캐시 미스가 발생한 경우, 프리패치 메모리 요청은 인터커넥션(420)을 통해 하위 캐시인 L2 캐시(430) 및/또는 글로벌 메모리(440)로 전달될 수 있다.
- [76] ②에서, 프리패처 메모리 주소에 대응하는 프리패치 데이터가 L2 캐시(430) 및/또는 글로벌 메모리(440)에 존재하는 경우, 프리패치 메모리 요청에 따른 프리패치 메모리 응답(prefetch memory response)이 생성될 수 있다. 프리패치 메모리 응답은 인터커넥션(420)을 통해 L1 캐시(417)로 전달될 수 있다. 프리패치 메모리 응답은 프리패처 메모리 주소에 대응하는 프리패치 데이터를 포함할 수 있다. 프리패치 데이터 및 해당 프리패치 데이터에 대응하는 프리패치 메모리 주소는 L1 캐시(417)에 저장될 수 있다.

- [77] ③에서, LDST 유닛(413)은 L1 캐시(417)에 저장된 데이터를 레지스터 파일(411)로 로딩하기 위해 요구 메모리 요청을 생성할 수 있다. 요구 메모리 요청이 L1 캐시(417)에 전달되면, 요구 메모리 요청에 포함된 요구 메모리 주소는 L1 캐시(417)에 저장된 프리패치 메모리 주소와 비교될 수 있다. 요구 메모리 주소와 프리패치 메모리 주소가 일치하는 경우, 캐시 히트(cache hit)가 발생할 수 있다.
- [78] ④에서, 캐시 히트가 발생한 경우, 프리패치 데이터는 L1 캐시(417)로부터 LDST 유닛(413)을 통해 레지스터 파일(411)로 전송될 수 있다. 캐시 히트가 발생한 경우, 요구 메모리 요청은 L1 캐시(417)의 하위 캐시로 전달되지 않을 수 있다. 캐시 미스가 발생한 경우, 요구 메모리 요청은 L1 캐시(417)의 하위 캐시인 L2 캐시(430) 및/또는 글로벌 메모리(440)로 전달될 수 있다.
- [79] 즉, 프리패치 메모리 요청이 발생한 후 요구 메모리 요청이 발생하여 프리패치 데이터가 미리 L1 캐시(417)로 로딩될 수 있다. 이때, 요구 메모리 요청이 L1 캐시(417)의 하위 캐시로 전달될 필요가 없어 메모리 지연이 감소하여 높은 성능 향상을 획득할 수 있다.
- [80] 도 4b를 참조하면, ①에서, 프리패치(415)는 다음 연산에 이용될 프리패치 데이터의 주소인 프리패치 메모리 주소를 예측할 수 있다. 프리패치(415)는 프리패치 메모리 주소를 포함하는 프리패치 메모리 요청을 생성하고, 프리패치 메모리 요청을 L1 캐시에 전달할 수 있다. 이때, 프리패치 데이터가 L1 캐시(417)에 이미 로딩되어 있어 캐시 히트가 발생할 수 있다. 프리패치 메모리 요청은 캐시 히트가 발생하여 삭제될 수 있다.
- [81] ②에서, LDST 유닛(413)은 L1 캐시에 저장된 데이터를 레지스터 파일(411)로 로딩하기 위해 요구 메모리 요청을 생성할 수 있다. 요구 메모리 요청이 L1 캐시(417)에 전달되면, 요구 메모리 요청에 포함된 요구 메모리 주소는 L1 캐시(417)에 저장된 프리패치 메모리 주소와 비교될 수 있다. 요구 메모리 주소와 프리패치 메모리 주소가 일치하는 경우, 캐시 히트(cache hit)가 발생할 수 있다.
- [82] ③에서, 캐시 히트가 발생한 경우, 프리패치 데이터는 L1 캐시(417)로부터 LDST 유닛(413)을 통해 레지스터 파일(411)로 전송될 수 있다.
- [83] 다만, 도 4b는 이미 L1 캐시(417)에 데이터가 로딩되어 있으므로, 프리패칭에 의한 효과는 존재하지 않는다.
- [84] 도 4c를 참조하면, ① 및 ② 단계는 도 4a에서 설명한 바 설명을 생략하겠다.
- [85] GPU는 수 천개의 쓰레드를 동시에 수행하여 L1 캐시(417)를 공유하는 구조일 수 있다. 따라서, L1 캐시(417)의 크기는 제한적일 수 있다.
- [86] 따라서, ③에서, ① 및 ② 단계를 통해 L1 캐시(417)에 저장된 프리패치 데이터가 적출(eviction)될 수 있다. 예를 들어, L1 캐시(417)에 요구 메모리 요청이 도달하기 전에 다른 워프(또는, 쓰레드)의 요구 메모리 요청에 의해 프리패치 데이터가 적출되고, 다른 워프(또는, 쓰레드)가 필요로 하는 데이터가 쓰여 질 수 있다.
- [87] ④에서, 요구 메모리 요청이 생성되었지만, 이미 프리패치 데이터가 적출된 이후일 수 있다. 따라서, 요구 메모리 요청이 L1 캐시(417)에 전달되어도 프리 패치

데이터는 이미 적출되었으므로 캐시 미스가 발생할 수 있다. 따라서, 요구 메모리 요청은 인터커넥션(420)을 통해 L2 캐시(430) 또는 글로벌 메모리(440)로 전달될 수 있다.

[88] ⑤에서, 요구 메모리 요청에 따른 요구 메모리 응답으로 데이터가 L2 캐시(430) 또는 글로벌 메모리(440)로부터 LDST 유닛(413)을 통해 레지스터 파일(411)로 전송될 수 있다.

[89] 다시 말해, 프리패치 데이터가 정상적으로 L1 캐시(417)에 로딩되었음에도 적출됨으로써 다시 L2 캐시(430) 또는 글로벌 메모리(440)로부터 데이터를 로딩하기 위해 수백 사이클이 소요되는 문제가 있을 수 있다. 따라서, L1 캐시(417), 인터커넥션(420), L2 캐시(430) 및 글로벌 메모리(440)의 부하가 증가할 수 있다. 결국, 메모리 지연이 급격히 증가하여 GPU의 성능이 감소할 수 있다.

[90] 도 4d를 참조하면, ①에서, 프리패치(415)가 다음 연산에 필요한 프리패치 데이터가 위치한 프리패치 메모리 주소를 예측하였으나, 예측이 잘못될 수 있다. 즉, 도 4a에서 설명한 ① 및 ② 단계를 통해 프리패치 데이터를 L1 캐시(417)에 로딩할 수 있지만, 예측이 틀려 프리패치 데이터가 불필요하게 L1 캐시(417)의 공간만을 점유할 수 있다.

[91] ③에서, LDST 유닛(413)이 L1 캐시(417)에 저장된 데이터를 레지스터 파일(411)로 로딩하기 위해 요구 메모리 요청을 생성했으나, 프리패치 메모리 주소의 예측이 틀려 캐시 미스가 발생할 수 있다. 캐시 미스가 발생한 이후의 단계는 도 4c에서 상술한바 설명을 생략하도록 하겠다.

[92] 결과적으로, 예측이 틀린 경우에도 프리패치 데이터가 적출된 경우와 마찬가지로 메모리 지연이 급격히 증가하여 GPU의 성능이 감소하는 문제가 있을 수 있다. 다만, GPU에서 실행되는 애플리케이션은 대체로 일정한 보폭을 갖기 때문에 예측이 잘못되는 경우는 제한적으로 발생할 수 있다.

[93] 이하에서는, 별도의 프리로더 캐시를 포함하는 프리로더를 이용하여 상술한 문제를 해결하는 방법에 대해서 설명하겠다.

[94]

[95] 도 5는 본 개시의 일 실시예에 따른 프리로더를 포함하는 전자 장치의 동작을 설명하기 위한 플로우 차트이다.

[96] 이하 실시예에서 각 동작들은 순차적으로 수행될 수도 있으나, 반드시 순차적으로 수행되는 것은 아니다. 예를 들어, 각 동작들의 순서가 변경될 수도 있으며, 적어도 두 동작들이 병렬적으로 수행될 수도 있다. 단계(501) 내지 단계(509)는 프로세서에 의해 수행될 수 있으나 실시예가 이에 한정되지 않으며 프리로더에 의해 수행될 수도 있다.

[97] 단계(501)에서, 프로세서는 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다.

- [98] 프로세서는 동일한 워프의 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다. 또는, 프로세서는 상이한 워프의 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다.
- [99] 단계(502)에서, 프로세서는 샘플링된 이전 요구 메모리 주소들 간의 보폭에 기반하여 프리패치 메모리 요청을 생성할 수 있다.
- [100] 프로세서는 동일한 워프의 이전 요구 메모리 주소들 간의 보폭에 기반하여 인트라 워프 패턴 보폭을 결정할 수 있다. 프로세서는 상이한 워프의 이전 요구 메모리 주소들 간의 보폭에 기반하여 인터 워프 패턴 보폭을 결정할 수 있다. 프로세서는 인트라 워프 패턴 보폭 및/또는 인터 워프 패턴 보폭에 기반하여 다음 연산에 필요한 데이터가 저장된 프리패치 메모리 주소를 예측할 수 있다. 프리패치 메모리 요청은 예측된 프리패치 메모리 주소를 포함할 수 있다.
- [101] 프로세서가 보폭을 결정한 결과, 보폭이 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭을 모두 포함할 수 있다. 이때, 인트라 워프 패턴 보폭의 우선순위가 인터 워프 패턴 보폭보다 높을 수 있다. 따라서, 보폭을 결정한 결과, 보폭이 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭을 모두 포함하고, 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭이 상이한 경우, 프로세서는 인트라 워프 패턴 보폭에 기반하여 프리패치 메모리 요청을 생성할 수 있다.
- [102] 단계(503)에서, 프리패치 메모리 요청에 따른 프리패치 메모리 응답을 프리로더에 전달할 수 있다.
- [103] 프로세서는 프리패치 메모리 요청을 프리로더에 포함되는 프리로더 캐시의 하위 캐시로 전달할 수 있다. 프리로더 캐시의 하위 캐시는 L1 캐시, L2 캐시 및 글로벌 메모리일 수 있다. 프리패치 메모리 요청을 수신한 하위 캐시에 프리패치 데이터가 저장되어 있는 경우, 프리패치 메모리 응답이 생성될 수 있다. 프로세서는 생성된 프리패치 메모리 응답을 프리로더에 전송할 수 있다. 프리패치 메모리 응답은 프리패치 데이터를 포함할 수 있다. 예를 들어, 프리패치 데이터가 L2 캐시에 존재하는 경우, L2 캐시에서 프리패치 메모리 응답이 생성될 수 있다. 프리패치 메모리 응답은 L2 캐시로부터 프리로더로 전송될 수 있고, 프리패치 메모리 응답은 프리패치 데이터를 포함할 수 있다.
- [104] 단계(504)에서, 프로세서는 프리패치 메모리 요청에 포함되는 프리패치 데이터 및 프리패치 데이터에 대응하는 프리패치 메모리 주소를 프리로더 캐시에 저장할 수 있다.
- [105] 프로세서는 요구 메모리 요청이 프리로더에 수신되었을 때 프리패치 메모리 주소가 제대로 예측되었는지 여부를 확인하기 위해 프리패치 메모리 주소를 저장할 수 있다. 요구 메모리 요청은 요구 메모리 주소를 포함할 수 있다. 요구 메모리 주소는 다음 연산을 위해 명령어가 필요한 데이터가 저장된 주소를 의미할 수 있다. 따라서, 프리패치 데이터가 정확히 프리로더 캐시에 로딩된 경우, 프리패치 메모리 주소와 요구 메모리 주소는 일치할 수 있다.

- [106] 단계(505)에서, 프로세서는 LDST 유닛에서 생성된 다음 연산을 위한 요구 메모리 요청을 프리로더로 전달할 수 있다.
- [107] 단계(506)에서, 프로세서는 요구 메모리 주소와 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하는 지 여부를 확인할 수 있다.
- [108] 단계(507)에서, 요구 메모리 주소와 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하지 않는 경우, 프로세서는 요구 메모리 요청을 하위 캐시로 전달할 수 있다.
- [109] 다시 말해, 프로세서는 요구 메모리 요청을 프리로더에 포함된 캐시의 하위 캐시로 요구 메모리 요청을 전달할 수 있다. 여기서, 하위 캐시는 L1 캐시, L2 캐시 및 글로벌 메모리를 포함할 수 있다.
- [110] 단계(508)에서, 프로세서는 하위 캐시에 저장된 데이터를 LDST 유닛에 전송할 수 있다.
- [111] 요구 메모리 요청을 수신한 하위 캐시가 요구 메모리 주소에 대응하는 데이터를 포함하고 있는 경우, 프로세서는 요구 메모리 응답을 LDST 유닛에 전송할 수 있다. 요구 메모리 응답은 요구 메모리 주소에 대응하는 데이터를 포함할 수 있다.
- [112] 단계(509)에서, 요구 메모리 주소와 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하는 경우, 프로세서는 프리로더 캐시에 저장된 프리패치 데이터를 LDST 유닛으로 전송할 수 있다.
- [113] 다시 말해, 프로세서는 요구 메모리 요청에 대한 응답으로 프리로더 캐시에 저장된 프리패치 데이터를 LDST 유닛으로 전송할 수 있다.
- [114] 결국, 다음 연산에 필요하다고 예측된 데이터가 L1 캐시가 아닌 프리로더 캐시에 저장됨으로써 도 4c와 같은 데이터의 적출을 방지할 수 있다.
- [115] 이하에서는 상술한 프리로더를 포함하는 프로세서의 동작을 도면을 이용하여 설명하도록 하겠다.
- [116]
- [117] 도 6은 본 개시의 일 실시예에 따른 GPU의 동작을 설명하기 위한 플로우 차트이다.
- [118] 도 6을 참조하면, GPU(600)는 스트리밍 멀티프로세서(610), 인터커넥션(620), L2 캐시(630) 및 글로벌 메모리(640)를 포함할 수 있다. 스트리밍 멀티프로세서(610)는 레지스터 파일(611), LDST 유닛(613), 프리로더(615) 및 L1 캐시(617)를 포함할 수 있다. 프리로더(615)는 내부 저장 장치인 캐시(미도시)를 포함할 수 있다. 이하에서는 프리로더(615)에 포함된 캐시(미도시)를 프리로더 캐시(preloader cache)라고 하겠다.
- [119] 프리로더(615)는 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링할 수 있다. 프리로더(615)는 샘플링된 이전 요구 메모리 주소들을 이용하여 보폭을 결정할 수 있다. 프리로더(615)는 샘플링된 이전 요구 메모리 주소들을 보폭이 이용하여 인터 워프 패턴 보폭 및/또는 인트라 워프 패턴 보폭인지 여부

를 결정할 수 있다. 프리로더(615)는 결정한 보폭에 기반하여 다음 연산에 이용될 데이터가 저장된 주소인 프리패치 메모리 주소를 예측할 수 있다. 다시 말해, 프리로더(615)는 LDST 유닛에 의해 생성될 요구 메모리 요청에 포함될 요구 메모리 주소를 예측할 수 있다.

[120] 이후, 프리로더(615)는 프리패치 메모리 주소를 포함하는 프리패치 메모리 요청을 생성할 수 있다. 프리패치 메모리 요청은 L1 캐시(617)로 전달될 수 있다. L1 캐시에 프리패치 메모리 주소에 대응하는 프리패치 데이터가 존재하는 경우 캐시 히트가 발생할 수 있다. 캐시 히트가 발생한 경우, 프리패치 메모리 요청에 따른 프리패치 메모리 응답이 L1 캐시(617)로부터 프리로더(615)에 전송될 수 있다. 이때, 프리패치 메모리 응답은 프리패치 데이터를 포함할 수 있다. 프리로더(615)는 프리패치 메모리 응답을 수신하여 프리패치 데이터를 프리로더 캐시에 저장할 수 있다.

[121] 반면에, L1 캐시(617)에 프리패치 메모리 주소에 대응하는 프리패치 데이터가 존재하지 않는 경우, 캐시 미스가 발생할 수 있다. 이때, 프리패치 메모리 요청은 인터커넥션(620)을 통해 하위 캐시로 전달될 수 있다. 프리패치 메모리 요청을 수신한 하위 캐시에 프리패치 메모리 주소에 대응하는 프리패치 데이터가 존재하는 경우, 캐시 히트가 발생하고 해당 하위 캐시에서 프리패치 메모리 응답이 생성될 수 있다. 이때, 프리패치 메모리 응답은 프리로더(615)까지 전송될 수 있다. 프리로더(615)는 프리패치 메모리 응답에 포함된 프리패치 데이터를 프리로더 캐시에 저장할 수 있다.

[122] 예를 들어, L2 캐시에도 프리패치 데이터가 존재하지 않는 경우, 캐시 미스가 발생하고 프리패치 메모리 요청은 글로벌 메모리(640)까지 전달될 수 있다. 글로벌 메모리(640)에 프리패치 데이터가 존재하는 경우, 프리패치 메모리 응답이 생성될 수 있다. 생성된 프리패치 메모리 응답은 프리로더(615)까지 전송될 수 있다.

[123] 그 다음, LDST 유닛(613)에서 다음 연산을 위해 필요한 데이터를 레지스터 파일(611)에 로딩하기 위해 요구 메모리 요청을 생성할 수 있다. 요구 메모리 요청은 다음 연산을 위해 필요한 데이터가 저장된 요구 메모리 주소를 포함할 수 있다.

[124] 요구 메모리 요청은 프리로더(615)로 전달될 수 있다. 프리로더 캐시에 저장된 프리패치 데이터의 프리패치 데이터 주소와 요구 메모리 요청의 요구 메모리 주소를 비교하여 동일한 경우, 프리패치 데이터는 LDST 유닛(613)을 통해 레지스터 파일(611)에 로딩될 수 있다.

[125] 결국, 요구 메모리 요청이 L1 캐시(617) 또는 그 이하의 캐시까지 접근하지 않더라도 프리패치 데이터가 레지스터 파일(611)로 로딩될 수 있다. 다시 말해, 최소의 메모리 지연만으로 필요한 데이터를 레지스터 파일(611)에 로딩할 수 있다.

[126] 이하에서는, 프리로더(615)의 내부 동작을 설명하도록 하겠다.

[127]

- [128] 도 7a 내지 도 7c는 본 개시의 일 실시예에 따른 프리로더의 동작을 설명하기 위한 도면이다.
- [129] 도 7a 내지 도 7c를 참조하면, LDST 유닛(710), 프리로더(720) 및 L1 캐시(730)가 도시된다. 프리로더(720)는 프리패치 주소 생성기(721) 및 프리로더 캐시(723)를 포함할 수 있다. 프리로더 캐시(723)는 프리로더(720)의 내부 저장 장치일 수 있다. 프리로더(720)는 LDST 유닛(710)과 연결될 수 있다. 따라서, LDST 유닛(710)에서 생성되는 모든 요구 메모리 요청은 프리로더(720)를 통과할 수 있다. 최근 GPU는 128 바이트 크기의 캐시 라인을 4개의 32 바이트 크기의 섹터(sector)로 분할하는 섹터 L1 캐시를 이용할 수 있다. 섹터 L1 캐시는 128 바이트 크기의 캐시 라인을 모두 로딩하는 대신 섹터 측면에서 데이터를 로딩할 수 있다. L1 캐시(730)는 섹터 L1 캐시일 수 있다.
- [130] 프리로더 캐시(723)는 엔트리의 상태, 프리패치 메모리 주소 및 프리패치 데이터를 저장하기 위해 각 워프마다 하나의 엔트리를 포함할 수 있다. 따라서, 프리로더 캐시(723)는 총 64개의 엔트리를 포함할 수 있다. 다시 말해, 프리로더 캐시(723)는 총 64개의 행을 가질 수 있다. 엔트리들 각각은 워프 ID로 인덱싱될 수 있다. 예를 들어, 첫번째 엔트리는 워프 #00로 인덱싱 될 수 있고, 두번째 엔트리는 워프 #01로 인덱싱 될 수 있다. 엔트리들 각각은 엔트리의 상태를 나타내는 상태 비트 4 비트, 프리패치 메모리 주소를 나타내는 106 비트 및 프리패치 데이터를 나타내는 1024 비트를 포함할 수 있다.
- [131] 프리로더(720)는 섹터 크기의 데이터를 프리패칭하기 위해 복수의 서브 프리패치 메모리 요청(sub-prefetch memory request)들을 생성할 수 있다. 이하에서는 설명의 편의를 위해 프리패치 메모리 요청이 4개의 서브 프리패치 메모리 요청들로 구성된다고 가정하겠다. 따라서, 본 개시는 프리패치 메모리 요청이 4개인 경우에 한정되지 않음은 통상의 기술자에게 자명하다. 이때, 4개의 서브 프리패치 메모리 요청들 각각은 4개의 상이한 캐시 라인에 위치한 섹터의 데이터에 접근할 수 있다.
- [132] 도 7a는 프리패치 메모리 요청을 생성하는 방법을 설명하기 위한 도면이다. 이하에서, ① 내지 ⑦은 설명의 편의를 위한 숫자일 뿐, 동작이 순차적으로 수행됨을 의미하는 것은 아니다.
- [133] ①에서, 프리패치 주소 생성기(721)는 프리패치 메모리 요청을 생성할 수 있다. 프리패치 메모리 요청은 프리패치 메모리 주소를 포함하고 L1 캐시(730)으로 전달될 수 있다. 프리패치 주소 생성기(721)는 각 워프에 대해 서브 프리패치 메모리 요청을 4개까지 생성할 수 있다. 각 서브 프리패치 메모리 요청은 L1 캐시로 전달되는 하나의 섹터에 대한 요청일 수 있다. 다시 말해, 프리패치 메모리 요청은 4개의 서브 프리패치 메모리 요청으로 구성될 수 있다. 서브 프리패치 메모리 요청들 각각은 주소를 포함할 수 있다. 프리패치 메모리 주소는 4개의 서브 프리패치 메모리 요청들에 포함되는 주소로 구성될 수 있다.

- [134] ②에서, 요구 메모리 요청에 포함된 요구 메모리 주소와 프리패치 메모리 요청에 포함된 프리패치 메모리 주소가 일치하는지 여부를 확인하기 위해 프리로더(720)는 프리패치 메모리 주소를 프리로더 캐시(723)에 저장할 수 있다. 이때, 프리패치 메모리 주소 전부를 저장하기보다 프리패치 메모리 주소를 구성하는 4개의 서브 프리패치 메모리 요청의 주소 일부만을 저장할 수 있다.
- [135] 즉, ③에서, 4개의 서브 프리패치 메모리 요청의 주소를 모두 저장하기 보다 제1 서브 프리패치 메모리 요청에 포함되는 주소 및 다른 서브 프리패치 메모리 요청에 포함되는 주소의 오프셋이 저장할 수 있다. 오프셋은 20 비트로 제한되지만, LSB(least significant bit) 6 비트는 섹터 오프셋으로 이를 제외한 14비트만이 저장될 수 있다.
- [136] 따라서, ⑥에서, 제1 서브 프리패치 메모리 요청에 포함되는 주소 64 비트 및 다른 서브 프리패치 메모리 요청들 각각의 오프셋 14비트가 결합될 수 있다.
- [137] 결국, ⑦에서, 프리패치 메모리 주소는 106 비트로 변환되어 프리로더 캐시(723)에 저장될 수 있다.
- [138] ④에서, 프리로더 캐시(723)에 상술한 106비트로 변환된 주소를 저장하기 위해 프리로더(720)는 워프 ID를 인덱스로 이용할 수 있다. 프리로더(720)는 하나의 워프에 대해 하나의 프리패치 메모리 요청을 생성할 수 있으므로, 프리로더 캐시(723)는 엔트리의 상태, 변환된 주소 및 프리패치 데이터를 저장하기 위해 64개의 엔트리를 가질 수 있다. 엔트리들 각각은 워프 ID로 인덱싱되므로, 프리로더(720)는 변환된 주소를 저장하기 위해 워프 ID를 인덱스로 이용할 수 있다.
- [139] ⑤에서, 프리패치 메모리 요청이 L1 캐시(730)으로 전달된 경우, 엔트리의 상태를 나타내는 상태 비트가 업데이트 될 수 있다. 상태 비트는 프리패치 메모리 요청이 생성되었음을 나타내도록 업데이트 될 수 있다. 엔트리의 상태가 업데이트 되는 방법은 도 8에서 더 설명하도록 하겠다.
- [140] 도 7b는 LDST 유닛(710)으로부터 프리로더(720)로 요구 메모리 요청이 전달되었을 때를 설명하기 위한 도면이다. ① 내지 ⑥은 설명의 편의를 위한 숫자일 뿐, 동작이 순차적으로 수행됨을 의미하는 것은 아니다.
- [141] 요구 메모리 요청은 4개의 요구 서브 메모리 요청들(demand sub-memory requests)으로 구성될 수 있다. 이하에서는 설명의 편의를 위해 요구 메모리 요청은 4개의 요구 서브 메모리 요청들로 구성된다고 가정하겠다. 다만, 본 개시는 요구 서브 메모리 요청들이 4개인 경우에 한정되지 않음은 통상의 기술자에게 자명하다. 요구 서브 메모리 요청들 각각은 요구 주소(demand address)를 포함할 수 있다. 요구 메모리 요청은 요구 메모리 주소를 포함할 수 있다. 요구 메모리 주소는 요구 서브 메모리 요청들의 요구 주소로 구성될 수 있다.
- [142] ①에서, 요구 메모리 요청이 프리로더(720)에 도착하면, 프리로더(720)는 워프 ID를 이용하여 프리로더 캐시(723)에서 엔트리를 선택할 수 있다. 요구 메모리 요청은 특정 워프의 다음 연산에 대한 것일 수 있다. 따라서, 프리로더(720)는 이

특정 워프의 워프 ID를 이용하여 프리로더 캐시(723)에서 엔트리를 선택할 수 있다.

- [143] ②에서, 요구 서브 메모리 요청들의 오프셋은 도 7a에서 프리패치 서브 메모리 주소와 동일한 방식으로 계산될 수 있다. 즉, 제1 요구 서브 메모리 요청을 제외한 다른 요구 서브 메모리 요청들의 요구 주소에서 오프셋은 20 비트로 제한되지만, LSB 6비트를 제외한 14 비트만이 오프셋으로 계산될 수 있다.
- [144] ③에서, 제1 요구 서브 메모리의 요구 주소 64 비트 및 다른 요구 서브 메모리 요청들 각각의 오프셋 14비트가 결합될 수 있다.
- [145] ④에서, 프리로더 캐시(723)의 엔트리에 저장된 프리패치 메모리 주소가 변환된 주소 및 ③에서 결합된 주소가 비교될 수 있다. 다시 말해, 프리패치 메모리 주소와 요구 메모리 주소가 비교될 수 있다.
- [146] ⑤에서, 비교 결과 및 선택된 엔트리의 상태에 기반하여, 상태 비트가 업데이트될 수 있다. 그리고, 비교 결과 및 선택된 엔트리에 기반하여 요구 메모리 요청이 L1 캐시(730)에 전달될 수 있다.
- [147] 비교 결과 주소가 동일하고 엔트리의 상태가 이미 프리패치 요청이 생성된 상태라면, 요구 메모리 요청은 삭제되고 L1 캐시(730)로 전달되지 않을 수 있다. 다시 말해, 비교 결과 주소가 동일하고 엔트리의 상태가 이미 프리패치 요청이 생성된 상태는 프리로더 캐시(723)에 저장된 프리패치 메모리 주소가 정확히 예측되었음을 의미할 수 있다.
- [148] 따라서, 이 경우 ⑥에서, 프리로더 캐시(723)에서 프리패치 데이터를 LDST 유닛(710)으로 라이트 백 연산(writeback operation)을 통해 전달하면 되고, L1 캐시(730)로 요구 메모리 요청을 전달할 필요가 없을 수 있다.
- [149] 다만, ⑤에서 비교 결과 주소가 다른 경우, 라이트 백 연산이 수행되지 않고 요구 메모리 요청이 L1 캐시(730)로 전달될 수 있다.
- [150] 상술한 동작 이후, 엔트리의 상태는 업데이트될 수 있다. 엔트리의 상태가 업데이트되는 방법에 대해서는 도 8에서 설명하도록 하겠다.
- [151] 도 7c는 프리패치 메모리 응답을 관리하는 방법을 설명하기 위한 도면이다.
- [152] 프리패치 메모리 요청이 프리로더 캐시(723)의 하위 캐시로 전달되었고, 그에 대한 응답으로 하위 캐시로부터 프리패치 메모리 응답이 프리로더(720)에 전달될 수 있다. 프리패치 메모리 응답은 프리패치 데이터를 포함할 수 있다. 이때, 프리패치 데이터는 프리로더 캐시(723)에 저장되거나 LDST 유닛(710)으로 우회될 수 있다.
- [153] 구체적으로 ①에서, 프리로더(720)는 프리패치 메모리 요청의 자세한 정보를 가지고 있는 엔트리를 선택하기 위해 워프 ID를 이용할 수 있다. 프리로더(720)는 워프 ID를 이용하여 해당 워프 ID로 인덱싱된 엔트리를 프리로더 캐시(723)에서 선택할 수 있다.

- [154] ②에서, 엔트리의 상태가 요구 메모리 요청이 이미 생성된 상태이고 엔트리에 저장된 프리패치 메모리 주소 및 요구 메모리 요청에 포함된 요구 메모리 주소가 일치하는지 여부를 판단할 수 있다.
- [155] ③에서, 엔트리의 상태가 요구 메모리 요청이 이미 생성된 상태이고 엔트리에 저장된 프리패치 메모리 주소 및 요구 메모리 요청에 포함된 요구 메모리 주소가 일치하는 경우, 프리패치 메모리 응답은 디멀티플렉서(demultiplexer)를 이용하여 LDST 유닛으로 라이트 백 될 수 있다. 즉, 이미 요구 메모리 요청이 생성된 경우, 프리패치 데이터는 프리로더 캐시(723)에 저장되지 않고 LDST 유닛으로 우회할 수 있다.
- [156] ④에서, 엔트리의 상태가 요구 메모리 요청이 이미 생성된 상태가 아니거나 엔트리에 저장된 프리패치 메모리 주소 및 요구 메모리 요청에 포함된 요구 메모리 주소가 일치하지 않는 경우, 프리패치 메모리 응답에 포함된 프리패치 데이터는 프리로더 캐시(723)에 저장될 수 있다. 이때, 저장된 프리패치 데이터는 추후 LDST 유닛에 의해 요구 메모리 요청이 생성되었을 때 도 7b에서 설명한 방법에 따라 LDST 유닛으로 전송될 수 있다.
- [157] 이하에서는, 엔트리의 상태가 프리로더(720)의 상태에 따라 업데이트되는 방법에 대해서 설명하도록 하겠다.
- [158]
- [159] 도 8은 본 개시의 일 실시예에 따른 엔트리의 상태 업데이트를 설명하기 위한 도면이다.
- [160] 프리로더 캐시에 포함되는 엔트리들 각각은 개별적으로 5개의 상태를 가질 수 있다. 엔트리의 상태는 상태 비트로 표현될 수 있다. 상태 비트는 복수의 비트들을 포함할 수 있다. 상태 비트 중에서 하위 2 비트가 엔트리의 상태를 나타낼 수 있다. 상태 비트 중에서 하위 2 비트를 제외한 상위 비트는 복수의 서브 프리패치 메모리 요청들을 관리하는데 이용될 수 있다. 복수의 비트들 중에서 하위 2비트를 제외한 상위 비트의 개수는 복수의 서브 프리패치 메모리 요청들의 개수에 기반할 수 있다. 다시 말해, 하위 2비트를 제외한 상위 비트가 N개인 경우, 2^N 개의 서브 프리패치 메모리 요청들이 관리될 수 있다. 하위 2비트를 제외한 상위 비트는 복수의 서브 프리패치 메모리 요청에 대응하는 복수의 서브 프리패치 메모리 응답이 프리로더에 도착한 개수에 따라 업데이트될 수 있다.
- [161] 이하에서는, 설명의 편의를 위해 상태 비트가 4비트인 경우를 가정하여 설명하겠다. 이때, 하위 2 비트는 엔트리의 상태를 나타낼 수 있고, 상위 2비트는 2^2 개의 서브 프리패치 메모리 요청들을 관리하는데 이용될 수 있다. 다만, 이하의 설명은 상태 비트가 4비트인 경우에 한정되지 않음은 통상의 기술자에게 자명하다.
- [162] 엔트리의 상태는 항상 Invalid 상태에서 시작할 수 있고, Invalid 상태에서 상태 비트는 [0 0 0 0]으로 표현될 수 있다.

- [163] ①에서, 프리패치 메모리 요청이 생성되고 106 비트의 주소가 엔트리에 저장되는 경우, 엔트리의 상태는 Invalid 상태에서 Pref. Gen. 상태로 업데이트될 수 있다. Pref. Gen. 상태는 [0 0 0 1]로 표현될 수 있다.
- [164] Pref. Gen. 상태는 프리패치 메모리 요청이 생성되었음을 나타내는 상태일 수 있다.
- [165] 엔트리의 상태는 Pref. Gen. 상태에서 3 가지의 상태 중 어느 하나로 업데이트될 수 있다.
- [166] ②에서, 요구 메모리 요청이 생성되었고, 엔트리에 저장된 프리패치 데이터 주소와 요구 메모리 요청에 포함된 요구 메모리 주소가 일치하는 경우, 엔트리의 상태는 Pref. Gen. 상태에서 Dem. Gen. 으로 업데이트될 수 있다. Dem. Gen. 상태는 [## 1 1]로 표현될 수 있다.
- [167] 여기서, 상위 2 비트는 서브 프리패치 메모리 요청에 대응하는 서브 프리패치 메모리 응답의 개수에 따라 업데이트될 수 있다. 예를 들어, 4개의 요구 서브 메모리 요청에 대응하여 2개의 요구 서브 메모리 응답만이 프리로더에 도착한 경우, 상위 2비트는 [1 0]으로 표현될 수 있다.
- [168] ③에서, 요구 메모리 요청이 생성되었고, 엔트리에 저장된 프리패치 데이터 주소와 요구 메모리 요청에 포함된 요구 메모리 주소가 일치하지 않는 경우, 엔트리의 상태는 Pref. Gen. 상태에서 Miss Match 상태로 업데이트될 수 있다. Miss Match 상태는 [## 1 0]로 표현될 수 있다.
- [169] ④에서, 요구 메모리 요청이 생성되기 전에 프리패치 메모리 요청에 따른 프리패치 메모리 응답이 도착한 경우, 엔트리의 상태는 Pref. Gen. 상태에서 Pre. Data Ack. 상태로 업데이트될 수 있다. Pre. Data Ack. 상태는 [## 0 1]로 표현될 수 있다.
- [170] 이때, Dem. Gen. 상태, Miss Match 상태 및 Pre. Data Ack. 상태의 상위 2 비트는 복수의 서브 프리패치 메모리 요청에 대한 응답으로 프리로더에 도착한 서브 프리패치 메모리 응답의 수를 나타낼 수 있다.
- [171] Miss Match 상태는 프리패치 메모리 주소와 요구 메모리 주소가 일치하지 않음을 나타내는 상태일 수 있다.
- [172] 따라서, ⑤에서, 서브 프리패치 메모리 요청에 따른 서브 프리패치 메모리 응답이 전부 도착하면, 엔트리의 상태는 다시 Miss Match 상태에서 Invalid 상태로 업데이트될 수 있다. 또한, Miss Match 상태에서 요구 메모리 요청은 데이터를 로딩하기 위해 하위 캐시로 전달될 수 있다.
- [173] Dem. Gen. 상태는 프리패치 메모리 주소와 요구 메모리 주소가 일치하는 상태를 나타낼 수 있다. 이때, 요구 메모리 주소는 L1 캐시에 전달되지 않도록 제거될 수 있다.
- [174] ⑥에서, 서브 프리패치 메모리 요청에 따른 서브 프리패치 메모리 응답이 전부 프리로더에 도착하면, 엔트리의 상태는 Dem. Gen. 상태에서 Invalid 상태로 업데이트될 수 있다.

- [175] Pre. Data Ack. 상태는 요구 메모리 요청이 생성되기 전에 서브 프리패치 메모리 요청에 따른 서브 프리패치 메모리 응답이 프리로더에 도착한 상태를 나타낼 수 있다. 따라서, 프리로더로 로딩된 데이터는 프리로더 캐시(즉, 엔트리)에 저장될 수 있다.
- [176] ⑦에서, 요구 메모리 요청이 생성되고, 요구 메모리 주소와 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하는 경우, 프리로더 캐시에 저장된 프리패치 데이터는 LDST 유닛으로 전달될 수 있다. 그리고 나서, 엔트리의 상태는, Pre. Data Ack. 상태에서 Dem. Gen. 상태로 업데이트될 수 있다.
- [177] 만약 ⑧에서, 요구 메모리 주소와 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하지 않는 경우, 엔트리의 상태는 Pre. Data Ack. 상태에서 Miss Match 상태로 업데이트될 수 있다. 그리고, 요구 메모리 요청은 하위 캐시로 전파될 수 있다.
- [178]
- [179] 도 9는 본 개시의 일 실시예에 따른 전자 장치의 동작을 설명하기 위한 플로우 차트이다.
- [180] 이하 실시예에서 각 동작들은 순차적으로 수행될 수도 있으나, 반드시 순차적으로 수행되는 것은 아니다. 예를 들어, 각 동작들의 순서가 변경될 수도 있으며, 적어도 두 동작들이 병렬적으로 수행될 수도 있다. 단계(901) 내지 단계(907)는 프로세서에 의해 수행될 수 있으나 실시예가 이에 한정되지 않으며 프리로더에 의해 수행될 수도 있다.
- [181] 단계(901)에서, 프로세서는 샘플링된 이전 요구 메모리 주소들의 보폭에 기반하여 프리패치 메모리 요청을 생성할 수 있다.
- [182] 단계(903)에서, 프로세서는 프리패치 메모리 요청에 대한 응답인 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 프리패치 데이터에 대응하는 프리패치 메모리 주소를 프리로더 캐시에 저장할 수 있다.
- [183] 단계(905)에서, 프로세서는 LDST 유닛으로부터 생성된 다음 연산을 위한 요구 메모리 요청에 포함된 요구 메모리 주소 및 프리로더 캐시에 저장된 프리패치 메모리 주소가 일치하는지 여부를 판단할 수 있다.
- [184] 단계(907)에서, 프로세서는 요구 메모리 주소와 프리패치 메모리 주소가 일치하는 경우, 프리패치 데이터를 LDST 유닛으로 전송하고, 요구 메모리 주소와 프리패치 메모리 주소가 일치하지 않는 경우, 요구 메모리 요청을 프리로더 캐시의 하위 캐시로 전달할 수 있다.
- [185]
- [186] 한편, 본 발명에 따른 방법은 컴퓨터에서 실행될 수 있는 프로그램으로 작성되어 마그네틱 저장매체, 광학적 판독 매체, 디지털 저장매체 등 다양한 기록 매체로도 구현될 수 있다.
- [187] 본 명세서에 설명된 각종 기술들의 구현들은 디지털 전자 회로조직으로, 또는 컴퓨터 하드웨어, 펌웨어, 소프트웨어로, 또는 그들의 조합들로 구현될 수 있다.

구현들은 데이터 처리 장치, 예를 들어 프로그램가능 프로세서, 컴퓨터, 또는 다수의 컴퓨터들의 동작에 의한 처리를 위해, 또는 이 동작을 제어하기 위해, 컴퓨터 프로그램 제품, 즉 정보 캐리어, 예를 들어 기계 판독 가능 저장 장치(컴퓨터 판독가능 매체) 또는 전파 신호에서 유형적으로 구체화된 컴퓨터 프로그램으로서 구현될 수 있다. 상술한 컴퓨터 프로그램(들)과 같은 컴퓨터 프로그램은 컴파일된 또는 인터프리트된 언어들을 포함하는 임의의 형태의 프로그래밍 언어로 기록될 수 있고, 독립형 프로그램으로서 또는 모듈, 구성요소, 서브루틴, 또는 컴퓨팅 환경에서의 사용에 적절한 다른 유닛으로서 포함하는 임의의 형태로 전개될 수 있다. 컴퓨터 프로그램은 하나의 사이트에서 하나의 컴퓨터 또는 다수의 컴퓨터들 상에서 처리되도록 또는 다수의 사이트들에 걸쳐 분배되고 통신 네트워크에 의해 상호 연결되도록 전개될 수 있다.

[188] 컴퓨터 프로그램의 처리에 적절한 프로세서들은 예로서, 범용 및 특수 목적 마이크로프로세서들 둘 다, 및 임의의 종류의 디지털 컴퓨터의 임의의 하나 이상의 프로세서들을 포함한다. 일반적으로, 프로세서는 판독 전용 메모리 또는 랜덤 액세스 메모리 또는 둘 다로부터 명령어들 및 데이터를 수신할 것이다. 컴퓨터의 요소들은 명령어들을 실행하는 적어도 하나의 프로세서 및 명령어들 및 데이터를 저장하는 하나 이상의 메모리 장치들을 포함할 수 있다. 일반적으로, 컴퓨터는 데이터를 저장하는 하나 이상의 대량 저장 장치들, 예를 들어 자기, 자기-광 디스크들, 또는 광 디스크들을 포함할 수 있거나, 이것들로부터 데이터를 수신하거나 이것들에 데이터를 송신하거나 또는 양쪽으로 되도록 결합될 수도 있다. 컴퓨터 프로그램 명령어들 및 데이터를 구체화하는데 적절한 정보 캐리어들은 예로서 반도체 메모리 장치들, 예를 들어, 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic Media), CD-ROM(Compact Disk Read Only Memory), DVD(Digital Video Disk)와 같은 광 기록 매체(Optical Media), 플로포티컬 디스크(Floptical Disk)와 같은 자기-광 매체(Magneto-Optical Media), 롬(ROM, Read Only Memory), 램(RAM, Random Access Memory), 플래시 메모리, EPROM(Erasable Programmable ROM), EEPROM(Electrically Erasable Programmable ROM) 등을 포함한다. 프로세서 및 메모리는 특수 목적 논리 회로조직에 의해 보충되거나, 이에 포함될 수 있다.

[189] 또한, 컴퓨터 판독가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용매체일 수 있고, 컴퓨터 저장매체 및 전송매체를 모두 포함할 수 있다.

[190] 본 명세서는 다수의 특정한 구현물의 세부사항들을 포함하지만, 이들은 어떠한 발명이나 청구 가능한 것의 범위에 대해서도 제한적인 것으로서 이해되어서는 안되며, 오히려 특정한 발명의 특정한 실시 형태에 특유할 수 있는 특징들에 대한 설명으로서 이해되어야 한다. 개별적인 실시 형태의 문맥에서 본 명세서에 기술된 특정한 특징들은 단일 실시 형태에서 조합하여 구현될 수도 있다. 반대로, 단일 실시 형태의 문맥에서 기술한 다양한 특징들 역시 개별적으로 혹은 어떠한 적절한 하위 조합으로도 복수의 실시 형태에서 구현 가능하다. 나아가, 특징들이

특정한 조합으로 동작하고 초기에 그와 같이 청구된 바와 같이 묘사될 수 있지만, 청구된 조합으로부터의 하나 이상의 특징들은 일부 경우에 그 조합으로부터 배제될 수 있으며, 그 청구된 조합은 하위 조합이나 하위 조합의 변형물로 변경될 수 있다.

[191] 마찬가지로, 특정한 순서로 도면에서 동작들을 묘사하고 있지만, 이는 바람직한 결과를 얻기 위하여 도시된 그 특정한 순서나 순차적인 순서대로 그러한 동작들을 수행하여야 한다거나 모든 도시된 동작들이 수행되어야 하는 것으로 이해되어서는 안 된다. 특정한 경우, 멀티태스킹과 병렬 프로세싱이 유리할 수 있다. 또한, 상술한 실시형태의 다양한 장치 컴포넌트의 분리는 그러한 분리를 모든 실시형태에서 요구하는 것으로 이해되어서는 안 되며, 설명한 프로그램 컴포넌트와 장치들은 일반적으로 단일의 소프트웨어 제품으로 함께 통합되거나 다중 소프트웨어 제품에 패키징 될 수 있다는 점을 이해하여야 한다.

[192] 한편, 본 명세서와 도면에 개시된 본 발명의 실시 예들은 이해를 돕기 위해 특정 예를 제시한 것에 지나지 않으며, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시 예들 이외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형 예들이 실시 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

청구범위

- [청구항 1] 전자 장치의 동작 방법에 있어서,
이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링하는 단계;
상기 샘플링된 상기 이전 요구 메모리 주소들 간의 보폭에 기반하여 프리패치 메모리 요청을 생성하는 단계;
상기 프리패치 메모리 요청에 따른 프리패치 메모리 응답을 프리로더에 전달하는 단계; 및
상기 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소를 프리로더 캐시에 저장하는 단계
를 포함하는 전자 장치의 동작 방법.
- [청구항 2] 제1항에 있어서,
상기 프리패치 메모리 요청을 생성하는 단계는,
상기 보폭에 기반하여 상기 프리패치 메모리 주소를 예측하고, 상기 프리패치 메모리 주소를 포함하는 상기 프리패치 메모리 요청을 생성하는, 동작 방법.
- [청구항 3] 제2항에 있어서,
상기 보폭은,
인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭 중 하나 또는 둘 이상의 조합을 포함하고,
상기 프리패치 메모리 요청을 생성하는 단계는,
상기 인트라 워프 패턴 보폭의 우선 순위를 상기 인터 워프 패턴 보폭 보다 높게 결정하여 상기 프리패치 메모리 요청을 결정하는, 동작 방법.
- [청구항 4] 제2항에 있어서,
상기 프리패치 메모리 요청을 생성하는 단계는,
상기 보폭이 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭을 모두 포함하고 상기 인트라 워프 패턴 보폭 및 상기 인터 워프 패턴 보폭 각각에 기반한 상기 프리패치 메모리 주소가 상이한 경우, 상기 인트라 워프 패턴 보폭에 기반한 상기 프리패치 메모리 요청을 생성하는, 동작 방법.
- [청구항 5] 제1항에 있어서,
LDST 유닛으로부터 다음 연산을 위한 요구 메모리 요청을 상기 프리로더로 전달하는 단계; 및
상기 요구 메모리 요청에 포함된 요구 메모리 주소 및 상기 프리패치 메모리 주소에 기반하여 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계
를 더 포함하는, 동작 방법.

- [청구항 6] 제5항에 있어서,
상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계는,
상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 메모리 주소에 대응하는 상기 프리패치 데이터를 상기 프리로더 캐시로부터 상기 LDST 유닛으로 전송하는, 동작 방법.
- [청구항 7] 제5항에 있어서,
상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는 단계는,
상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 상이한 경우, 상기 요구 메모리 요청을 하위 캐시로 전달하고, 상기 요구 메모리 요청을 수신한 상기 하위 캐시로부터 상기 데이터를 상기 LDST 유닛으로 전송하는, 동작 방법.
- [청구항 8] 제1항에 있어서,
상기 프리로더 캐시는,
복수의 엔트리들을 포함하고,
상기 복수의 엔트리들 각각은 엔트리의 상태를 나타내는 상태 비트를 포함하는, 동작 방법.
- [청구항 9] 제8항에 있어서,
상기 프리패치 메모리 요청이 생성되었는지 여부, 요구 메모리 요청이 생성되기 전에 상기 프리패치 메모리 응답이 프리로더에 도달했는지 여부, 및 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 여부에 따라 상기 상태 비트들을 업데이트하는 단계를 더 포함하는, 동작 방법.
- [청구항 10] 제1항에 있어서,
상기 프리로더 캐시에 저장하는 단계는,
복수의 서브 프리패치 메모리 요청들을 생성하고, 상기 복수의 서브 프리패치 메모리 요청들에 기반하여 상기 프리패치 메모리 주소를 저장하는, 동작 방법.
- [청구항 11] 전자 장치의 동작 방법에 있어서,
샘플링된 이전 요구 메모리 주소들의 보폭에 기반하여 프리패치 메모리 요청을 생성하는 단계;
상기 프리패치 메모리 요청에 대한 응답인 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소를 프리로더 캐시에 저장하는 단계;
LDST 유닛으로부터 생성된 다음 연산을 위한 요구 메모리 요청에 포함된 요구 메모리 주소 및 상기 프리로더 캐시에 저장된 상기 프리패치 메모리 주소가 일치하는지 여부를 판단하는 단계; 및
상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 데이터를 상기 LDST 유닛으로 전송하고, 상기 요구 메모리

주소와 상기 프리패치 메모리 주소가 일치하지 않는 경우, 상기 요구 메모리 요청을 상기 프리로더 캐시의 하위 캐시로 전달하는 단계를 포함하는, 전자 장치의 동작 방법.

[청구항 12] 이전 요구 메모리 요청에 포함된 이전 요구 메모리 주소들을 샘플링하고, 상기 샘플링된 상기 이전 요구 메모리 주소들 간의 보폭에 기반하여 프리패치 메모리 요청을 생성하고, 상기 프리패치 메모리 요청에 따른 프리패치 메모리 응답을 프리로더에 전달하고, 상기 프리패치 메모리 응답에 포함되는 프리패치 데이터 및 상기 프리패치 데이터에 대응하는 프리패치 메모리 주소를 프리로더 캐시에 저장하는 프로세서를 포함하고, 상기 프로세서는, 상기 프리 패치 메모리 요청을 생성하는 상기 프리로더를 포함하고, 상기 프리로더는, 상기 프리패치 메모리 주소 및 상기 프리 패치 데이터를 저장하는 상기 프리로더 캐시를 포함하는, 전자 장치.

[청구항 13] 제12항에 있어서, 상기 프로세서는, 상기 보폭에 기반하여 상기 프리패치 메모리 주소를 예측하고, 상기 프리패치 메모리 주소를 포함하는 상기 프리패치 메모리 요청을 생성하는, 전자 장치.

[청구항 14] 제13항에 있어서, 상기 보폭은, 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭 중 하나 또는 둘 이상의 조합을 포함하고, 상기 프로세서는, 상기 인트라 워프 패턴 보폭의 우선 순위를 상기 인터 워프 패턴 보폭 보다 높게 결정하여 상기 프리패치 메모리 요청을 결정하는, 전자 장치.

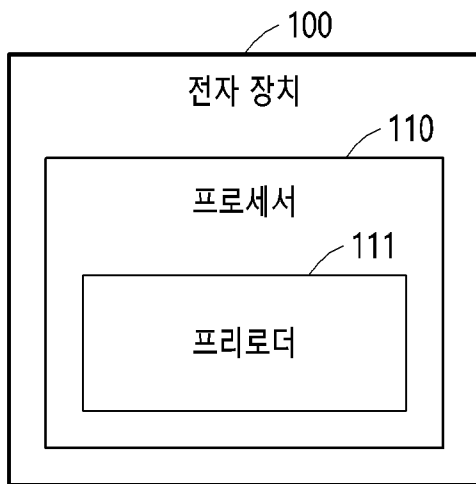
[청구항 15] 제13항에 있어서, 상기 프로세서는, 상기 보폭이 인트라 워프 패턴 보폭 및 인터 워프 패턴 보폭을 모두 포함하고 상기 인트라 워프 패턴 보폭 및 상기 인터 워프 패턴 보폭 각각에 기반한 상기 프리패치 메모리 주소가 상이한 경우, 상기 인트라 워프 패턴 보폭에 기반한 상기 프리패치 메모리 요청을 생성하는, 전자 장치.

[청구항 16] 제12항에 있어서, 상기 프로세서는, LDST 유닛으로부터 다음 연산을 위한 요구 메모리 요청을 상기 프리로더로 전달하고, 상기 요구 메모리 요청에 포함된 요구 메모리 주소 및 상기

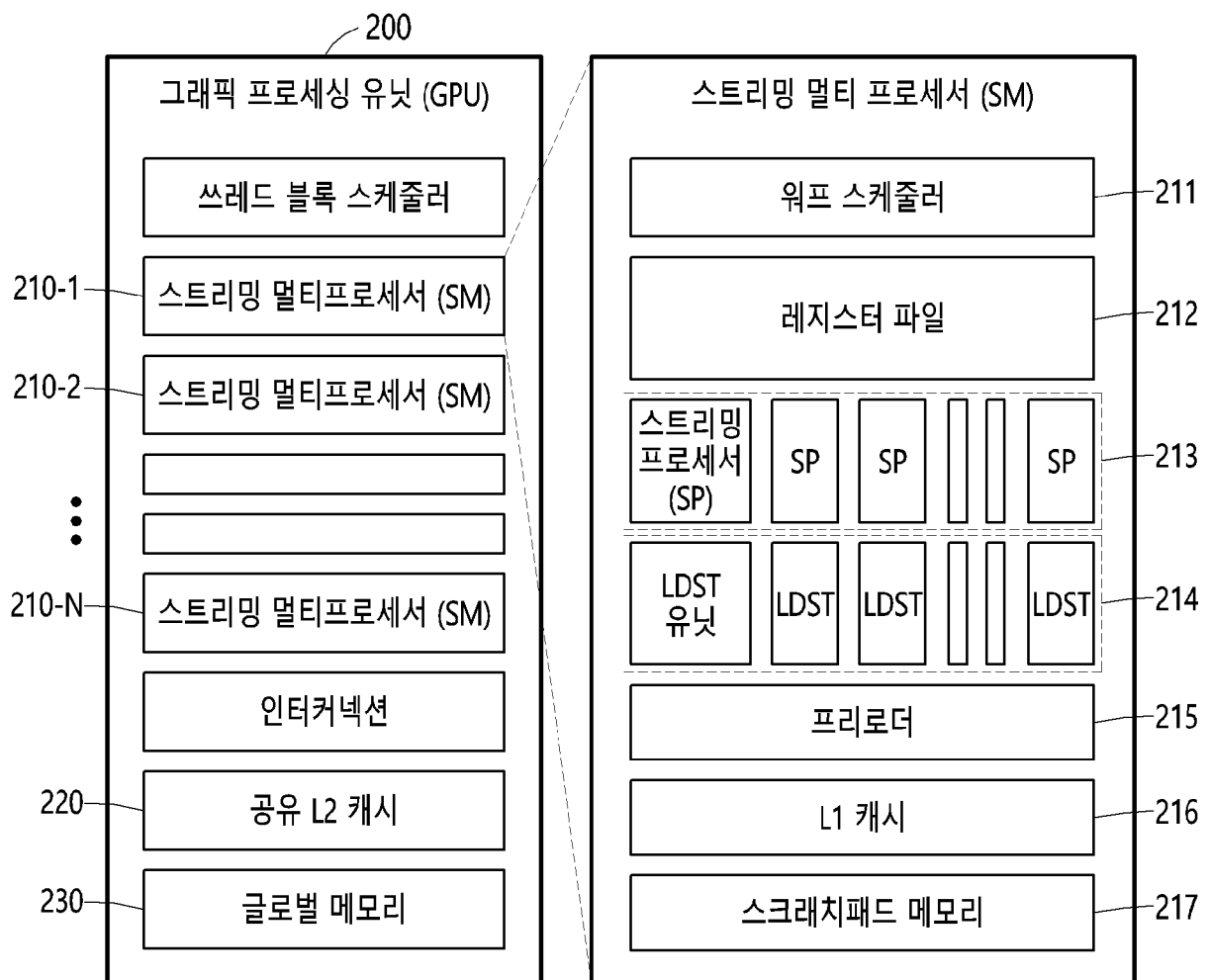
프리패치 메모리 주소에 기반하여 상기 다음 연산에 필요한 데이터를 상기 LDST 유닛에 전송하는, 전자 장치.

- [청구항 17] 제16항에 있어서,
상기 프로세서는,
상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 일치하는 경우, 상기 프리패치 메모리 주소에 대응하는 상기 프리패치 데이터를 상기 프리로더 캐시로부터 상기 LDST 유닛으로 전송하는, 전자 장치.
- [청구항 18] 제16항에 있어서,
상기 프로세서는,
상기 요구 메모리 주소와 상기 프리패치 메모리 주소가 상이한 경우, 상기 요구 메모리 요청을 하위 캐시로 전달하고, 상기 요구 메모리 요청을 수신한 상기 하위 캐시로부터 상기 데이터를 상기 LDST 유닛으로 전송하는, 전자 장치.
- [청구항 19] 제12항에 있어서,
상기 프리로더 캐시는,
복수의 엔트리들을 포함하고,
상기 복수의 엔트리들 각각은 엔트리의 상태를 나타내는 상태 비트를 포함하는, 전자 장치.
- [청구항 20] 제12항에 있어서,
상기 프로세서는,
복수의 서브 프리패치 메모리 요청들을 생성하고, 상기 복수의 서브 프리패치 메모리 요청들에 기반하여 상기 프리패치 메모리 주소를 생성하는, 전자 장치.

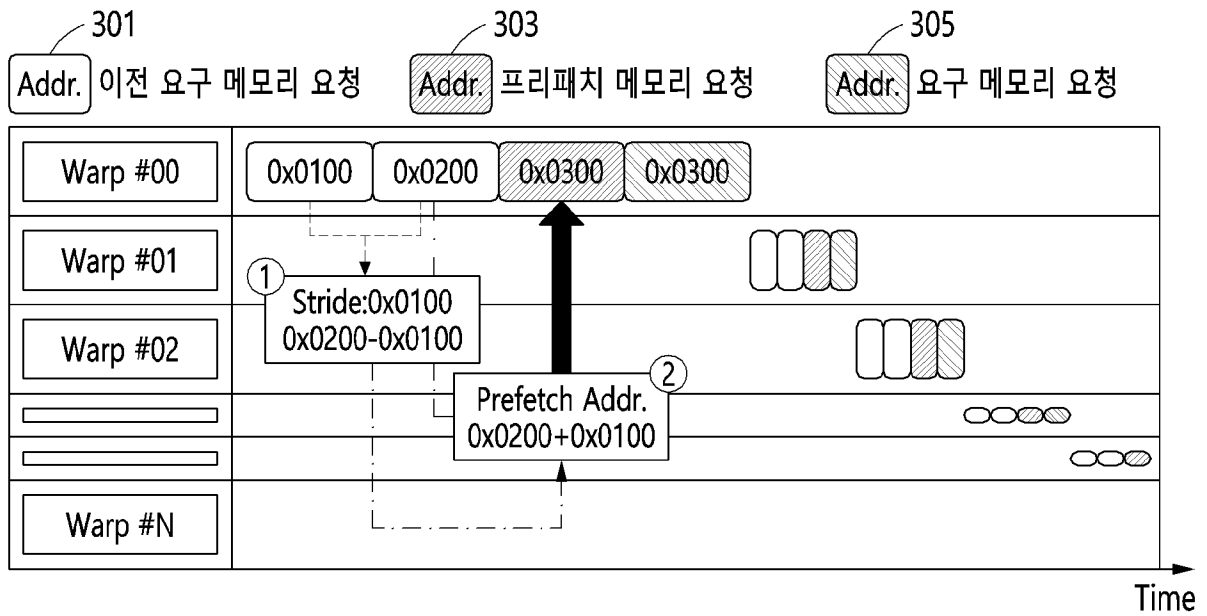
[도1]



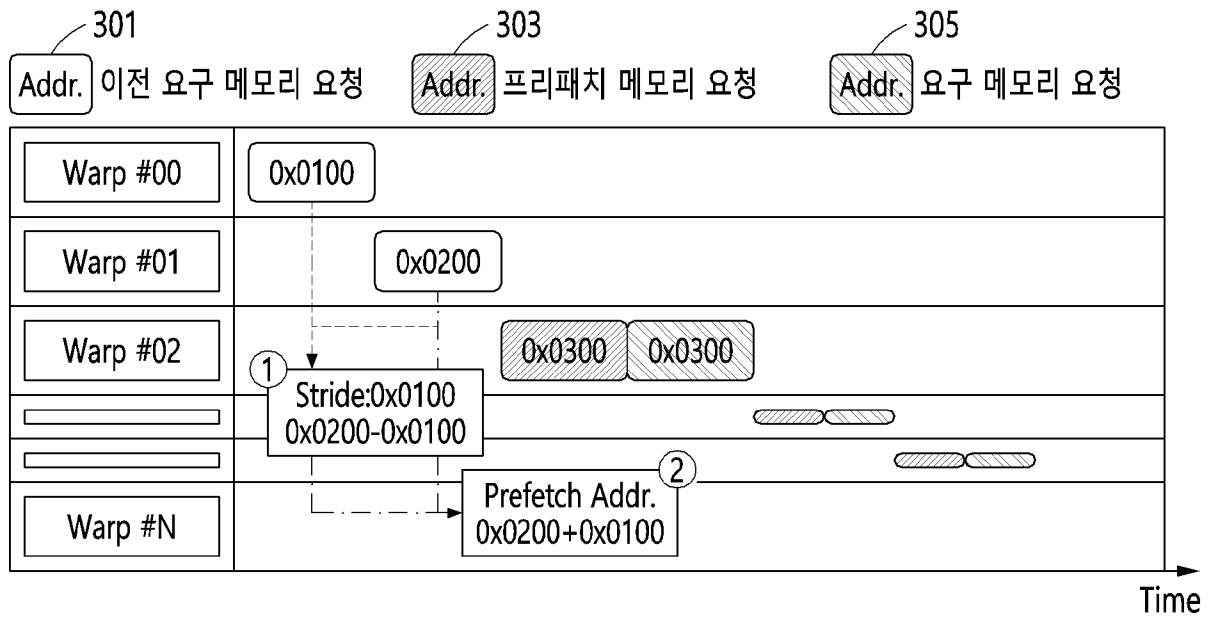
[도2]



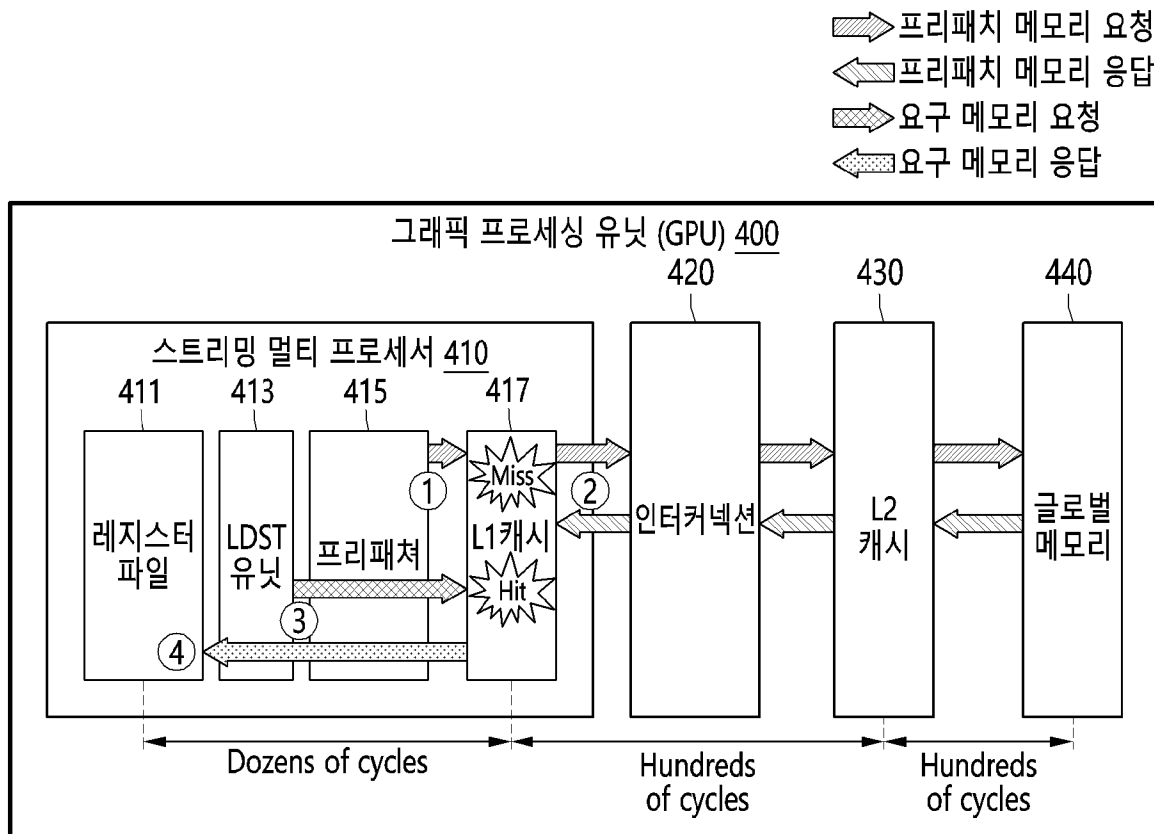
[도3a]



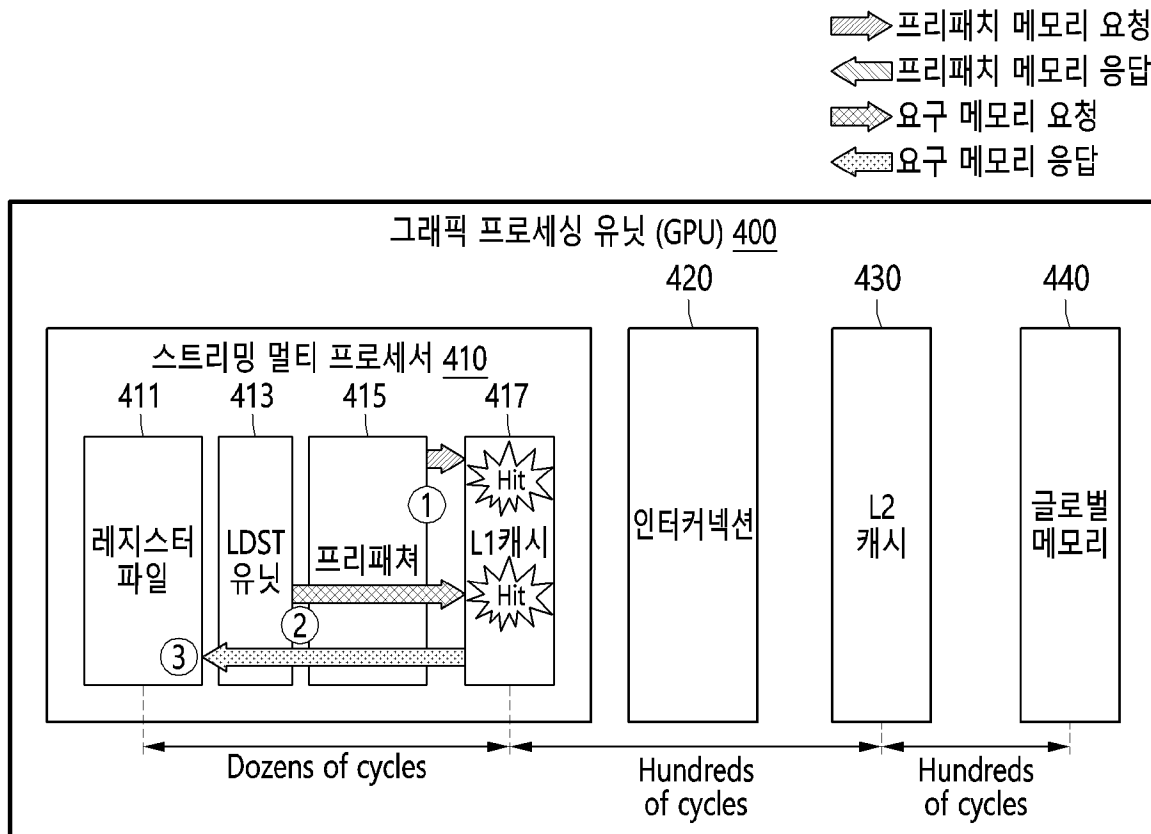
[도3b]



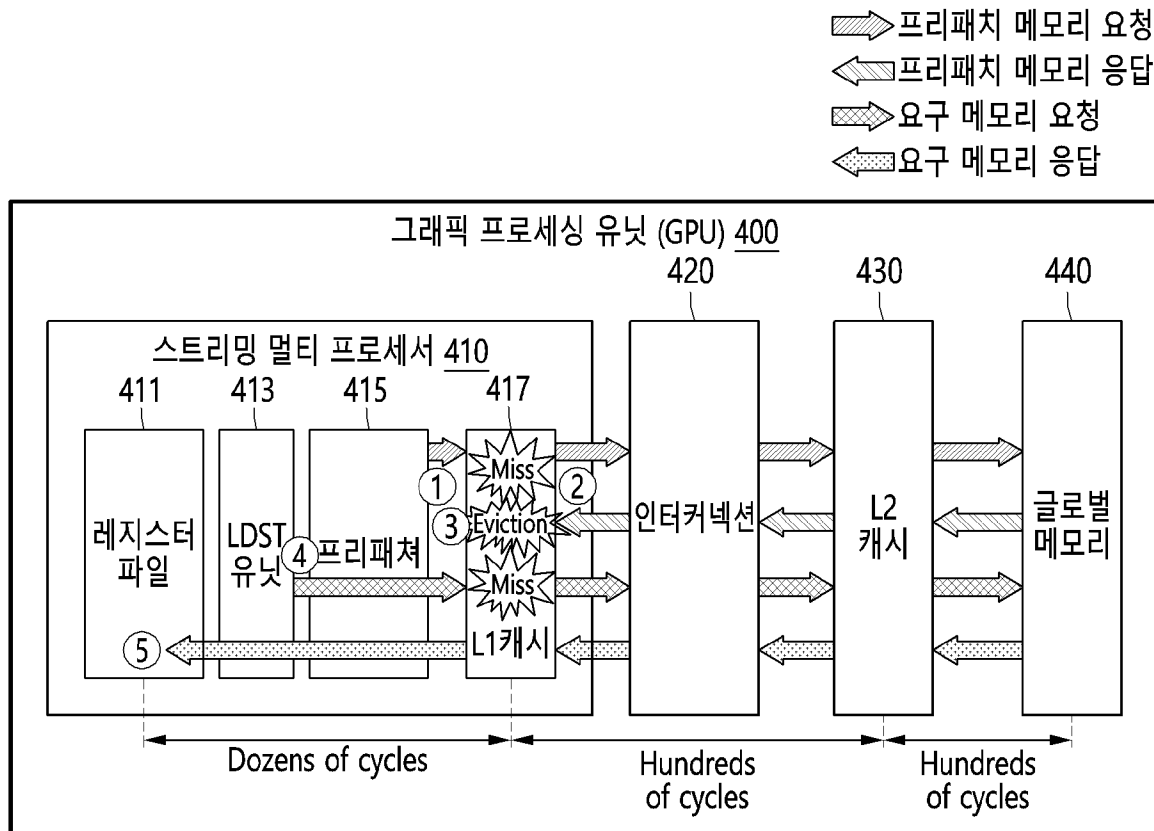
[도4a]



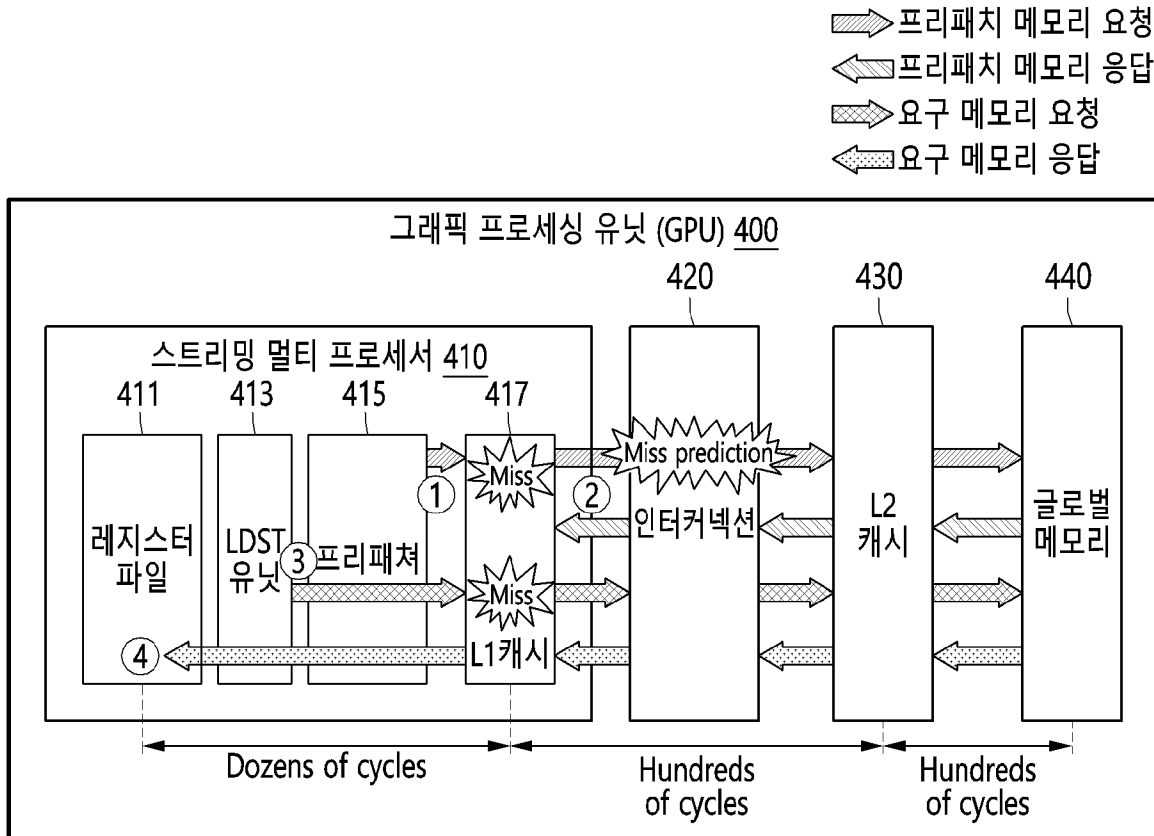
[도4b]



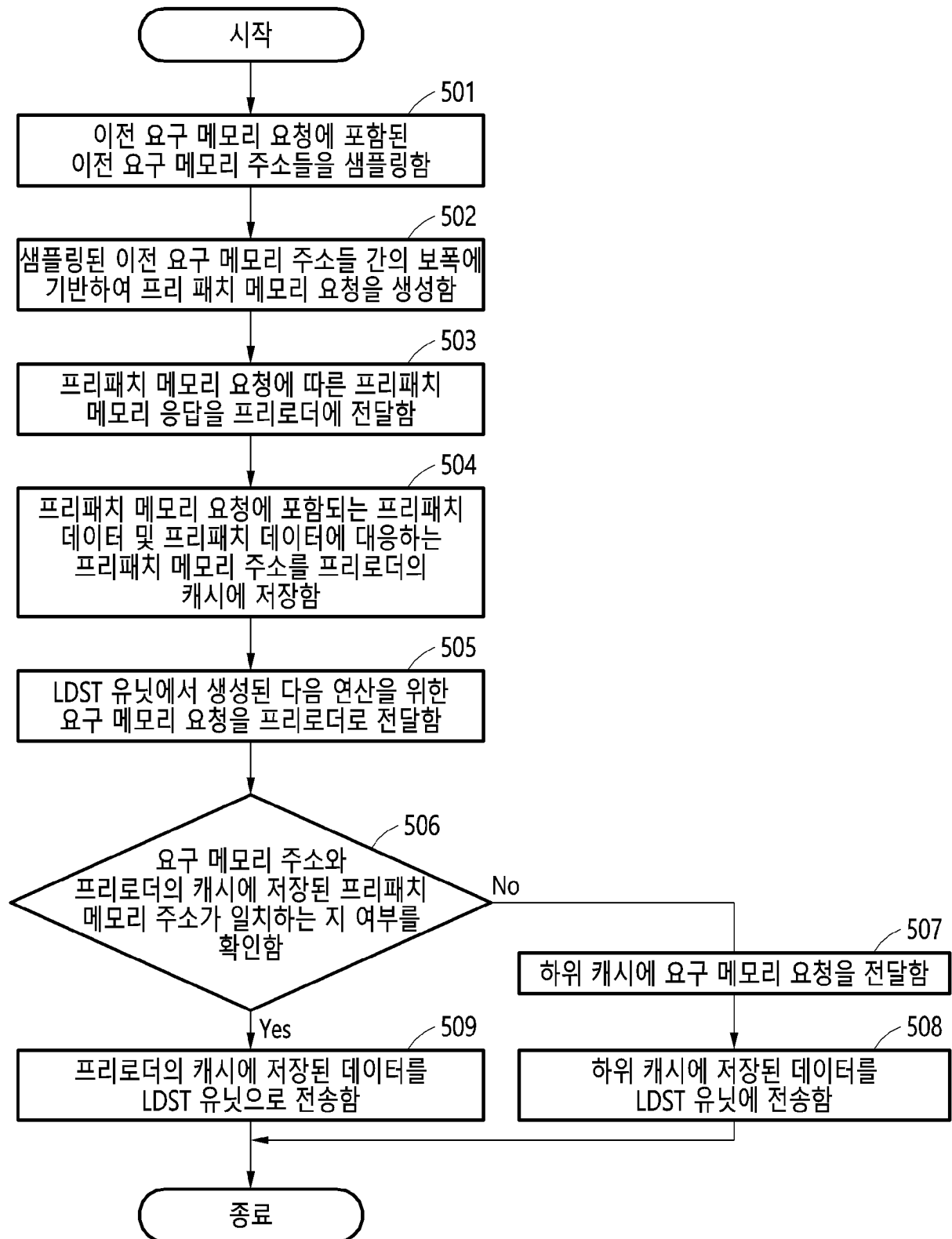
[도4c]



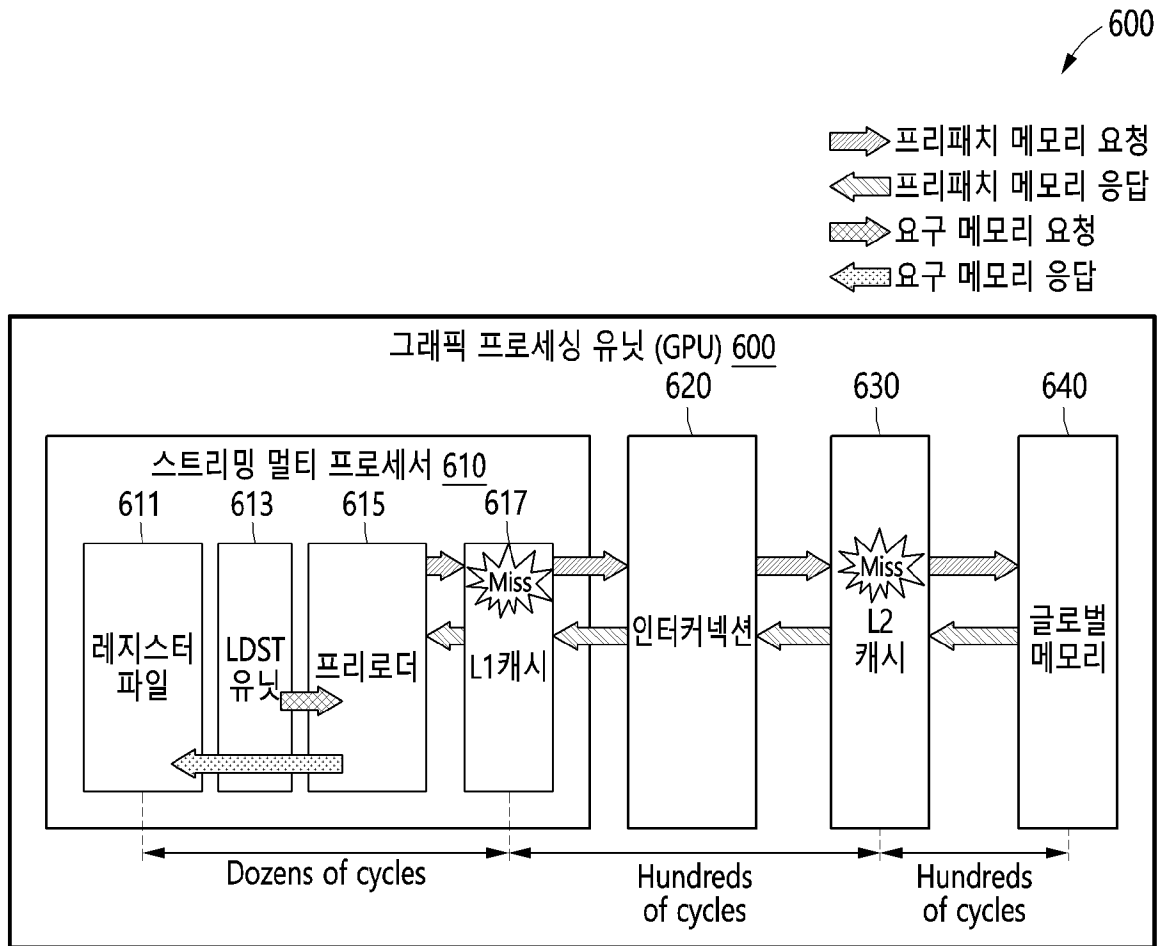
[도4d]



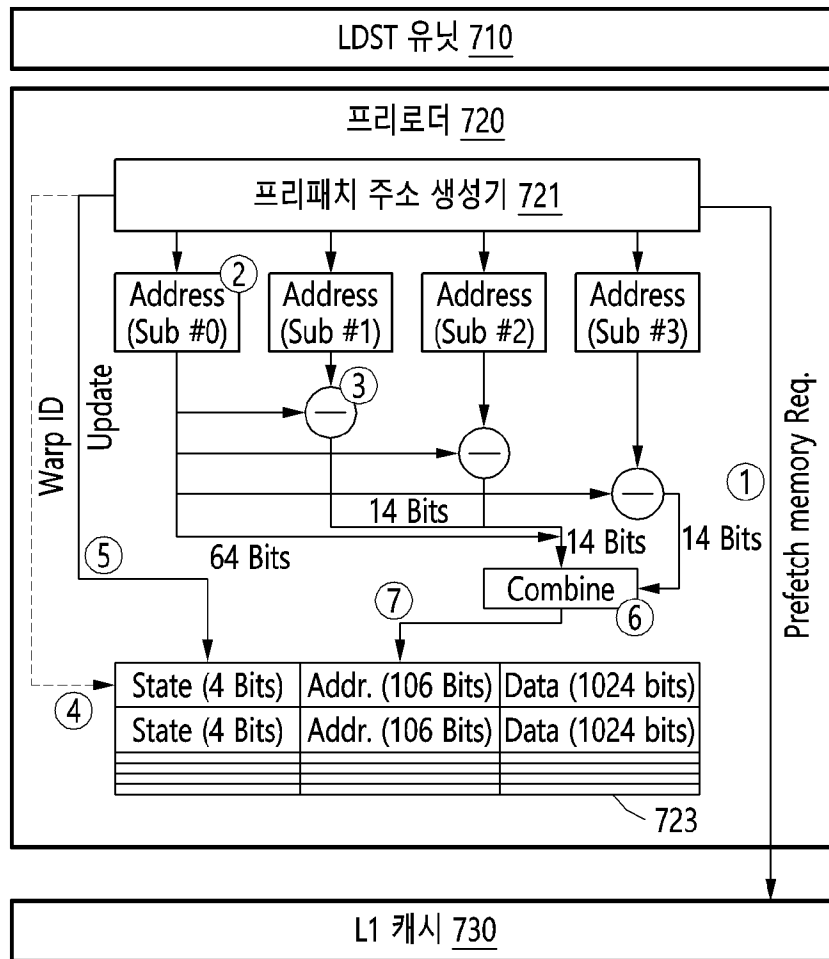
[도5]



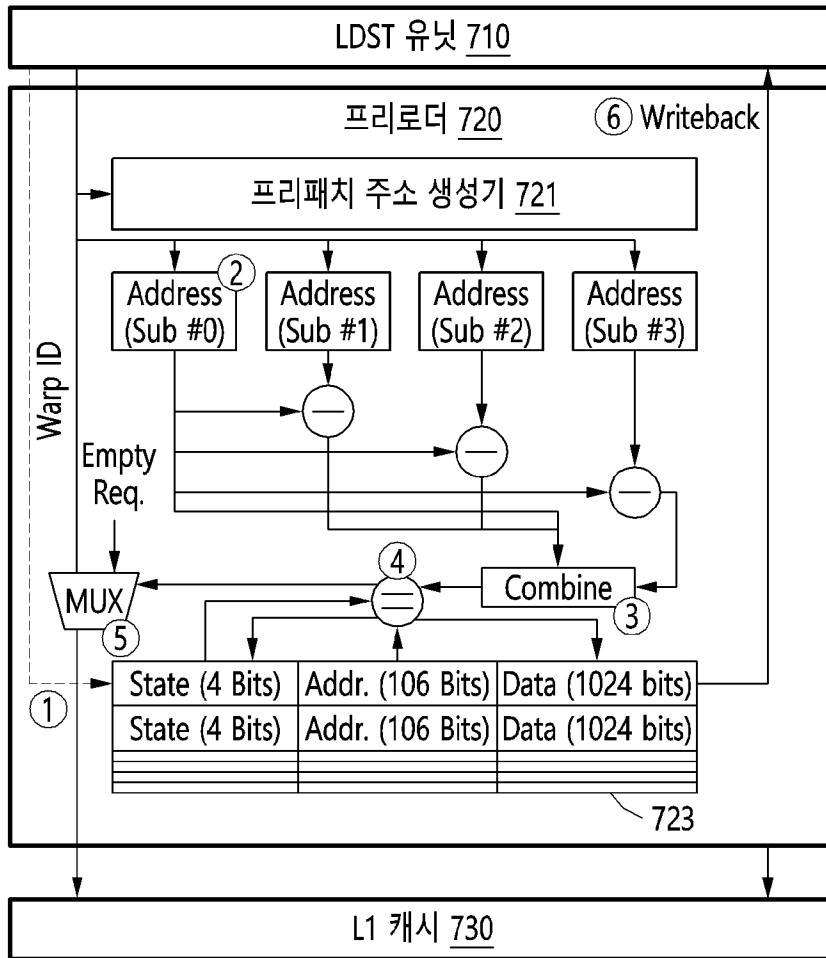
[도6]



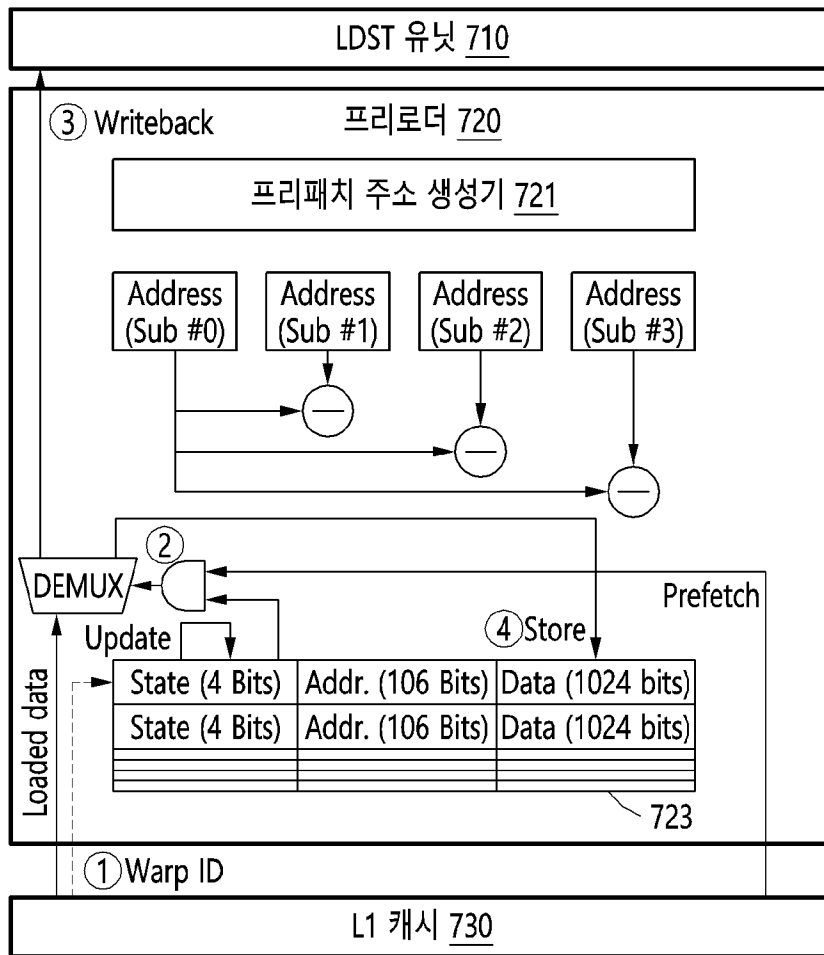
[도7a]



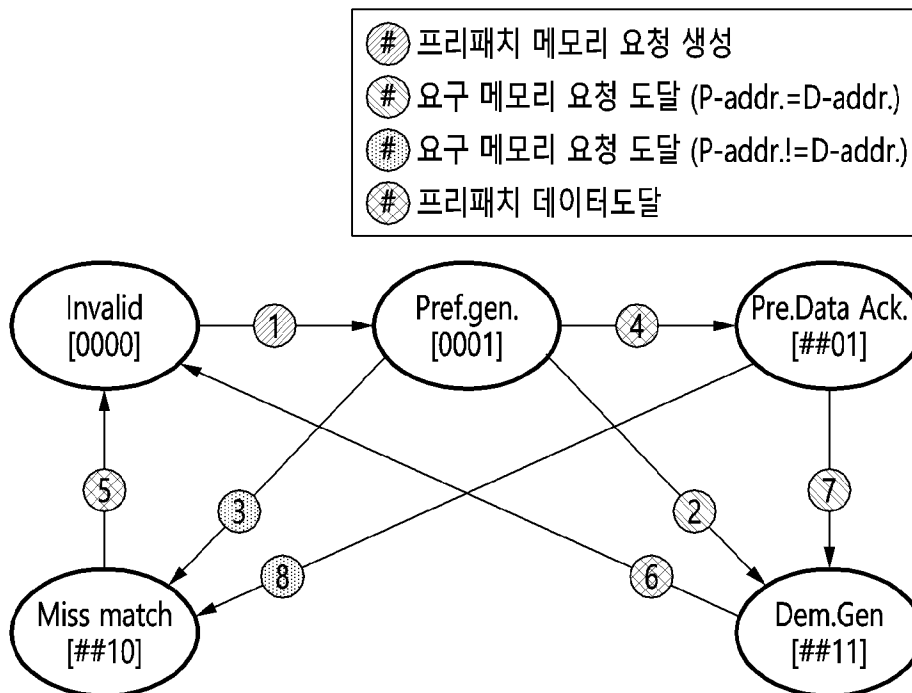
[도 7b]



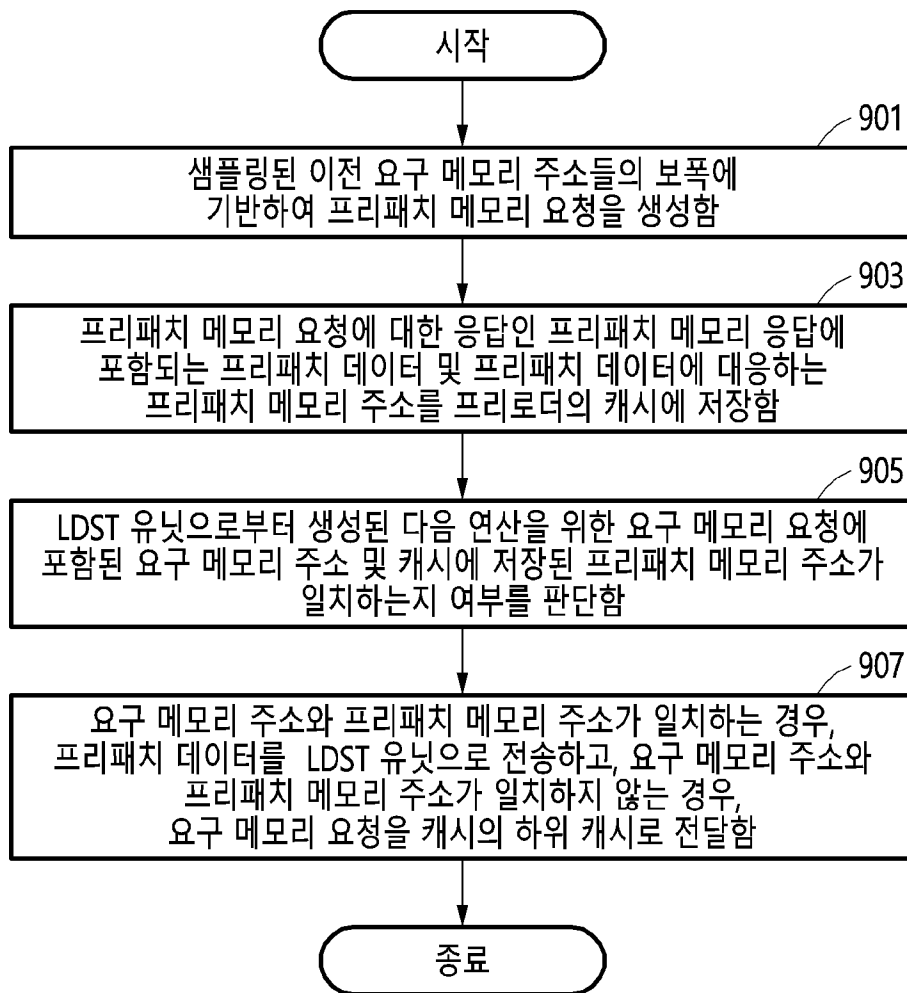
[도7c]



[도8]



[도9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2023/012771

A. CLASSIFICATION OF SUBJECT MATTER G06F 12/0862(2016.01)i; G06F 3/06(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F 12/0862(2016.01); G06F 12/08(2006.01); G06F 12/0875(2016.01); G06F 12/10(2006.01); G06F 9/34(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 보폭(stride), 메모리 주소(memory address), 프리페치(prefetch), 프리로더(preloader), 캐시(cache)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2014-0258622 A1 (ARM LIMITED) 11 September 2014 (2014-09-11) See paragraphs [0081]-[0082], [0084] and [0096]; claims 13-14; and figures 1 and 3-5.	1-20
Y	US 2021-0406184 A1 (MARVELL ASIA PTE LTD.) 30 December 2021 (2021-12-30) See paragraphs [0074] and [0078]; claims 13 and 18; and figure 3.	1-20
A	US 6976147 B1 (ISAAC, Roger D. et al.) 13 December 2005 (2005-12-13) See column 3, line 34 - column 4, line 22; claim 1; and figure 1.	1-20
A	US 2014-0006718 A1 (RAMANI-AUGUSTIN, Meera et al.) 02 January 2014 (2014-01-02) See paragraphs [0014]-[0021]; claim 1; and figure 1.	1-20
A	US 7383391 B2 (DAVIS, Gordon Taylor et al.) 03 June 2008 (2008-06-03) See column 4, lines 4-59; claim 1; and figure 1.	1-20
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 05 January 2024		Date of mailing of the international search report 05 January 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2023/012771

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2014-0258622	A1	11 September 2014	GB	2514636	A	03 December 2014
				GB	2514636	B	15 April 2020
				US	9122613	B2	01 September 2015
US	2021-0406184	A1	30 December 2021	DE	102021116489	A1	30 December 2021
				US	11442864	B2	13 September 2022
US	6976147	B1	13 December 2005	None			
US	2014-0006718	A1	02 January 2014	CN	102937937	A	20 February 2013
				CN	102937937	B	13 January 2016
				TW	201401168	A	01 January 2014
				TW	I594185	B	01 August 2017
				US	9032159	B2	12 May 2015
US	7383391	B2	03 June 2008	US	2006-0265552	A1	23 November 2006
				US	2008-0155226	A1	26 June 2008

A. 발명이 속하는 기술분류(국제특허분류(IPC)) G06F 12/0862(2016.01)i; G06F 3/06(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) G06F 12/0862(2016.01); G06F 12/08(2006.01); G06F 12/0875(2016.01); G06F 12/10(2006.01); G06F 9/34(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 보폭(stride), 메모리 주소(memory address), 프리페치(prefetch), 프리로더(preloader), 캐시(cache)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2014-0258622 A1 (ARM LIMITED) 2014.09.11 단락 [0081]-[0082], [0084], [0096]; 청구항 13-14; 및 도면 1, 3-5	1-20
Y	US 2021-0406184 A1 (MARVELL ASIA PTE LTD.) 2021.12.30 단락 [0074], [0078]; 청구항 13, 18; 및 도면 3	1-20
A	US 6976147 B1 (ROGER D. ISAAC 등) 2005.12.13 컬럼 3, 라인 34 – 컬럼 4, 라인 22; 청구항 1; 및 도면 1	1-20
A	US 2014-0006718 A1 (MEERA RAMANI-AUGUSTIN 등) 2014.01.02 단락 [0014]-[0021]; 청구항 1; 및 도면 1	1-20
A	US 7383391 B2 (GORDON TAYLOR DAVIS 등) 2008.06.03 컬럼 4, 라인 4-59; 청구항 1; 및 도면 1	1-20
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년01월05일(05.01.2024)	국제조사보고서 발송일 2024년01월05일(05.01.2024)	
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 양정록 전화번호 +82-42-481-5709	

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2014-0258622 A1	2014/09/11	GB 2514636 A	2014/12/03
		GB 2514636 B	2020/04/15
		US 9122613 B2	2015/09/01
US 2021-0406184 A1	2021/12/30	DE 102021116489 A1	2021/12/30
		US 11442864 B2	2022/09/13
US 6976147 B1	2005/12/13	없음	
US 2014-0006718 A1	2014/01/02	CN 102937937 A	2013/02/20
		CN 102937937 B	2016/01/13
		TW 201401168 A	2014/01/01
		TW I594185 B	2017/08/01
		US 9032159 B2	2015/05/12
US 7383391 B2	2008/06/03	US 2006-0265552 A1	2006/11/23
		US 2008-0155226 A1	2008/06/26