



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I788642 B

(45) 公告日：中華民國 112 (2023) 年 01 月 01 日

(21) 申請案號：109109308

(22) 申請日：中華民國 109 (2020) 年 03 月 20 日

(51) Int. Cl. : H01L27/14 (2006.01)

H01L29/12 (2006.01)

H01L21/22 (2006.01)

H01L21/302 (2006.01)

(30) 優先權：2019/03/29

世界智慧財產權組織

PCT/CN2019/080402

(71) 申請人：大陸商深圳幘觀德芯科技有限公司 (中國大陸) SHENZHEN XPECTVISION TECHNOLOGY CO., LTD. (CN)

中國大陸

(72) 發明人：劉雨潤 LIU, YURUN (CN)；曹培炎 CAO, PEIYAN (CN)

(74) 代理人：葉璟宗；卓俊傑

(56) 參考文獻：

TW I229190B

US 2007/0072332A1

US 2009/0065704A1

US 2018/0108702A1

WO 2018/201308A1

審查人員：莊敏宏

申請專利範圍項數：57 項 圖式數：11 共 65 頁

(54) 名稱

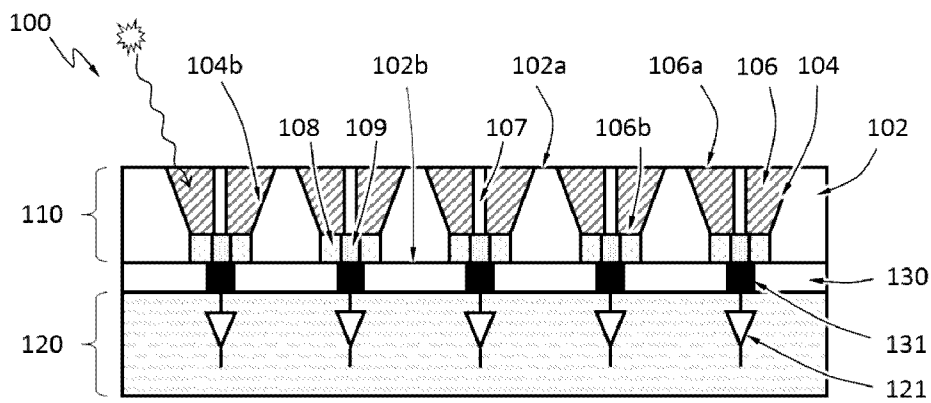
輻射檢測裝置及其製備方法

(57) 摘要

本文公開了一種用於檢測輻射的裝置及其製備方法。該方法可以包括在半導體基板中形成凹部，其中所述半導體基板的一部分延伸到所述凹部中並且被所述凹部包圍；在所述凹部中形成半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；在所述半導體基板中形成第一摻雜半導體區；在所述半導體基板中形成第二摻雜半導體區；其中所述第一摻雜半導體區和所述第二摻雜半導體區形成將所述部分與所述半導體基板的其餘部分分開的 p-n 界面。

Disclosed herein are an apparatus for detecting radiation and a method of making it. The method may comprise forming a recess into a semiconductor substrate, wherein a portion of the semiconductor substrate extends into the recess and is surrounded by the recess; forming a semiconductor single crystal in the recess, the semiconductor single crystal having a different composition from the semiconductor substrate; forming a first doped semiconductor region in the semiconductor substrate; forming a second doped semiconductor region in the semiconductor substrate; wherein the first doped semiconductor region and the second doped semiconductor region form a p-n junction that separates the portion from the rest of the semiconductor substrate.

指定代表圖：



【圖 2A】

符號簡單說明：

100:輻射檢測器

102:半導體基板

102a、102b、106a:表面

104:凹部

104b:側壁

106:半導體單晶

106b:介面

107:部分

108:第一摻雜半導體區

109:第二摻雜半導體區

110:輻射吸收層

120:電子層

121:電子系統

130:填充材料

131:通孔



I788642

## 【發明摘要】

【中文發明名稱】輻射檢測裝置及其製備方法

【英文發明名稱】APPARATUSES FOR DETECTING RADIATION  
AND THEIR METHODS OF MAKING

【中文】本文公開了一種用於檢測輻射的裝置及其製備方法。該方法可以包括在半導體基板中形成凹部，其中所述半導體基板的一部分延伸到所述凹部中並且被所述凹部包圍；在所述凹部中形成半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；在所述半導體基板中形成第一摻雜半導體區；在所述半導體基板中形成第二摻雜半導體區；其中所述第一摻雜半導體區和所述第二摻雜半導體區形成將所述部分與所述半導體基板的其餘部分分開的p-n界面。

【英文】Disclosed herein are an apparatus for detecting radiation and a method of making it. The method may comprise forming a recess into a semiconductor substrate, wherein a portion of the semiconductor substrate extends into the recess and is surrounded by the recess; forming a semiconductor single crystal in the recess, the semiconductor single crystal having a different composition from the semiconductor substrate; forming a first doped semiconductor region in the semiconductor substrate; forming a second doped semiconductor region in the semiconductor substrate; wherein the

first doped semiconductor region and the second doped semiconductor region form a p-n junction that separates the portion from the rest of the semiconductor substrate.

【指定代表圖】圖2A。

【代表圖之符號簡單說明】

100:輻射檢測器

102:半導體基板

102a、102b、106a:表面

104:凹部

104b:側壁

106:半導體單晶

106b:介面

107:部分

108:第一摻雜半導體區

109:第二摻雜半導體區

110:輻射吸收層

120:電子層

121:電子系統

130:填充材料

131:通孔

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】 輻射檢測裝置及其製備方法

【英文發明名稱】 APPARATUSES FOR DETECTING RADIATION

AND THEIR METHODS OF MAKING

【技術領域】

【0001】 本文的公開涉及輻射檢測裝置及其製備方法。

【先前技術】

【0002】 輻射檢測器是一種測量輻射特性的設備。所述特性的示例可包括輻射的強度、相位和偏振的空間分佈。輻射可以是與對象相互作用的輻射。例如，由輻射檢測器測量的輻射可以是已經從對象穿透或從對象反射的輻射。輻射可以是電磁輻射，比如紅外光、可見光、紫外光、X射線或 $\gamma$ 射線。輻射可以是其他類型，比如 $\alpha$ 射線和 $\beta$ 射線。

【0003】 一種類型的輻射檢測器是基於輻射和半導體之間的相互作用。例如，該類型的輻射檢測器可具有吸收輻射並產生載流子（例如，電子和電洞）的半導體層和用於檢測所述載流子的電路。

【0004】 碲化鎘鋅（CdZnTe 或  $Cd_{1-x}Zn_xTe$ ）是直接間隙半導體，並且是室溫輻射檢測的極好的候選者。CdZnTe 是碲化鋅和 CdTe 的合金，x 值是 CdZnTe 中鋅的摩爾濃度。其 x 值從 0.04 到 0.2 的 CdZnTe 被認為是檢測器發展的前景，因為它可以處理和改善 CdTe

的某些性能。例如，CdTe 和 CdZnTe 都具有較大的原子序數，因此使材料具有出色的制動力，從而對入射的 X 射線、 $\gamma$  射線具有高吸收效率；並且具有較大的帶隙（例如，1.5 eV-1.6 eV），從而可用於室溫檢測器；其還具有高電阻率，以實現輻射檢測器的良好信噪比。同時，由於摻入鋅，CdZnTe 具有比 CdTe 更大的帶隙，因此增加了最大可獲得的電阻率。

**【0005】** CdTe 和 CdZnTe 檢測器的實際使用涵蓋了廣泛的應用，例如，醫學和工業成像、工業測量和無損檢測、安全和監視、核保障和不擴散以及天體物理學。

#### **【發明內容】**

**【0006】** 本文公開一種輻射檢測器的製備方法，其包括：在半導體基板中形成凹部，其中所述半導體基板的一部分延伸到所述凹部中並且被所述凹部包圍；在所述凹部中形成半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；在所述半導體基板中形成第一摻雜半導體區；在所述半導體基板中形成第二摻雜半導體區；其中所述第一摻雜半導體區和所述第二摻雜半導體區形成將所述半導體基板的所述部分與所述半導體基板的其餘部分分開的 p-n 介面。

**【0007】** 根據實施例，所述第一摻雜半導體區包圍所述第二摻雜半導體區。

**【0008】** 根據實施例，所述第二摻雜半導體區與所述半導體基板

的所述部分電接觸。

【0009】 根據實施例，所述形成所述第二摻雜半導體區，包括摻雜所述第一摻雜半導體區的一部分。

【0010】 根據實施例，所述第一摻雜半導體區從所述半導體基板的表面延伸到在所述半導體單晶和所述半導體基板之間的介面。

【0011】 根據實施例，所述第二摻雜半導體區與所述第一摻雜半導體區共延。

【0012】 根據實施例，所述形成所述凹部，包括在所述半導體基板上形成掩模以及蝕刻未被所述掩模覆蓋的所述半導體基板的一個區域。

【0013】 根據實施例，所述掩模包括金屬、氮化矽、二氧化矽或碳。

【0014】 根據實施例，所述蝕刻所述區域，是通過濕法蝕刻、乾法蝕刻或其組合。

【0015】 根據實施例，本文公開的製備方法進一步包括拋光所述半導體基板或半導體單晶，以使所述半導體單晶和所述半導體基板共延。

【0016】 根據實施例，所述半導體基板包括矽、鍺、砷化鎵(GaAs)或其組合。

【0017】 根據實施例，所述半導體單晶是碲化鎘鋅(CdZnTe)單晶或碲化鎘(CdTe)單晶。

【0018】 根據實施例，所述凹部在形成所述半導體單晶之後不包

含除所述半導體單晶以外的其他半導體材料。

【0019】 根據實施例，所述凹部在形成所述半導體單晶之後不包含半導體多晶。

【0020】 根據實施例，所述凹部的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【0021】 根據實施例，所述在所述凹部中形成所述半導體單晶，包括將半導體粒子沉積到所述凹部中，通過熔化所述半導體粒子形成熔體，並在所述凹部中使所述熔體重結晶。

【0022】 根據實施例，所述使所述凹部中的所述熔體重結晶，涉及以使所述熔體重結晶為單晶的速率冷卻所述熔體。

【0023】 根據實施例，所述冷卻所述熔體，是通過將所述熔體從溫度高於或等於所述半導體粒子熔點的區域移至溫度低於所述熔點的另一區域來完成的。

【0024】 根據實施例，所述形成所述半導體單晶，包括使用氣相前體。

【0025】 根據實施例，本文公開的製備方法進一步包括將所述半導體基板粘接到在其中或在其上包括電子系統的另一基板，其中所述電子系統電連接到所述第二摻雜半導體區並且被配置為處理在所述半導體基板中產生的電信號。

【0026】 本文公開一種輻射檢測器的製備方法，其包括：在直接支撐在電絕緣層上的半導體層中形成通孔，其中所述半導體層的一部分保留在所述通孔中並被所述通孔包圍；在所述通孔中形成

半導體單晶，所述半導體單晶具有與所述半導體層不同的成分；形成穿過所述電絕緣層的開口，使得所述半導體層的所述部分暴露在所述開口中；在所述開口中形成電極，所述電極與所述半導體層的所述部分電接觸。

【0027】 根據實施例，所述形成所述通孔，包括在所述半導體層上形成掩模並蝕刻未被所述掩模覆蓋的所述半導體層的區域。

【0028】 根據實施例，所述掩模包括金屬、氮化矽、二氧化矽或碳。

【0029】 根據實施例，所述蝕刻所述區域，是通過濕法蝕刻、乾法蝕刻或其組合。

【0030】 根據實施例，本文公開的製備方法進一步包括拋光所述半導體層或所述半導體單晶，以使所述半導體單晶和所述半導體層共延。

【0031】 根據實施例，所述半導體層包括矽、鍺、砷化鎵（GaAs）或其組合。

【0032】 根據實施例，所述電絕緣層包括氧化物、氮化物或氮氧化物。

【0033】 根據實施例，所述半導體單晶是碲化鎘鋅（CdZnTe）單晶或碲化鎘（CdTe）單晶。

【0034】 根據實施例，所述通孔在形成所述半導體單晶之後不包含除了所述半導體單晶之外的其他半導體材料。

【0035】 根據實施例，所述通孔在形成所述半導體單晶之後不包

含半導體多晶。

【0036】 根據實施例，所述通孔的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【0037】 根據實施例，所述在所述通孔中形成所述半導體單晶，包括將半導體粒子沉積到所述通孔中，通過熔化所述半導體粒子形成熔體，並在所述通孔中使所述熔體重結晶。

【0038】 根據實施例，所述使所述通孔中的所述熔體重結晶，涉及以使所述熔體重結晶為單晶的速率冷卻所述熔體。

【0039】 根據實施例，所述冷卻所述熔體，是通過將所述熔體從溫度高於或等於所述半導體粒子熔點的區域移至溫度低於所述熔點的另一區域來完成的。

【0040】 根據實施例，所述形成所述半導體單晶，包括使用氣相前體。

【0041】 根據實施例，本文公開的製備方法進一步包括將所述電絕緣層粘接到電子層，所述電子層包括電連接到所述電極並被配置為處理在所述半導體層中產生的電信號。

【0042】 本文公開一種輻射檢測器，其包括：半導體基板；在所述半導體基板中的凹部，其中所述半導體基板的一部分延伸到所述凹部中並被所述凹部包圍；在所述凹部中的半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；在所述半導體基板中的第一摻雜半導體區；以及在所述半導體基板中的第二摻雜半導體區；其中所述第一摻雜半導體區和所述第二摻雜半導體區

形成將所述半導體基板的所述部分與所述半導體基板的其餘部分分開的 p-n 接面。

【0043】 根據實施例，所述輻射檢測器被配置為吸收入射在所述半導體單晶上的輻射粒子並產生載流子。

【0044】 根據實施例，所述第一摻雜半導體區包圍所述第二摻雜半導體區。

【0045】 根據實施例，所述第二摻雜半導體區與所述半導體基板的所述部分電接觸。

【0046】 根據實施例，所述第一摻雜半導體區從所述半導體基板的表面延伸到在所述半導體單晶和所述半導體基板之間的介面。

【0047】 根據實施例，所述第二摻雜半導體區與所述第一摻雜半導體區共延。

【0048】 根據實施例，所述半導體單晶和所述半導體基板共延。

【0049】 根據實施例，所述半導體基板包括矽、鍺、GaAs 或其組合。

【0050】 根據實施例，所述半導體單晶是 CdZnTe 單晶或 CdTe 單晶。

【0051】 根據實施例，所述凹部在形成所述半導體單晶之後不包含除所述半導體單晶以外的其他半導體材料。

【0052】 根據實施例，所述凹部在形成所述半導體單晶之後不包含半導體多晶。

【0053】 根據實施例，所述凹部的形狀為平截頭體、棱柱形、棱

錐形、長方體形或圓柱體形。

【0054】 根據實施例，本文公開的輻射檢測器進一步包括粘接到所述半導體基板的電子層，所述電子層包括電連接到所述第二摻雜半導體區並被配置為處理在所述半導體基板中產生的電信號的電子系統。

【0055】 本文公開一種輻射檢測器，其包括：電絕緣層；直接支撐在所述電絕緣層上的半導體層；在所述半導體層中的通孔，其中所述半導體層的一部分延伸到所述通孔中並被所述通孔包圍；在所述通孔中的半導體單晶，所述半導體單晶具有與所述半導體層不同的組成；以及穿過所述電絕緣層的電極，所述電極與所述半導體層的所述部分電接觸。

【0056】 根據實施例，所述半導體層包括矽、鍺、GaAs 或其組合。

【0057】 根據實施例，所述電絕緣層包括氧化物、氮化物或氮氧化物。

【0058】 根據實施例，所述半導體單晶是 CdZnTe 單晶或 CdTe 單晶。

【0059】 根據實施例，所述通孔在形成所述半導體單晶之後不包含除了所述半導體單晶之外的其他半導體材料。

【0060】 根據實施例，所述通孔在形成半導體單晶之後不包含半導體多晶。

【0061】 根據實施例，所述通孔的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【0062】 根據實施例，本文公開的輻射檢測器進一步包括粘接到所述電絕緣層的電子層，所述電子層包括電連接到所述電極並被配置為處理在所述半導體層中產生的電信號的電子系統。

【圖式簡單說明】

【0063】

圖 1 示意示出根據實施例的一種輻射檢測器的截面圖。

圖 2A 示意示出根據實施例的所述輻射檢測器的詳細截面圖。

圖 2B 示意示出根據實施例的所述輻射檢測器的詳細截面圖。

圖 2C-圖 2E 示意示出根據實施例的所述輻射吸收層的俯視圖。

圖 3A-圖 3B 示意示出根據實施例的形成圖 2A 中的所述輻射吸收層的過程。

圖 4A-圖 4D 示意示出根據實施例的形成圖 2A 中的所述輻射吸收層的凹部的過程。

圖 5A-圖 5C 示意示出根據實施例的在圖 2A 中的所述輻射吸收層的所述凹部中形成半導體單晶的過程。

圖 6A-圖 6B 示意示出根據實施例的形成圖 2B 中的所述輻射吸收層的過程。

圖 7A-圖 7D 示意示出根據實施例的形成圖 2B 中的所述輻射

吸收層的通孔的過程。

圖 8A-圖 8C 示意示出根據實施例的在圖 2A 中的所述輻射吸收層的所述通孔中形成半導體單晶的過程。

圖 9A 和圖 9B 分別示意示出根據實施例的在所述輻射吸收層和所述電子層之間粘接以形成分別如圖 2A 和圖 2B 所示的輻射檢測器。

圖 10A 和圖 10B 分別示出根據實施例的所述電子系統的元件圖。

圖 11 示意示出根據實施例的所述電極或所述電觸點的電壓的時間變化。

### 【實施方式】

**【0064】** 圖 1 示意示出根據實施例的輻射檢測器 100 的截面圖。所述輻射檢測器 100 可以包括：輻射吸收層 110，其被配置為吸收入射輻射並從所述入射輻射產生電信號，和電子層 120（例如，ASIC），其用於處理或分析在輻射吸收層 110 中產生的電信號。所述輻射檢測器 100 可包括或可不包括閃爍體。所述輻射吸收層 110 可以包括諸如矽、鍺、GaAs、CdTe、CdZnTe 或其組合的半導體材料。所述半導體對於感興趣的輻射可以具有高的質量衰減係數。

**【0065】** 圖 2A 示意示出根據實施例的所述輻射檢測器 100 的詳細截面圖。所述輻射檢測器 100 具有半導體基板 102 和在所述半導

體基板 102 中的凹部 104。所述半導體基板 102 的一部分 107 延伸到所述凹部 104 中，並且被所述凹部 104 包圍。所述輻射檢測器 100 在所述凹部 104 中具有半導體單晶 106。所述輻射檢測器 100 在所述半導體基板 102 中還具有第一摻雜半導體區 108 和第二摻雜半導體區 109。所述第一摻雜半導體區 108 和所述第二摻雜半導體區 109 形成將所述半導體基板 102 的所述部分 107 與所述半導體基板 102 的其餘部分分開的 p-n 界面。換句話說，所述半導體基板 102 的所述部分 107 與所述半導體基板 102 的其餘部分之間以及整個所述半導體基板 102 內部的每條電通路都橫穿所述 p-n 界面。所述半導體基板 102 的所述部分 107 可以與所述第二摻雜半導體區 109 電接觸。所述半導體基板 102 (包括所述半導體基板 102 的所述部分 107)、所述半導體單晶 106、所述第一摻雜半導體區 108 和所述第二摻雜半導體區 109 可以在所述輻射吸收層 110 中。

**【0066】** 所述半導體基板 102 可以具有諸如矽、鍺、GaAs、前者的組合，或其他合適的半導體的半導體材料。所述半導體基板 102 可以是非本徵半導體 (即，摻雜有電子施體或電子受體)。

**【0067】** 所述第二摻雜半導體區 109 可以被所述第一摻雜半導體區 108 包圍。所述第二摻雜半導體區 109 不必在所述第一摻雜半導體區 108 的中心。所述第一摻雜半導體區 108 可以從所述半導體基板 102 的表面 102b 延伸到所述半導體單晶 106 和所述半導體基板 102 之間的介面 106b。所述第二摻雜半導體區 109 可以與所

述第一摻雜半導體區 108 共延，例如，在垂直於所述半導體基板 102 的方向上。

**【0068】** 所述半導體基板 102 的所述部分 107 可以是圓柱體形或棱柱形（例如，矩形棱柱形或三角棱柱形）。所述半導體基板 102 的所述部分 107 可以具有等於、大於或小於所述凹部 104 高度的高度（即，垂直於所述半導體基板 102 的方向上的尺寸）。所述半導體基板 102 的所述部分 107 可以具有幾微米的高度。所述半導體基板 102 的所述部分 107 可具有與所述第二摻雜半導體區 109 相同的摻雜類型（例如，均為 n 型或均為 p 型），但是具有與所述半導體基板 102 的其餘部分相反的摻雜類型（例如，所述半導體基板 102 的所述部分 107 為 n 型，而所述半導體基板 102 的其餘部分為 p 型，或相反情況）。

**【0069】** 在實施例中，所述凹部 104 具有一個並且僅有一個半導體單晶 106。例如，所述凹部 104 除了一個半導體單晶 106 之外不包含其他半導體材料。例如，所述凹部 104 不包含半導體多晶。所述半導體單晶 106 可以與所述半導體基板 102 共延（即，所述半導體單晶 106 的表面 106a 可以與所述半導體基板 102 的表面 102a 共延）。所述半導體單晶 106 具有與所述半導體基板 102 不同的組成。即，所述半導體單晶 106 不僅在摻雜方面與所述半導體基板 102 不同。所述半導體單晶 106 不是通過摻雜所述半導體基板 102 而形成的。例如，如果所述半導體基板 102 是摻雜矽，則所述半導體單晶 106 不是摻雜矽或本徵矽。所述半導體單晶 106

可以是 CdZnTe 單晶、CdTe 單晶或可以吸收入射在其上的輻射粒子並產生載流子的另一種合適的單晶。所述半導體單晶 106 可以具有足夠的厚度，因此對於感興趣的輻射的入射粒子（例如，X 射線光子）具有足夠的吸收度（例如，>80%或>90%）。所述半導體單晶 106 與所述半導體基板 102 的所述部分 107 以及所述半導體基板 102 的其餘部分電接觸。

**【0070】** 當所述輻射撞擊所述輻射吸收層 110 時，所述半導體單晶 106 可以吸收入射在其上的輻射粒子，並通過若干機制產生一個或多個載流子。一個輻射粒子可以產生 1 到 100000 個載流子。所述載流子可以包括電子和電洞。在所述半導體基板 102 的所述部分 107 和所述半導體基板 102 的其餘部分之間的電場下，所述載流子可以漂移到所述凹部 104 的側壁 104b 和所述半導體基板 102 的所述部分 107。例如，所述電洞可以漂移到所述側壁 104b，並且所述電子可以漂移到所述半導體基板 102 的所述部分 107。

**【0071】** 在實施例中，由所述第一摻雜半導體區 108 和所述第二摻雜半導體區 109 形成的 p-n 接面可以在所述輻射檢測器 100 操作期間處於反向偏壓。該反向偏壓可以用於在部分 107 和半導體基板 102 的其餘部分之間建立電場。在所述反向偏壓下的所述 p-n 接面基本上阻止了流過所述 p-n 接面的電流，但允許電流通過所述第二摻雜半導體區 109 在所述部分 107 和所述電子層 120 之間流動。

**【0072】** 圖 2B 示意示出根據實施例的輻射檢測器 190 的詳細截面

圖。所述輻射檢測器 190 具有電絕緣體層 198、直接支撐在所述電絕緣體層 198 上的半導體層 192 以及在所述半導體層 192 中的通孔 194。所述半導體層 192 的一部分 197 延伸到所述通孔 194 中並且被所述通孔 194 包圍。所述輻射檢測器 190 在所述通孔 194 中具有半導體單晶 196。所述輻射檢測器 190 還在（例如，穿過）所述電絕緣體層 198 中具有電極 199，並且與所述部分 197 電接觸。所述半導體層 192（包括所述部分 197）、所述半導體單晶 196、所述電絕緣體層 198 和所述電極 199 可以在一個輻射吸收層 191 中。

**【0073】** 所述半導體層 192 可以具有諸如矽、鍺、GaAs 或其組合的半導體材料。所述半導體層 192 可以是非本徵半導體（即，摻雜有電子施體或電子受體）。

**【0074】** 所述電絕緣體層 198 可以是氧化物、氮化物或氮氧化物或其他合適的材料。

**【0075】** 所述部分 197 可以是圓柱體形或棱柱形（例如，矩形棱柱形或三角棱柱形）。所述部分 197 可以具有等於、大於或短於所述通孔 194 高度的高度（即，在垂直於所述半導體層 192 的方向上的尺寸）。所述部分 197 可以具有幾微米的高度。

**【0076】** 在實施例中，所述通孔 194 具有一個並且僅有一個半導體單晶 196。例如，所述通孔 194 除了一個半導體單晶 196 之外不包含其他半導體材料。例如，所述通孔 194 不包含半導體多晶。所述半導體單晶 196 可以與所述半導體層 192 共延（即，所述半導體單晶 196 的表面 196a 可以與所述半導體層 192 的表面 192a

共延)。所述半導體單晶 196 具有與所述半導體層 192 不同的組成。即，所述半導體單晶 196 不僅在摻雜方面與所述半導體層 192 不同。所述半導體單晶 196 不是通過摻雜所述半導體層 192 而形成的。例如，如果所述半導體層 192 是摻雜矽，則所述半導體單晶 196 不是摻雜矽或本徵矽。所述半導體單晶 196 可以是 CdZnTe 單晶、CdTe 單晶或可以吸收入射在其上的輻射粒子並產生載流子的另一種合適的單晶。所述半導體單晶 196 可以具有足夠的厚度，因此對於感興趣的輻射的入射粒子（例如，X 射線光子）具有足夠的吸收度（例如，>80%或>90%）。所述半導體單晶 196 與所述部分 197 以及所述半導體層 192 的其餘部分電接觸。

**【0077】** 所述電極 199 可以包括導電材料，諸如金屬（例如，金、銅、鋁、鉑等）、或任何其他合適的導電材料（例如，摻雜的半導體）。所述電極 199 可以被嵌入所述電絕緣體層 198 中，或者可以延伸穿過所述電絕緣體層 198 的整個厚度。

**【0078】** 當所述輻射撞擊所述輻射吸收層 191 時，所述半導體單晶 196 可以吸收入射在其上的輻射粒子，並通過若干機制產生一個或多個載流子。一個輻射粒子可以產生 1 到 100000 個載流子。所述載流子可以包括電子和電洞。在所述部分 197 和所述半導體層 192 的其餘部分之間的電場下，所述載流子可以漂移到所述通孔 194 的側壁 194b 和所述部分 197。例如，所述電洞可以漂移到所述側壁 194b，並且所述電子可以漂移到所述部分 197。

**【0079】** 所述凹部 104 和所述通孔 194 可以具有平截頭體、棱柱

形、棱錐形、長方體形、立方體形、圓柱體形或其他合適的形狀。所述檢測器 100 或所述輻射檢測器 190 可以分別具有所述凹部 104 或所述通孔 194 的多個副本，其可以佈置成諸如矩形陣列、蜂窩狀陣列、六邊形陣列或任何其他合適的陣列。圖 2C-圖 2E 示意示出具有所述凹部 104 或所述通孔 194 的副本的所述輻射檢測器 100 或具有所述凹部 104 或所述通孔 194 的副本的所述輻射檢測器 190 的若干示例的俯視圖，其具有各種形狀和佈置。所述副本之間的時間隔(例如，相鄰副本之間的最短距離)可以小於  $10\mu\text{m}$ 、小於  $20\mu\text{m}$  或小於  $30\mu\text{m}$ 。每個所述副本的表面積可以在  $1-10000\mu\text{m}^2$  的範圍內或任何其他合適的尺寸。

**【0080】** 所述電子層 120 可以包括電子系統 121，所述電子系統 121 被配置為處理在所述部分 107 或所述部分 197 上由所收集的所述載流子產生的電信號。所述電子系統 121 可以包括類比電路諸如濾波器網路、放大器、積分器和比較器，或者數位電路諸如微處理器和記憶體。所述電子系統 121 可以包括一個或多個 ADC。所述電子系統 121 可以通過通孔 131 和所述第二摻雜半導體區 109 電連接到所述部分 107，或者可以通過通孔 131 和所述電極 199 電連接到所述部分 197。所述通孔之間的空間可以用填充材料 130 填充，這可以增加所述電子層 120 到所述輻射吸收層 110 的連接的機械穩定性。其他粘接技術也可以在不使用通孔的情況下將所述電子系統 121 連接到所述部分 107 或所述部分 197。

**【0081】** 圖 3A-圖 3B 示意示出根據實施例的形成輻射吸收層 200

的過程。

【0082】 在步驟 1010 中，根據實施例，在半導體基板 210 中形成凹部 204。所述半導體基板 210 的一部分 207 延伸到所述凹部 204 中，並且所述部分 207 被所述凹部 204 包圍。所述凹部 204 可以用作圖 2A 中的所述凹部 104。所述部分 207 可以用作圖 2A 中的所述部分 107。

【0083】 在步驟 1020 中，在所述凹部 204 中形成半導體單晶 206。所述半導體單晶 206 可以具有與所述半導體基板 210 不同的成分。即，所述半導體單晶 206 不僅與所述半導體基板 210 在摻雜方面不同。所述半導體單晶 206 可以用作圖 2A 中所述輻射吸收層 110 的所述半導體單晶 106。

【0084】 在步驟 1030 中，在所述半導體基板 210 中形成第一摻雜半導體區 218。

【0085】 在步驟 1040 中，在所述半導體基板 210 中形成第二摻雜半導體區 219。所述第一摻雜半導體區 218 和所述第二摻雜半導體區 219 形成將所述部分 207 與所述半導體基板 210 的其餘部分分隔開的 p-n 界面。所述第一摻雜半導體區 218 可以包圍所述第二摻雜半導體區 219。所述第二摻雜半導體區 219 可以與所述部分 207 電接觸。

【0086】 所述第二摻雜半導體區 219 可以通過摻雜所述第一摻雜半導體區 218 的一部分來形成。所述第一摻雜半導體區 218 可以通過在所述半導體基板 210 中摻雜 p 型或 n 型摻雜劑來形成。所

述第一摻雜半導體區 218 可以從所述半導體基板 210 的表面 210a 延伸到所述半導體單晶 206 和所述半導體基板 210 之間的介面 206a。所述第二摻雜半導體區 219 可以與所述第一摻雜半導體區 218 共延。可以通過在所述半導體基板 210 中摻雜 p 型或 n 型摻雜劑來形成摻雜半導體區 219，並且所使用的所述摻雜劑與用於形成所述第一摻雜半導體區 218 的所述摻雜劑相反。例如，如果所述第一摻雜半導體區 218 通過用 p 型摻雜劑摻雜所述半導體基板 210 來形成，則所述第二摻雜半導體區 219 通過用 n 型摻雜劑摻雜所述半導體基板 210 來形成，反之亦然。

**【0087】** 在實施例中，形成所述凹部 204 可以包括在所述半導體基板 210 上形成掩模 203，並且蝕刻所述半導體基板 210 上未被所述掩模 203 覆蓋的區域，如圖 4A-圖 4D 的步驟 1011-步驟 1014 所示。所述掩模 203 可以在所述半導體基板 210 的表面 210a 上形成，並且所述半導體基板 210 可以包括諸如矽、鍺、GaAs 或其組合的半導體材料。如步驟 1013a 或步驟 1013b 所示，所述掩模 203 可以用作用於形成所述凹部 204 的蝕刻掩模。所述掩模 203 可以包括諸如二氧化矽、氮化矽或金屬（例如，鋁、鉻）的材料。可以根據所述凹部 204 的深度和蝕刻選擇性（即，所述掩模 203 和所述半導體基板 210 的蝕刻速率的比率）來確定所述掩模 203 的厚度。在實施例中，所述掩模 203 可以具有幾微米的厚度。可以通過各種技術將所述掩模 203 在所述表面 210a 上形成，諸如物理氣相沉積、化學氣相沉積、旋塗、濺射或任何其他合適的工藝。

**【0088】** 在步驟 1012 中，如截面圖所示，所述掩模 203 被圖案化以具有在其中暴露出所述半導體基板 210 的開口。所述開口的形狀和位置對應於在步驟 1013a 或步驟 1013b 中形成的所述凹部 204 和其他凹部的覆蓋區的形狀和位置。如果所述開口具有正方形形狀（如在步驟 1012 中的俯視圖中所示）並且被佈置成矩形陣列，則所述凹部 204 和其他凹部的覆蓋面積也具有正方形形狀並且被佈置成矩形陣列。在所述掩模 203 上的圖案的形成可以涉及光刻工藝或任何其他合適的工藝。例如，可以首先將抗蝕劑層沉積（例如，通過旋塗）在所述掩模 203 的表面上，然後進行光刻以形成開口。所述光刻的解析度受到所用輻射波長的限制。使用波長約為 248nm 和 193nm 的深紫外（DUV）光的光刻工具，可將最小特徵尺寸減小到約 50nm。電子束光刻工具使用 1keV 至 50keV 的電子能量，可將最小特徵尺寸減小至幾奈米。在步驟 1013a 或步驟 1013b 中，可以通過將未被所述掩模 203 覆蓋的所述半導體基板 210 的部分蝕刻至期望的深度，以在所述半導體基板 210 的所述表面 210a 中形成所述凹部 204 和其他凹部。所述部分 207 的高度可以低於或等於所述凹部 204 的深度。所述凹部 204 可以具有平截頭體、棱柱形、棱錐形、長方體形、立方體形或圓柱體形的形狀。在步驟 1013a 的示例中，所述凹部 204 具有棱錐形；在步驟 1013b 的示例中，所述凹部 204 具有長方體形。所述凹部 204 可具有光滑的表面。

**【0089】** 在實施例中，可以通過濕法蝕刻、乾法蝕刻或其組合來

執行對所述半導體基板 210 的部分的蝕刻。濕法蝕刻是一種使用液相蝕刻劑的蝕刻工藝。可以將所述半導體基板 210 浸入蝕刻劑液中，並且未被所述掩模保護的區域可以被去除。所述凹部 204 的尺寸和形狀不僅可以由所述掩模 203 的開口的尺寸和形狀來定義，而且可以由所述半導體基板 210 的材料、所使用的液體化學藥品或蝕刻劑、蝕刻速率和持續時間等來定義。所述半導體基板 210 可以是矽基板，並且所述凹部 204 可以通過使用諸如氫氧化鉀 (KOH)、乙二胺鄰苯二酚 (EDP)、四甲基氫氧化銨 (TMAH) 等蝕刻劑的各向異性濕法蝕刻來形成。在各向異性濕法蝕刻矽基板期間，液體蝕刻劑可以根據暴露於蝕刻劑的矽晶面以不同的速率蝕刻所述矽基板，從而可以形成具有不同形狀和尺寸的所述凹部 204。在步驟 1013a 的示例中，當所述表面 210a 是矽晶體平面(100)時，使用諸如 KOH 的濕法蝕刻劑可以形成具有平坦且成角度的蝕刻壁的棱錐形凹部 204。在步驟 1013b 的示例中，當所述表面 210a 是矽晶體平面 (110) 時，使用諸如 KOH 的濕法蝕刻劑可以形成長方體形的凹部 204。

**【0090】** 在步驟 1014 中，可以在形成所述凹部 204 之後通過濕法蝕刻、化學機械拋光或一些其他合適的技術去除所述掩模 203。

**【0091】** 在圖 5A-圖 5C 所示的步驟 1021-步驟 1023 中，在所述凹部 204 中形成所述半導體單晶 206。所述半導體單晶 206 可以用作圖 2A 中的所述輻射吸收層 110 的所述半導體單晶 106。

**【0092】** 所述半導體單晶 206 的形成可以通過各種技術來完成，

例如，熔體生長技術、行進加熱器技術、氣相沉積技術、外延結晶技術或任何其他合適的技術。熔體生長技術包括熔化半導體粒子（「前體」）並使所述熔體重結晶為所述半導體的單晶。例如，可以使用諸如垂直布裡奇曼法和高壓布裡奇曼法之類的熔體生長技術來形成 CdZnTe 單晶。氣相沉積技術可涉及汽化合適的半導體前驅物並從汽化的所述半導體前驅物在基板上形成半導體單晶。例如，CdZnTe 單晶可以由汽化的 CdTe 和碲化鋅的前體形成在 GaAs 基板上。氣相沉積技術也可以與外延結晶技術一起應用。例如，可以使用金屬有機氣相外延技術在 GaAs 或 Si 基板上形成 CdTe 單晶或 CdZnTe 單晶的外延層，並帶有諸如二甲基鏷（DMCd）、二甲基鋅（DMZn）和二乙基碲（DETe）的前體，並且氫氣作為載氣。在所述凹部 204 中形成所述半導體單晶 206 的合適技術的選擇取決於半導體材料、基板材料等的特性。

**【0093】** 在步驟 1021-步驟 1023 的示例中，示出了使用垂直布裡奇曼技術在所述凹部 204 中形成所述半導體單晶 206（在該示例中為 CdZnTe 單晶）。在步驟 1021 中，可以將 CdZnTe 粒子 205（例如，CdZnTe 多晶體粒子）沉積到所述凹部 204 中。在步驟 1022 和步驟 1023 中，可以通過熔化所述 CdZnTe 粒子 205 來形成所述半導體單晶 206（如步驟 1023 所示），然後，通過冷卻所述凹部 204 中的所述熔體使所述熔體再結晶。在步驟 1022 的示例中，可以在包括生長室 213 和加熱元件 214 的垂直布裡奇曼爐 250 中進行形成工藝。所述半導體基板 210（具有 CdZnTe 粒子 205）被封

閉在可相對於所述加熱元件 214 移動的所述生長室 213 中。所述垂直布裡奇曼爐 250 的溫度分佈可通過所述加熱元件 214 控制，使得所述垂直布裡奇曼爐 250 可具有熱區 215a 和梯度區 215b。所述熱區 215a 的溫度可以等於或高於所述 CdZnTe 粒子 205 的熔化溫度。在所述梯度區 215b 中，溫度從所述熱區 215a 中的溫度逐漸降低到低於所述熔化溫度。當所述生長室 213 處於所述熱區 215a 中時，所述凹部 204 中的所述 CdZnTe 粒子 205 熔化。所述熔體由揮發性成分組成，在熔體上方形成蒸氣，所述蒸氣主要由 Cd 原子組成，因為 Cd 在 CdZnTe 熔體成分中具有最高的蒸氣壓。為了抑制所述蒸氣的可能洩漏並減小腔室破裂的可能性，可以用諸如氬氣的惰性氣體 216 對所述生長室 213 加壓。當所述生長室 213 以非常低的速度（例如，1-2mm/h）從所述熱區 215a（例如，沿著虛線箭頭所示的方向）進入所述梯度區 215b 時，所述熔體被冷卻並從其下端開始重結晶，使得所述半導體單晶 206 在所述凹部 204 中逐漸形成。在實施例中，可以將補充的 Cd 蒸氣發送到所述生長室 213 中，以補償任何 Cd 損失並提供對所述半導體單晶 206 的 Cd 和 Zn 的摩爾濃度的精細控制。在實施例中，還可以以水平幾何形狀進行形成過程。

**【0094】** 半導體單晶 206 的成品率（即，所述凹部 204 僅具有所述半導體單晶 206 的概率）可以取決於所應用的形成技術、半導體材料的性質、形成條件等。在步驟 1022 的示例中，可以通過冷卻速率來調節所述半導體單晶 206 的成品率，該冷卻速率可以通

過所述生長室 213 的移動速度、所述梯度區 215b 的長度等來調節。

**【0095】** 在步驟 1023 中，可以在形成半導體單晶 206 之後，通過濕法蝕刻、化學機械拋光或某些其他合適的技術來拋光所述半導體基板 210 的所述表面 210a。或者，可以拋光每個所述半導體單晶 206 的所述表面 208，以使所述表面 210a 與所述表面 208 共延。在拋光之後，所述表面 210a 和所述表面 208 可以是平坦且光滑的。

**【0096】** 圖 6A-圖 6B 示意示出根據實施例的形成輻射吸收層 400 的過程。

**【0097】** 在步驟 2010 中，在半導體層 410 中形成通孔 404，所述半導體層 410 直接支撐在電絕緣體層 402 上。所述半導體層 410 的一部分 407 保留在所述通孔 404 中並被所述通孔 404 包圍。由於所述通孔 404 延伸穿過所述半導體層 410 的整個厚度，因此在步驟 2010 結束時，所述部分 407 和所述半導體層 410 的其餘部分被電隔離。所述電絕緣體層 402 可以用作在圖 2B 中的所述電絕緣體層 198。所述通孔 404 可以用作在圖 2B 中的所述通孔 194。所述部分 407 可以用作在圖 2B 中的所述部分 197。

**【0098】** 在步驟 2020 中，在所述通孔 404 中形成半導體單晶 406。所述半導體單晶 406 可以具有與所述半導體層 410 不同的成分。所述半導體單晶 406 可以用作圖 2B 中的所述半導體單晶 196。

**【0099】** 在步驟 2030 中，形成穿過所述電絕緣體層 402 的開口 409，

使得所述部分 407 暴露在所述開口 409 中。

**【0100】** 在步驟 2040 中，在所述開口 409 中形成電極 419。所述電極 419 與所述部分 407 電接觸。所述電極 419 可用作在圖 2B 中的所述電極 199。

**【0101】** 在實施例中，如圖 7A-圖 7D 的步驟 2011-步驟 2014 所示，所述在所述半導體層 410 中形成通孔 404，可包括在所述半導體基板 210 上形成掩模 403，以及蝕刻未被所述掩模 403 覆蓋的所述半導體層 410 的區域。所述掩模 403 可形成在所述半導體層 410 的表面 410b 上，並且所述半導體層 410 可以包括諸如矽、鍺、GaAs 或其組合的半導體材料。如步驟 2013a 或步驟 2013b 所示，所述掩模 403 可以用作蝕刻掩模，以形成所述通孔 404 和其他通孔。所述掩模 403 可以包括諸如二氧化矽、氮化矽、碳或金屬（例如，鋁、鉻）的材料。可以根據所述通孔 404 和其他通孔的深度以及蝕刻選擇性（即，所述掩模 403 和所述半導體層 410 的蝕刻速率之比）來確定所述掩模 403 的厚度。在實施例中，所述掩模 403 可以具有幾微米的厚度。可以通過各種技術將所述掩模 403 形成在所述表面 410b 上，諸如物理氣相沉積、化學氣相沉積、旋塗、濺射或任何其他合適的工藝。

**【0102】** 在步驟 2012 中，如截面圖所示，所述掩模 403 被圖案化以具有在其中暴露出所述半導體層 410 的開口。所述開口的形狀和位置對應於在步驟 2013a 或步驟 2013b 中形成的所述通孔 404 和其他凹部的覆蓋區的形狀和位置。如果所述開口具有正方形形

狀（如在步驟 2012 中的俯視圖中所示）並且被佈置成矩形陣列，則所述通孔 404 和其他通孔的覆蓋面積也具有正方形形狀並且被佈置成矩形陣列。在所述掩模 403 上的圖案的形成可以涉及光刻工藝或任何其他合適的工藝。例如，可以首先將抗蝕劑層沉積（例如，通過旋塗）在所述掩模 403 的表面上，然後進行光刻以形成開口。所述光刻的解析度受到所用輻射波長的限制。使用波長約為 248nm 和 193nm 的深紫外（DUV）光的光刻工具，可將最小特徵尺寸減小到約 50nm。電子束光刻工具使用 1keV 至 50keV 的電子能量，可將最小特徵尺寸減小至幾奈米。

**【0103】** 在步驟 2013a 或步驟 2013b 中，可以通過將所述半導體層 410 的未被所述掩模 403 覆蓋的部分蝕刻到期望的深度，以在半導體層 410 的表面 410b 中形成所述通孔 404 和其他通孔。所述部分 407 的高度可以低於或等於所述通孔 404 的深度。所述通孔 404 可以具有平截頭體、棱柱形、棱錐形、長方體形、立方體形或圓柱體形的形狀。在步驟 2013a 的示例中，所述通孔 404 具有棱錐形；在步驟 2013b 的示例中，所述通孔 404 具有長方體形。所述通孔 404 可具有光滑的表面。

**【0104】** 在實施例中，可以通過濕法蝕刻、乾法蝕刻或其組合來執行對所述半導體層 410 的部分的蝕刻。濕法蝕刻是一種使用液相蝕刻劑的蝕刻工藝。可以將所述半導體層 410 浸入蝕刻劑液中，並且未被所述掩模保護的區域可以被去除。所述通孔 404 的尺寸和形狀不僅可以由所述掩模 403 的開口的尺寸和形狀來定義，而

且可以由所述半導體層 410 的材料、所使用的液體化學藥品或蝕刻劑、蝕刻速率和持續時間等來定義。所述半導體層 410 可以是矽基板，並且所述通孔 404 可以通過使用諸如氫氧化鉀 (KOH)、乙二胺鄰苯二酚 (EDP)、四甲基氫氧化銨 (TMAH) 等蝕刻劑的各向異性濕法蝕刻來形成。在各向異性濕法蝕刻矽基板期間，液體蝕刻劑可以根據暴露於蝕刻劑的矽晶面以不同的速率蝕刻所述矽基板，從而可以形成具有不同形狀和尺寸的所述通孔 404。在步驟 2013a 的示例中，當所述表面 410b 是矽晶體平面 (100) 時，使用諸如 KOH 的濕法蝕刻劑可以形成具有平坦且成角度的蝕刻壁的棱錐形通孔 404。在步驟 1013b 的示例中，當所述表面 410b 是矽晶體平面 (110) 時，使用諸如 KOH 的濕法蝕刻劑可以形成長方體形的通孔 404。

**【0105】** 在步驟 2014 中，可以在形成所述通孔 404 之後通過濕法蝕刻、化學機械拋光或一些其他合適的技術去除所述掩模 403。

**【0106】** 在圖 8A-圖 8C 所示的步驟 2021-步驟 2023 中，在所述通孔 404 和其他通孔中形成所述半導體單晶 (例如，在步驟 1023 中的所述半導體單晶 406)。所述半導體單晶 (例如，在步驟 1023 中的所述半導體單晶 406) 可以用作圖 2B 中的所述輻射吸收層 110 的所述半導體單晶 196。

**【0107】** 所述半導體單晶 406 的形成可以通過各種技術來完成，例如，熔體生長技術、行進加熱器技術、氣相沉積技術、外延結晶技術或任何其他合適的技術。熔體生長技術包括熔化半導體粒

子（「前體」）並使所述熔體重結晶為所述半導體的單晶。例如，可以使用諸如垂直布裡奇曼法和高壓布裡奇曼法之類的熔體生長技術來形成 CdZnTe 單晶。氣相沉積技術可涉及汽化合適的半導體前驅物並從汽化的所述半導體前驅物在基板上形成半導體單晶。例如，CdZnTe 單晶可以由汽化的 CdTe 和碲化鋅的前體形成在 GaAs 基板上。氣相沉積技術也可以與外延接面晶技術一起應用。例如，可以使用金屬有機氣相外延技術在 GaAs 或 Si 基板上形成 CdTe 單晶或 CdZnTe 單晶的外延層，並帶有諸如二甲基鎘(DMCd)，二甲基鋅(DMZn)和二乙基碲(DETe)的前體，並且氫氣作為載氣。在所述通孔 404 中形成所述半導體單晶 406 的合適技術的選擇取決於半導體材料、基板材料等的特性。

**【0108】** 在步驟 2021-步驟 2023 的示例中，示出了使用垂直布裡奇曼技術在所述通孔 404 中形成所述半導體單晶 406(在該示例中為 CdZnTe 單晶)。在步驟 2021 中，可以將 CdZnTe 粒子 405（例如，CdZnTe 多晶體粒子）沉積到所述通孔 404 中。在步驟 2022 和步驟 2023 中，可以通過熔化所述 CdZnTe 粒子 405 來形成所述半導體單晶 406（如步驟 2023 所示），然後，通過冷卻所述通孔 404 中的所述熔體使所述熔體再結晶。在步驟 2022 的示例中，可以在包括生長室 413 和加熱元件 414 的垂直布裡奇曼爐 450 中進行形成工藝。所述半導體層 410（具有 CdZnTe 粒子 405）被封閉在可相對於所述加熱元件 414 移動的所述生長室 413 中。所述垂直布裡奇曼爐 450 的溫度分佈可通過所述加熱元件 414 控制，使

得所述垂直布裡奇曼爐 450 可具有熱區 415a 和梯度區 415b。所述熱區 415a 的溫度可以等於或高於所述 CdZnTe 粒子 405 的熔化溫度。在所述梯度區 415b 中，溫度從所述熱區 415a 中的溫度逐漸降低到低於所述熔化溫度。當所述生長室 413 處於所述熱區 415a 中時，所述通孔 404 中的所述 CdZnTe 粒子 405 熔化。所述熔體由揮發性成分組成，在熔體上方形成蒸氣，所述蒸氣主要由 Cd 原子組成，因為 Cd 在 CdZnTe 熔體成分中具有最高的蒸氣壓。為了抑制所述蒸氣的可能洩漏並減小腔室破裂的可能性，可以用諸如氬氣的惰性氣體 416 對所述生長室 413 加壓。當所述生長室 413 以非常低的速度（例如，1-2mm / h）從所述熱區 415a（例如，沿著虛線箭頭所示的方向）進入所述梯度區 415b 時，所述熔體被冷卻並從其下端開始重結晶，使得所述半導體單晶 406 在所述通孔 404 中逐漸形成。在實施例中，可以將補充的 Cd 蒸氣發送到所述生長室 413 中，以補償任何 Cd 損失並提供對所述半導體單晶 406 的 Cd 和 Zn 的摩爾濃度的精細控制。在實施例中，還可以以水平幾何形狀進行形成過程。所述半導體單晶 406 可以是其他單晶，例如，CdTe 單晶。

**【0109】** 所述半導體單晶 406 的成品率（即，所述通孔 404 僅具有所述半導體單晶 406 的概率）可以取決於所應用的形成技術、半導體材料的性質、形成條件等。在步驟 2022 的示例中，可以通過冷卻速率來調節所述半導體單晶 406 的成品率，該冷卻速率可以通過所述生長室 413 的移動速度、所述梯度區 415b 的長度等來

調節。

【0110】 在步驟 2023 中示出所述半導體單晶 406。在實施例中，在形成所述半導體單晶 406 之後，所述通孔 404 除了所述半導體單晶 406 之外不包含其他半導體材料。所述通孔 404 不包含半導體多晶。

【0111】 可以在形成半導體單晶 406 之後通過濕法蝕刻、化學機械拋光或某些其他合適的技術來拋光所述半導體層 410 的所述表面 410b。或者，可以拋光每個所述半導體單晶 406 的所述表面 408，以使所述表面 410b 與所述表面 408 共延。在拋光之後，所述表面 410b 和所述表面 408 可以是平坦且光滑的。

【0112】 圖 9A 示意示出如圖 2A 所示的將所述半導體基板 102 粘接到所述電子層 120 的過程。所述電子層 120 可以包括電子系統，該電子系統電連接到所述第二摻雜半導體區 109 並且被配置為處理在所述輻射吸收層 110 中產生的電信號。

【0113】 圖 9B 示意示出如圖 2B 所示的將所述電絕緣體層 198 粘接到所述電子層 120 的過程。所述電子層 120 可以包括電子系統 121，該電子系統 121 電連接到所述電極 199 並且被配置為處理在所述輻射吸收層 191 中產生的電信號。

【0114】 所示的所述第二摻雜半導體區 109 或所述電極 199 可以通過諸如直接粘接或倒裝晶片粘接的適當技術粘接到每個所述通孔 131。

【0115】 直接粘接是沒有任何附加中間層（例如，焊料凸塊）的

晶片粘接工藝。粘接過程基於兩個表面之間的化學鍵。直接粘接可以在高溫下進行，但不是必須如此。

**【0116】** 倒裝晶片粘接使用沉積在接觸墊（例如，所述第二摻雜半導體區 109 或所述電極 199 或所述通孔 131 的接觸表面）上的焊料凸塊 132。所述輻射吸收層 110 或 191 或電子層 120 被翻轉，並且所述第二摻雜半導體區 109 或所述電極 199 與所述通孔 131 對齊。所述焊料凸塊 132 可以被熔化以將所述第二摻雜半導體區 109 或所述電極 199 與所述通孔 131 焊接在一起。所述焊料凸塊 132 之間的任何空隙空間可以被絕緣材料填充。

**【0117】** 圖 10A 和圖 10B 各自示出了根據實施例的所述電子系統 121 的元件圖。所述電子系統 121 可以包括第一電壓比較器 301、第二電壓比較器 302、計數器 320、開關 305、電壓表 306 和控制器 310。

**【0118】** 所述第一電壓比較器 301 被配置為將電極（例如，在所述半導體單晶 106 上的所述第二摻雜半導體區 109 或在所述半導體單晶 106 或 196 上的所述電極 199）的電壓與第一閾值進行比較。所述第一電壓比較器 301 可被配置為直接監控所述電壓或通過對一段時間內流過所述電極的電流進行積分來計算所述電壓。所述第一電壓比較器 301 可由所述控制器 310 可控地啟動或停用。所述第一電壓比較器 301 可以是連續比較器。即，所述第一電壓比較器 301 可被配置為連續地被啟動並連續地監控所述電壓。被配置為連續比較器的所述第一電壓比較器 301 降低了所述系統 121

錯過由入射輻射粒子產生的信號的機會。被配置為連續比較器的第一電壓比較器 301 在入射輻射強度相對較高時尤其合適。第一電壓比較器 301 可以是鐘控比較器，其好處是具有較低功耗。被配置為鐘控比較器的所述第一電壓比較器 301 可使所述系統 121 錯過由一些入射輻射粒子產生的信號。當入射輻射強度低時，錯過入射輻射粒子的機會低，因為兩個連續輻射粒子之間的時間間隔相對較長。因此，當入射輻射強度相對較低時，配置為鐘控比較器的所述第一電壓比較器 301 尤其合適。所述第一閾值可以是在所述半導體單晶 106 或 196 上產生的一個入射輻射粒子最大電壓的 5-10%、10-20%、20-30%、30-40%或 40-50%。所述最大電壓可取決於入射輻射粒子的能量（即入射輻射的波長）、所述輻射吸收層 110 或 191 的材料及其他因素。例如，所述第一閾值可以是 50mV、100mV、150mV 或 200mV。

**【0119】** 所述第二電壓比較器 302 被配置為將所述電壓與第二閾值進行比較。所述第二電壓比較器 302 可被配置為直接監控所述電壓或通過對一段時間內流過所述電極的電流進行積分來計算所述電壓。所述第二電壓比較器 302 可以是連續比較器。所述第二電壓比較器 302 可由所述控制器 310 可控地啟動或停用。在所述第二電壓比較器 302 被停用時，所述第二電壓比較器 302 的功耗可以是所述第二電壓比較器 302 啟動時功耗的不到 1%、不到 5%、不到 10%或不到 20%。所述第二閾值的絕對值大於所述第一閾值的絕對值。如本文所使用的術語實數  $x$  的「絕對值」或「模數」 $|x|$

是  $x$  的非負值而不考慮它的符號。即， $|x| = \begin{cases} x, & \text{if } x \geq 0 \\ -x, & \text{if } x \leq 0 \end{cases}$ 。所述

第二閾值可以是所述第一閾值的 200%-300%。所述第二閾值至少是所述半導體單晶 106 或 196 上產生的一個入射輻射粒子最大電壓的 50%。例如，所述第二閾值可以是 100mV、150mV、200mV、250mV 或 300mV。所述第二電壓比較器 302 和所述第一電壓比較器 301 可以是相同元件。即，所述系統 121 可具有一個電壓比較器，該電壓比較器可在不同時間將電壓與兩個不同的閾值進行比較。

**【0120】** 所述第一電壓比較器 301 或所述第二電壓比較器 302 可包括一個或多個運算放大器或任何其他合適的電路。所述第一電壓比較器 301 或所述第二電壓比較器 302 可具有高速度以允許所述系統 121 在高的人射輻射的高通量下操作。然而，具有高速度通常以功耗為代價。

**【0121】** 所述計數器 320 被配置為記錄到達所述半導體單晶 106 或 196 上的多個輻射粒子。所述計數器 320 可以是軟體元件（例如，存儲在電腦記憶體中的數字）或硬體元件（例如，4017IC 和 7490IC）。

**【0122】** 所述控制器 310 可以是硬體元件比如微控制器和微處理器等。所述控制器 310 被配置為從所述第一電壓比較器 301 確定所述電壓的絕對值等於或超過所述第一閾值的絕對值（例如，所述電壓的絕對值從所述第一閾值的絕對值以下增加到等於或超過

所述第一閾值的絕對值)時啟動時間延遲。在這裡使用絕對值是因為電壓可以是負的或正的，這取決於是使用二極體的陰極還是陽極的電壓或使用哪個電觸點。所述控制器 310 可被配置為在所述第一電壓比較器 301 確定所述電壓的絕對值等於或超過所述第一閾值的絕對值之前，保持停用所述第二電壓比較器 302、所述計數器 320、以及所述第一電壓比較器 301 的操作中不需要的任何其他電路。在所述電壓變得穩定(即，所述電壓的變化率大致為零)之前或之後，所述時間延遲可以期滿。短語「變化率大致為零」意指所述電壓的時間變化率小於 0.1%/ns。短語「變化率大致為非零」意指所述電壓的時間變化率至少為 0.1%/ns。

**【0123】** 所述控制器 310 可被配置為在所述時間延遲期間(包括開始和期滿)啟動所述第二電壓比較器。在實施例中，所述控制器 310 被配置為在所述時間延遲開始時啟動所述第二電壓比較器。術語「啟動」意指使元件進入操作狀態(例如，通過發送諸如電壓脈衝或邏輯準位等信號，通過提供電力等)。術語「停用」意指使元件進入非操作狀態(例如，通過發送諸如電壓脈衝或邏輯準位等信號，通過切斷電力等)。所述操作狀態可具有比所述非操作狀態更高的功耗(例如，高 10 倍、高 100 倍、高 1000 倍)。所述控制器 310 本身可被停用直到所述第一電壓比較器 301 的輸出在所述電壓絕對值等於或超過所述第一閾值絕對值而啟動所述控制器 310 時。

**【0124】** 如果在所述時間延遲期間，所述第二電壓比較器 302 確

定所述電壓的絕對值等於或超過所述第二閾值的絕對值，則可將所述控制器 310 被配置為使所述計數器 320 記錄的數目增加一。

**【0125】** 所述控制器 310 可被配置為使所述電壓表 306 在所述時間延遲期滿時測量所述電壓。所述控制器 310 可被配置為使所述電極連接到電接地，以重定所述電壓並使所述電極上累積的任何載流子放電。在實施例中，所述電極在所述時間延遲期滿後連接到電接地。在實施例中，所述電極連接到電接地並持續有限的復位時段。所述控制器 310 可通過控制所述開關 305 而使所述電極連接到所述電接地。所述開關可以是諸如場效應電晶體 (FET) 的電晶體。

**【0126】** 在實施例中，所述系統 121 沒有類比濾波器網路 (例如，RC 網路)。在實施例中，所述系統 121 沒有類比電路。

**【0127】** 所述電壓表 306 可將其測量的電壓以類比或數位信號饋送給所述控制器 310。

**【0128】** 所述系統 121 可包括電連接到所述電極的電容器模組 309，其中所述電容器模組被配置為從所述電極收集載流子。所述電容器模組可在放大器的回饋路徑中包括電容器。如此配置的放大器稱為電容跨阻放大器 (CTIA)。CTIA 通過防止所述放大器飽和而具有高的動態範圍，並且通過限制信號路徑中的頻寬來提高信噪比。來自所述電極的載流子在一段時間 (「積分期」) (例如，如圖 7A-圖 7D 所示，在時間  $t_0$  和時間  $t_1$  之間，或在時間  $t_1$  和時間  $t_2$  之間) 內累積在所述電容器上。在所述積分期期滿後，所述電容

器電壓被採樣，然後通過重定開關進行重定。所述電容器模組可包括直接連接到所述電極的電容器。

【0129】圖 11 示意示出流過所述電極的，由入射在所述半導體單晶 106 或 196 上的輻射粒子產生的載流子所引起的所述電流的時間變化（上曲線）和所述電極的電壓的相應時間變化（下曲線）。所述電壓可以是電流相對於時間的積分。在時間  $t_0$ ，所述輻射粒子撞擊所述半導體單晶 106 或 196，載流子開始在所述半導體單晶 106 或 196 上產生，電流開始流過所述所述半導體單晶 106 或 196 的電極，並且所述電極或電觸點的電壓絕對值開始增加。在時間  $t_1$ ，所述第一電壓比較器 301 確定所述電壓的絕對值等於或超過所述第一閾值  $V_1$  的絕對值，所述控制器 310 啟動時間延遲  $TD_1$  並且所述控制器 310 可在所述  $TD_1$  開始時停用所述第一電壓比較器 301。如果所述控制器 310 在時間  $t_1$  之前被停用，則在時間  $t_1$  啟動所述控制器 310。在所述  $TD_1$  期間，所述控制器 310 啟動所述第二電壓比較器 302。如這裡使用的術語在時間延遲「期間」意指開始和期滿（即，結束）和中間的任何時間。例如，所述控制器 310 可在所述  $TD_1$  期滿時啟動所述第二電壓比較器 302。如果在所述  $TD_1$  期間，所述第二電壓比較器 302 確定在時間  $t_2$  所述電壓的絕對值等於或超過所述第二閾值的絕對值，則所述控制器 310 使所述計數器 320 記錄的數目增加一。在時間  $t_e$ ，所述輻射粒子產生的所有載流子漂移出所述輻射吸收層 110。在時間  $t_s$ ，所述時間延遲  $TD_1$  期滿。在圖 11 的示例中，時間  $t_s$  在時間  $t_e$  之後；即  $TD_1$

在所述輻射粒子產生的所有載流子漂移出所述輻射吸收層 110 之後期滿。在時間  $t_s$  電壓的變化率因此大致為零。所述控制器 310 可被配置為在 TD1 期滿時或在時間  $t_2$ ，或二者中間的任何時間停用所述第二電壓比較器 302。

**【0130】** 所述控制器 310 可被配置為使所述電壓表 306 在所述時間延遲 TD1 期滿時測量所述電壓。在實施例中，所述控制器 310 使所述電壓表 306 在時間延遲 TD1 期滿而所述電壓的變化率變為大致為零後測量所述電壓。此時的所述電壓與由輻射粒子產生的載流子數量成正比，所述載流子數量與所述輻射粒子的能量有關。所述控制器 310 可被配置為基於所述電壓表 306 測量的電壓來確定所述輻射粒子的所述能量。確定所述能量的一種方法是通過將電壓裝倉。所述計數器 320 可具有用於每個倉的子計數器。當所述控制器 310 確定所述輻射粒子的能量落入一個倉中時，所述控制器 310 可使該倉的子計數器中記錄的數目增加一。因此，所述系統 121 能夠檢測輻射圖像並能夠解析出每個輻射粒子的輻射能量。

**【0131】** 在 TD1 期滿後，所述控制器 310 使所述電極連接到電接地並持續一個復位時段 RST，以允許所述電極上累積的載流子流到地面並重定所述電壓。在 RST 之後，所述系統 121 已準備好檢測另一個入射輻射粒子。隱含地，在圖 11 的示例中，所述系統 121 可處理的入射輻射粒子的速率受限於  $1 / (TD1 + RST)$ 。如果所述第一電壓比較器 301 已被停用，所述控制器 310 可在 RST 期滿之

前的任何時間啟動它。如果所述控制器 310 已被停用，則它可在 RST 期滿之前被啟動。

**【0132】** 儘管本文已經公開了各個方面和實施例，但是其他方面和實施例對於本領域技術人員而言將是顯而易見的。本文公開的各個方面和實施例是為了說明的目的而不是限制性的，其真正的範圍和精神應該以本文中的申請專利範圍為準。

### **【符號說明】**

#### **【0133】**

100、190:輻射檢測器

102、210:半導體基板

102a、102b、106a、192a、196a、208、210a、408、410b:表面

104、204:凹部

104b、194b:側壁

106、196、206、406:半導體單晶

106b、206a:介面

107、197、207、407:部分

108、218:第一摻雜半導體區

109、219:第二摻雜半導體區

110、191、200、400:輻射吸收層

120:電子層

- 121:電子系統
- 130:填充材料
- 131、194、404:通孔
- 132:焊料凸塊
- 192、410:半導體層
- 198、402:電絕緣體層
- 199、419:電極
- 203、403:掩模
- 205、405: CdZnTe 粒子
- 213、413:生長室
- 214、414:加熱元件
- 215a、415a:熱區
- 215b、415b:梯度區
- 216、416:惰性氣體
- 250:垂直布裡奇曼爐
- 301:第一電壓比較器
- 302:第二電壓比較器
- 305:開關
- 306:電壓表
- 309:電容器模組
- 310:控制器
- 320:計數器

409:開口

1010、1011、1012、1013a、1013b、1014、1020、1021、1022、  
1023、1030、1040、2010、2020、2030、2040、2011、2012、2013a、  
2013b、2014、2021、2022、2023:步驟

RST:復位時段

$t_0$ 、 $t_1$ 、 $t_2$ 、 $t_e$ 、 $t_s$ :時間

TD1:時間延遲

V1:第一閾值

## 【發明申請專利範圍】

【請求項1】 一種輻射檢測器的製備方法，包括：

在半導體基板中形成凹部，其中所述半導體基板的一部分延伸到所述凹部中並且被所述凹部包圍；

在所述凹部中形成半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；

在所述半導體基板中形成第一摻雜半導體區；以及

在所述半導體基板中形成第二摻雜半導體區；

其中所述第一摻雜半導體區和所述第二摻雜半導體區形成將所述半導體基板的所述部分與所述半導體基板的其餘部分分開的p-n 介面。

【請求項2】 如請求項1所述的製備方法，其中所述第一摻雜半導體區包圍所述第二摻雜半導體區。

【請求項3】 如請求項1所述的製備方法，其中所述第二摻雜半導體區與所述半導體基板的所述部分電接觸。

【請求項4】 如請求項1所述的製備方法，其中所述形成所述第二摻雜半導體區，包括摻雜所述第一摻雜半導體區的一部分。

【請求項5】 如請求項1所述的製備方法，其中所述第一摻雜半導體區從所述半導體基板的表面延伸到在所述半導體單晶和所述半導體基板之間的介面。

【請求項6】 如請求項1所述的製備方法，其中所述第二摻雜半導體區與所述第一摻雜半導體區共延。

【請求項7】 如請求項1所述的製備方法，其中所述形成所述凹部，包括在所述半導體基板上形成掩模以及蝕刻未被所述掩模覆蓋的所述半導體基板的一個區域。

【請求項8】 如請求項7所述的製備方法，其中所述掩模包括金屬、氮化矽、二氧化矽或碳。

【請求項9】 如請求項7所述的製備方法，其中所述蝕刻所述區域，是通過濕法蝕刻、乾法蝕刻或其組合。

【請求項10】 如請求項1所述的製備方法，其進一步包括拋光所述半導體基板或半導體單晶，以使所述半導體單晶和所述半導體基板共延。

【請求項11】 如請求項1所述製備的方法，其中所述半導體基板包括矽、鍺、砷化鎵或其組合。

【請求項12】 如請求項1所述的製備方法，其中所述半導體單晶是碲化鎘鋅單晶或碲化鎘單晶。

【請求項13】 如請求項1所述的製備方法，其中所述凹部在形成所述半導體單晶之後不包含除所述半導體單晶以外的其他半導體材料。

【請求項14】 如請求項1所述的製備方法，其中所述凹部在形成所述半導體單晶之後不包含半導體多晶。

【請求項15】 如請求項1所述的製備方法，其中所述凹部的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

**【請求項16】** 如請求項1所述的製備方法，其中所述在所述凹部中形成所述半導體單晶，包括將半導體粒子沉積到所述凹部中，通過熔化所述半導體粒子形成熔體，並在所述凹部中使所述熔體重結晶。

**【請求項17】** 如請求項16所述的製備方法，其中所述使所述凹部中的所述熔體重結晶，涉及以使所述熔體重結晶為單晶的速率冷卻所述熔體。

**【請求項18】** 如請求項17所述的製備方法，其中所述冷卻所述熔體，是通過將所述熔體從溫度高於或等於所述半導體粒子熔點的區域移至溫度低於所述熔點的另一區域來完成的。

**【請求項19】** 如請求項1所述的製備方法，其中所述形成所述半導體單晶，包括使用氣相前體。

**【請求項20】** 如請求項1所述的製備方法，其進一步包括將所述半導體基板粘接到在其中或在其上包括電子系統的另一基板，其中所述電子系統電連接到所述第二摻雜半導體區並且被配置為處理在所述半導體基板中產生的電信號。

**【請求項21】** 一種輻射檢測器的製備方法，包括：

在直接支撐在電絕緣層上的半導體層中形成通孔，其中所述半導體層的一部分保留在所述通孔中並被所述通孔包圍；

在所述通孔中形成半導體單晶，所述半導體單晶具有與所述半導體層不同的成分；

形成穿過所述電絕緣層的開口，使得所述半導體層的所述部

分暴露在上述開口中；以及

在上述開口中形成電極，所述電極與所述半導體層的所述部分電接觸。

**【請求項22】** 如請求項21所述的製備方法，其中所述形成所述通孔，包括在上述半導體層上形成掩模並蝕刻未被所述掩模覆蓋的所述半導體層的區域。

**【請求項23】** 如請求項22所述的製備方法，其中所述掩模包括金屬、氮化矽、二氧化矽或碳。

**【請求項24】** 如請求項22所述的製備方法，其中所述蝕刻所述區域，是通過濕法蝕刻、乾法蝕刻或其組合。

**【請求項25】** 如請求項22所述的製備方法，其進一步包括拋光所述半導體層或所述半導體單晶，以使所述半導體單晶和所述半導體層共延。

**【請求項26】** 如請求項21所述的製備方法，其中所述半導體層包括矽、鍺、砷化鎵或其組合。

**【請求項27】** 如請求項21所述的製備方法，其中所述電絕緣層包括氧化物、氮化物或氮氧化物。

**【請求項28】** 如請求項21所述的製備方法，其中所述半導體單晶是碲化鎳鋅單晶或碲化鎳單晶。

**【請求項29】** 如請求項21所述的製備方法，其中所述通孔在形成所述半導體單晶之後不包含除了所述半導體單晶之外的其他半導體材料。

【請求項30】 如請求項21所述的製備方法，其中所述通孔在形成所述半導體單晶之後不包含半導體多晶。

【請求項31】 如請求項21所述的製備方法，其中所述通孔的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【請求項32】 如請求項21所述的製備方法，其中所述在所述通孔中形成所述半導體單晶，包括將半導體粒子沉積到所述通孔中，通過熔化所述半導體粒子形成熔體，並在所述通孔中使所述熔體重結晶。

【請求項33】 如請求項32所述的製備方法，其中所述使所述通孔中的所述熔體重結晶，涉及以使所述熔體重結晶為單晶的速率冷卻所述熔體。

【請求項34】 如請求項33所述的製備方法，其中所述冷卻所述熔體，是通過將所述熔體從溫度高於或等於所述半導體粒子熔點的區域移至溫度低於所述熔點的另一區域來完成的。

【請求項35】 如請求項21所述的製備方法，其中所述形成所述半導體單晶，包括使用氣相前體。

【請求項36】 如請求項21所述的製備方法，其進一步包括將所述電絕緣層粘接到電子層，所述電子層包括電連接到所述電極並被配置為處理在所述半導體層中產生的電信號。

【請求項37】 一種輻射檢測器，包括：

半導體基板；

在所述半導體基板中的凹部，其中所述半導體基板的一部分

延伸到所述凹部中並被所述凹部包圍；

在所述凹部中的半導體單晶，所述半導體單晶具有與所述半導體基板不同的組成；

在所述半導體基板中的第一摻雜半導體區；以及

在所述半導體基板中的第二摻雜半導體區；

其中所述第一摻雜半導體區和所述第二摻雜半導體區形成將所述半導體基板的所述部分與所述半導體基板的其餘部分分開的p-n 介面。

**【請求項38】** 如請求項37所述的輻射檢測器，其中所述輻射檢測器被配置為吸收入射在所述半導體單晶上的輻射粒子並產生載流子。

**【請求項39】** 如請求項37所述的輻射檢測器，其中所述第一摻雜半導體區包圍所述第二摻雜半導體區。

**【請求項40】** 如請求項37所述的輻射檢測器，其中所述第二摻雜半導體區與所述半導體基板的所述部分電接觸。

**【請求項41】** 如請求項37所述的輻射檢測器，其中所述第一摻雜半導體區從所述半導體基板的表面延伸到在所述半導體單晶和所述半導體基板之間的介面。

**【請求項42】** 如請求項37所述的輻射檢測器，其中所述第二摻雜半導體區與所述第一摻雜半導體區共延。

**【請求項43】** 如請求項37所述的輻射檢測器，其中所述半導體單晶和所述半導體基板共延。

【請求項44】 如請求項37所述的輻射檢測器，其中所述半導體基板包括砷、銻、砷化銻或其組合。

【請求項45】 如請求項37所述的輻射檢測器，其中所述半導體單晶是碲化鎘鋅單晶或碲化鎘單晶。

【請求項46】 如請求項37所述的輻射檢測器，其中所述凹部在形成所述半導體單晶之後不包含除所述半導體單晶以外的其他半導體材料。

【請求項47】 如請求項37所述的輻射檢測器，其中所述凹部在形成所述半導體單晶之後不包含半導體多晶。

【請求項48】 如請求項37所述的輻射檢測器，其中所述凹部的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【請求項49】 如請求項37所述的輻射檢測器，其進一步包括粘接到所述半導體基板的電子層，所述電子層包括電連接到所述第二摻雜半導體區並被配置為處理在所述半導體基板中產生的電信號的電子系統。

【請求項50】 一種輻射檢測器，包括：

電絕緣層；

直接支撐在所述電絕緣層上的半導體層；

在所述半導體層中的通孔，其中所述半導體層的一部分延伸到所述通孔中並被所述通孔包圍；

在所述通孔中的半導體單晶，所述半導體單晶具有與所述半導體層不同的組成；以及

穿過所述電絕緣層的電極，所述電極與所述半導體層的所述部分電接觸。

【請求項51】 如請求項50所述的輻射檢測器，其中所述半導體層包括矽、鍺、砷化鎵或其組合。

【請求項52】 如請求項50所述的輻射檢測器，其中所述電絕緣層包括氧化物、氮化物或氮氧化物。

【請求項53】 如請求項50所述的輻射檢測器，其中所述半導體單晶是碲化鎘鋅單晶或碲化鎘單晶。

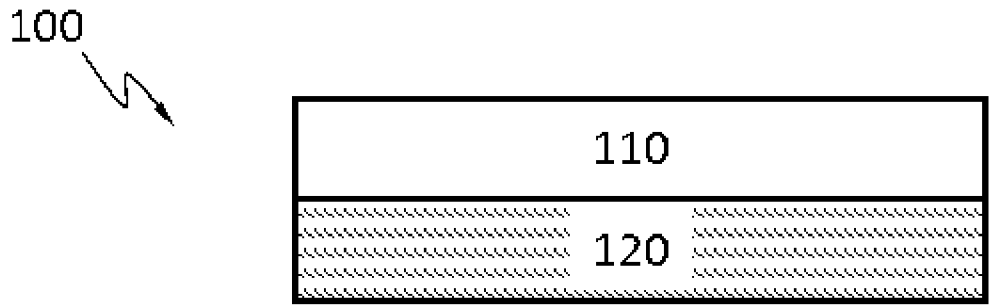
【請求項54】 如請求項50所述的輻射檢測器，其中所述通孔在形成所述半導體單晶之後不包含除了所述半導體單晶之外的其他半導體材料。

【請求項55】 如請求項50所述的輻射檢測器，其中所述通孔在形成所述半導體單晶之後不包含半導體多晶。

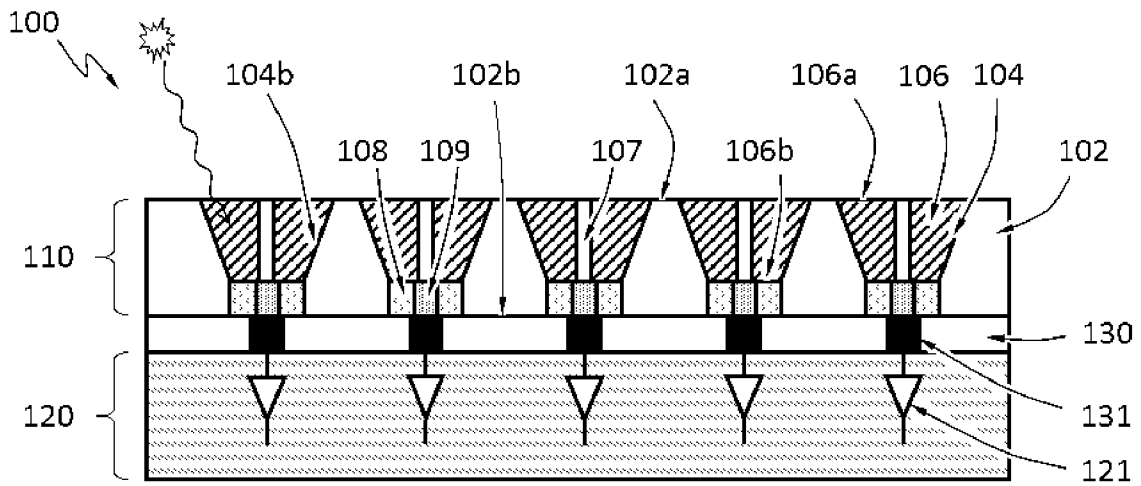
【請求項56】 如請求項50所述的輻射檢測器，其中所述通孔的形狀為平截頭體、棱柱形、棱錐形、長方體形或圓柱體形。

【請求項57】 如請求項50所述的輻射檢測器，其進一步包括粘接到所述電絕緣層的電子層，所述電子層包括電連接到所述電極並被配置為處理在所述半導體層中產生的電信號的電子系統。

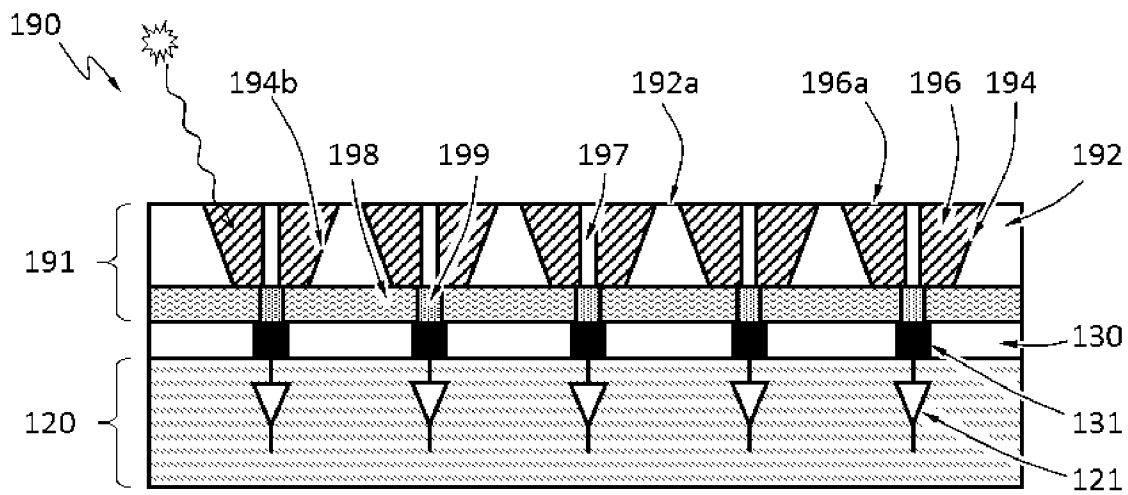
【發明圖式】



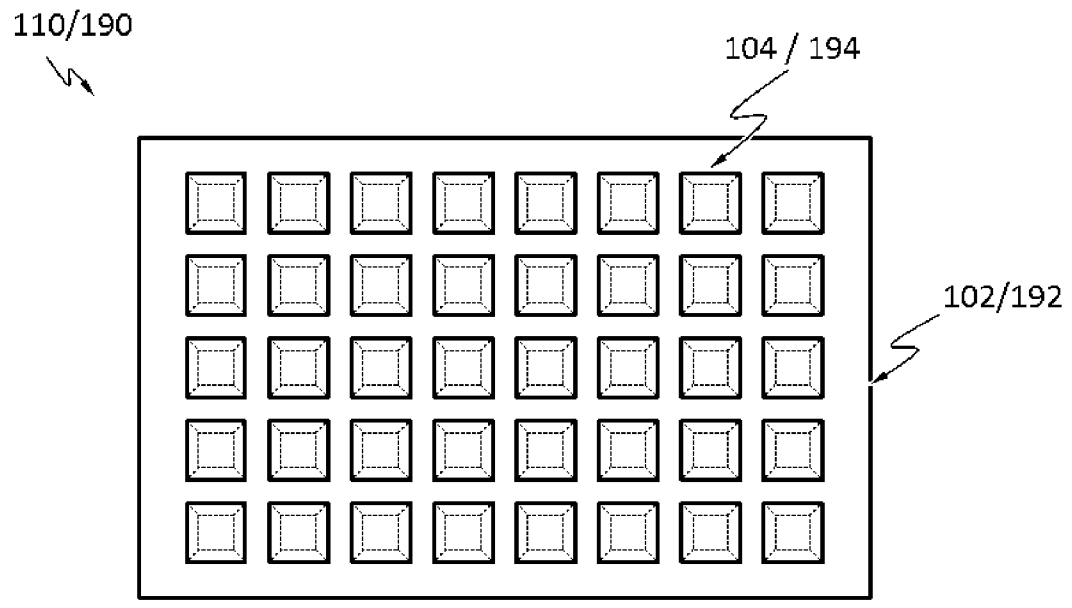
【圖 1】



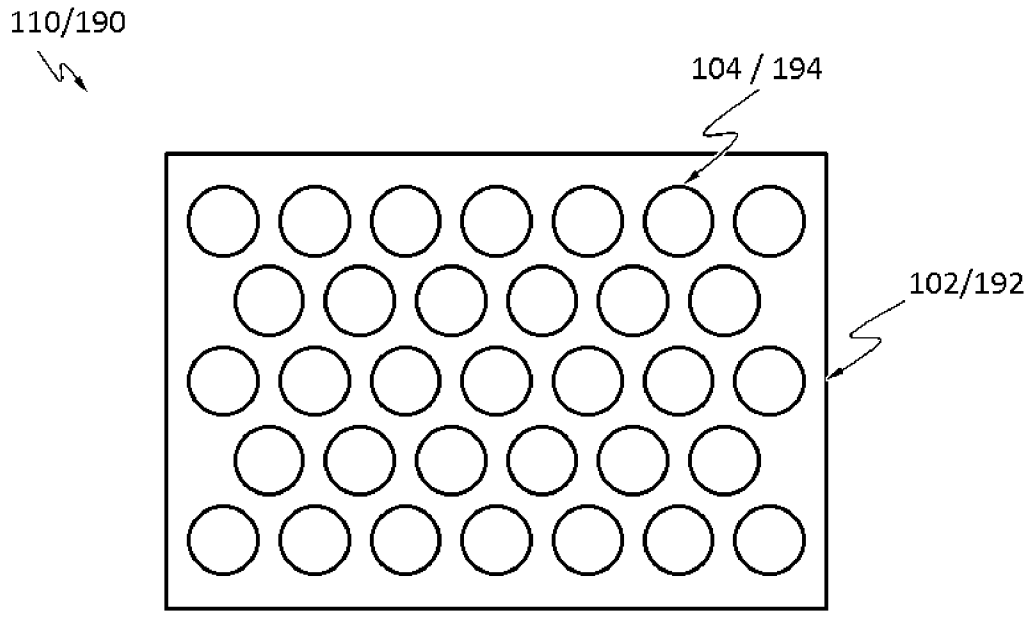
【圖 2A】



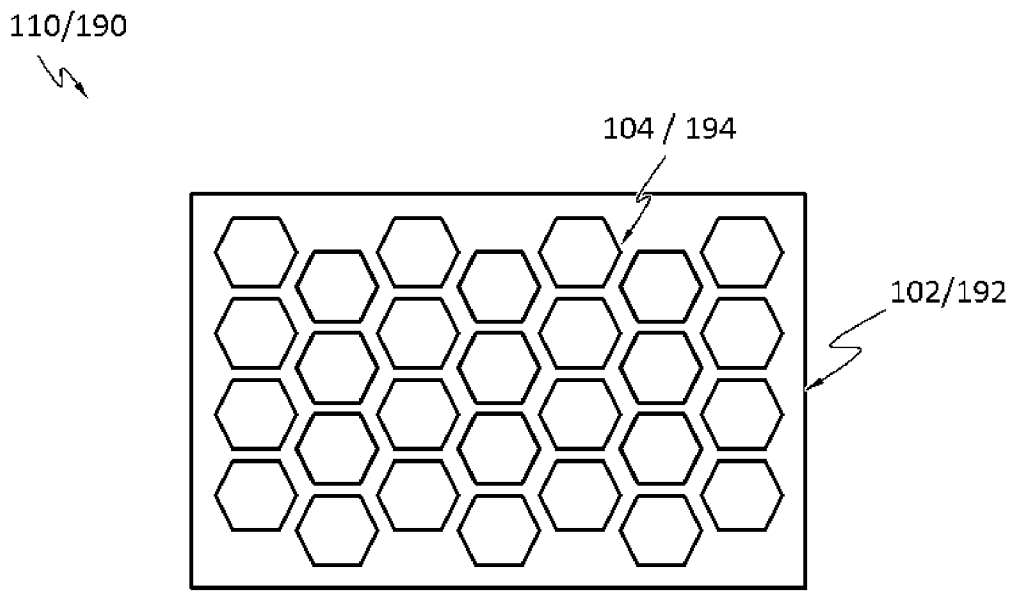
【圖 2B】



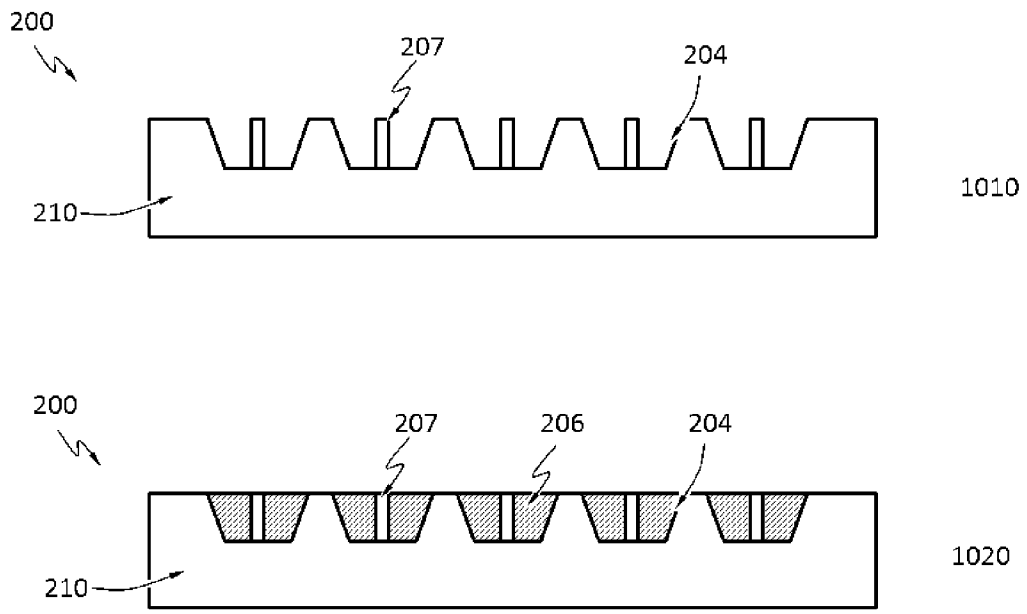
【圖 2C】



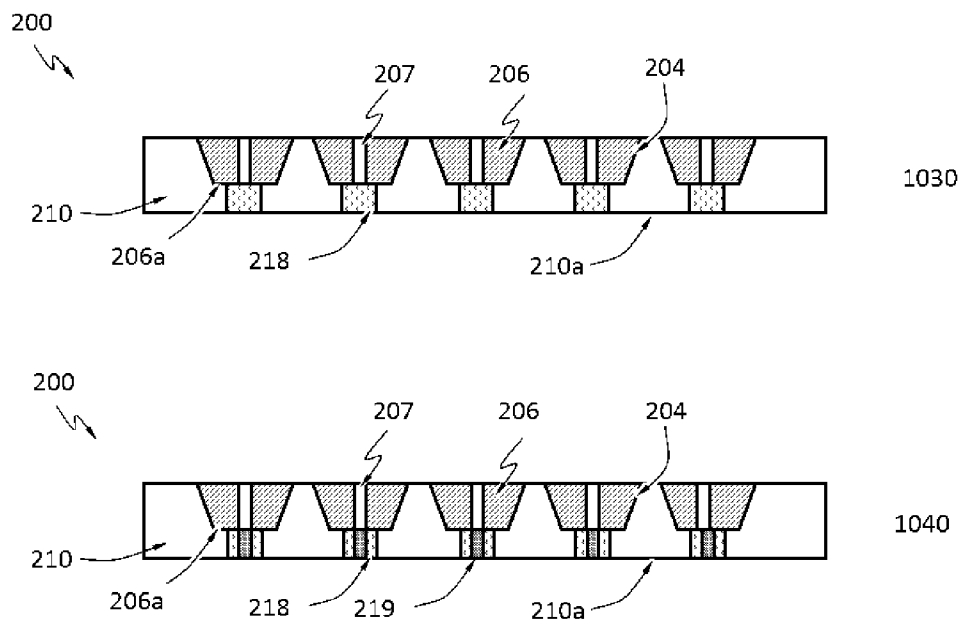
【圖 2D】



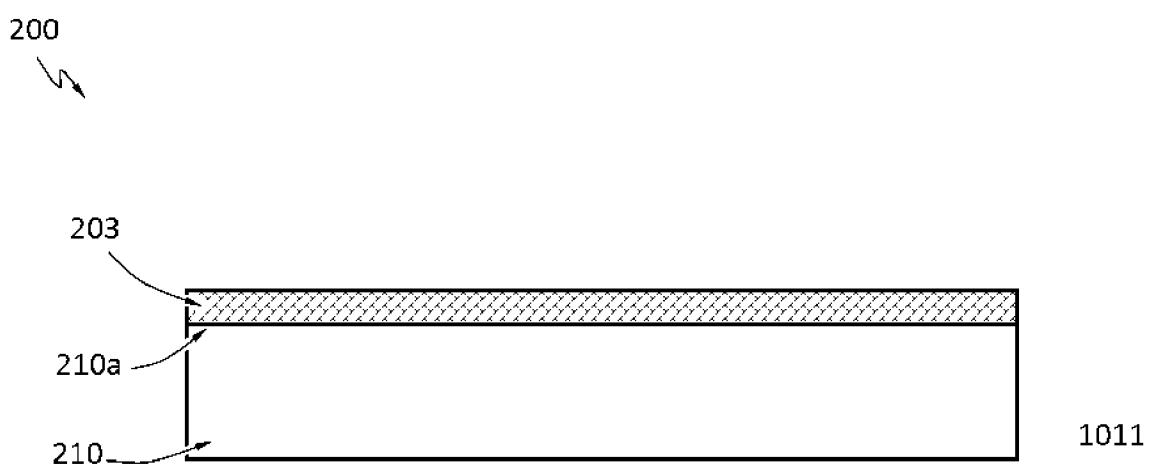
【圖 2E】



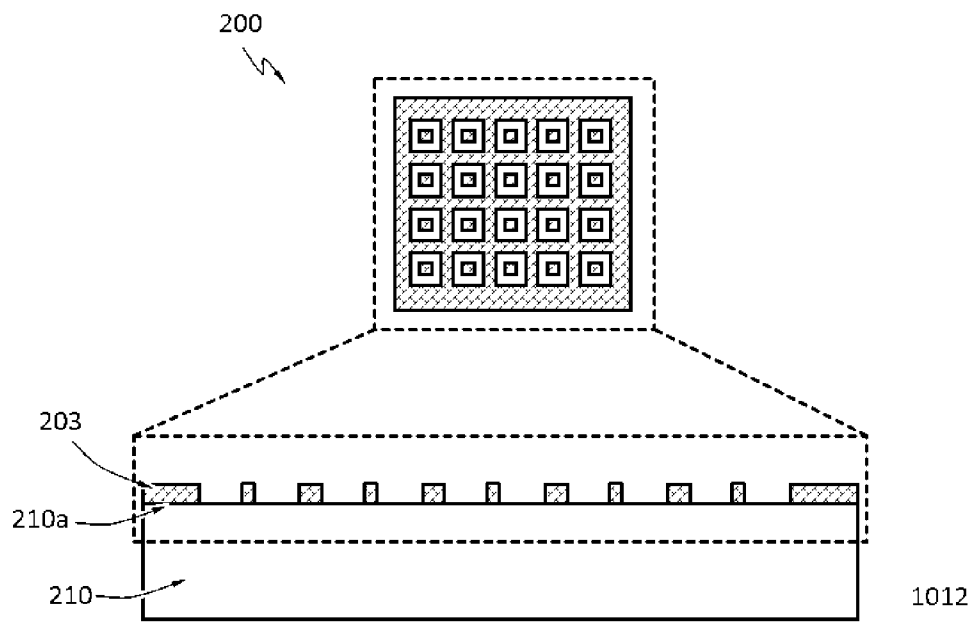
【圖 3A】



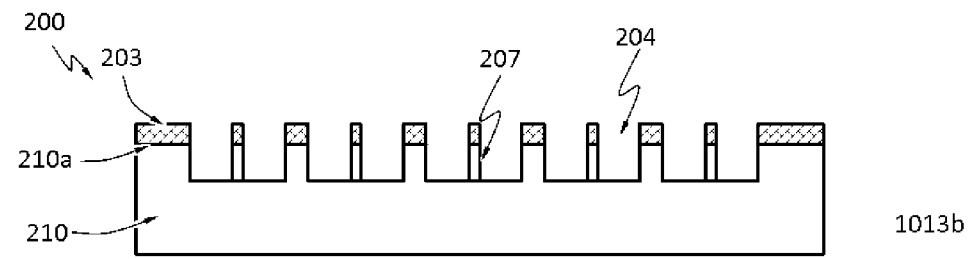
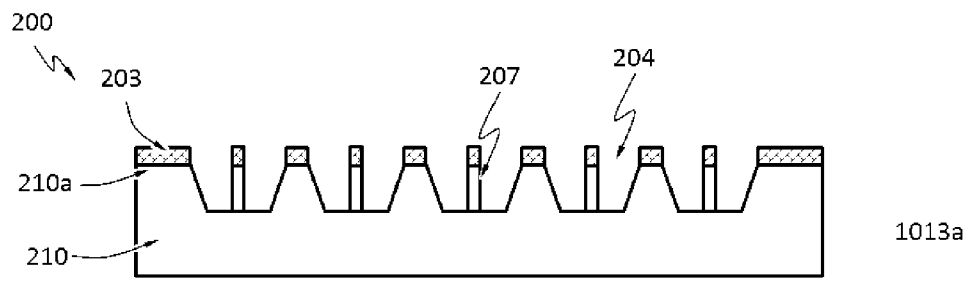
【圖 3B】



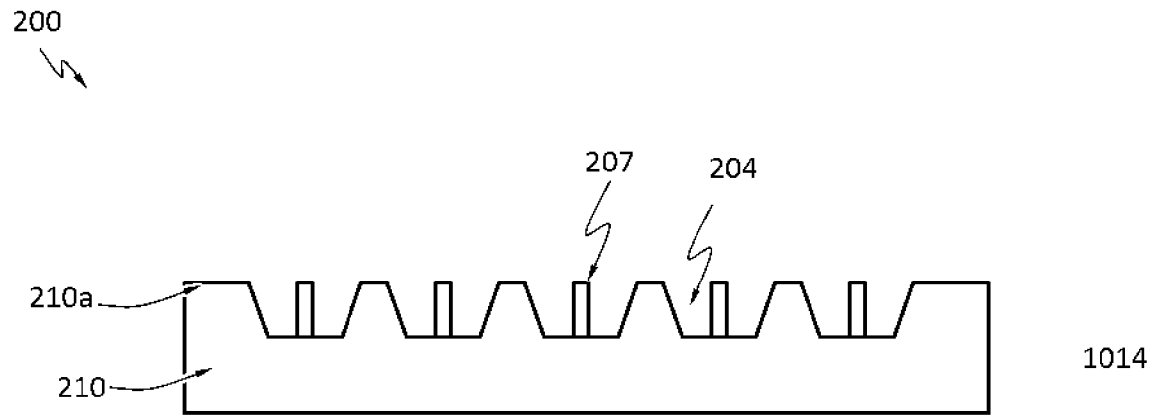
【圖 4A】



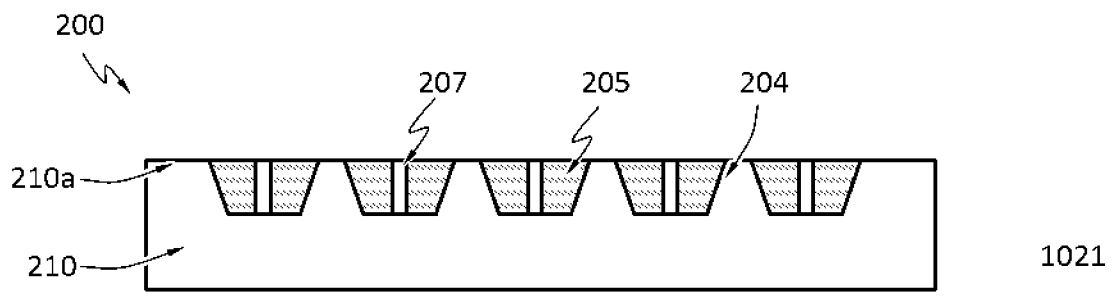
【圖 4B】



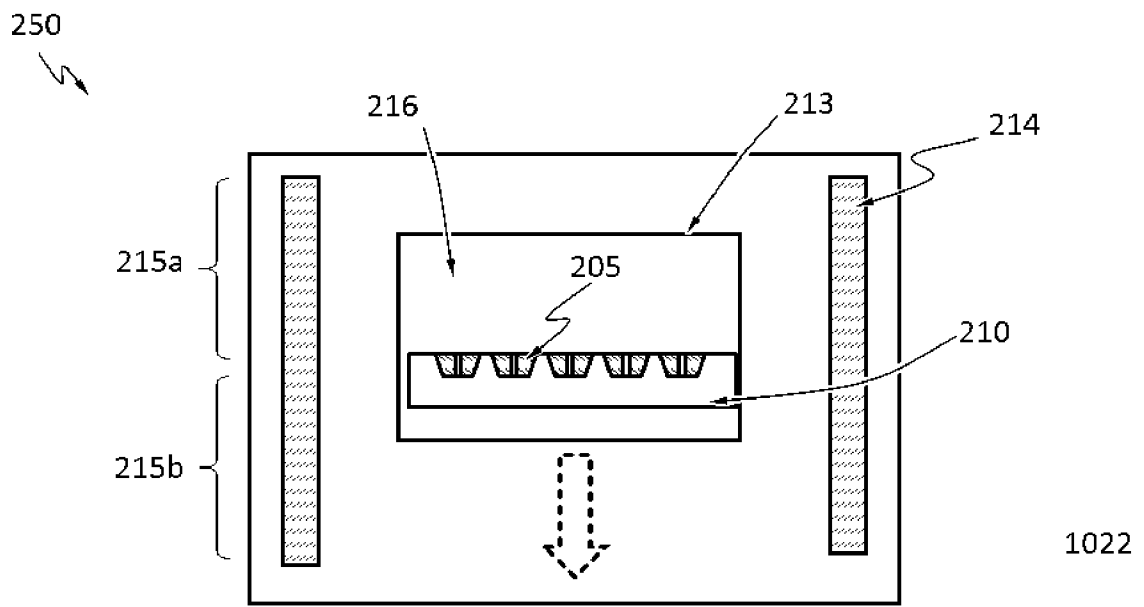
【圖 4C】



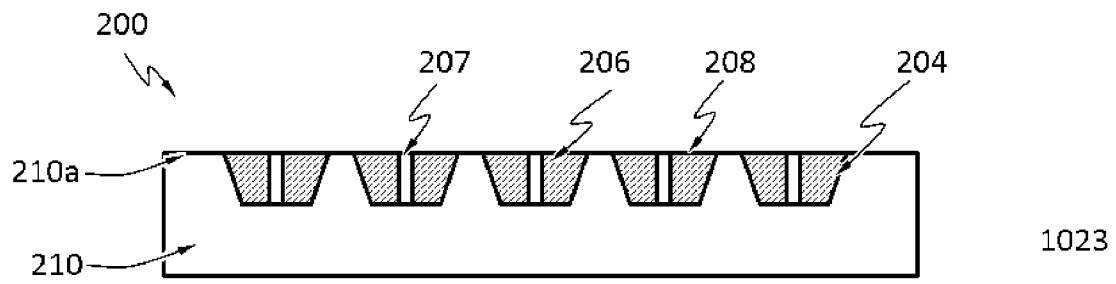
【圖 4D】



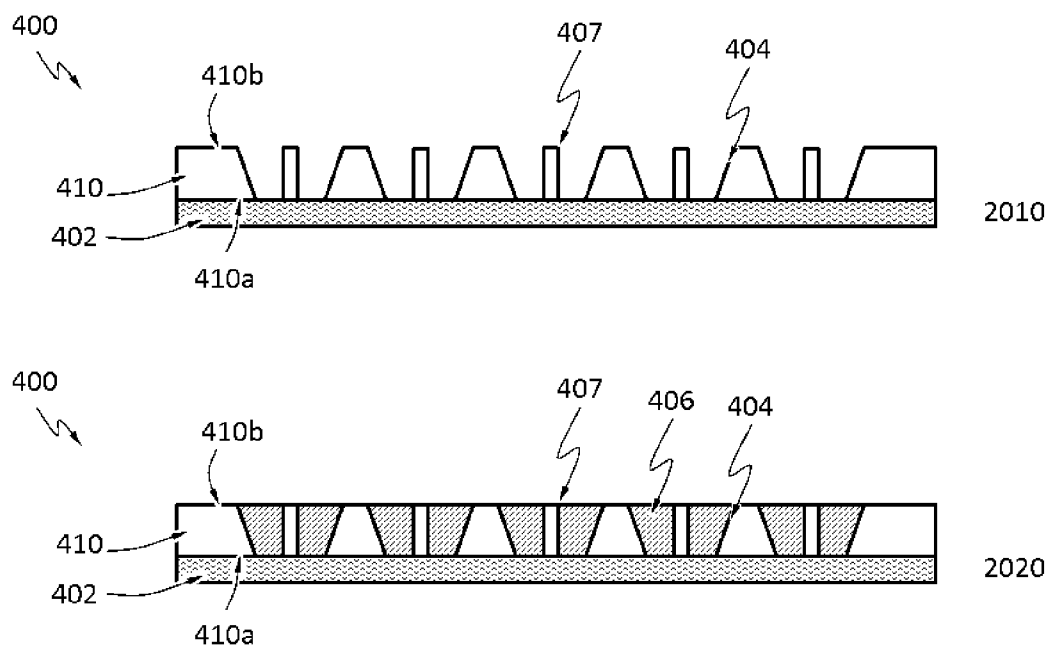
【圖 5A】



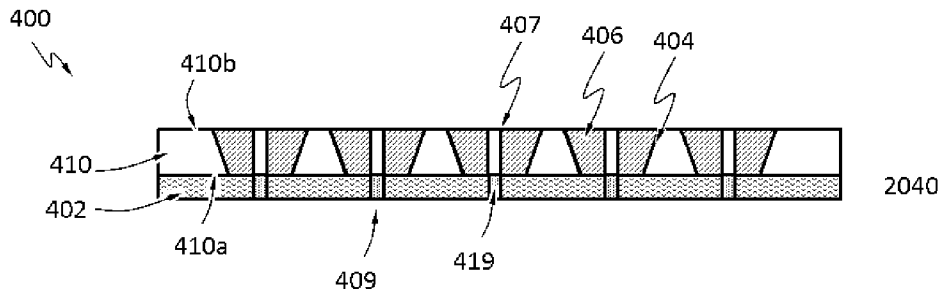
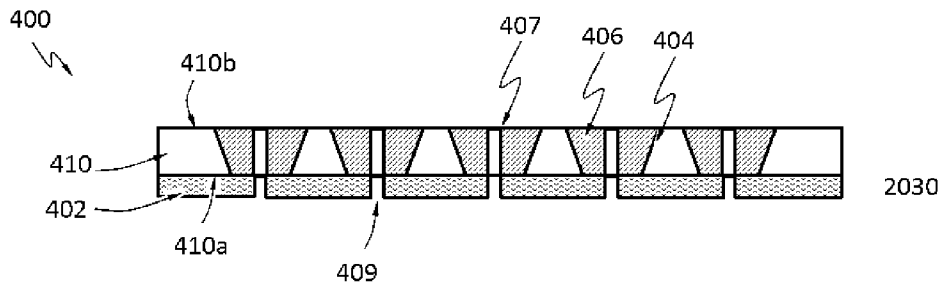
【圖 5B】



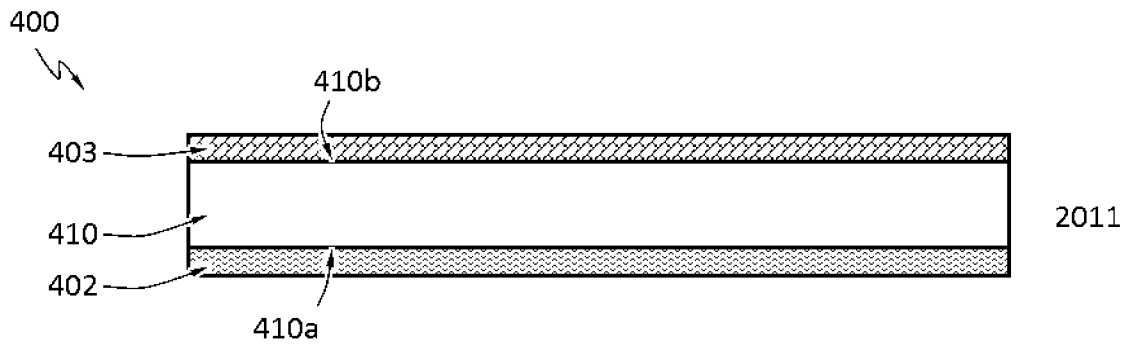
【圖 5C】



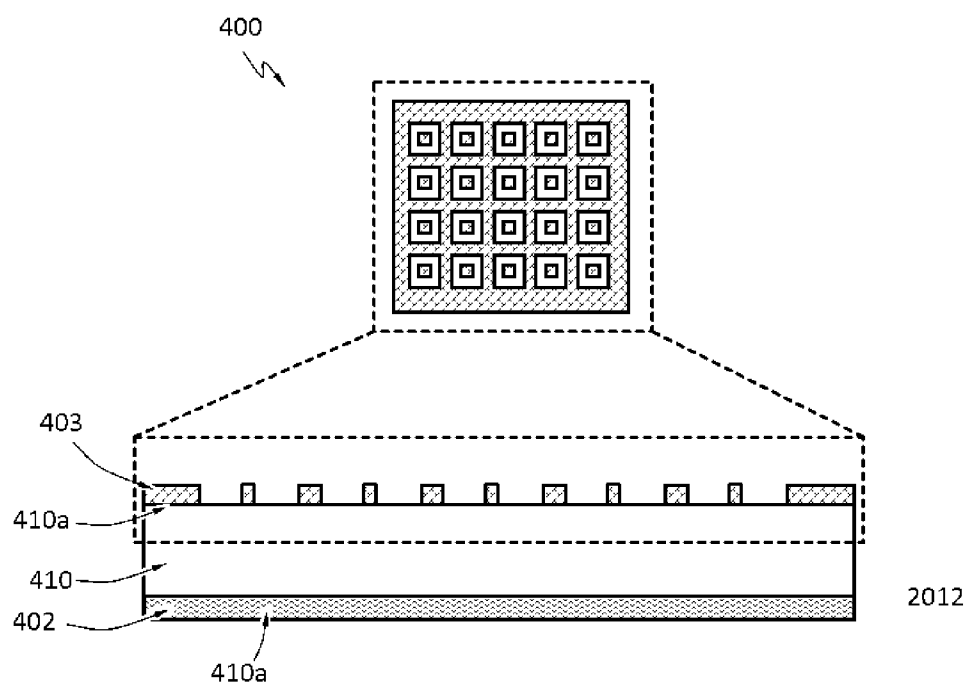
【圖 6A】



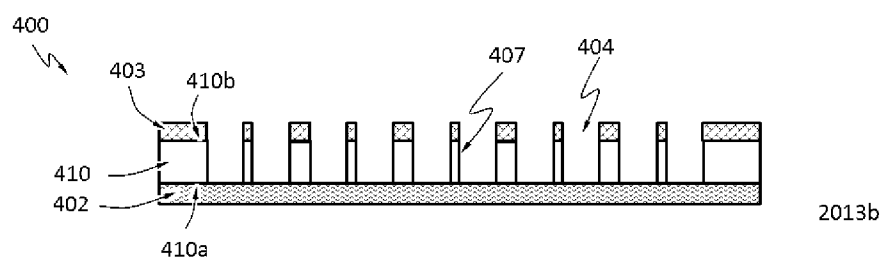
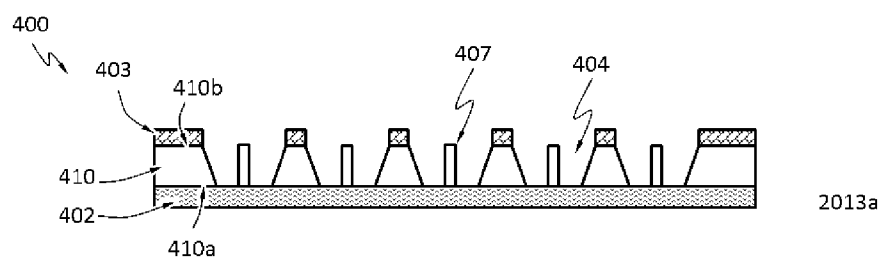
【圖 6B】



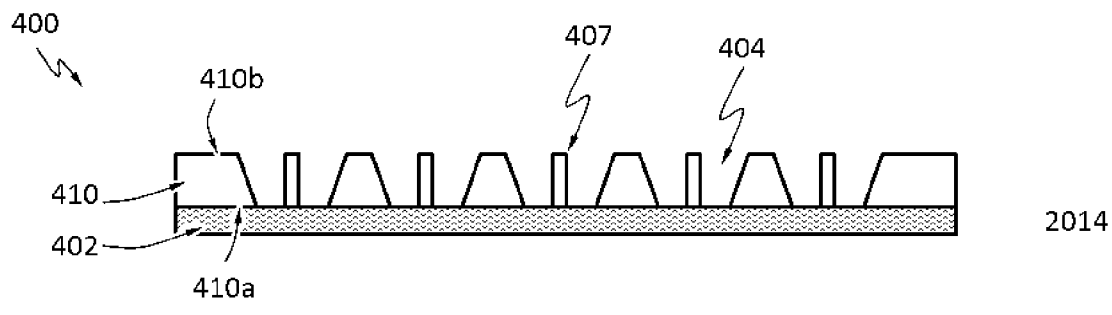
【圖 7A】



【圖 7B】

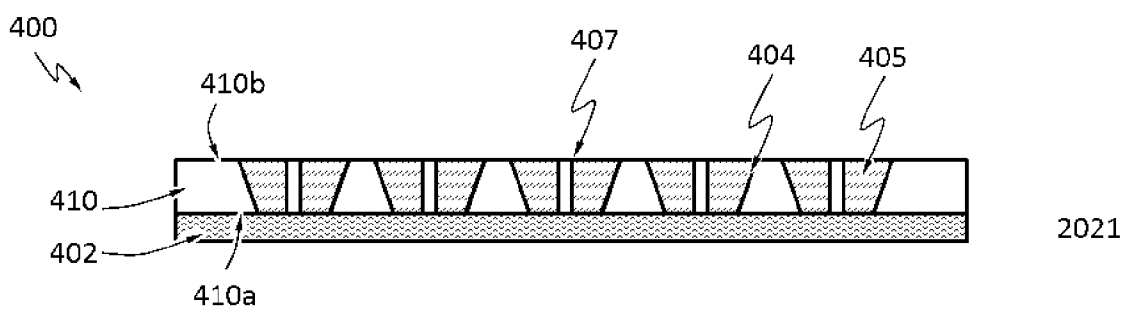


【圖 7C】



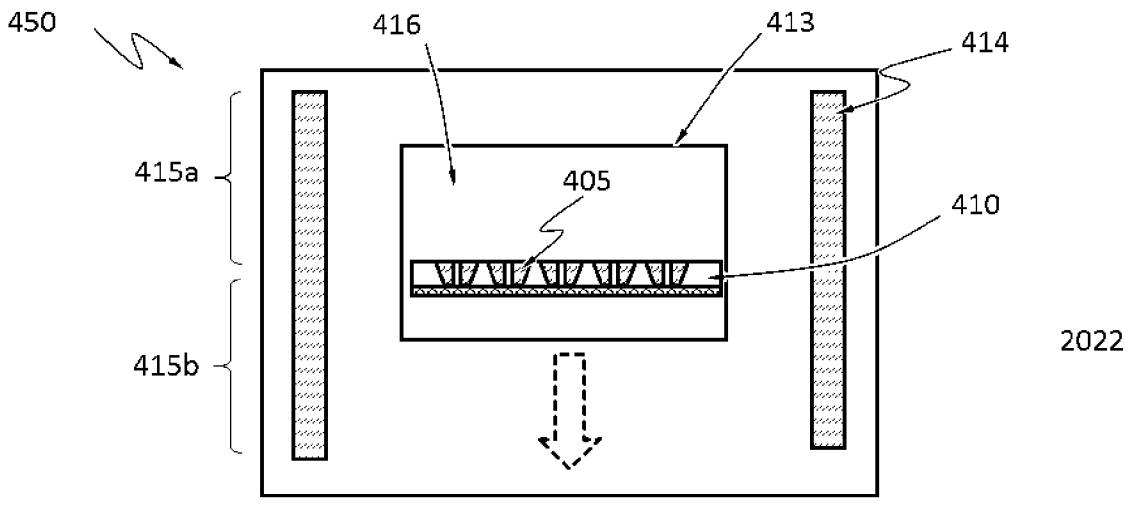
2014

【圖 7D】

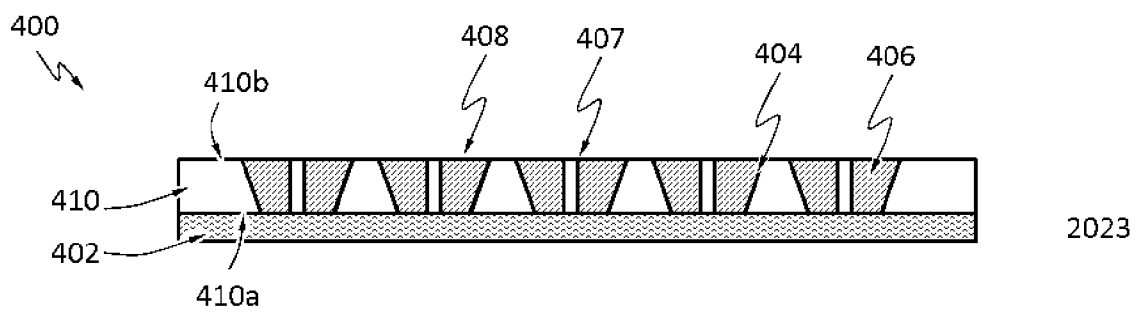


2021

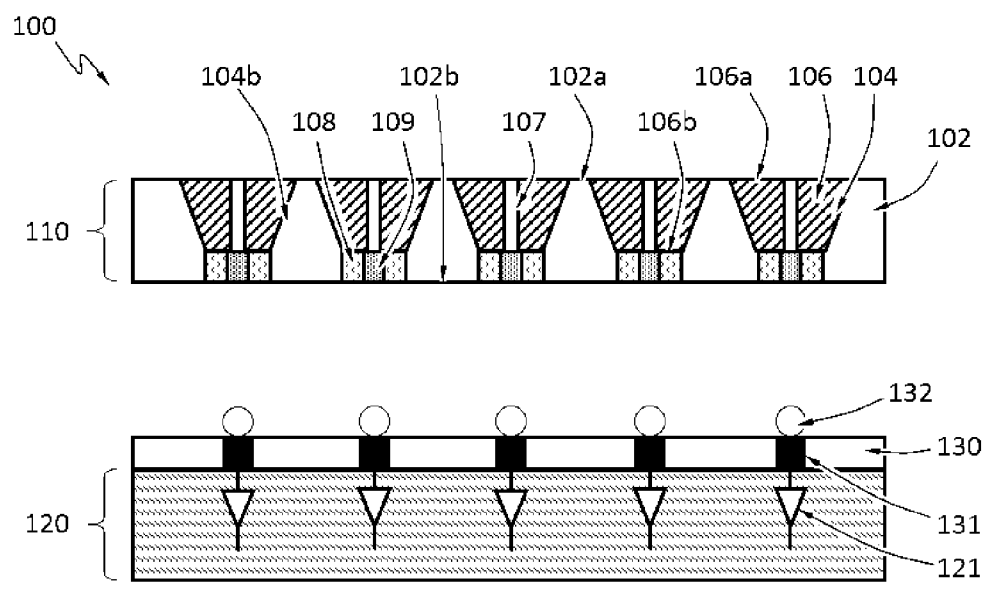
【圖 8A】



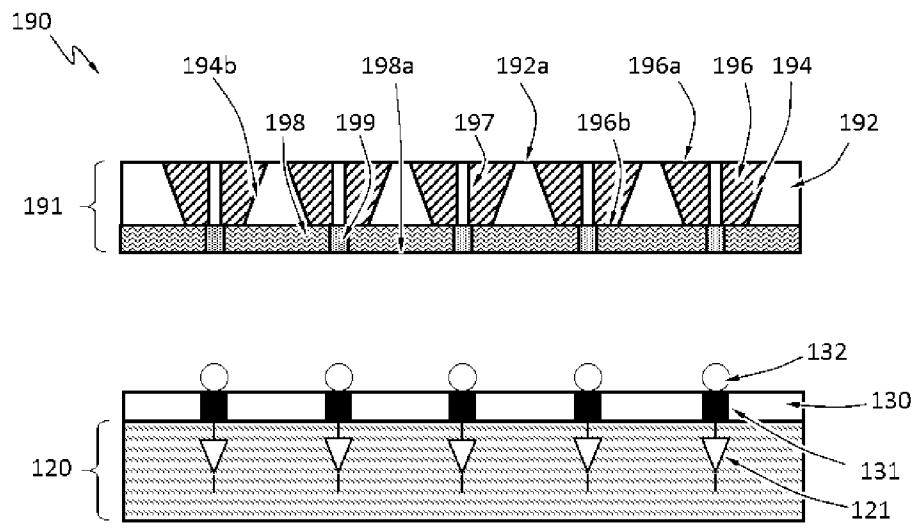
【圖 8B】



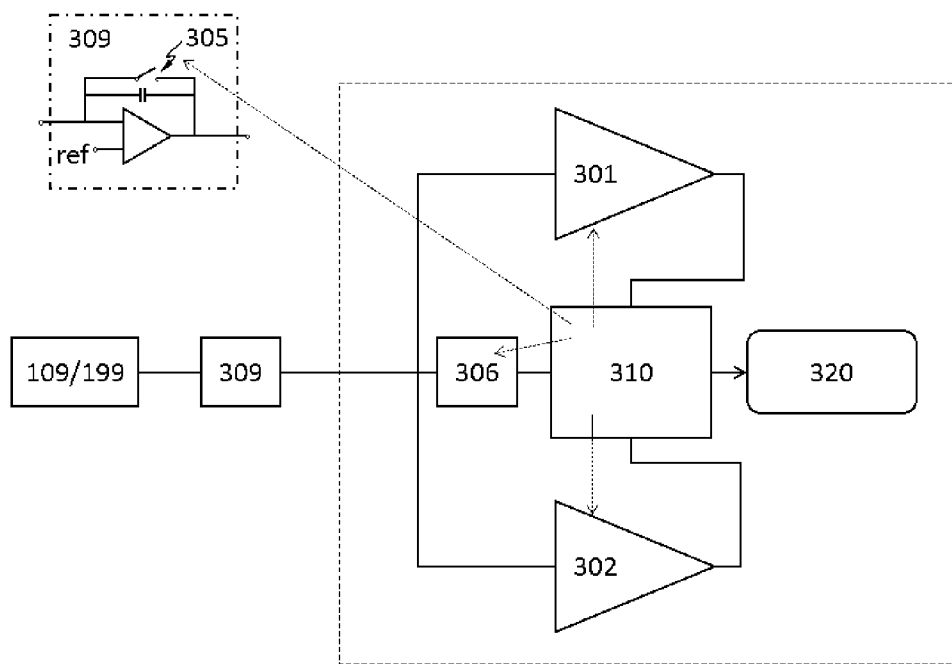
【圖 8C】



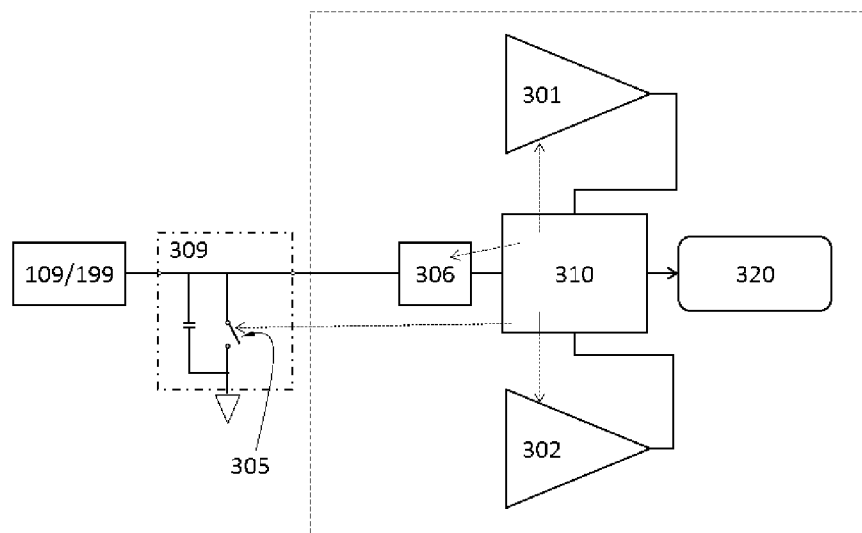
【圖 9A】



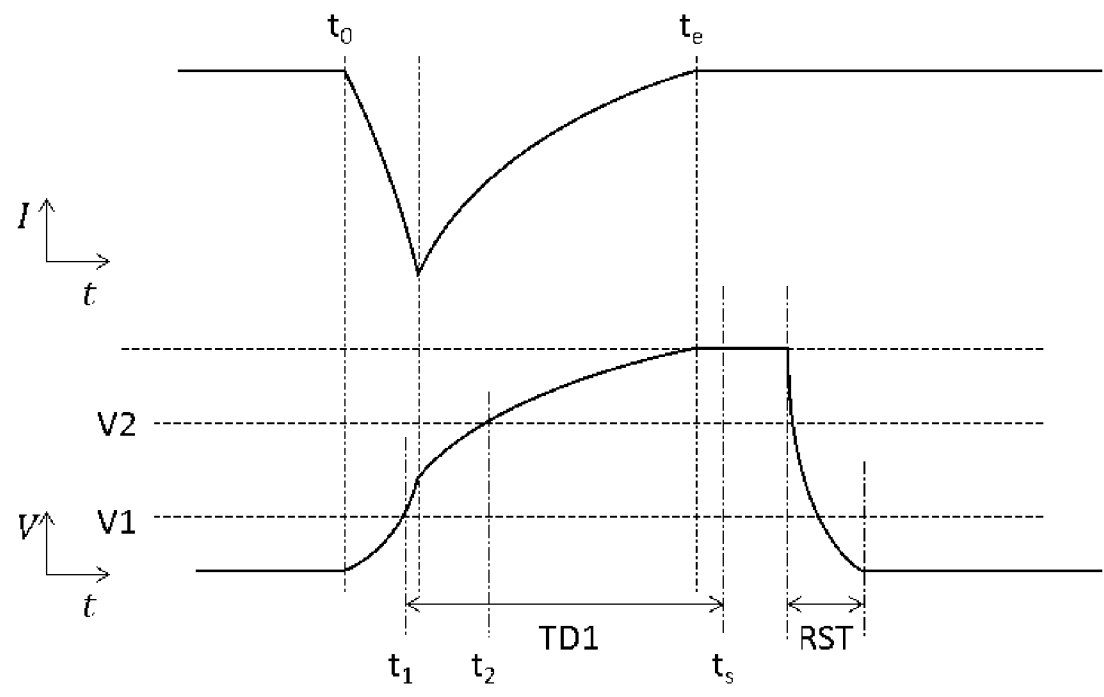
【圖 9B】



【圖 10A】



【圖 10B】



【圖 11】