



(12) 发明专利申请

(10) 申请公布号 CN 105097728 A

(43) 申请公布日 2015. 11. 25

(21) 申请号 201510373971. 5

(22) 申请日 2015. 06. 30

(71) 申请人 南通富士通微电子股份有限公司
地址 226006 江苏省南通市崇川区崇川路
288 号

(72) 发明人 石磊

(74) 专利代理机构 北京集佳知识产权代理有限
公司 11227
代理人 高静 吴敏

(51) Int. Cl.

H01L 23/31(2006. 01)

H01L 23/485(2006. 01)

H01L 23/488(2006. 01)

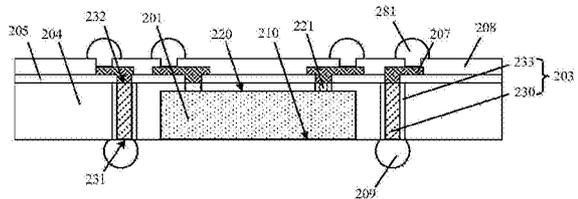
权利要求书2页 说明书17页 附图6页

(54) 发明名称

封装结构

(57) 摘要

一种封装结构,包括:塑封层,塑封层具有相对的第五表面和第六表面;位于塑封层内的芯片,芯片具有相对的第一表面和第二表面,芯片的第二表面包括功能区,芯片的第一表面与塑封层的第五表面齐平;贯穿塑封层的连接键,连接键位于芯片周围,连接键包括导电线,连接键包括第一端和第二端,连接键的第一端和第二端暴露出导电线,连接键的第一端与塑封层的第五表面齐平,连接键的第二端高于或齐平于塑封层的第六表面;位于塑封层第六表面的再布线层,再布线层与连接键的第二端以及芯片的功能区电连接;位于再布线层表面的第一焊球。所述封装结构简单、制造成本降低、尺寸精确且缩小。



1. 一种封装结构,其特征在于,包括:
塑封层,所述塑封层具有相对的第五表面和第六表面;
位于所述塑封层内的芯片,所述芯片具有相对的第一表面和第二表面,所述芯片的第二表面包括功能区,所述芯片的第一表面与所述塑封层的第五表面齐平;
贯穿所述塑封层的连接键,所述连接键位于所述芯片周围,所述连接键包括导电线,所述连接键包括第一端和第二端,所述连接键的第一端和第二端暴露出所述导电线,所述连接键的第一端与塑封层的第五表面齐平,所述连接键的第二端高于或齐平于所述塑封层的第六表面;
位于所述塑封层第六表面的再布线层,所述再布线层与所述连接键的第二端以及芯片的功能区电连接;
位于所述再布线层表面的第一焊球。
2. 如权利要求 1 所述的封装结构,其特征在于,所述连接键还包括位于所述导电线侧壁表面的保护层,所述保护层暴露出所述连接键第一端和第二端的导电线。
3. 如权利要求 2 所述的封装结构,其特征在于,所述保护层的材料为绝缘材料。
4. 如权利要求 3 所述的封装结构,其特征在于,所述绝缘材料为有机绝缘材料或无机绝缘材料;所述有机绝缘材料包括聚氯乙烯;所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。
5. 如权利要求 1 所述的封装结构,其特征在于,所述连接键的第一端尺寸大于所述连接键的第二端尺寸。
6. 如权利要求 1 所述的封装结构,其特征在于,所述连接键的第一端尺寸与第二端尺寸相同。
7. 如权利要求 1 所述的封装结构,其特征在于,所述连接键第一端到第二端的距离为 40 微米~400 微米。
8. 如权利要求 1 所述的封装结构,其特征在于,所述连接键第一端的导电线尺寸与第二端的导电线尺寸相同。
9. 如权利要求 1 所述的封装结构,其特征在于,所述电线的材料为铜、钨、铝、金或银。
10. 如权利要求 1 所述的封装结构,其特征在于,还包括:载体,所述芯片的第一表面、所述塑封层的第五表面、以及所述连接键的第一端固定于所述载体表面。
11. 如权利要求 10 所述的封装结构,其特征在于,所述芯片的第一表面通过粘结层固定于所述载体表面;所述连接键的第一端通过粘结层固定于所述载体表面。
12. 如权利要求 1 所述的封装结构,其特征在于,所述芯片的功能区表面暴露出焊盘;所述焊盘表面具有凸块,所述凸块的顶部表面突出于所述芯片的第二表面;所述塑封层暴露出所述凸块的顶部表面,所述凸块的顶部表面即所述芯片的功能区表面。
13. 如权利要求 1 所述的封装结构,其特征在于,还包括:位于所述塑封层第六表面的第一绝缘层,所述第一绝缘层内具有分别暴露出所述连接键第二端的导电线、以及芯片功能区表面的若干第一通孔;所述再布线层位于所述第一通孔内以及部分第一绝缘层表面。
14. 如权利要求 1 所述的封装结构,其特征在于,还包括:位于所述再布线层表面的第二绝缘层,所述第二绝缘层内具有暴露出部分再布线层的第二通孔;所述第一焊球位于所

述第二通孔内。

15. 如权利要求 1 所述的封装结构,其特征在于,还包括:位于所述连接键第一端的导电线表面的第二焊球。

16. 如权利要求 15 所述的封装结构,其特征在于,还包括:封装体,所述封装体具有第三表面,所述封装体的第三表面暴露出导电结构;所述芯片的第一表面和塑封层表面与所述封装体的第三表面相对设置,所述导电结构通过所述第二焊球与所述连接键相互连接。

封装结构

技术领域

[0001] 本发明涉及半导体制造技术领域,尤其涉及一种封装结构。

背景技术

[0002] 在现有技术中,芯片与外部电路的连接是通过金属引线键合(Wire Bonding)的方式实现,即引线键合技术。随着芯片的特征尺寸缩小和集成电路的集成度提高,引线键合技术已不再适用技术的发展需求。

[0003] 为了提高芯片封装的集成度,叠层芯片封装(stacked die package)技术逐渐成为技术发展的主流。叠层芯片封装技术,又称三维封装技术,具体是在同一个封装体内堆叠至少两个芯片的封装技术。叠层芯片封装技术能够实现半导体器件的大容量、多功能、小尺寸、低成本等技术需求,因此叠层芯片技术近年来得到了蓬勃发展。

[0004] 以使用堆叠封装技术的存储器为例,相较于没有使用堆叠技术的存储器,采用堆叠封装技术的存储器能够拥有两倍以上存储容量。此外,使用堆叠封装技术更可以有效地利用芯片的面积,多应用于大存储空间的U盘、SD卡等方面。

[0005] 堆叠芯片封装技术能够通过多种技术手段来实现,例如打线工艺、硅通孔(through silicon via,简称TSV)技术、或者塑封通孔(through molding via,简称TMV)技术。

[0006] 然而,上述技术手段依旧面临各种工艺限制以及成本限制,而且,面临着进一步减薄封装结构厚度尺寸的问题。

发明内容

[0007] 本发明解决的问题是提供一种封装结构,所述封装结构简单、制造成本降低、尺寸精确且缩小。

[0008] 为解决上述问题,本发明还提供一种封装结构,包括:塑封层,所述塑封层具有相对的第五表面和第六表面;位于所述塑封层内的芯片,所述芯片具有相对的第一表面和第二表面,所述芯片的第二表面包括功能区,所述芯片的第一表面与所述塑封层的第五表面齐平;贯穿所述塑封层的连接键,所述连接键位于所述芯片周围,所述连接键包括导电线,所述连接键包括第一端和第二端,所述连接键的第一端和第二端暴露出所述导电线,所述连接键的第一端与塑封层的第五表面齐平,所述连接键的第二端高于或齐平于所述塑封层的第六表面;位于所述塑封层第六表面的再布线层,所述再布线层与所述连接键的第二端以及芯片的功能区电连接;位于所述再布线层表面的第一焊球。

[0009] 可选的,所述连接键还包括位于所述导电线侧壁表面的保护层,所述保护层暴露出所述连接键第一端和第二端的导电线。

[0010] 可选的,所述保护层的材料为绝缘材料。

[0011] 可选的,所述绝缘材料为有机绝缘材料或无机绝缘材料;所述有机绝缘材料包括聚氯乙烯;所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。

- [0012] 可选的,所述连接键的第一端尺寸大于所述连接键的第二端尺寸。
- [0013] 可选的,所述连接键的第一端尺寸与第二端尺寸相同。
- [0014] 可选的,所述连接键第一端到第二端的距离为 40 微米~ 400 微米。
- [0015] 可选的,所述连接键第一端的导电线尺寸与第二端的导电线尺寸相同。
- [0016] 可选的,所述导电线的材料为铜、钨、铝、金或银。
- [0017] 可选的,还包括:载体,所述芯片的第一表面、所述塑封层的第五表面、以及所述连接键的第一端固定于所述载体表面。
- [0018] 可选的,所述芯片的第一表面通过粘结层固定于所述载体表面;所述连接键的第一端通过粘结层固定于所述载体表面。
- [0019] 可选的,所述芯片的功能区表面暴露出焊盘;所述焊盘表面具有凸块,所述凸块的顶部表面突出于所述芯片的第二表面;所述塑封层暴露出所述凸块的顶部表面,所述凸块的顶部表面即所述芯片的功能区表面。
- [0020] 可选的,还包括:位于所述塑封层第六表面的第一绝缘层,所述第一绝缘层内具有分别暴露出所述连接键第二端的导电线、以及芯片功能区表面的若干第一通孔;所述再布线层位于所述第一通孔内以及部分第一绝缘层表面。
- [0021] 可选的,还包括:位于所述再布线层表面的第二绝缘层,所述第二绝缘层内具有暴露出部分再布线层的第二通孔;所述第一焊球位于所述第二通孔内。
- [0022] 可选的,还包括:位于所述连接键第一端的导电线表面的第二焊球。
- [0023] 可选的,还包括:封装体,所述封装体具有第三表面,所述封装体的第三表面暴露出导电结构;所述芯片的第一表面和塑封层表面与所述封装体的第三表面相对设置,所述导电结构通过所述第二焊球与所述连接键相互连接。
- [0024] 与现有技术相比,本发明的技术方案具有以下优点:
- [0025] 本发明的封装结构中,在芯片周围的载体表面直接固定连接键,所述连接键包括导电线,且所述连接键的第一端和第二端均暴露出导电线,而所述连接键贯穿所述塑封层,即所述导电线能够自所述塑封层的第五表面贯穿至第六表面,以此实现芯片第一表面至第二表面的电连接。而且,所述连接键和芯片直接固定于所述塑封层内,使所述连接键相对于所述芯片的位置更为精确且易于调控,不仅有利于保证封装结构的尺寸精确,而且有利于避免在布线层相对于所述连接键或芯片之间发生位置偏移。因此,所述封装结构的结构简单、制造成本降低,而且所述封装结构的尺寸更为精确,有利于缩小封装结构的尺寸。
- [0026] 进一步,所述连接键还包括位于所述导电线侧壁表面的保护层。所述保护层不仅能够保护所述导电线,还能够使得连接键的横截面尺寸增大,使得所述连接键更易于对准,有利于保证所述连接键相对于芯片的位置精确。
- [0027] 进一步,所述连接键的第一端尺寸大于所述连接键的第二端尺寸。由于所述连接键的第二端固定于载体表面,而所述连接键的第一端尺寸较大,有利于使所述连接键在载体表面的固定更为稳定,能够保证连接键与芯片之间的相对位置精确。

附图说明

- [0028] 图 1 是在封装结构中引入硅通孔结构以实现芯片间导通的剖面结构示意图;
- [0029] 图 2 是在封装结构中引入塑封通孔结构以实现芯片间导通的剖面结构示意图;

[0030] 图 3 至图 16 是本发明一实施例的封装结构的形成过程的剖面结构示意图；

[0031] 图 17 至图 20 是本发明另一实施例的封装结构的形成过程的剖面结构示意图。

具体实施方式

[0032] 如背景技术所述,现有的堆叠芯片封装技术面临工艺限制和成本限制,对于技术的推广应用造成了限制,而且,堆叠芯片封装技术还面临在进一步减薄封装结构厚度尺寸的问题,以期进一步提高芯片的集成度、减小尺寸。

[0033] 堆叠芯片封装技术能够通过硅通孔 (through silicon via, 简称 TSV) 技术或塑封通孔 (through molding via, 简称 TMV) 技术来实现。然而,无论是硅通孔技术还是塑封通孔技术,均具有一定缺陷。

[0034] 请参考图 1,图 1 是在封装结构中引入硅通孔结构以实现芯片间导通的剖面结构示意图,包括:载体 100;固定于载体 100 表面的芯片 101,所述芯片 101 包括相对的非功能面 102 以及功能面 103,所述芯片 101 的非功能面 102 与载体 100 表面相接触,所述芯片 101 的功能面 103 表面具有焊盘 104;贯穿所述芯片 101 的导电插塞 105,所述导电插塞 105 的一端与所述焊盘 104 电连接;位于所述载体 100 表面的塑封层 106,所述塑封层 106 包围所述芯片 101,且所述塑封层 106 暴露出所述焊盘 104;位于所述塑封层 106 表面的再布线层 107,所述再布线层 107 与所述焊盘 104 电连接;位于所述再布线层 107 表面的焊球 108。

[0035] 其中,所述导电插塞 105 通常在切割形成独立的芯片 101 之前形成;所述导电插塞 105 的形成步骤包括:提供衬底,所述衬底具有功能面,且所述衬底包括若干芯片区;采用刻蚀工艺在所述衬底的芯片区内自所述功能面形成通孔;在所述通孔的侧壁和底部表面形成绝缘层(未标示);在所述通孔内的绝缘层表面形成导电插塞 105;自所述衬底与功能面相对表面进行抛光,直至暴露出所述导电插塞 105 的一端位置;在所述抛光工艺之后,切割所述衬底,使若干芯片区形成独立的芯片 101。

[0036] 然而,在形成所述导电插塞 105 的过程中,需要在衬底内形成通孔,且所述通孔的深度为所形成的芯片 101 厚度,因此所述通孔的深度较深,所述通孔的深宽比较高,因此,对形成所述通孔的刻蚀工艺要求较高,所述刻蚀工艺的难度较大。而且,后续需要在所述通孔内填充导电材料以形成导电插塞 105,而所述通孔的深宽比较高,所述导电材料的填充难度较大,对于形成导电插塞 105 的工艺要求较高。此外,实现上述高深宽比的刻蚀工艺和高深宽比通孔填充的工艺成本较高。综上,由于硅通孔结构的工艺难度较高,工艺较为复杂,且工艺成本较高,对于硅通孔技术应用于堆叠芯片封装造成了限制。

[0037] 为了降低工艺难度,又提出了一种塑封通孔技术。请参考图 2,图 2 是在封装结构中引入塑封通孔结构以实现芯片间导通的剖面结构示意图,包括:载体 110;固定于载体 110 表面的芯片 111,所述芯片 111 包括相对的非功能面 112 以及功能面 113,所述芯片 111 的非功能面 112 与载体 110 表面相接触,所述芯片 111 的功能面 113 表面具有焊盘 114;位于所述载体 110 表面的塑封层 115,所述塑封层 115 包围所述芯片 111,且所述塑封层 115 暴露出所述焊盘 114;贯穿所述塑封层 115 的导电插塞 116;位于所述塑封层 115 表面的再布线层 117,所述再布线层 117 与所述焊盘 114 和导电插塞 116 电连接;位于所述再布线层 117 表面的焊球 118。

[0038] 其中,所述导电插塞 116 的形成步骤包括:采用刻蚀工艺在所述塑封层 115 内形成

贯穿至载体 110 表面的通孔；在所述通孔内形成导电插塞 116。

[0039] 然而，由于所述塑封层 115 的厚度即所述芯片 111 的厚度，而所述通孔贯穿所述塑封层 115，因此所述通孔的深度较深，所述通孔的深宽比较高；对形成所述通孔的刻蚀工艺具有较高的精度要求，所述刻蚀工艺的难度较大。其次，由于后续需要在所述通孔内填充导电材料以形成导电插塞 116，而所述通孔的深宽比较高，导致填充所述导电材料的难度较大。而且，由于所述导电插塞 116 形成于所述芯片 111 周围，因此，需要精确定为所述导电插塞 116 相对于芯片的位置，因此，对于形成所述通孔时的定位精度要求较高。综上，即使采用塑封通孔技术来实现堆叠芯片封装，依旧面临着工艺复杂、工艺难度较高、以及成本较高的问题。

[0040] 为了解决上述问题，本发明提供一种封装结构，包括：塑封层，所述塑封层具有相对的第五表面和第六表面；位于所述塑封层内的芯片，所述芯片具有相对的第一表面和第二表面，所述芯片的第二表面包括功能区，所述芯片的第一表面与所述塑封层的第五表面齐平；贯穿所述塑封层的连接键，所述连接键位于所述芯片周围，所述连接键包括导电线，所述连接键包括第一端和第二端，所述连接键的第一端和第二端暴露出所述导电线，所述连接键的第一端与塑封层的第五表面齐平，所述连接键的第二端高于或齐平于所述塑封层的第六表面；位于所述塑封层第六表面的再布线层，所述再布线层与所述连接键的第二端以及芯片的功能区电连接；位于所述再布线层表面的第一焊球。

[0041] 其中，在芯片周围的载体表面直接固定连接键，所述连接键包括导电线，且所述连接键的第一端和第二端均暴露出导电线，而所述连接键贯穿所述塑封层，即所述导电线能够自所述塑封层的第五表面贯穿至第六表面，以此实现芯片第一表面至第二表面的电连接。而且，所述连接键和芯片直接固定于所述塑封层内，使所述连接键相对于所述芯片的位置更为精确且易于调控，不仅有利于保证封装结构的尺寸精确，而且有利于避免在布线层相对于所述连接键或芯片之间发生位置偏移。因此，所述封装结构的结构简单、制造成本降低，而且所述封装结构的尺寸更为精确，有利于缩小封装结构的尺寸。

[0042] 为使本发明的上述目的、特征和优点能够更为明显易懂，下面结合附图对本发明的具体实施例做详细的说明。

[0043] 图 3 至图 16 是本发明一实施例的封装结构的形成过程的剖面结构示意图。

[0044] 请参考图 3，提供载体 200。

[0045] 所述载体 200 为后续工艺提供工作平台，用于承载芯片和后续形成的塑封层。

[0046] 在本实施例中，所述载体 200 为硬性基板，所述硬性基板为 PCB 基板、玻璃基板、金属基板、半导体基板或聚合物基板。所述硬性基板具有较高的硬度，不易发生形变，在后续工艺中足以支撑芯片和塑封层。

[0047] 在其它实施例中，所述载体还能够为软性基板。

[0048] 请参考图 4，在所述载体 200 表面固定芯片 201，所述芯片 201 具有相对的第一表面 210 和第二表面 220，所述芯片 201 的第二表面 220 包括功能区（未示出），所述芯片 201 的第一表面 210 与载体 200 表面相互固定。

[0049] 所述芯片 201 的第一表面 210 通过粘结层（未示出）固定于所述载体 200 表面。所述粘结层的材料为 UV 胶，所述 UV 胶经紫外线照射后粘性降低，以便后续将载体 200 从封装结构中剥离。

[0050] 在一实施例中,在所述芯片 201 的第一表面 210 粘附粘结层,再将所述粘结层粘附于载体 200 表面,以实现芯片 201 与载体 200 之间的粘结。而所述芯片 201 的第一表面 210 不具有功能区,即所述芯片 201 的第一表面 210 不具有电连接结构,将芯片 201 第一表面 210 固定于载体 200 表面之后,能够暴露出芯片 201 的第二表面 220 的功能区。

[0051] 在另一实施例中,还能够在所述载体 200 的表面需要固定芯片 201 的对应位置形成粘结层,或者在载体 200 表面全局形成粘结层,再将所述芯片 201 的第一表面 210 粘附于所述粘结层表面,使芯片 201 固定于载体 200 表面。

[0052] 在本实施例中,所述载体 200 表面全局覆盖所述粘结层。

[0053] 所述芯片 201 能够为传感器芯片、逻辑电路芯片、存储芯片等。所述芯片 201 第二表面 220 的功能区内能够具有晶体管、无源器件(例如电阻、电容和电感等)、存储器件、传感器、电互连结构中的一者或多者。

[0054] 所述芯片 201 的形成步骤包括:提供衬底,所述衬底具有若干芯片区,所述衬底包括相对的第一表面和第二表面,所述衬底第二表面的芯片区内具有功能区;对所述衬底进行切割,使若干芯片区相互分离,形成独立的芯片 201。

[0055] 在本实施例中,所述芯片 201 的功能区表面暴露出焊盘;所述焊盘表面具有凸块 221,所述凸块 221 的顶部表面突出于所述芯片 201 的第二表面 220,所述凸块 221 的顶部表面即所述芯片 201 的功能区表面。所述凸块 213 的材料包括铜、金或锡,所述凸块 213 具有预设厚度。所述凸块 221 能够与功能区内的电路或器件实现电连接。所述凸块 221 用于与后续设置的连接键电连接,从而实现芯片 201 的功能区与其它芯片或外部电路之间的电连接。在本实施例中,所述芯片 201 的功能区表面即所述凸块 221 的顶部表面。在其它实施例中,所述功能区还能够为传感器区域,所述传感器区域内具有传感器,所述传感器用于获取外部环境中的信息。

[0056] 请参考图 5,在所述芯片 201 周围的载体 200 表面固定连接键 203,所述连接键 203 包括导电线 230,所述连接键 230 包括第一端 231 和第二端 232,所述连接键 203 的第一端 231 和第二端 232 暴露出所述导电线 230,所述连接键 203 的第一端 231 与所述载体 200 表面相互固定,所述连接键 203 的第二端 232 高于或齐平于所述芯片 201 的功能区表面。

[0057] 所述连接键 203 的第一端 231 通过粘结层固定于所述载体 200 表面。所述粘结层的材料为 UV 胶,所述 UV 胶经紫外线照射后粘性降低,以便后续将载体 200 从封装结构中剥离。

[0058] 在一实施例中,在所述连接键 203 的第一端 231 表面粘附粘结层,再将所述粘结层粘附于载体 200 表面,以实现连接键 203 与载体 200 之间的粘结。

[0059] 在另一实施例中,还能够在所述载体 200 的表面需要固定连接键 203 的对应位置形成粘结层,或者在载体 200 表面全局覆盖粘结层,再将所述连接键 203 的第一表面 210 粘附于所述粘结层表面,使连接键 203 固定于载体 200 表面。

[0060] 在本实施例中,所述芯片 201 的功能区表面即所述凸块 221 的顶部表面,而在载体 200 表面固定连接键 203 的第一端 231 之后,连接键 203 的第二端 232 表面高于或齐平于所述芯片 201 的功能区表面,即所述连接键 203 的第二端 232 表面高于或齐平于所述凸块 221 的顶部表面。

[0061] 在一个芯片 201 周围的载体 200 表面,固定一个或若干个连接键 203。当一个芯

片 201 周围的连接键 203 数量大于 1 时,所述连接键 203 的数量能够与芯片 201 表面的凸块 221 数量一致,而所述连接键 203 的位置与所述芯片 201 表面的凸块 221 位置相对应。

[0062] 所述连接键 203 的第一端 231 和第二端 232 暴露出导电线 230,在将所述连接键 203 的第一端 231 与所述载体 200 表面相互固定之后,即所述连接键 203 第一端 231 暴露出的导电线 230 与所述载体 200 表面相互固定,而所述第二端 232 暴露出的导电线 230 表面高于或齐平于所述凸块 221 的顶部表面。后续在塑封层表面形成再布线层之后,所述再布线层能够实现所述第二端 232 暴露出的导电线 230 与凸块 221 之间的电连接,从而使凸块 221 到载体 200 表面能够实现电连接。

[0063] 由于所述连接键 203 直接固定于载体 200 表面,避免了在后续形成塑封层之后,再进行打线工艺或形成塑封通孔结构的步骤,能够简化工艺步骤,而且降低了工艺难度,从而能够降低成本。而且,所述连接键 203 直接固定于载体 200 表面,使得所述连接键 203 相对于芯片 201 的位置更为精确,避免了在形成塑封通孔结构的过程中,刻蚀通孔时所产生的误差问题。此外,所述连接键 203 的第二端 232 高于或齐平于所述凸块 221 的顶部表面,则后续形成的塑封层的表面能够齐平于所述焊盘表面;相较于打线工艺中,塑封层表面需要高于芯片表面的问题,本实施例后续形成的塑封层厚度较薄,有利于减薄所形成的封装结构的厚度尺寸。

[0064] 在本实施例中,所述连接键 203 第一端 231 到第二端 232 的距离为 40 微米~400 微米;所述连接键 203 第一端 231 到第二端 232 的距离大于或等于所述芯片 201 的厚度,所述芯片 201 的厚度为所述凸块 221 顶部表面至芯片 201 的第一表面 210 的距离。由此能够保证在后续形成塑封层之后,所述塑封层表面能够与凸块 221 顶部表面齐平,同时所述塑封层能够暴露出连接键 203 的第二端 232。

[0065] 所述导电线 230 的材料为导电材料,所述导电线 230 用于实现芯片 201 自第一表面 210 至第二表面 220 的导通;所述导电材料包括为铜、钨、铝、金或银。

[0066] 在本实施例中,所述连接键 203 还包括位于所述导电线 230 侧壁表面的保护层 233,所述保护层 233 暴露出所述连接键 203 第一端 231 和第二端 232 的导电线 230。

[0067] 在另一实施例中,所述连接键还能够不包括所述保护层,而仅具有所述导电线。

[0068] 所述保护层 233 的材料为绝缘材料。所述绝缘材料为有机绝缘材料或无机绝缘材料;所述有机绝缘材料包括聚氯乙烯或树脂;所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂;所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。

[0069] 所述保护层 233 不仅能够在将连接键 203 固定于载体 200 表面时,用于保护所述导电线 230 的表面免受损伤,而且能够增加所述连接键 203 的截面尺寸,从而在将连接键 203 固定与载体 200 表面时更易对准,从而使固定于载体 200 表面的连接键 203 相对于芯片 201 的位置更为精确。

[0070] 在本实施例中,所述连接键 203 的第一端 231 尺寸与第二端 232 尺寸相同。所述连接键 203 第一端 231 的导电线 230 尺寸与第二端 232 的导电线 230 尺寸相同。其中,所述导电线 230 直径为 30 微米~150 微米,所述保护层 233 的厚度为 10 纳米~10 微米;当所述导电线 230 的材料为铜时,所述导电线 230 的最小直径为 30 微米;当所述导电线 230 的材料为铝时,所述导电线 230 的最小直径为 100 微米。

[0071] 在本实施例中,所述导电线 230 为圆柱形,即所述导电线 230 的截面为圆形,所述连接键 203 的第一端 231 和第二端 232 分别暴露出所述圆柱形的导电线 230 两端;所述连接键 203 第一端 231 和第二端 232 的导电线 230 尺寸即所述圆柱形导电线 230 的直径。

[0072] 在本实施例中,所述圆柱形的导电线 230 自连接键 203 第一端 231 至第二端 232 直径相同。

[0073] 在本实施例中,所述导电线 230 侧壁表面还覆盖有保护层 233,且所述保护层 233 的厚度均一,从而在所述导电线 230 表面包覆保护层 233 之后,所述连接键 203 自第一端 231 至第二端 232 的尺寸依旧相同。

[0074] 在其它实施例中,所述连接键的第二端的尺寸还能够小于所述第一端的尺寸。

[0075] 以下将结合附图对所述连接键的形成步骤进行说明。

[0076] 请参考图 6,提供初始导电线 300,所述初始导电线 300 具有第三端 301 和第四端 302。

[0077] 所述初始导电线 300 用于切割形成导电线 230(如图 5 所示)。所述初始导电线 300 的材料为导电材料;所述导电材料包括为铜、钨、铝、金或银。

[0078] 在本实施例中,所述初始导电线 300 为圆柱形,即所述初始导电线 300 的截面为圆形;且所述初始导电线 300 自第三端 301 至第四端 302 的尺寸相同,即所述圆柱形的导电线 300 自第三端 301 至第四端 302 的直径相同。

[0079] 请参考图 7,在所述初始导电线 300 的侧壁表面形成初始保护层 303,形成初始连接键 310,所述初始保护层 303 暴露出所述初始导电线 300 的第三端 301 和第四端 302。

[0080] 所述初始保护层 303 的形成工艺包括化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺、喷涂工艺或注塑工艺。

[0081] 所述初始保护层 303 的材料为绝缘材料;所述绝缘材料为有机绝缘材料或无机绝缘材料。

[0082] 在一实施例中,所述初始保护层 303 的材料为有机绝缘材料时,所述有机绝缘材料包括聚氯乙烯或树脂;所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂;所述初始保护层 303 的形成工艺能够为喷涂工艺或注塑工艺。

[0083] 在另一实施例中,所述初始保护层 303 的材料为无机绝缘材料,所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种;所述初始保护层 303 的形成工艺能够化学气相沉积工艺、物理气相沉积工艺、原子层沉积工艺;而形成所述初始保护层 303 的工艺需要具有良好的覆盖能力以及均匀性,使所形成的初始保护层 303 能够均匀地覆盖于所述初始导电线 300 的表面。

[0084] 请参考图 8,沿垂直于所述初始导电线 300(如图 7 所示)侧壁的方向切割所述初始保护层 303(如图 7 所示)和初始导电线 300(如图 7 所示),形成若干段导电线 230、以及位于导电线 230 侧壁表面的保护层 233。

[0085] 在本实施例中,所述初始导电线 300 的侧壁表面为围绕所述轴线 A(如图 7 所示)的表面,所述轴线 A 为所述初始导电线 300 中经过第三端 301 和第四端 302 的中心轴;沿垂直于所述初始导电线 300 侧壁的方向切割即沿垂直于轴线 A 的方向切割所述初始保护层 303 和初始导电线 300。

[0086] 所述切割工艺能够为激光切割工艺。经过切割工艺之后,所述初始保护层 303 和

初始导电线 300 形成若干分立的连接键 203。

[0087] 请参考图 9, 在所述载体 200 表面形成塑封层 204, 所述塑封层 204 包围所述芯片 201 和连接键 203, 所述塑封层 204 的表面暴露出所述连接键 203 的第二端 232 和芯片 201 的功能区表面。

[0088] 在本实施例中, 所述塑封层 204 的表面与所述芯片 201 第二表面 220 的凸块 221 顶部表面齐平, 即所述塑封层 204 暴露出所述凸块 221 的顶部表面。由于所述连接键 203 的第二端 232 高于或齐平于所述凸块 221 的顶部表面, 从而能够使所述塑封层 204 暴露出所述连接键 203 的第二端 232。后续能够通过形成再布线层实现连接键 203 与凸块 221 之间的电连接。

[0089] 而且, 由于所述塑封层 204 的表面与凸块 221 的顶部表面齐平, 所述塑封层 204 的厚度与芯片 201 的厚度相同, 所述塑封层 204 的厚度较薄, 能够使所形成的封装结构的厚度尺寸较小。

[0090] 在本实施例中, 所述塑封层 204 的形成步骤包括: 在所述载体 200 表面形成覆盖所述芯片 201 以及芯片 201 上的凸块 221 的初始塑封层; 对所述初始塑封层进行抛光, 直至暴露出所述凸块 221 的顶部表面为止, 形成所述塑封层 204。

[0091] 所述塑封层 204 能够为感光干膜、非感光干膜或者塑封材料膜。

[0092] 在一实施例中, 所述塑封层 204 为感光干膜, 所述初始塑封层的形成工艺为真空贴膜工艺。

[0093] 在另一实施中, 所述塑封层 204 的材料为塑封材料, 所述塑封材料包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂、聚苯并恶唑树脂、聚对苯二甲酸丁二酯、聚碳酸酯、聚对苯二甲酸乙二醇酯、聚乙烯、聚丙烯、聚烯烃、聚氨酯、聚烯烃、聚醚砜、聚酰胺、聚亚氨酯、乙烯-醋酸乙烯共聚物、聚乙烯醇或其他合适的聚合物材料。

[0094] 所述初始塑封层的形成工艺包括注塑工艺 (injection molding)、转塑工艺 (transfer molding) 或丝网印刷工艺。所述注塑工艺包括: 提供模具; 在所述模具中填充塑封材料, 使所述塑封材料包覆所述芯片 201 和连接键 203; 对所述塑封材料进行升温固化, 形成塑封层 204。

[0095] 在其他实施例中, 所述塑封层 204 的材料也可以为其他绝缘材料。

[0096] 后续在所述塑封层 204 表面形成与所述连接键 203 第二端 232 以及凸块 221 电连接的再布线层。在一实施例中, 所述再布线层能够直接形成于所述塑封层 204 表面。在本实施例中, 能够在所述塑封层 204 表面形成第一绝缘层之后, 再于第一绝缘层表面形成再布线层; 以下将结合附图进行说明。

[0097] 请参考图 10, 在所述塑封层 204 表面形成第一绝缘层 205, 所述第一绝缘层 205 内具有分别暴露出所述连接键 203 第二端 232 的导电线 230、以及芯片 201 功能区表面的若干第一通孔 206。

[0098] 所述第一绝缘层 205 用于保护所述塑封层 204 表面; 所述第一绝缘层 205 内的第一通孔 206 用于使后续形成的再布线层能够与导电线 230 以及凸块 221 电连接。

[0099] 所述第一绝缘层 205 的形成步骤包括: 在所述塑封层 204、连接键 203 和凸块 221 表面形成第一绝缘膜; 对所述第一绝缘膜进行图形化, 形成第一绝缘层 205, 且所述第一绝缘层 205 内具有第一通孔 206。

[0100] 在一实施例中,所述第一绝缘层 205 的材料为聚合物材料或无机绝缘材料;所述聚合物材料能够为绝缘树脂;所述无机绝缘材料能够为氧化硅、氮化硅、氮氧化硅中的一种或多种组合。

[0101] 对所述第一绝缘膜进行图形化的工艺包括:采用涂布工艺和曝光显影工艺在第一绝缘膜表面形成图形化的光刻胶层;以所述光刻胶层刻蚀所述第一绝缘膜。

[0102] 刻蚀所述第一绝缘膜的工艺为各向异性的干法刻蚀工艺;所述各向异性的干法刻蚀工艺的刻蚀气体包括 CH_4 、 CHF_3 、 CH_3F 中的一种或多种,偏置功率大于 100 瓦,偏置电压大于 10 伏。

[0103] 在另一实施例中,第一绝缘层 205 的材料为光刻胶,所述第一通孔 206 采用光刻工艺形成。

[0104] 请参考图 11,在所述第一通孔 206(如图 10 所示)内以及部分第一绝缘层 205 表面形成所述再布线层 207,所述再布线层 207 与所述连接键 203 的第二端 232 以及凸块 221 电连接。

[0105] 所述的再布线层 207 的形成步骤包括:在所述第一通孔 206 内以及第一绝缘层 205 表面形成导电膜,所述导电膜填满所述第一通孔 206;平坦化所述导电膜;在平坦化工艺之后,在所述导电膜表面形成图形化层,所述图形化层覆盖部分导电膜;以所述图形化层为掩膜,刻蚀所述导电膜,直至暴露出第一绝缘层 205 表面为止;在刻蚀所述导电膜之后,去除所述图形化层。

[0106] 所述导电膜的材料包括铜、钨、铝、钛、钽、氮化钛、氮化钽、银中的一种或多种;刻蚀所述导电膜的工艺为各向异性的干法刻蚀工艺或者湿法工艺;所述图形化层能够为图形化的光刻胶层,还能够为图形化的硬掩膜,所述硬掩膜的材料为氧化硅、氮化硅、氮氧化硅中的一种或多种;所述平坦化工艺能够为化学机械抛光工艺。

[0107] 所述再布线层 207 能够为单层结构或多层结构,所述单层结构或多层结构的再布线层 207 用于实现特定的电路功能。在本实施例中,所述再布线层 207 为单层结构。在其它实施例中,所述再布线层能够为多层结构,且相邻两层布线层之间以绝缘层电隔离。

[0108] 请参考图 12,在所述再布线层 207 表面形成第二绝缘层 208,所述第二绝缘层 208 内具有暴露出部分再布线层 207 的第二通孔 280。

[0109] 所述第二绝缘层 208 为阻焊层,所述第二绝缘层 208 用于保护层所述在布线层 207,且所述第二绝缘层 208 内的第二通孔 280 用于定义后续形成的第一焊球的位置。

[0110] 所述第二绝缘层 208 的形成步骤包括:在再布线层 207 和第一绝缘层 205 表面形成第二绝缘膜;对所述第二绝缘膜进行图形化,形成第二绝缘层 208,且所述第二绝缘层 208 内具有所述第二通孔 280。

[0111] 在一实施例中,所述第二绝缘层 208 的材料为聚合物材料或无机绝缘材料;所述聚合物材料能够为绝缘树脂;所述无机绝缘材料能够为氧化硅、氮化硅、氮氧化硅中的一种或多种组合。

[0112] 对所述第二绝缘膜进行图形化的工艺包括:采用涂布工艺和曝光显影工艺在第二绝缘膜表面形成图形化的光刻胶层;以所述光刻胶层刻蚀所述第一绝缘膜。

[0113] 刻蚀所述第二绝缘膜的工艺为各向异性的干法刻蚀工艺;所述各向异性的干法刻蚀工艺的刻蚀气体包括 CH_4 、 CHF_3 、 CH_3F 中的一种或多种,偏置功率大于 100 瓦,偏置电压大

于 10 伏。

[0114] 在另一实施例中,第二绝缘层 208 的材料为光刻胶,所述第二通孔 208 采用光刻工艺形成。

[0115] 请参考图 13,在所述第二通孔 280(如图 12 所示)内形成所述第一焊球 281。

[0116] 所述第一焊球 281 的材料包括锡。所述第一焊球 281 的形成步骤包括:在所述第二通孔 280 底部的再布线层 207 表面印刷锡膏,再进行高温回流,在表面张力作用下,形成第一焊球 281。

[0117] 在另一实施例中,还能够先在所述第二通孔 280 底部的再布线层 207 表面印刷助焊剂和焊球颗粒,再高温回流形成第一焊球 281。在其它实施例中,还能够先在所述再布线层 207 上电镀锡柱,再高温回流形成第一焊球 281。

[0118] 在一实施例中,在所述再布线层 207 与所述第一焊球 281 之间,还能够具有球下金属结构(Under Ball Metal,简称 UBM);所述球下金属结构能够包括单层金属层或多层重叠的金属层;所述单层金属层或多层金属层的材料包括铜、铝、镍、钴、钛、钽中的一种或多种组合。

[0119] 请参考图 14,在形成所述第一焊球 281 之后,去除所述载体 200(如图 13 所示),暴露出所述连接键 203 的第一端 231。

[0120] 在本实施例中,所述载体 200 表面全局覆盖粘结层,且所述粘结层的材料为 UV 胶,所述芯片 201 和连接键 203 通过所述粘结层与所述载体 200 固定,且所述塑封层 204 形成于所述粘结层表面。通过对所述粘结层进行紫外光照射,使粘结层的粘性降低;再将所述载体 200 自所述芯片 201 第一表面 210、连接键 203 第一端 231 和塑封层 204 表面剥离,从而暴露出芯片 201 第一表面 210 和连接键 203 的第一端 231。在剥离所述载体 200 之后,进行清洗工艺以去除残留的粘结层。

[0121] 在其它实施例中,还能够通过刻蚀工艺或化学机械抛光工艺去除所述载体 200。

[0122] 请参考图 15,在去除所述载体 200(如图 13 所示)之后,在所述连接键 203 第一端 231 的导电线 230 表面形成第二焊球 209。

[0123] 形成所述第二焊球 209 之后,即实现所形成的封装结构的双面植球,所述封装结构的两侧表面均能够与其它封装体实现堆叠封装。

[0124] 所述第二焊球 209 的材料包括锡。所述第二焊球 209 的形成步骤包括:在所述连接键 203 第一端 231 的导电线 230 表面印刷锡膏,再进行高温回流,在表面张力作用下,形成第二焊球 209。

[0125] 在另一实施例中,还能够先在所述连接键 203 第一端 231 的导电线 230 表面印刷助焊剂和焊球颗粒,再高温回流形成第二焊球 209。在其它实施例中,还能够先在所述连接键 203 第一端 231 的导电线 230 表面电镀锡柱,再高温回流形成第二焊球 209。

[0126] 在另一实施例中,请参考图 16,在形成第二焊球 209 之后,还包括:提供封装体 400,所述封装体 400 具有第三表面 401,所述封装体 400 的第三表面 401 暴露出导电结构 402;使所述芯片 201 的第一表面 210 和塑封层 204 表面与所述封装体 400 的第三表面 401 相对设置,并通过焊接工艺使所述第二焊球 209 与所述导电结构 402 相互连接。

[0127] 所述封装体 400 内具有芯片或半导体器件,且所述芯片或半导体器件与所述导电结构 402 电连接。由于所述导电结构 402 通过第二焊球 209 和连接键 203 与芯片 201 电连

接,从而能够实现封装体 400 内的芯片或半导体器件与所述芯片 201 电连接,以此形成堆叠芯片封装结构,并且所形成的是封装体堆叠结构 (Package On Package,简称 POP)。

[0128] 综上,本实施例的形成方法中,在形成塑封层之前,在芯片周围的载体表面直接固定连接键。其中,所述连接键包括导电线,且所述连接键的第一端和第二端均暴露出导电线;由于将所述连接键的第一端固定与载体表面后,所述连接键的第二端能够高于或齐平于所述芯片的功能面,因此,在所述载体表面形成暴露出芯片功能区的塑封层之后,所述连接键的第二端也能够高于或齐平于所述塑封层表面,从而,所述导电线能够自所述塑封层表面贯穿至载体表面,以便后续芯片第一表面至第二表面的电连接。由于所述连接键直接固定于载体表面,避免了在塑封层内进行处理步骤,能够使封装结构的形成方法简化。而且,所述连接键直接固定于载体表面,能够使所述连接键相对于所述芯片的位置更为精确且易于调控,不仅有利于保证所形成的封装结构的尺寸精确,而且有利于后续形成的再布线层与所述连接键的第二端实现电连接。因此,所述封装结构的形成方法工艺步骤简化、工艺成本降低、工艺难度降低,而且所形成的封装结构的尺寸更为精确,有利于缩小封装结构的尺寸。

[0129] 相应的,本实施例还提供一种采用上述方法所形成的封装结构,请继续参考图 15,包括:

[0130] 塑封层 204,所述塑封层 204 具有相对的第五表面和第六表面;

[0131] 位于所述塑封层 204 内的芯片 201,所述芯片 201 具有相对的第一表面 210 和第二表面 220,所述芯片 201 的第二表面 220 包括功能区,所述芯片 201 的第一表面 210 与所述塑封层 204 的第五表面齐平;

[0132] 贯穿所述塑封层 204 的连接键 203,所述连接键 203 位于所述芯片 201 周围,所述连接键 203 包括导电线 230,所述连接键 230 包括第一端 231 和第二端 232,所述连接键 203 的第一端 231 和第二端 232 暴露出所述导电线 230,所述连接键 203 的第一端 231 与塑封层 204 的第五表面齐平,所述连接键 203 的第二端 232 高于或齐平于所述塑封层 204 的第六表面;

[0133] 位于所述塑封层 204 第六表面的再布线层 207,所述再布线层 207 与所述连接键 203 的第二端 232 以及芯片 201 的功能区电连接;

[0134] 位于所述再布线层 207 表面的第一焊球 281。

[0135] 以下将结合附图进行说明。

[0136] 所述芯片 201 能够为传感器芯片、逻辑电路芯片、存储芯片等。所述芯片 201 第二表面 220 的功能区内能够具有晶体管、无源器件(例如电阻、电容和电感等)、存储器件、传感器、电互连结构中的一者或多者。

[0137] 在本实施例中,所述芯片 201 的功能区表面暴露出焊盘;所述焊盘表面具有凸块 221 所述凸块 221 的顶部表面突出于所述芯片 201 的第二表面 220。所述凸块 221 能够与功能区内的电路或器件实现电连接。所述凸块 221 用于与连接键 203 电连接,从而实现芯片 201 的功能区与其它芯片或外部电路之间的电连接。在本实施例中,所述芯片 201 的功能区表面即所述凸块 221 的顶部表面,所述塑封层 204 暴露出所述凸块 221 的顶部表面。在其它实施例中,所述功能区还能够为传感器区域,所述传感器区域内具有传感器,所述传感器用于获取外部环境中的信息。

[0138] 在一个芯片 201 周围固定一个或若干个连接键 203 ; 当一个芯片 201 周围的连接键 203 数量大于 1 时, 所述连接键 203 的数量能够与芯片 201 表面的凸块 221 数量一致, 而所述连接键 203 的位置与所述芯片 201 表面的凸块 221 位置相对应。

[0139] 在本实施例中, 所述连接键 203 第一端 231 到第二端 232 的距离为 40 微米~400 微米 ; 所述连接键 203 第一端 231 到第二端 232 的距离大于或等于所述芯片 201 的厚度, 所述芯片 201 的厚度为所述凸块 221 顶部表面至芯片 201 的第一表面 210 的距离。

[0140] 所述导电线 230 的材料为导电材料, 所述导电线 230 用于实现芯片 201 自第一表面 210 至第二表面 220 的导通 ; 所述导电材料包括为铜、钨、铝、金或银。

[0141] 在本实施例中, 所述连接键 203 还包括位于所述导电线 230 侧壁表面的保护层 233, 所述保护层 233 暴露出所述连接键 203 第一端 231 和第二端 232 的导电线 230。在另一实施例中, 所述连接键还能够不包括所述保护层, 而仅具有所述导电线。

[0142] 所述保护层 233 的材料为绝缘材料。所述绝缘材料为有机绝缘材料或无机绝缘材料 ; 所述有机绝缘材料包括聚氯乙烯或树脂 ; 所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂 ; 所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。

[0143] 所述保护层 233 不仅能够在于将连接键 203 固定于载体 200 表面时, 用于保护所述导电线 230 的表面免受损伤, 而且能够增加所述连接键 203 的截面尺寸, 从而使所述连接键 203 相对于芯片 201 的位置更为精确。

[0144] 在本实施例中, 所述连接键 203 的第一端 231 尺寸与第二端 232 尺寸相同。所述连接键 203 第一端 231 的导电线 230 尺寸与第二端 232 的导电线 230 尺寸相同。其中, 所述导电线 230 直径为 30 微米~150 微米, 所述保护层 233 的厚度为 10 纳米~10 微米 ; 当所述导电线 230 的材料为铜时, 所述导电线 230 的最小直径为 30 微米 ; 当所述导电线 230 的材料为铝时, 所述导电线 230 的最小直径为 100 微米。

[0145] 在本实施例中, 所述导电线 230 为圆柱形, 即所述导电线 230 的截面为圆形, 所述连接键 203 的第一端 231 和第二端 232 分别暴露出所述圆柱形的导电线 230 两端 ; 所述连接键 203 第一端 231 和第二端 232 的导电线 230 尺寸即所述圆柱形导电线 230 的直径。在本实施例中, 所述圆柱形的导电线 230 自连接键 203 第一端 231 至第二端 232 直径相同。

[0146] 在本实施例中, 所述导电线 230 侧壁表面还覆盖有保护层 233, 且所述保护层 233 的厚度均一, 从而在所述导电线 230 表面包覆保护层 233 之后, 所述连接键 203 自第一端 231 至第二端 232 的尺寸依旧相同。在其它实施例中, 所述连接键的第二端的尺寸还能够小于所述第一端的尺寸。

[0147] 在本实施例中, 所述塑封层 204 的表面与所述芯片 201 第二表面 220 的凸块 221 顶部表面齐平, 由于所述连接键 203 的第二端 232 高于或齐平于所述凸块 221 的顶部表面, 从而能够使所述塑封层 204 暴露出所述连接键 203 的第二端 232。而且, 由于所述塑封层 204 的表面与凸块 221 的顶部表面齐平, 所述塑封层 204 的厚度与芯片 201 的厚度相同, 所述塑封层 204 的厚度较薄, 能够使封装结构的厚度尺寸较小。

[0148] 所述塑封层 204 能够为感光干膜、非感光干膜或者塑封材料膜。在一实施中, 所述塑封层 204 的材料为塑封材料, 所述塑封材料包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂、聚苯并恶唑树脂、聚对苯二甲酸丁二酯、聚碳酸酯、聚对苯二甲酸乙二醇酯、聚乙烯、聚

丙烯、聚烯烃、聚氨酯、聚烯烃、聚醚砜、聚酰胺、聚亚氨酯、乙烯-醋酸乙烯共聚物、聚乙烯醇或其他合适的聚合物材料。

[0149] 本实施例的封装结构还包括：位于所述塑封层 204 第六表面的第一绝缘层 205，所述第一绝缘层 205 内具有分别暴露出所述连接键 203 第二端 232 的导电线 230、以及芯片 201 功能区表面的若干第一通孔；所述再布线层 207 位于所述第一通孔内以及部分第一绝缘层 205 表面。

[0150] 所述第一绝缘层 205 用于保护所述塑封层 204 表面；所述第一绝缘层 205 内的第一通孔用于使再布线层 207 能够与导电线 230 以及凸块 221 电连接。在一实施例中，所述第一绝缘层 205 的材料为聚合物材料或无机绝缘材料；所述聚合物材料能够为绝缘树脂；所述无机绝缘材料能够为氧化硅、氮化硅、氮氧化硅中的一种或多种组合。在另一实施例中，第一绝缘层 205 的材料为光刻胶。

[0151] 所述再布线层 207 的材料包括铜、钨、铝、钛、钽、氮化钛、氮化钽、银中的一种或多种。所述再布线层 207 能够为单层结构或多层结构，所述单层结构或多层结构的再布线层 207 用于实现特定的电路功能。在本实施例中，所述再布线层 207 为单层结构。在其它实施例中，所述再布线层能够为多层结构，且相邻两层布线层之间以绝缘层电隔离。

[0152] 本实施例的封装结构还包括：位于所述再布线层 207 表面的第二绝缘层 208，所述第二绝缘层 208 内具有暴露出部分再布线层 207 的第二通孔；所述第一焊球 281 位于所述第二通孔内。

[0153] 所述第二绝缘层 208 为阻焊层，所述第二绝缘层 208 用于保护层所述在布线层 207，且所述第二绝缘层 208 内的第二通孔 280 用于定义所述第一焊球 281 的位置。在一实施例中，所述第二绝缘层 208 的材料为聚合物材料或无机绝缘材料；所述聚合物材料能够为绝缘树脂；所述无机绝缘材料能够为氧化硅、氮化硅、氮氧化硅中的一种或多种组合。在另一实施例中，第二绝缘层 208 的材料为光刻胶。

[0154] 本实施例的封装结构还包括：位于所述连接键 203 第一端 231 的导电线 230 表面的第二焊球 209。所述第一焊球 281 的材料包括锡；所述第二焊球 209 的材料包括锡。

[0155] 在一实施例中，在所述再布线层 207 与所述第一焊球 281 之间，还能够具有球下金属结构 (Under Ball Metal, 简称 UBM)；所述球下金属结构能够包括单层金属层或多层重叠的金属层；所述单层金属层或多层金属层的材料包括铜、铝、镍、钴、钛、钽中的一种或多种组合。

[0156] 在本实施例中，所述封装结构还能够包括载体 200 (如图 13 所示)，所述芯片 201 的第一表面 210、所述塑封层 204 的第五表面、以及所述连接键 203 的第一端 231 固定于所述载体 200 表面。

[0157] 在本实施例中，所述载体 200 为硬性基板，所述硬性基板为 PCB 基板、玻璃基板、金属基板、半导体基板或聚合物基板。所述硬性基板具有较高的硬度，不易发生形变，足以支撑芯片和塑封层。在其它实施例中，所述载体还能够为软性基板。

[0158] 所述芯片 201 的第一表面 210 通过粘结层固定于所述载体 200 表面；所述连接键 203 的第一端通 231 过粘结层固定于所述载体 200 表面。所述粘结层的材料为 UV 胶，所述 UV 胶经紫外线照射后粘性降低，便于将载体 200 从封装结构中剥离。

[0159] 在另一实施例中，请参考图 16，所述封装结构还包括：封装体 400，所述封装体 400

具有第三表面 401, 所述封装体 400 的第三表面 401 暴露出导电结构 402; 所述芯片 201 的第一表面 210 和塑封层 204 表面与所述封装体 400 的第三表面 401 相对设置, 所述导电结构 402 通过所述第二焊球 209 与所述连接键 203 相互连接。

[0160] 所述封装体 400 内具有芯片或半导体器件, 且所述芯片或半导体器件与所述导电结构 402 电连接。由于所述导电结构 402 通过第二焊球 209 和连接键 203 与芯片 201 电连接, 从而能够实现封装体 400 内的芯片或半导体器件与所述芯片 201 电连接, 所述封装结构为堆叠芯片的封装结构, 即封装体堆叠结构 (Package On Package, 简称 POP)。

[0161] 综上, 在本实施例的结构中, 在芯片周围的载体表面直接固定连接键, 所述连接键包括导电线, 且所述连接键的第一端和第二端均暴露出导电线, 而所述连接键贯穿所述塑封层, 即所述导电线能够自所述塑封层的第五表面贯穿至第六表面, 以此实现芯片第一表面至第二表面的电连接。而且, 所述连接键和芯片直接固定于所述塑封层内, 使所述连接键相对于所述芯片的位置更为精确且易于调控, 不仅有利于保证封装结构的尺寸精确, 而且有利于避免在布线层相对于所述连接键或芯片之间发生位置偏移。因此, 所述封装结构的结构简单、制造成本降低, 而且所述封装结构的尺寸更为精确, 有利于缩小封装结构的尺寸。

[0162] 图 17 至图 20 是本发明另一实施例的封装结构的形成过程的剖面结构示意图。

[0163] 请参考图 17, 提供载体 500; 在所述载体 500 表面固定芯片 501, 所述芯片 501 具有相对的第一表面 510 和第二表面 520, 所述芯片 501 的第二表面 520 包括功能区 (未示出), 所述芯片 501 的第一表面 510 与载体 500 表面相互固定; 在所述芯片 501 周围的载体 500 表面固定连接键 503, 所述连接键 503 包括导电线 530, 所述连接键 503 包括第一端 531 和第二端 532, 所述连接键 503 的第一端 531 和第二端 532 暴露出所述导电线 530, 所述连接键 503 的第一端 531 与所述载体 500 表面相互固定, 所述连接键 503 的第二端 532 高于或齐平于所述芯片 501 的功能区表面。

[0164] 所述载体 500、所述芯片 501、在载体 500 表面固定芯片 501 的工艺、以及在载体 500 表面固定连接键 503 的工艺与前述实施例的相关内容相同, 在此不做赘述。

[0165] 在本实施例中, 所述连接键 503 还包括位于所述导电线 530 侧壁表面的保护层 533, 所述保护层 533 暴露出所述连接键 503 第一端 531 和第二端 532 的导电线 530。

[0166] 所述保护层 533 的材料为绝缘材料。所述绝缘材料为有机绝缘材料或无机绝缘材料; 所述有机绝缘材料包括聚氯乙烯或树脂; 所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂; 所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。

[0167] 在本实施例中, 所述连接键 503 的第一端 531 尺寸大于所述连接键 503 的第二端 532 尺寸。而且, 所述连接键 503 的侧壁相对于连接键 503 的第一端 531 的表面倾斜, 所述连接键 503 的侧壁表面与所述第一端 531 表面之间的锐角夹角为 $75^{\circ} \sim 89^{\circ}$ 。

[0168] 在本实施例中, 所述导电线 530 为圆柱形, 即所述导电线 530 的截面为圆形, 所述连接键 503 的第一端 531 和第二端 532 分别暴露出所述圆柱形的导电线 530 两端; 所述连接键 503 第一端 531 和第二端 532 的导电线 530 尺寸即所述圆柱形导电线 530 的直径。

[0169] 本实施例中, 所述圆柱形的导电线 530 自连接键 503 第一端 531 至第二端 532 直径相同。

[0170] 在本实施例中,所述导电线 530 侧壁表面还覆盖有保护层 533,而位于连接键 503 第一端 531 的保护层 533 厚度大于位于第二端 532 的保护层 533 厚度,从而使所述连接键 503 的第一端 531 尺寸大于所述连接键 503 的第二端 532 尺寸。

[0171] 由于所述连接键 503 的第一端 531 通过粘结层固定于载体 500 表面,当所述连接键 531 的第一端 531 尺寸大于第二端 532 尺寸时,所述连接键 503 在载体 500 表面的固定更为稳定,在后续形成塑封层的过程中,所述连接键 503 不易发生位移,有利于保证所述连接键 503 相对于芯片 500 的位置精确。

[0172] 而所述连接键 503 中的导电线 530 自连接键 503 第一端 531 至第二端 532 直径相同,自连接键 503 第一端 531 至第二端 532,所述导电线 530 的电阻率差异较小,使得所述导电线 530 的电性能稳定。

[0173] 以下将结合附图对所述连接键的形成步骤进行说明。

[0174] 请参考图 18,提供初始导电线 600,所述初始导电线 600 具有第三端 601 和第四端 602;在所述初始导电线 600 的侧壁表面形成初始保护层 603,形成初始连接键 610,所述初始保护层 603 暴露出所述初始导电线 600 的第三端 601 和第四端 602。

[0175] 在本实施例中,从所述初始导电线 600 的第三端 601 至第四端 602 的方向上,所述初始连接键 600 具有若干切割段 620,各切割段 620 均具有靠近第三端 601 的第五端 621、以及靠近第四端 602 的第六端 622;所述切割段 620 第五端 621 的初始保护层 603 厚度大于切割段第六端 622 的初始保护层 603 厚度。

[0176] 所述初始保护层 603 的形成工艺为注塑工艺。所述初始保护层 603 的形成步骤包括:采用涂布工艺在所述初始导电线 600 表面形成保护膜;采用模具对所述保护膜进行塑形,形成所述初始保护层 603。

[0177] 其中,所述模具的内壁表面形貌与所需形成的初始保护层 603 的表面形貌相同,从而通过所述模具的塑形,能够使保护层 603 的厚度产生差异,使保护层 603 的表面呈锯齿状。

[0178] 所述保护层 233 的材料为有机绝缘材料;所述有机绝缘材料包括聚氯乙烯或树脂;所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂。

[0179] 请参考图 19,沿垂直于所述初始导电线 600(如图 18 所示)侧壁的方向切割所述初始保护层 603(如图 18 所示)和初始导电线 601(如图 18 所示),形成若干段导电线 530、以及位于导电线 530 侧壁表面的保护层 533。

[0180] 在切割所述初始连接键 610(如图 18 所示)之后,若干切割段 620(如图 18 所示)相互独立,各切割段 620 形成所述连接键 503,且所述切割段 620 的第五端 621(如图 18 所示)成为连接键 503 的第一端 531,所述切割段的第六端 622(如图 18 所示)成为连接键的第二端 532。

[0181] 在本实施例中,所述初始导电线 600 的侧壁表面为围绕所述轴线 B(如图 18 所示)的表面,所述轴线 B 为所述初始导电线 600 中经过第三端 601 和第四端 602 的中心轴;沿垂直于所述初始导电线 600 侧壁的方向切割即沿垂直于轴线 B 的方向切割所述初始保护层 603 和初始导电线 600。

[0182] 所述切割工艺能够为激光切割工艺。经过切割工艺之后,所述初始保护层 603 和初始导电线 600 形成若干分立的连接键 503。而且,所述切割工艺沿所述切割段 620 的边缘

进行,以便若干切割段 620 能够相互分立。

[0183] 请参考图 20,在所述载体 500 表面形成塑封层 504,所述塑封层 504 包围所述芯片 501 和连接键 503,所述塑封层 504 的表面暴露出所述连接键 503 的第二端 532 和芯片 501 的功能区表面;在所述塑封层 504 表面形成再布线层 507,所述再布线层 507 与所述连接键 503 的第二端 532 以及芯片 501 的功能区电连接;在所述再布线层 507 表面形成第一焊球 581;在形成所述第一焊球 581 之后,去除所述载体 500(如图 19 所示),暴露出所述连接键 503 的第一端 531。

[0184] 所述塑封层 504、形成塑封层 504 的工艺、所述再布线层 507、形成再布线层 507 的工艺、所述第一焊球 581、形成第一焊球 581 的工艺、以及去除载体 500 的工艺与前述实施例相同,在此不做赘述。

[0185] 在本实施例中,还包括在所述塑封层 504 表面形成第一绝缘层 505,所述第一绝缘层 505 内具有分别暴露出所述连接键 503 第二端 532 的导电线 530、以及芯片 501 功能区表面的若干第一通孔;所述芯片 501 功能区表面即位于芯片 501 上的凸块 521 的顶部表面。在所述第一通孔内以及部分第一绝缘层 505 表面形成所述再布线层 507,所述再布线层 507 与所述连接键 503 的第二端 532 以及凸块 521 电连接。

[0186] 在本实施例中,还包括在所述再布线层 507 表面形成第二绝缘层 508,所述第二绝缘层 508 内具有暴露出部分再布线层 507 的第二通孔;在所述第二通孔内形成所述第一焊球 581。

[0187] 此外,在去除所述载体 500 之后,还能够在所述连接键 503 第一端 531 的导电线 530 表面形成第二焊球。

[0188] 而且,在形成第二焊球之后,还包括:提供封装体,所述封装体具有第三表面,所述封装体的第三表面暴露出导电结构;使所述芯片 501 的第一表面 510 和塑封层 504 表面与所述封装体的第三表面相对设置,并通过焊接工艺使所述第二焊球与所述导电结构相互连接。

[0189] 相应的,本实施例还提供一种采用上述方法所形成的封装结构,请继续参考图 20,包括:

[0190] 塑封层 504,所述塑封层 504 具有相对的第五表面和第六表面;

[0191] 位于所述塑封层 504 内的芯片 501,所述芯片 501 具有相对的第一表面 510 和第二表面 520,所述芯片 501 的第二表面 520 包括功能区,所述芯片 501 的第一表面 510 与所述塑封层 504 的第五表面齐平;

[0192] 贯穿所述塑封层 504 的连接键 503,所述连接键 503 位于所述芯片 501 周围,所述连接键 504 包括导电线 530,所述连接键 530 包括第一端 531 和第二端 532,所述连接键 503 的第一端 531 和第二端 532 暴露出所述导电线 530,所述连接键 503 的第一端 531 与塑封层 504 的第五表面齐平,所述连接键 503 的第二端 532 高于或齐平于所述塑封层 504 的第六表面;

[0193] 位于所述塑封层 504 第六表面的再布线层 507,所述再布线层 507 与所述连接键 503 的第二端 532 以及芯片 501 的功能区电连接;

[0194] 位于所述再布线层 507 表面的第一焊球 581。

[0195] 本实施例的封装结构与前述实施例的封装结构(如图 15 所示)的区别在于:所述

连接键 503 的第一端 531 尺寸大于所述连接键 503 的第二端 532 尺寸。

[0196] 在本实施例中,所述连接键 503 还包括位于所述导电线 530 侧壁表面的保护层 533,所述保护层 533 暴露出所述连接键 503 第一端 531 和第二端 532 的导电线 530。

[0197] 所述保护层 533 的材料为绝缘材料。所述绝缘材料为有机绝缘材料或无机绝缘材料;所述有机绝缘材料包括聚氯乙烯或树脂;所述树脂包括环氧树脂、聚酰亚胺树脂、苯并环丁烯树脂或聚苯并恶唑树脂;所述无机绝缘材料包括氧化硅、氮化硅和氮氧化硅中的一种或多种。

[0198] 在本实施例中,所述连接键 503 的第一端 531 尺寸大于所述连接键 503 的第二端 532 尺寸。而且,所述连接键 503 的侧壁相对于连接键 503 的第一端 531 的表面倾斜,所述连接键 503 的侧壁表面与所述第一端 531 表面之间的锐角夹角为 $75^{\circ} \sim 89^{\circ}$ 。

[0199] 在本实施例中,所述导电线 530 为圆柱形,即所述导电线 530 的截面为圆形,所述连接键 503 的第一端 531 和第二端 532 分别暴露出所述圆柱形的导电线 530 两端;所述连接键 503 第一端 531 和第二端 532 的导电线 530 尺寸即所述圆柱形导电线 530 的直径。

[0200] 本实施例中,所述圆柱形的导电线 530 自连接键 503 第一端 531 至第二端 532 直径相同。

[0201] 在本实施例中,所述导电线 530 侧壁表面还覆盖有保护层 533,而位于连接键 503 第一端 531 的保护层 533 厚度大于位于第二端 532 的保护层 533 厚度,从而使所述连接键 503 的第一端 531 尺寸大于所述连接键 503 的第二端 532 尺寸。

[0202] 综上,本实施例中,所述连接键的第一端尺寸大于所述连接键的第二端尺寸。由于所述连接键的第二端固定于载体表面,而所述连接键的第一端尺寸较大,有利于使所述连接键在载体表面的固定更为稳定,能够避免所述连接键发生位移,从而保证了连接键与芯片之间的相对位置精确。

[0203] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

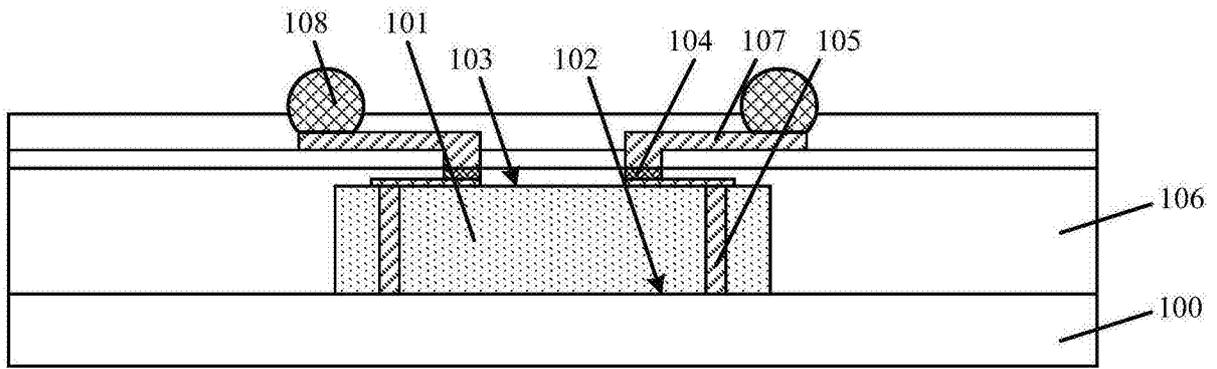


图 1

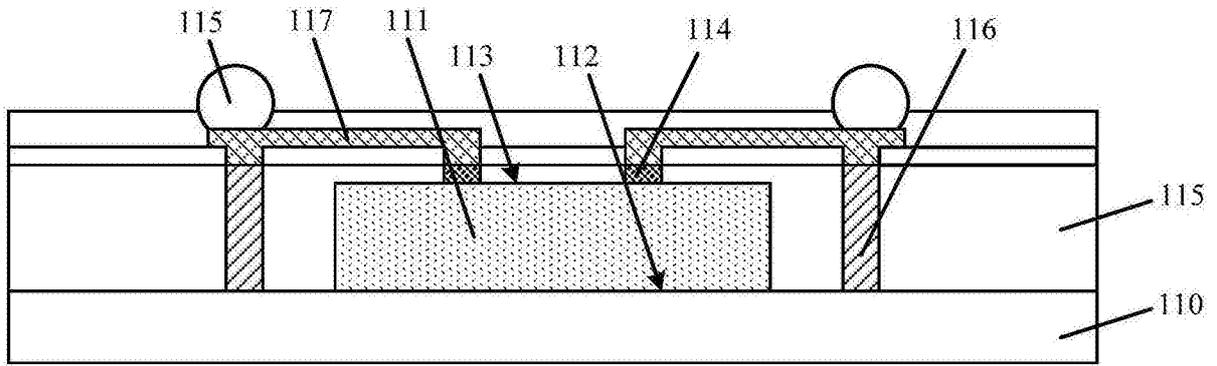


图 2

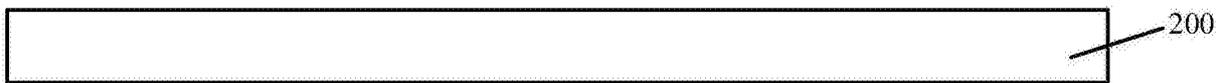


图 3

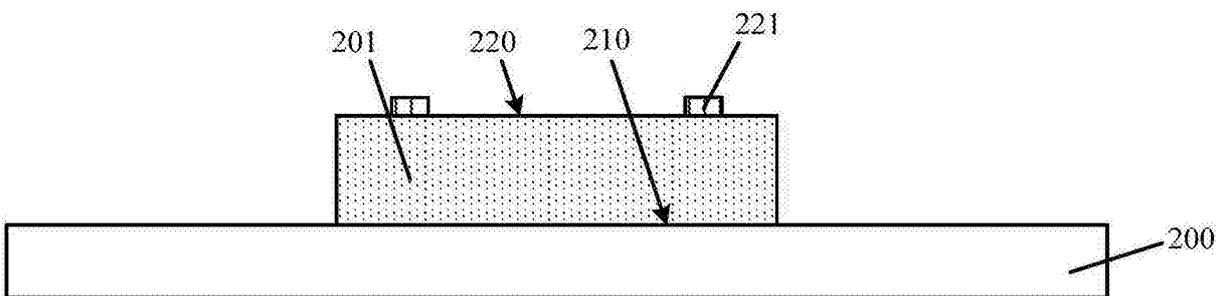


图 4

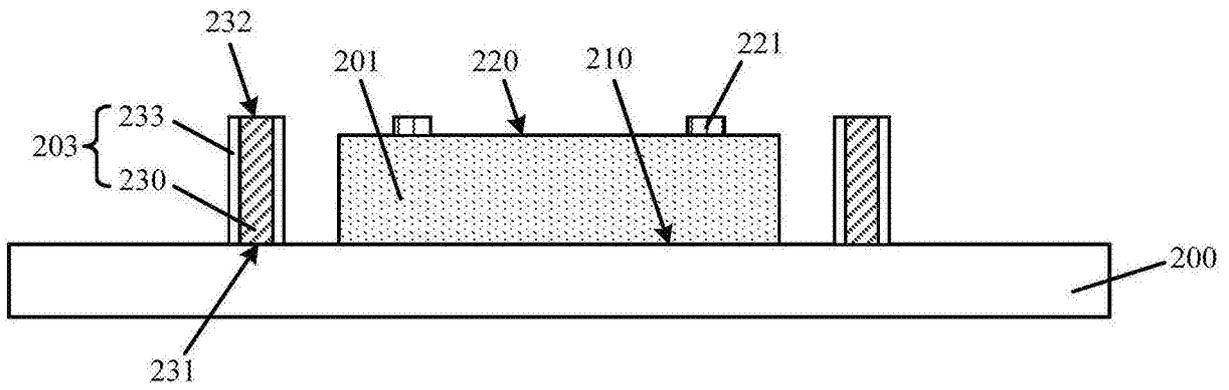


图 5

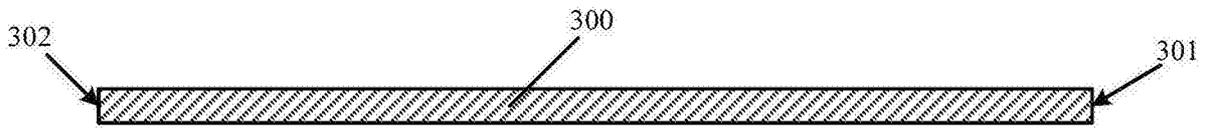


图 6

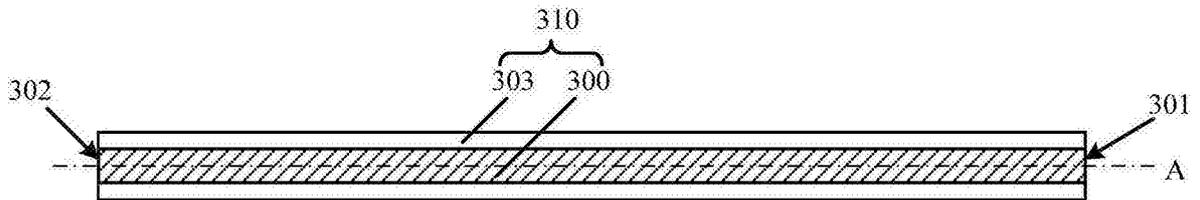


图 7

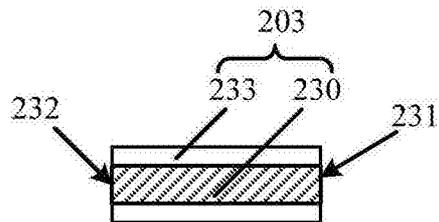


图 8

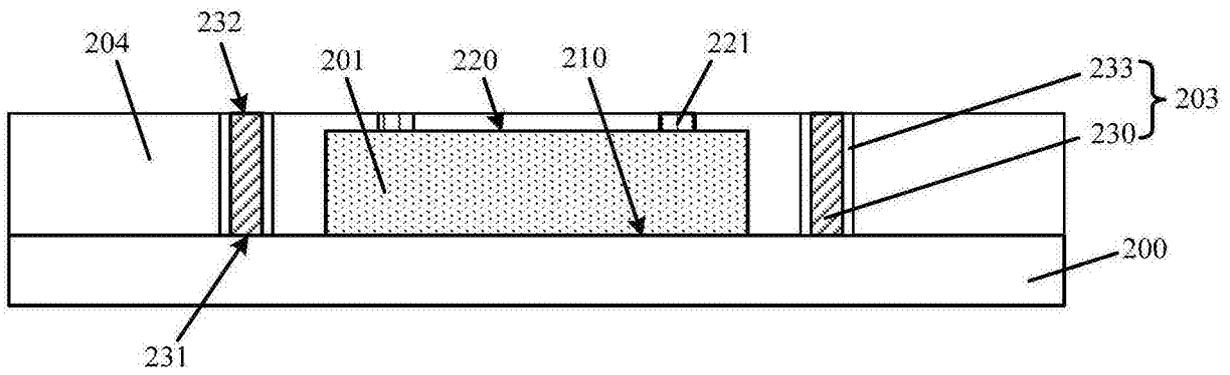


图 9

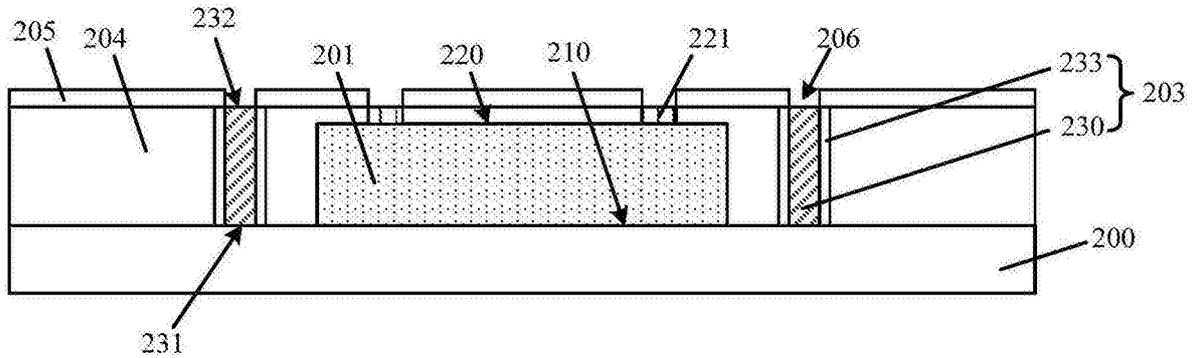


图 10

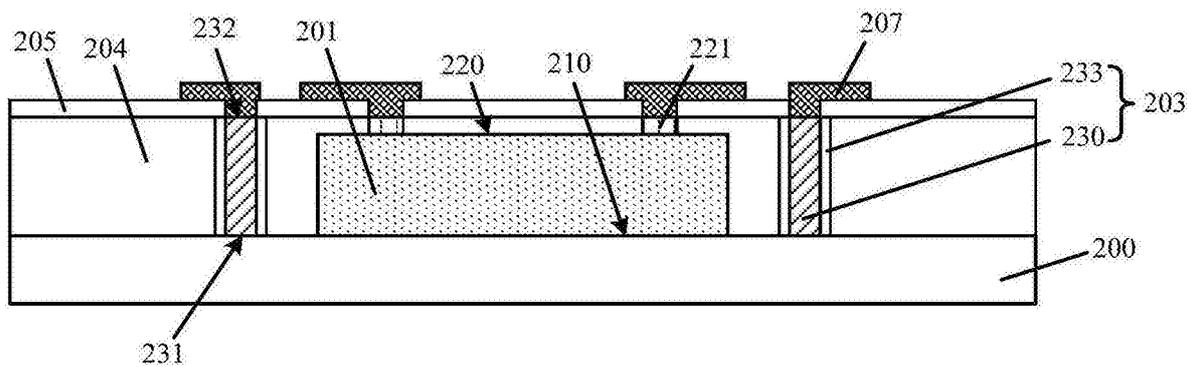


图 11

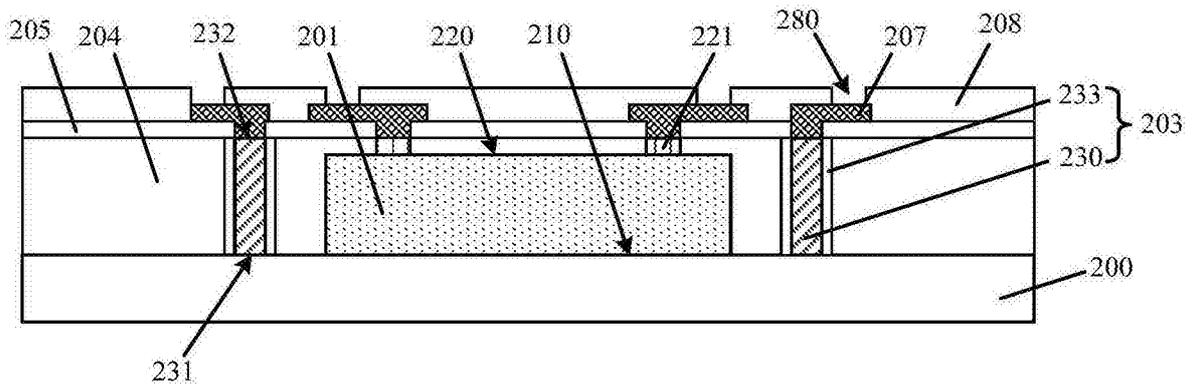


图 12

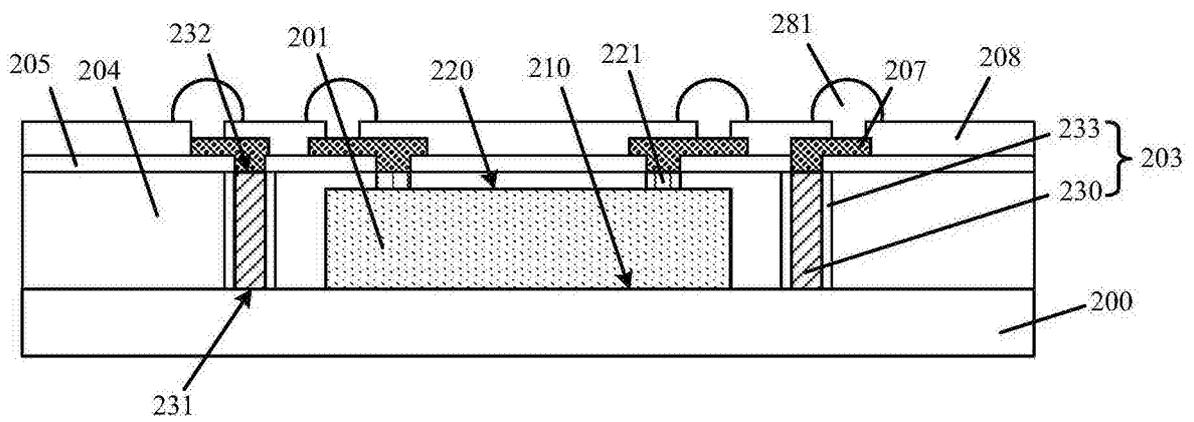


图 13

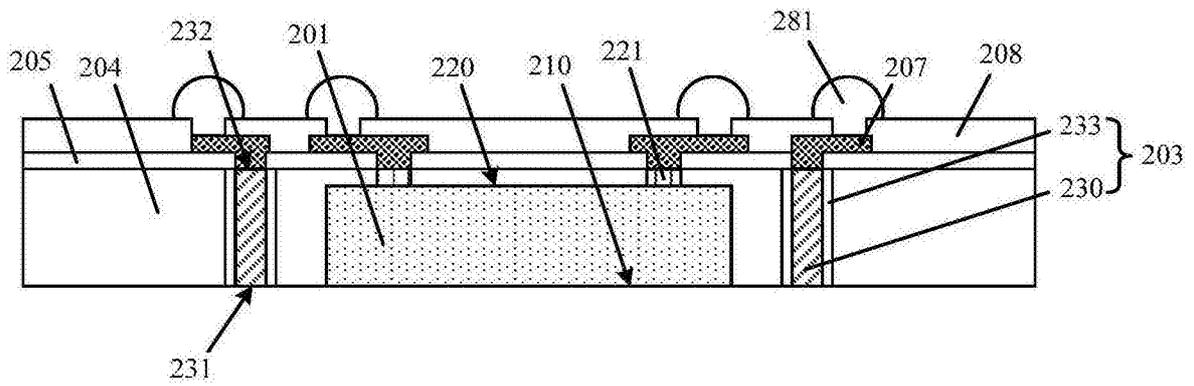


图 14

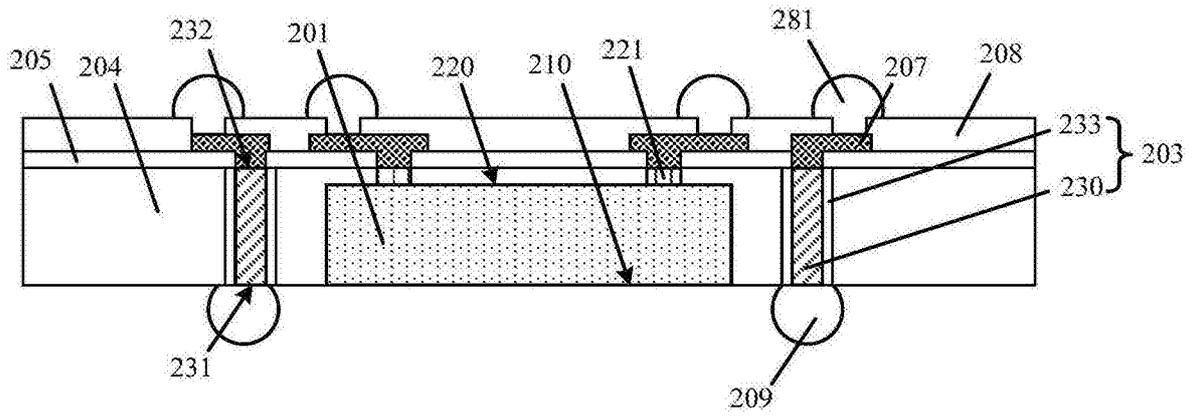


图 15

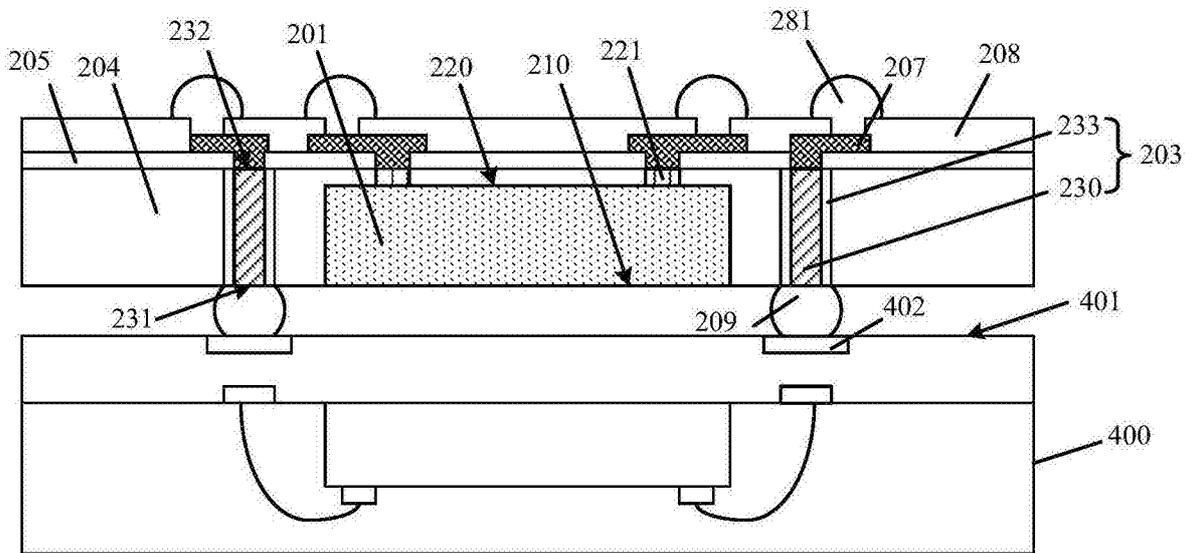


图 16

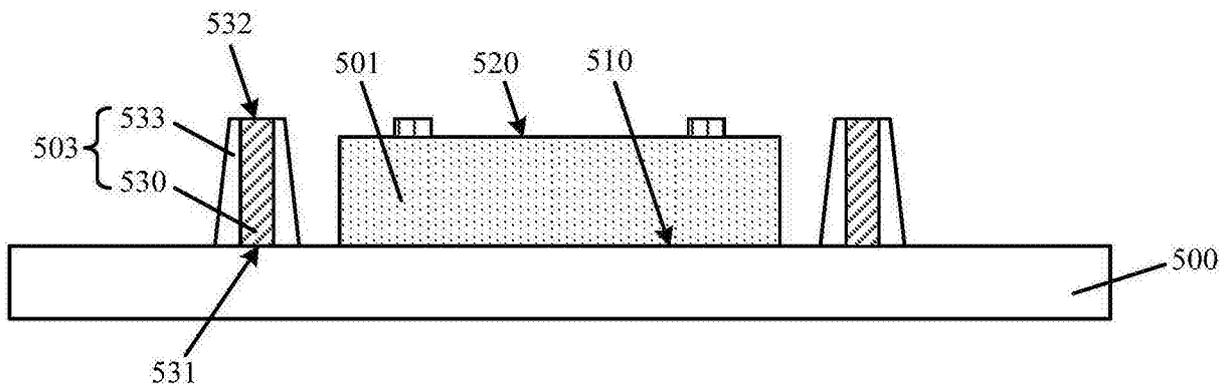


图 17

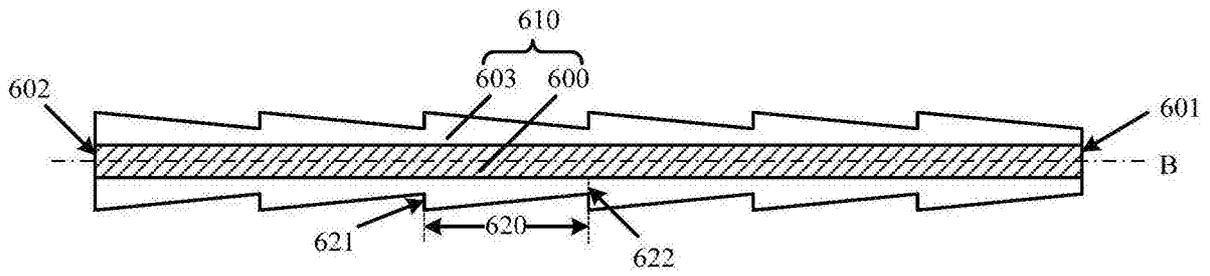


图 18

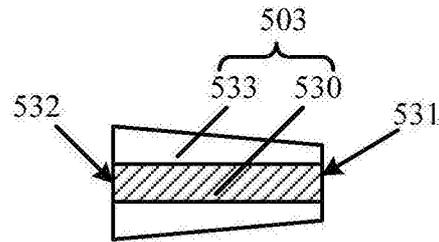


图 19

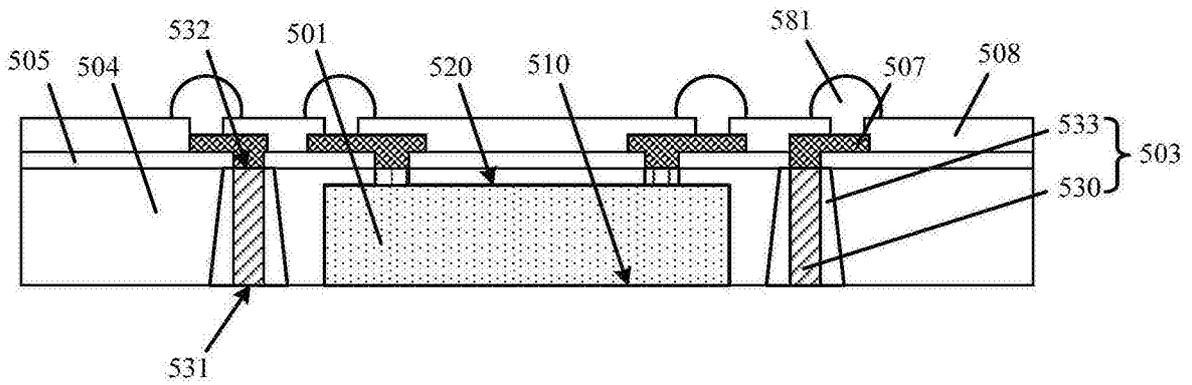


图 20