(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년10월01일
(11) 등록번호 10-2026811
(24) 등록일자 2019년09월24일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) *H01L 29/78* (2006.01)
H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 21/823807 (2013.01)
H01L 21/02606 (2013.01)
(21) 출원번호 10-2018-0033890
(22) 출원일자 2018년03월23일
심사청구일자 2018년03월23일
(56) 선행기술조사문헌
US20070281409 A1*
US20120223292 A1*
US20170323931 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
진성훈
인천광역시 연수구 컨벤시아대로252번길 50,1403동 2705호(송도동, 송도 더샵 퍼스트파크 F14BL)
(74) 대리인
특허법인충정

전체 청구항 수 : 총 19 항 심사관 : 김진우

(54) 발명의 명칭 **탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터 및 그 제조 방법**

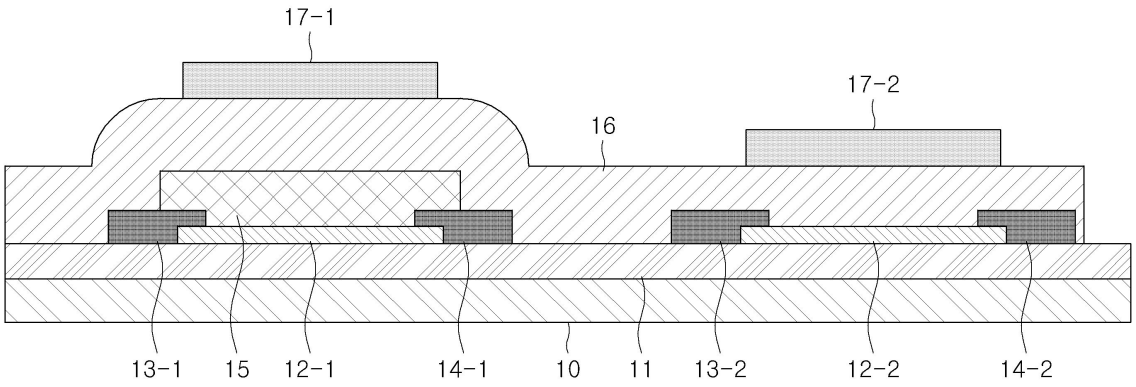
(57) 요 약

본 발명은 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터 및 그 제조 방법에 관한 것이다.

특히, 본 발명은 반도체 표준 공정인 사진 공정(Photolithography) 기반으로 원하는 위치에 선택적으로 다중화된 폴리 비닐 알코올 (cross-linked polyvinyl alchol) 폴리머를 활용한 탄소 나노 튜브 기반의 타입전환 (p-

(뒷면에 계속)

대 표 도



type→n-type) 기술이다.

이와 같은 본 발명은 기판; 상기 기판의 상부에 형성되어 있는 탄소나노튜브로 이루어진 제1 채널층; 상기 제1 채널층의 일측에 형성된 전도성 물질로 이루어진 제1 소스 전극; 상기 제1 채널층의 타측에 형성된 전도성 물질로 이루어진 제1 드레인 전극; 상기 제1 소스 전극과 상기 제1 드레인 사이의 상기 제1 채널층에 형성되어 있으며 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 변환 유도층; 상기 변환 유도층을 보호하기 위한 보호층; 및 상기 보호층에 형성되어 있는 제1 게이트 전극을 포함하는 탄소 나노튜브 기반의 상보형 전계효과 트랜지스터와 그 제조 방법이 제공된다.

(52) CPC특허분류
H01L 21/823814 (2013.01)
H01L 21/823828 (2013.01)
H01L 29/78 (2013.01)
H01L 51/0048 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2018R1A2B2009042
부처명 과학기술정보통신부
연구관리전문기관 한국연구재단
연구사업명 중견연구자지원 사업
연구과제명 저차원 전이 금속 칼로겐-정렬 CNT 기반 나노구조 이종접합 형성 및 웨이퍼 스케일 스마트 센서 응용
기 여 율 1/1
주관기관 인천대학교 산학협력단
연구기간 2018.03.01 ~ 2019.02.28

명 세 서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

기판;

상기 기판에 형성되어 있는 제1 바텀 게이트 전극;

상기 기판의 상기 제1 바텀 게이트 전극에 형성되어 있는 탄소나노튜브로 이루어진 제1 채널층;

상기 제1 채널층의 일측에 형성된 전도성 물질로 이루어진 제1 소스 전극;

상기 제1 채널층의 타측에 형성된 전도성 물질로 이루어진 제1 드레인 전극;

상기 제1 소스 전극과 상기 제1 드레인 전극 사이의 상기 제1 채널층에 형성되어 있으며 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 변환 유도층;

상기 변환 유도층을 보호하기 위한 보호층; 및

상기 제1 바텀 게이트 전극과 상기 제1 채널층 사이에 형성되어 있는 전류 누설 방지층을 포함하고,

상기 전류 누설 방지층은 고유전율 절연체(high-k dielectric) 물질로 형성되어 있는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 8

청구항 7항에 있어서,

상기 기판과 상기 제1 채널층 사이에 형성되어 있는 절연층을 더 포함하며,

상기 제1 바텀 게이트 전극은 상기 절연층에 매립되어 있는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 9

삭제

청구항 10

청구항 7항에 있어서,

상기 탄소나노튜브는 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall) 중 적어도 하나의 구조를 가지는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 11

청구항 7항에 있어서,

상기 변환 유도층은 폴리 비닐 알코올 폴리머인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 12

청구항 7항에 있어서,

상기 변환 유도층은 다중화된 폴리 비닐 알코올 폴리머인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 13

청구항 7항에 있어서,

상기 보호층의 상기 제1 채널층에 대응되는 위치에 형성된 제1 탑 게이트 전극을 더 포함하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 14

기판;

상기 기판에 형성되어 있는 제1 바텀 게이트 전극;

상기 기판의 상기 제1 바텀 게이트 전극에 형성되어 있는 탄소나노튜브로 이루어진 제1 채널층;

상기 제1 채널층의 일측에 형성된 전도성 물질로 이루어진 제1 소스 전극;

상기 제1 채널층의 타측에 형성된 전도성 물질로 이루어진 제1 드레인 전극;

상기 제1 소스 전극과 상기 제1 드레인 전극 사이의 상기 제1 채널층에 형성되어 있으며 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 변환 유도층;

상기 변환 유도층을 보호하기 위한 보호층;

상기 기판에 상기 제1 바텀 게이트 전극에 인접하게 형성되어 있는 제2 바텀 게이트 전극;

상기 기판의 상기 제2 바텀 게이트 전극에 형성되어 있는 탄소나노튜브로 이루어진 제2 채널층;

상기 제2 채널층의 일측에 형성된 전도성 물질로 이루어진 제2 소스 전극; 및

상기 제2 채널층의 타측에 형성된 전도성 물질로 이루어진 제2 드레인 전극을 포함하며,

상기 보호층은 상기 제1 소스 전극, 상기 제1 드레인 전극 그리고 상기 제1 채널층을 보호하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 15

청구항 14항에 있어서,

상기 제1 바텀 게이트 전극과 제2 바텀 게이트 전극은 멀티 게이트 전극인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 16

청구항 7항에 있어서,

상기 제1 바텀 게이트 전극은 멀티 게이트 전극인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터.

청구항 17

(A) 기판에 탄소나노튜브로 이루어진 제1 채널층을 형성하는 단계;

(B) 상기 제1 채널층의 일측에 전도성 물질로 이루어진 제1 소스 전극과 타측에 전도성 물질로 이루어진 제1 드레인 전극을 형성하는 단계;

(C) 상기 제1 소스 전극과 상기 제1 드레인 전극 사이의 상기 제1 채널층에 변환 유도층을 형성하는 단계;

(D) 상기 변환 유도층에 보호층을 형성하고, 상기 변환 유도층을 어닐링하여 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 단계; 및

(E) 상기 보호층에 제1 게이트 전극을 형성하는 단계를 포함하고,

상기 변환 유도층은 다중화된 폴리 비닐 알코올 폴리머이며,

상기 (C) 단계는

(C-1) 상기 제1 소스 전극과 상기 제1 드레인 전극 사이의 상기 제1 채널층에 상기 변환 유도층을 적층하는 단계;

(C-2) 상기 변환 유도층에 적외선을 조사하여 패터닝하는 단계; 및

(C-3) 상기 변환 유도층에서 경화되지 않은 부분을 제거하는 단계를 포함하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 18

삭제

청구항 19

청구항 17항에 있어서,

상기 (D) 단계의 어닐링은 아르곤 또는 질소 분위기의 상압에서 10분 내지 720분의 시간 범위와 110도 내지 250도의 온도 범위에서 수행하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 20

청구항 17항에 있어서,

상기 (A) 단계에서 상기 제1 채널층과 인접하게 상기 기판에 제2 채널층을 형성되고,

상기 (B) 단계에서 상기 제2 채널층의 일측에 전도성 물질로 제2 소스 전극을 타측에 전도성 물질로 이루어진 제2 드레인 전극을 형성하며,

상기 (D) 단계에서 상기 보호층을 상기 제2 소스 전극, 상기 제2 채널층 그리고 상기 제2 드레인 전극에 형성하며,

상기 (E) 단계에서 상기 보호층에 제2 게이트 전극을 형성하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 21

(A) 기판에 제1 바텀 게이트 전극을 형성하는 단계;

(B) 상기 제1 바텀 게이트 전극에 탄소나노튜브로 이루어진 제1 채널층을 형성하는 단계;

(C) 상기 제1 채널층의 일측에 전도성 물질로 이루어진 제1 소스 전극과 타측에 전도성 물질로 이루어진 제1 드레인 전극을 형성하는 단계;

(D) 상기 제1 소스 전극과 상기 제1 드레인 전극 사이의 상기 제1 채널층에 변환 유도층을 형성하는 단계; 및

(E) 상기 변환 유도층에 보호층을 형성하고, 상기 변환 유도층을 어닐링하여 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 단계를 포함하고,

상기 (B) 단계 이전에,

(G) 상기 기판과 상기 제1 채널층 사이에 고유전율 절연체(high-k dielectric) 물질로 형성된 전류 누설 방지층을 형성하는 단계를 더 포함하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 22

청구항 21항에 있어서,

상기 (A) 단계 이전에,

(F) 상기 기판과 상기 제1 채널층 사이에 절연층을 형성하는 단계를 더 포함하며,

상기 제1 바텀 게이트 전극은 상기 절연층에 매립되어 있는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조 방법.

청구항 23

삭제

청구항 24

청구항 21항에 있어서,

상기 탄소나노튜브는 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall) 중 적어도 하나의 구조를 가지는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 25

청구항 21항에 있어서,

상기 변환 유도층은 폴리 비닐 알코올 폴리머인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 26

청구항 21항에 있어서,

상기 변환 유도층은 다중화된 폴리 비닐 알코올 폴리머인 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

청구항 27

청구항 21항에 있어서,

(H) 상기 보호층의 상기 제1 채널층에 대응되는 위치에 제1 탑 게이트 전극을 형성하는 단계를 더 포함하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터 의 제조방법.

청구항 28

청구항 21항에 있어서,

상기 (A) 단계에서 상기 제1 바텀 게이트 전극과 인접하게 제2 바텀 게이트 전극을 형성하고,

상기 (B) 단계에서 상기 제1 채널층과 인접하게 상기 기판에 제2 채널층을 형성되고,

상기 (C) 단계에서 상기 제2 채널층의 일측에 전도성 물질로 제2 소스 전극을 타측에 전도성 물질로 이루어진 제2 드레인 전극을 형성하며,

상기 (E) 단계에서 상기 보호층을 상기 제2 소스 전극, 상기 제2 채널층 그리고 상기 제2 드레인 전극에 형성하는 탄소 나노튜브 기반의 상보형 전계 효과 트랜지스터의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터 및 그 제조 방법에 관한 것이다.

[0002] 특히, 본 발명은 반도체 표준 공정인 사진 공정(Photolithography) 기반으로 원하는 위치에 선택적으로 다중화된 폴리 비닐 알코올 (cross-linked polyvinyl alchol) 폴리머를 활용한 탄소 나노 튜브 기반의 타입 전환 (p-type→n-type) 기술이다.

[0003] 본 발명에서는 통상적으로 p 형 반도체 특성을 가지는 나노 튜브 기반의 전계효과 트랜지스터 (p-CNT FETs)를 선택적으로 원하는 위치에 n-형 (n-CNT FETs) 및 p-형 (p-CNT FETs) 반도체 소자를 동시에 제작을 할 수 있는 그 제조 방법에 관한 기술이다.

배 경 기 술

[0004] 지난 45년 동안 반도체 트랜지스터는 무어의 법칙(Moore's law)을 탄생시키면서 지속적인 소형화(scaling down) 과정을 통해 무려 20번에 가까운 소형화 기술의 혁신적 진화를 거쳐 왔다.

[0005] 그 결과, 금속-산화막-반도체 전계-효과 트랜지스터(MOSFET; metal-oxide-semiconductor field-effect-transistor)의 게이트 선폭(gate length)은 평균 2.5년에 1번 정도의 비율로 약 70%씩 감소했고, 결과적으로 지난 45년 동안 무려 400분의 1로 줄었다.

[0006] 그러나 2000년 이후, 계속된 소형화 추세는 순간순간 정체기에 직면했고, 그 결과 제작 공정의 물리적 한계를 노출시켰을 뿐만 아니라, 성능적인 측면에서도 심각한 부작용을 야기했다.

[0007] 아직 sub-10 [nm] 수준의 극한 게이트 선폭에 도달하지 않았을 지라도, 단채널 효과에서 파생된 대기상태의 누설전류 증가는 현재 및 향후의 MOSFET 소형화를 방해하는 심각한 문제이다.

[0008] 따라서, 지속적인 실리콘 트랜지스터의 소형화에 기인한 공정 및 특성의 한계를 극복하기 위하여, 혁신적인 대체 물질에 관한 연구가 활발히 진행되고 있다.

[0009] 이 중에서도, 우수한 전기적 특성과 열적, 기계적 안정성을 가지는 탄소 나노튜브(CNT; carbon nanotube)는 고집적 컴퓨터의 구현 및 극한의 게이트 선폭 (Sub-10 nm) 기반의 CNT FET 실현에 관한 연구 결과에 힘입어, 새로운 채널 물질 중 실용적인 차세대 FET를 위한 유력한 물질로 각광받고 있다.

[0010] 이와 같은 탄소 나노 튜브(carbon nanotube)는 기계적, 화학적 특성이 좋으며, 수 나노미터 또는 수십 나노미터의 직경에서 수백 마이크로미터 단위로 길게 형성시킬 수 있으며, 전기적 도전성이 우수하여 전자 소자로서의 응용성이 매우 뛰어나다.

[0011] 이러한 탄소 나노 튜브를 다양한 소자에 응용하기 위한 연구가 활발히 진행 중이며, 현재 전계 방출 소자, 광통신 분야의 광스위치 또는 바이오 소자에도 적용되고 있다.

[0012] 탄소 나노 튜브는 아크 방전법, 레이저 용발법, 촉매를 이용한 화학 기상 증착(Chemical Vapor Deposition), 스크린 프린팅, 스핀 코팅 방법에 의해 제조되고 있으며, 현재 탄소 나노 튜브의 제조법은 널리 알려져 있다.

[0013] 폴리 실리콘, 비정질 실리콘 또는 유기 재료와 같은 다른 매력적인 채널 재료와 비교할 때 탄소 나노 튜브 기반 전계 효과 트랜지스터 (CNT-FETs)는 낮은 온도 공정 호환성, 투명성, 유연성 및 높은 장치 성능의 장점을 가지고 있다.

[0014] 그러나, 차세대 반도체로 각광받고 있는 탄소 나노 튜브 FETs의 상용화의 어려움 중 하나는, 통상 공기 중에서 수분 및 산소에 기인한 p-형 특성으로 시인되는 CNT FETs를 기존 Si 기반의 양산공정과 완벽한 호환성을 갖추고, 재현성있고, 신뢰성 있는 방법을 기반으로 n형 변환 (n-CNT FETs)을 할 수 있는 공정 방법의 부재가 문제로 대두되고 있다. 이로 인해서 초전력 디지탈 및 아날로그 회로에서 필수적으로 요구되는 상보형 회로 (complementary circuits)를 구현하기가 어려움이 큰 걸림돌 중에 하나로 부각되고 있다. 따라서, 기존의 n 형 변환을 위한 신뢰성 있고, 웨이퍼 및 glass 스케일의 양산성이 가능하며, Si 기반의 양산공정과 완벽한 호환성을 갖추는 사진 공정 기반의 타입전환과 같은 신뢰성 있고, 재현성 있는 간단한 공정 방법의 부재는 대규모 디지털 집적 회로에 대한 어려운 문제를 야기하고 있다.

[0015] 최근 많은 그룹이 화학 도핑, 낮은 일함수 금속재료(Gd, Sc 또는 Y)를 이용한 금속 접촉과 같은 n 형 변환 방식을 시연했다. 그러나 대부분의 종래 기술에는 유형 전환 (p-형⇒n-형) 후 공기 중에서의 안정성이 취약 할 뿐만

아니라, 공정 진행에서도 ALD (atomic layer deposition) 와 같은 고비용 및 공정 시간 (tack-time)이 긴 방법을 기반으로 할 뿐 아니라, 선택적으로 원하는 위치에 n-형으로 전환하기 보다는 웨이퍼 스케일로 한 평면상의 전체의 CNT-FETs를 n-형으로 전환시켜야 하는 한계성으로 인해서, 선택적으로 같은 평면상에서 n형과 p형을 동시에 구현함에 있어서의 어려움이 근본적인 한계로 알려지고 있다.

[0016] 더욱이, 종래 기술은 선택적으로 원하는 영역의 소자에 도핑을 할 수 있다손 치더라도, 잉크젯 기법을 통한 선택적인 도핑 방법을 기반으로 하는 한계성으로 인해서, 기존의 반도체 양산공정의 표준인 사진 공정을 기반으로 하지 않아 공정 시간(tack-time)과 기존공정라인과의 호환성을 고려할 때 큰 취약점으로 대두 되고 있다.

선행기술문헌

특허문헌

[0017] (특허문헌 0001) 미국공개특허 2003-122,133호

(특허문헌 0002) 미국특허 제 6,723,624호

발명의 내용

해결하려는 과제

[0018] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로, 반도체 표준 공정인 사진 공정(Photolithography)과 감광제 (photo-sensitizer)가 포함된 폴리 비닐 알코올 폴리머를 이용한 탄소 나노 튜브 기반의 상보형 전계 효과 트랜지스터 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0019] 본 발명의 일 측면의 구조는 기판; 상기 기판의 상부에 형성되어 있는 탄소나노튜브로 이루어진 제1 채널층; 상기 제1 채널층의 일측에 형성된 전도성 물질로 이루어진 제1 소스 전극; 상기 제1 채널층의 타측에 형성된 전도성 물질로 이루어진 제1 드레인 전극; 상기 제1 소스 전극과 상기 제1 드레인 사이의 상기 제1 채널층에 형성되어 있으며 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 변환 유도층; 상기 변환 유도층을 보호하기 위한 보호층; 및 상기 보호층에 형성되어 있는 제1 게이트 전극을 포함한다.

[0020] 또한, 본 발명의 다른 측면의 구조는 기판; 상기 기판에 형성되어 있는 제1 바텀 게이트 전극; 상기 기판의 상기 제1 바텀 게이트 전극에 형성되어 있는 탄소나노튜브로 이루어진 제1 채널층; 상기 제1 채널층의 일측에 형성된 전도성 물질로 이루어진 제1 소스 전극; 상기 제1 채널층의 타측에 형성된 전도성 물질로 이루어진 제1 드레인 전극; 상기 제1 소스 전극과 상기 제1 드레인 사이의 상기 제1 채널층에 형성되어 있으며 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 변환 유도층; 및 상기 변환 유도층을 보호하기 위한 보호층을 포함한다.

[0021] 한편, 본 발명의 일 측면의 방법은 (A) 기판에 탄소나노튜브로 이루어진 제1 채널층을 형성하는 단계; (B) 상기 제1 채널층의 일측에 전도성 물질로 이루어진 제1 소스 전극과 타측에 전도성 물질로 이루어진 제1 드레인 전극을 형성하는 단계; (C) 상기 제1 소스 전극과 상기 제1 드레인 사이의 상기 제1 채널층에 변환 유도층을 형성하는 단계; (D) 상기 변환 유도층에 보호층을 형성하고, 상기 변환 유도층을 어닐링하여 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 단계; 및 (F) 상기 보호층에 제1 게이트 전극을 형성하는 단계를 포함한다.

[0022] 또한, 본 발명의 다른 측면의 방법은 (A) 기판에 제1 바텀 게이트 전극을 형성하는 단계; (B) 상기 제1 바텀 게이트 전극에 탄소나노튜브로 이루어진 제1 채널층을 형성하는 단계; (C) 상기 제1 채널층의 일측에 전도성 물질로 이루어진 제1 소스 전극과 타측에 전도성 물질로 이루어진 제1 드레인 전극을 형성하는 단계; (D) 상기 제1 소스 전극과 상기 제1 드레인 사이의 상기 제1 채널층에 변환 유도층을 형성하는 단계; 및 (E) 상기 변환 유도층에 보호층을 형성하고, 상기 변환 유도층을 어닐링하여 상기 제1 채널층을 p-타입에서 n-타입으로 변환시키는 단계를 포함한다.

발명의 효과

[0023] 상기와 같은 본 발명에 따르면, 반도체 표준 공정인 사진 공정을 이용하여 p-타입을 n-타입으로 변환하기 때문에 대량 생산이 가능하다.

[0024] 또한, 본 발명에 따르면, 반도체 표준 공정인 사진 공정과 호환성 있는 감광성 폴리비닐 알코올 (cross-linked PVA) 이용하기 때문에 원하는 패턴으로 p-타입을 n-타입으로 변환이 용이하다.

[0025] 또한, 본 발명에 따르면, 반도체 표준 공정인 사진 공정을 이용하기 때문에 비용을 절감할 수 있다.

[0026] 또한, 본 발명에 따르면, 폴리 비닐 알코올을 사용하여 p-타입을 n-타입으로 변환하기 때문에 높은 신뢰성을 얻을 수 있다.

도면의 간단한 설명

[0027] 도 1a와 도 1b는 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

도 2는 도 1에 이용되는 다중화된 폴리 비닐 알코올 폴리머의 구조도이다.

도 3은 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

도 4는 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

도 5는 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

도 6은 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

도 7은 본 발명의 바람직한 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

도 8은 본 발명의 바람직한 또 다른 실시 예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

도 9는 타입 전환(p ⇒ n type)전/후의 바텀 게이트 전극의 전류-전압 특성을 보여주는 도면이다.

도 10은 타입 전환(p ⇒ n type) 전/후의 바텀 게이트 전극에서 서브 임계치 기울기와 점류 점멸비의 통계적 분석 결과를 보여주는 도면이다.

도 11은 인버터의 구현과 VTC(voltage transfer characteristics) 평가 결과를 나타내는 도면이다.

도 12는 본 발명에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터를 이용한 NOR 논리회로와 NAND 논리회로 그리고 그에 따른 논리 연산을 보여주는 도면이다.

도 13은 CNT 타입 전환에 대한 메커니즘 분석 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 이하에서는 특정 실시 예들을 첨부된 도면을 기초로 상세히 설명하고자 한다.

[0029] 이하의 실시 예는 본 명세서에서 기술된 방법, 장치 및/또는 시스템에 대한 포괄적인 이해를 돕기 위해 제공된다. 그러나 이는 예시에 불과하며 본 발명은 이에 제한되지 않는다.

[0030] 본 발명의 실시 예들을 설명함에 있어서, 본 발명과 관련된 공지기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 상세한 설명에서 사용되는 용어는 단지 본 발명의 실시 예들을 기술하기 위한 것이며, 결코 제한적이어서는 안 된다. 명확하게 달리 사용되지 않는 한, 단수 형태의 표현은 복수 형태의 의미를 포함한다. 본 설명에서, "포함" 또는 "구비"와 같은 표현은 어떤 특성들, 숫자들, 단계들, 동작들, 요소들, 이들의 일부 또는 조합을 가리키기 위한 것이며, 기술된 것 이외에 하나 또는 그 이상의 다른 특성, 숫자, 단계, 동작, 요소, 이들의 일부 또는 조합의 존재 또는 가능

성을 배제하도록 해석되어서는 안 된다.

[0031] 또한, 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되는 것은 아니며, 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0032] 이하에서는, 본 발명에 따른 탄소 나노튜브 기반의 반도체 소자 및 그 제조 방법을 예시한 실시 형태들이 첨부된 도면을 참조하여 상세히 설명한다.

[0033] 도 1a와 도 1b는 본 발명의 바람직한 일 실시 예에 따른 탄소 나노튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

[0034] 도 1a를 참조하면, 도 1a는 본 발명의 바람직한 일 실시 예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 기판(10), 절연층(11), 채널층(12-1, 12-2), 소스 전극(13-1, 13-2), 드레인 전극(14-1, 14-2), 변환 유도층(15), 보호층(16) 및 게이트 전극(17-1, 17-2)을 포함한다.

[0035] 상기 기판(10)은 유리와 같은 투명 기판, 실리콘 기판, 플라스틱 기판 또는 금속 포일 기판 등 유연한 기판을 사용할 수 있다.

[0036] 플라스틱 기판의 예로는 폴리에테르술폰(polyethersulphone), 폴리아크릴레이트(polyacrylate), 폴리에테르 이미드(polyetherimide), 폴리에틸렌 나프탈레이트(polyethyelenen napthalate), 폴리에틸렌테레프탈레이드(polyethyeleneterepthalate), 폴리페닐렌 설파이드(polyphenylene sulfide), 폴리아릴레이트(polyallylate), 폴리이미드(polyimide), 폴리카보네이트(polycarbonate), 셀룰로오스 트리 아세테이트(cellulose triacetate) 및 셀룰로오스 아세테이트 프로피오네이트(cellulose acetate propinoate)등을 이용할 수 있다.

[0037] 그리고, 절연층(11)은 기판(10) 위에 형성되어 있으며 절연 물질 또는 유기 절연 물질을 이용하여 절연층을 형성할 수 있으며, 일 예로, 실리콘산화막, 실리콘 질화막, 실리콘 산화 질화막, 지르코늄 옥사이드(ZrO_2), 하프늄 다이옥 사이드, 알루미나 (Al_2O_3) 및 그 외의 고유전율 절연체(high-k dielectric)로 가능한 금속산화 절연막 중 하나의 절연 물질을 이용하여 절연층을 형성할 수도 있고, CYTOP (Cyclized Transparent Optical Polymer), SU-8(epoxy based photoresist), 폴리에틸렌테레프탈레이트(PET), 폴리부틸렌테레프탈레이트(PBT), 폴리실란(polysilane), 폴리실록산(polysiloxane), 폴리실라잔(polysilazane), 폴리카르보실란(polycarbosilane), 폴리아크릴레이트(polyacrylate), 폴리메타크릴레이트(polymethacrylate), 폴리메틸아크릴레이트(polymethylacrylate), 폴리메틸메타크릴레이트(polymethylmetacrylate), 폴리에틸아크릴레이트(polyethylacrylate), 폴리에틸메타크릴레이트 (polyethylmetacrylate), 사이클릭 올레핀 코폴리머(COC),사이클릭 올레핀 폴리머(COP), 폴리에틸렌(PE), 폴리프로필렌(PP),폴리이미드(PI), 폴리스타이렌(PS), 폴리아세탈(POM), 폴리에테르에테르케톤(PEEK), 폴리에스테르설폰(PES), 폴리테트라플루오로에틸렌(PTFE), 폴리비닐클로라이드(PVC), 폴리비닐리덴플로라이드(PVDF), 퍼플루오로알킬 고분자(PFA) 및 고분자(PFA) 및 이들의 조합으로 이루어진 군에서 선택된 1종 또는, ICVD (Initiated Chemical Vapor Deposition)를 이용한 pV3D3{Poly(1,3,5-trimethyl-1,3,5-trivinyl cyclotrisiloxane)}, pEGDMA {poly(ethylene glycol dimethacrylate)}등 이들의 조합으로 이루어진 군에서 선택된 1종의 유기 절연 물질을 이용하여 절연층을 형성할 수도 있다.

[0038] 다음으로, 채널층(12-1, 12-2)은 절연층(11) 위에 형성되어 있으며, 탄소 나노튜브로 형성될 수 있고, 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall) 중 적어도 하나의 구조를 가질 수 있다.

[0039] 이러한 채널층(12-1, 12-2)은 n-타입 반도체 소자를 구성하는 제1 채널층(12-1)과 p-타입 반도체 소자를 구성하는 제2 채널층(12-2)을 포함하고 있다.

[0040] 상기 채널층(12-1, 12-2)의 양측에는 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)이 구비되어 있다.

[0041] 상기 소스 전극(13-1, 13-2)은 제1 채널층(12-1)의 일측에 구비되어 있는 제1 소스 전극(13-1)과 제2 채널층(12-2)의 일측에 구비되어 있는 제2 소스 전극(13-2)으로 이루어져 있다.

[0042] 그리고, 상기 드레인 전극(14-1, 14-2)은 제1 채널층(12-1)의 타측에 구비되어 있는 제1 드레인 전극(14-1)과 제2 채널층(12-2)의 타측에 구비되어 있는 제2 드레인 전극(14-2)으로 이루어져 있다.

[0043] 상기 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)은 이처럼 채널층(12-1, 12-2)의 양측에 형성되어 있으며, Pd, Pt, Ti, Mo, Cu, Ni, Au, Al, Ag, Mg, Ca, Yb, Cs-ITO, AZO(Aluminum zinc oxide), IGZO (Indium-gallium zinc oxide) 또는 이들의 합금 중에서 선택되는 단일층으로 형성될 수 있으며, 접착성을 향상시키기 위

하여 Ti, Cr 또는 Ni과 같은 접착 금속층을 더욱 포함하여 다중층으로 형성될 수 있다. 뿐만 아니라, 멀티 월(multi-walled) SWCNTs, 싱글 월(single walled) SWCNTs, 그래핀(graphene), Ag-나노 와이어(Ag-nanowire:Ag-NW), Ag 나노 입자(nano-particles), Au 나노 입자(nano-particles)의 단독 전극 또는 이들의 단일층 위에, 상기 금속전극 (Pd, Pt, Ti, Mo, Cu, Ni, Au, Al, Ag, Mg, Ca, Yb, Cs-ITO, AZO(Aluminum zinc oxide)), IGZO (Indium-gallium zinc oxide) 을 덮는 이중 또는 3중 층으로 형성 될 수 있다. 한편, 변환 유도층(15)은 상기 제1 채널층(12-1)의 상부에 접촉되게 형성되어 제1 채널층(12-1)이 p 타입에서 n 타입으로 변환되도록 유도한다. 이에 따라, 제1 채널층(12-1), 제1 소스 전극(13-1), 제1 드레인 전극(14-1), 변환 유도층(15) 그리고 제1 게이트 전극(17-1)은 n-타입 반도체 소자를 형성한다.

[0044] 물론, 제2 채널층(12-2), 제2 소스 전극(13-2), 제2 드레인 전극(14-2) 그리고 제2 게이트 전극(17-2)은 p-타입 반도체 소자를 형성한다.

[0045] 이러한 변환 유도층(15)은 다중화된 폴리 비닐 알코올 폴리머 (cross-linked PVA)로 형성될 수 있으며, 그 화학식이 도 2에 도시되어 있다.

[0046] 도 2에서 알 수 있는 바와 같이 다중화된 폴리 비닐 알코올 폴리머는 OH기를 포함하고 있어 탄소 나노 튜브의 OH기와 중합 반응을 하여 탄소 나노 튜브에 존재하는 OH 그룹을 제거함을 통해서 p-타입에서 n-타입으로 변환시킨다.

[0047] 그리고, 다중화된 폴리 비닐 알코올 폴리머 (cross-linked PVA)는 광감성을 가지고 있어 사진 공정을 통하여 원하는 패턴을 형성할 수 있다.

[0048] 이러한 변환 유도층(15)은 제1 채널층(12-1), 제1 소스 전극(13-1) 및 제2 드레인 전극(14-2)을 덮고 있도록 형성되어 있다.

[0049] 다음으로, 보호층(16)은 제2 채널층(12-2), 소스 전극(13-1, 13-2), 드레인 전극(14-1, 14-2) 및 변환 유도층(15)을 덮고 있으며, 외부로부터 덮고 있는 층을 보호한다.

[0050] 이러한 보호층(16)은 무기물과 유기물이 있다. 무기물로는 실리콘 옥사이드(SiO_2), 알루미나(Al_2O_3), SiNx, SiOx, 탄탈륨 옥사이드(Ta_2O_5), 티타늄 옥사이드(TiO_2), 하프늄 옥사이드(HfO_2), 이트륨 옥사이드(Y_2O_3) 및 지르코늄 옥사이드(ZrO_2) 중 어느 하나를 포함하는 재료를 들 수 있으며, 유기물로는 폴리비닐 피리딘(PVP: poly vinyl pyridine), 폴리 메틸 메타 아크릴렐이트(PMMA: poly methyl meta acrylate), CYTOP (Cyclized Transparent Optical Polymer), SU-8(epoxy based photoresist), 폴리 비닐 알콜(PVA: poly vinyl alcohol), 폴리비닐 페놀(PVP: poly vinyl phenol), 열적으로 다중화된 PVP (cross-linked PVP; poly vinyl phenol with cross-linking agent (CLA; poly(melamine-co-formaldehyde), 폴리디메틸 실록산(PDMS: poly dimethyl siloxane), 폴리스티렌(PS: poly styrene), benzocyclobutene (BCB) 및 폴리비닐 나프틸렌(PVN: poly vinyl naphthylene) 중 어느 하나를 포함하는 재료를 들 수 있다.

[0051] 다음으로, 게이트 전극(17-1, 17-2)은 보호층(16)의 상부 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성된다.

[0052] 이때, 게이트 전극(17-1, 17-2)는 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W, 및 이들의 합금으로 이루어진 군에서 선택된 1종을 이용하여 형성될 수 있다. 뿐만 아니라, 멀티 월(multi-walled) SWCNTs, 싱글 월(single walled) SWCNTs, 그래핀(graphene), Ag-나노와이어(Ag-nanowire:Ag-NW), Ag 나노 입자(nano-particles), Au 나노 입자(nano-particles)의 단독 전극 또는 이들의 단일층 위에, 상기 금속전극 (Pd, Pt, Ti, Mo, Cu, Ni, Au, Al, Ag, Mg, Ca, Yb, Cs-ITO, AZO(Aluminum zinc oxide))을 덮는 이중 또는 3중 층으로 형성 될 수 있다.

[0053] 이러한 게이트 전극(17-1, 17-2)은 제1 채널층(12-1)의 상부에 형성된 제1 게이트 전극(17-1)과 제2 채널층(12-2)의 상부에 형성된 제2 게이트 전극(17-2)을구비하고 있다.

[0054] 한편, 도 1a에서 채널층(12-1, 12-2)의 일부는 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)의 아래에 형성되어 있으나, 도 1b에 도시된 바와 같이 채널층(12-1', 12-2')의 일부가 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)의 상부에 형성되도록 구성할 수도 있다.

[0055] 도 3은 본 발명의 바람직한 다른 실시 예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

[0056] 도 3을 참조하면, 도 3은 본 발명의 바람직한 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 기판(20), 절연층(21), 바텀(bottom) 게이트 전극(22-1, 22-2), 전류 누설 방지층(23), 채널층(24-1, 24-2), 소스 전극(25-1, 25-2), 드레인 전극(26-1, 26-2), 변환 유도층(27) 및 보호층(28)을 포함한다.

[0057] 이와 같은 도 3의 탄소 나노튜브 기반의 상보형 전계효과 트랜지스터는 도 1a의 상보형 전계효과 트랜지스터와 유사하며, 다만 바텀 게이트 전극(22-1, 22-2)이 채널층(24-1, 24-2)의 아래에 형성되어 있으며, 전류 누설 방지층(23)이 구비되어 있는 점에서 상이하다.

[0058] 이를 좀더 상세히 살펴보면, 바텀 게이트 전극(22-1, 22-2)은 절연층(21)에 형성되어 있으며, 제1 채널층(24-1)에 대응되는 제1 바텀 게이트 전극(22-1)과 제2 채널층(24-2)에 대응되는 제2 바텀 게이트 전극(22-2)으로 이루어져 있다.

[0059] 이때, 바텀 게이트 전극(22-1, 22-2)은 절연층(21)에 매립되어 형성되어 있으나, 이와 달리 상부에 형성되어 있을 수도 있다.

[0060] 그리고, 절연층(21)의 노출된 부분과 바텀 게이트 전극(22-1, 22-2)을 덮도록 전류 누설 방지층(23)이 형성되어 있다.

[0061] 이와 같은 전류 누설 방지층(23)은 채널층(24-1, 24-2)에서 전류가 누설되는 것을 방지하기 위한 것으로, 고유전율 절연체 (high-k dielectric)으로 형성되어 있다.

[0062] 반도체 회로의 미세화에 따라 디자인 룰이 50나노 이하로 내려가면 크로스토크(Cross Talk)와 같은 전류 누설이 문제가 된다. 이와 같은 문제를 해결하기 위하여 전류 누설 방지층(23)으로 고유전율 절연체 (high-k dielectric)를 사용함으로써 전하를 가두어 전류 누설을 막을 수 있다. 대표적인 고유전율 절연체 (high-k dielectric)로는 알루미나(Al_2O_3), 하프늄 다이옥사이드(HfO_2), 지르코늄다이옥사이드(ZrO_2)등이 있다.

[0063] 상기 전류 누설 방지층(23)의 상부에 채널층(24-1, 24-2), 소스 전극(25-1, 25-2), 드레인 전극(26-1,26-2)이 형성되어 있다.

[0064] 상기 채널층(24-1, 24-2) 중에서 제1 채널층(24-1)에는 변환 유도층(27)이 형성되어 있다.

[0065] 한편, 보호층(28)은 최상부를 덮고 있어 외부로부터 내부의 층들을 보호한다.

[0066] 여기에서, 제1 바텀 게이트 전극(22-1), 제1 채널층(24-1), 제1 소스 전극(25-1), 제1 드레인 전극(26-1) 및 변환 유도층(27)은 n-타입 반도체 소자를 형성하며, 제2 바텀 게이트 전극(22-2), 제2 채널층(24-2), 제2 소스 전극(25-2) 및 제2 드레인 전극(26-2)은 p-타입 상보형 전계효과 트랜지스터를 형성한다.

[0067] 한편, 도 3에서 채널층(24-1, 24-2)의 일부는 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 아래에 형성되어 있으나, 채널층(24-1, 24-2)의 일부가 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 위에 형성되도록 구성할 수도 있다.

[0068] 도 4는 본 발명의 바람직한 또 다른 실시 예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

[0069] 도 4를 참조하면, 도 4는 본 발명의 바람직한 또 다른 실시 예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 기판(20), 절연층(21), 바텀(bottom) 게이트 전극(22-1, 22-2), 전류 누설방지층(23), 채널층(24-1, 24-2), 소스 전극(25-1, 25-2), 드레인 전극(26-1, 26-2), 변환 유도층(27), 보호층(28) 및 탑(top) 게이트 전극(29-1, 29-2)을 포함한다.

[0070] 이와 같은 도 4의 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 도 3의 상보형 전계효과 트랜지스터와 유사하며, 다만 탑 게이트 전극(29-1, 29-2)이 각각의 채널층(24-1, 24-2)에 대응되게 형성되어 있어 튜얼 게이트 반도체 소자를 형성한다.

[0071] 즉, 탑 게이트 전극(29-1, 29-2)중에서 제1 탑 게이트 전극(29-1)이 제1 채널층(24-1)의 상부에 위치하여 제1 바텀 게이트 전극(22-1), 제1 채널층(24-1), 제1 소스 전극(25-1), 제1 드레인 전극(26-1), 변환 유도층(27) 및 제1 탑 게이트 전극(29-1)이 n-타입 듀얼 게이트 반도체 소자를 형성한다.

[0072] 이와 동일하게 탑 게이트 전극(29-1, 29-2)중에서 제2 탑 게이트 전극(29-1)이 제2 채널층(24-2)의 상부에 위치하여 제2 바텀 게이트 전극(22-2), 제2 채널층(24-2), 제2 소스 전극(25-2), 제2 드레인 전극(26-2) 및 제2 탑

게이트 전극(29-2)이 p-타입 듀얼 게이트 반도체 소자를 형성한다.

[0073] 한편, 도 4에서 채널층(24-1, 24-2)의 일부는 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 아래에 형성되어 있으나, 채널층(24-1, 24-2)의 일부가 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 위에 형성되도록 구성할 수도 있다.

[0074] 도 5는 본 발명의 바람직한 또 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 단면도이다.

[0075] 도 5를 참조하면, 본 발명의 바람직한 또 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 기판(20), 절연층(21), 멀티 바텀(bottom) 게이트 전극(22-1a~22-1c, 22-2a~22-2c), 전류 누설 방지층(23), 채널층(24-1, 24-2), 소스 전극(25-1, 25-2), 드레인 전극(26-1, 26-2), 변환 유도층(27), 보호층(28) 및 탑(top) 게이트 전극(29-1, 29-2)을 포함한다.

[0076] 이와 같은 도 5의 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터는 도 4의 상보형 전계효과 트랜지스터와 유사하며, 다만 바텀 게이트 전극(22-1a~22-1c, 22-2a~22-2c)이 멀티로 구성되어 있는 점에서 차이가 있다.

[0077] 즉, 바텀 게이트 전극(22-1a~22-1c, 22-2a~22-2c)중에서 제1 바텀 게이트 전극(22-1a~22-1c)이 제1 채널층(24-1)의 하부에 위치하여 3개의 바텀 게이트 전극으로 형성되어 있으며, 제2 바텀 게이트 전극(22-2a~22-2c)이 제2 채널층(24-2)의 하부에 위치하여 3개의 바텀 게이트 전극으로 형성되어 있다.

[0078] 한편, 도 5에서 채널층(24-1, 24-2)의 일부는 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 아래에 형성되어 있으나, 채널층(24-1, 24-2)의 일부가 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)의 위에 형성되도록 구성할 수도 있다.

[0079] 도 6은 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

[0080] 도 6을 참조하면, 본 발명의 바람직한 일 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법은 도 6의 (a)에서 볼 수 있는 바와 같이 기판(10)에 도 6의 (b)에서처럼 절연층(11)을 형성한다.

[0081] 이때, 절연층(11)은 기판(10)에 열적 산화 공정을 적용함으로써, 기판(10)의 상부에 형성된 산화막 예를 들어, SiO_2일 수 있다.

[0082] 그리고, 도 6의 (c)에서 볼 수 있는 바와 같이 상기 절연층(11) 상부에 탄소 나노튜브를 형성하여 채널층(12)을 형성한다.

[0083] 이때, 채널층(12)은 용액 공정으로 고순도 반도체성 탄소 나노 튜브를 절연층(11) 상부에 증착할 수 있으며, 증착된 고순도 반도체성 탄소 나노 튜브는 고밀도 및 균일한 네트워크 구조로 형성될 수 있다.

[0084] 채널층(12)을 형성하는 탄소 나노 튜브의 박막은 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall)중 적어도 하나의 구조를 가질 수 있다.

[0085] 도 6의 (d)에 도시된 바와 같이 채널층(12)을 패터닝하여 제1 채널층(12-1)과 제2 채널층(12-2)을 형성한 후에 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)을 제1 채널층(12-1)과 제2 채널층(12-2)의 상부 미리 결정된 영역에 패터닝 공정을 이용하여 형성한다.

[0086] 이때, 소스 전극(13-1, 13-2)과 드레인 전극(14-1, 14-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W 및 이들의 합금으로 이루어진 군에서 선택된 1종 또는 ITO(Indium tin oxide), AZO(Al-doped ZnO), IZO(Indium zinc oxide), FTO(F-doped SnO2), GZO(Ga-doped ZnO), ZTO(zinc tin oxide), GIO(gallium indium oxide), ZnO, IGZO (Indium-gallium zinc oxide), Pd, Ag 및 이들의 조합으로 이루어진 군에서 선택된 1종에 의해 형성된 전극일 수 있다. 뿐만 아니라, 멀티 월(multi-walled) SWCNTs, 싱글 월(single walled) SWCNTs, 그래핀(graphene), Ag-나노 와이어(Ag-nanowire:Ag-NW), Ag 나노 입자(nano-particles), Au 나노 입자(nano-particles)의 단독 전극 또는 이들의 단일층 위에, 상기 금속전극 (Pd, Pt, Ti, Mo, Cu, Ni, Au, Al, Ag, Mg, Ca, Yb, Cs-ITO, AZO(Aluminum zinc oxide, IGZO (Indium-gallium zinc oxide)을 덮는 이중 또는 3중 층으로 형성 될 수 있다.

[0087] 이후, 도 6의 (e)에 도시된 바와 같이 사진 공정을 활용해서 원하는 영역에 채널층(12)을 패터닝하기 위해서 감광막층(AZ5214 등의 보편적인 감광막층 활용)(1)을 형성한다. 그 이후에, O_2 플라즈마(plasma)를 기반으로 한 건

식 에칭(dry etching) 공정을 활용해서, 채널층(12-1, 12-2) 이외의 영역을 식각한다. 이후에, 감광막층(1)을 감광막층 스트립 또는 아세톤을 기반으로 제거를 한다.

[0088] 다음으로, 도 6의 (f)에 도시된 바와 같이 소스 전극(13-1, 13-2), 채널층(12-1, 12-2) 그리고 드레인 전극(14-1, 14-2)을 덮도록 변환 유도층(15)을 형성하고, 변환 유도층(15)에 조사하여 변환 유도층(15)을 패터닝한다. 상세 공정과정의 일례로서, 광감성 폴리 비닐 알코올 용액을 채널층(12-1, 12-2), 소스 전극(13-1, 13-2) 및 드레인 전극(14-1, 14-2)위에 드랍(drop) 한 이후에 i=365 nm 파장의 광원을 활용해서, 1 분동안 노광을 하고, 탈이온수(DI water)를 이용하여 패터닝을 한다.

[0089] 여기에서, 광감성 폴리 비닐 알코올 용액(photosensitive poly-vinyl alchol; poly-vinyl alchol (2~10 wt% solution))은 용매가 탈 이온수(D.I. water)이고, 용질이 폴리 비닐 알코올(poly-vinyl alchol)이며, 감광제(photo-sensitizer)가 다이크로뮴산암모늄(ammonium dichromate)으로 PVA: ammonium dichromate=20:1~100:1이다.

[0090] 이와 같은 방법으로 원하는 영역인 제1 채널층(12-1)에 대응되는 위치에만 변환 유도층(15)이 존재하도록 한다.

[0091] 이러한 변환 유도층(15)은 다중화된 폴리 비닐 알코올 폴리머로 형성하며, 증착 공정을 통해 형성할 수 있다.

[0092] 이후에, 보호층 (16), 한 일례로서, SU-8을 도포를 하고, 원하는 영역에 패터닝을 한다. 이후에, 비활성(Ar, N_2) 분위기 (glove box, 또는 Ar (or N_2) flowing ambient)에서 110-250도 온도 범위(바람직하게 150-200도 온도 범위)에서 어닐링을 10분 내지 720분의 사이(바람직하게는 30분 내지 180분의 사이)의 시간을 활용해서 어닐링을 진행한다. 그러면, 제1 채널층(12-1)이 p-타입에서 n-타입으로 변환된다.

[0093] 다음으로, 도 6의 (h)에 도시된 바와 같이 제1 게이트 전극(17-1)을 제1 채널층(12-1)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성하며, 제2 게이트 전극(17-2)을 제2 채널층(12-2)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성한다.

[0094] 즉, 선택적으로 게이트 물질(gate material)을 리프트 오프(lift off) 공정을 활용하거나, 게이트 물질 증착 후 백 에칭(back etching) 공정을 활용해서 게이트 전극(17-1, 17-2)을 원하는 영역에 형성한다.

[0095] 이때, 게이트 전극(17-1, 17-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W 및 이들의 합금으로 이루어진 군에서 선택된 1종을 이용하여 형성될 수 있다.

[0096] 도 7은 본 발명의 바람직한 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

[0097] 도 7을 참조하면, 본 발명의 바람직한 다른 실시예에 따른 탄소 나노튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법은 도 7의 (a)에서 볼 수 있는 바와 같이 기판(20)에 도 7의 (b)에서와 같이 절연층(21)을 형성하고, 도 7의 (c)에서 볼 수 있는 바와 같이 형성된 절연층(21)에 2개의 홈(21-1, 21-2)을 형성한 후에 전도성 물질인 게이트 물질(22)을 도포한다.

[0098] 그리고, 도 7의 (d)에 도시된 바와 같이 홈에 대응되는 부분을 남기고 나머지를 제거하여 형성된 2개의 홈의 각각에 제1 바텀 게이트 전극(22-1)과 제2 바텀 게이트 전극(22-2)을 형성한다.

[0099] 이때, 절연층(21)은 기판(20)에 열적 산화 공정을 적용함으로써, 기판(20)의 상부에 형성된 산화막 예를 들어, SiO_2일 수 있다.

[0100] 그리고, 도 7의 (e)에서 볼 수 있는 바와 같이 상기 절연층(21) 상부에 전류 누설 방지층(23)을 형성한다.

[0101] 여기에서, 전류 누설 방지층(23)은 전류 누설을 방지하기 위한 것으로 고유전율 절연체(high-k dielectric) 물질로 형성된다.

[0102] 다음으로, 도 7의 (f)에서 볼 수 있는 바와 같이 탄소 나노튜브를 형성하여 채널층(24)을 형성하고, 패터닝하여 제1 채널층(24-1)과 제2 채널층(24-2)를 형성한다.

[0103] 이때, 채널층(24)은 용액 공정으로 고순도 반도체성 탄소 나노 튜브를 절연층(21) 상부에 증착할 수 있으며, 증착된 고순도 반도체성 탄소 나노 튜브는 고밀도 및 균일한 네트워크 구조로 형성될 수 있다.

[0104] 채널층(24)을 형성하는 탄소 나노 튜브의 박막은 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall)중 적어도 하나의 구조를 가질 수 있다.

[0105] 도 7의 (g)에 도시된 바와 같이 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)은 채널층(24-1, 24-2) 상부 미리 결정된 영역에 패터닝 공정을 이용하여 형성된다.

[0106] 이때, 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W, 및 이들의 합금으로 이루어진 군에서 선택된 1종 또는 ITO(Indium tin oxide), AZO(Al-doped ZnO), IZO(Indium zinc oxide),FTO(F-doped SnO2), GZO(Ga-doped ZnO), ZTO(zinc tin oxide), GIO(gallium indium oxide), ZnO, IGZO (Indium-gallium zinc oxide), Pd, Ag 및 이들의 조합으로 이루어진 군에서 선택된 1종에 의해 형성된 전극일 수 있다.

[0107] 그리고, 소스 전극(25-1, 25-2), 채널층(24-1, 24-2) 그리고 드레인 전극(26-1, 26-2)을 덮도록 변환 유도층(27)을 형성하고, 사진 공정으로 변환 유도층(27)을 패터닝한다.

[0108] 이러한 변환 유도층(27)은 다중화된 폴리 비닐 알코올 폴리머로 형성하며, 증착 공정을 통해 형성할 수 있다.

[0109] 그리고, 적외선(일예로 파장이 365nm)으로 일정 시간(일예로 60초 동안)을 변환 유도층(27)에 조사하여 변환 유도층(27)을 패터닝한 후에 물을 사용하여 경화되지 않은 부분을 제거하여 제1 채널층(24-1)에 대응되는 위치에 형성된 변환 유도층(27)을 완성한다.

[0110] 이후에, 도 7의 (i)에 도시된 바와 같이 보호층(28)을 코팅하고, 변환 유도층(27)을 상압에서 온도 썹씨 110도 내지 250도 안(바람직하게는 150도 내지 200도 안)에서, 시간은 10분 내지 720분의 범위(바람직하게는 30분 내지 180분)에서 아르곤 가스나 질소 가스의 분위기에서 어널링을 수행한다. 그러면, 제1 채널층(24-1)이 p-타입에서 n-타입으로 변환된다.

[0111] 이처럼 도 7의 (i)에 도시된 공정을 완료하면 도 3에 도시된 구조가 얻어진다.

[0112] 한편, 도 7의 (j)에 도시된 바와 같이 제1 게이트 전극(29-1)을 제1 채널층(24-1)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성하며, 제2 게이트 전극(29-2)을 제2 채널층(24-2)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성한다.

[0113] 이때, 게이트 전극(29-1, 29-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W 및 이들의 합금으로 이루어진 군에서 선택된 1종을 이용하여 형성될 수 있다.

[0114] 이처럼 도 7의 (j)에 도시된 공정을 완료하면 도 4에 도시된 구조가 얻어진다.

[0115] 도 8은 본 발명의 바람직한 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법의 공정도이다.

[0116] 도 8을 참조하면, 본 발명의 바람직한 다른 실시예에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터의 제조 방법은 도 8의 (a)에서 볼 수 있는 바와 같이 기판(20)에 도 8의 (b)에서와 같이 절연층(21)을 형성하고, 도 8의 (c)에서 볼 수 있는 바와 같이 형성된 절연층(21)에 다수의 홈으로 이루어진 2개의 홈 그룹(21-1a~21-1c, 21-2a~21-2c)을 형성한 후에 전도성 물질인 게이트 물질(22)을 도포한다.

[0117] 그리고, 도 8의 (d)에 도시된 바와 같이 2개의 홈 그룹(21-1a~21-1c, 21-2a~21-2c)의 각각의 홈에 대응되는 부분을 남기고 나머지를 제거하여 형성된 2개의 홈 그룹(21-1a~21-1c, 21-2a~21-2c)의 각각에 제1 바텀 멀티 게이트 전극(22-1a~22-1c)과 제2 바텀 멀티 게이트 전극(22-2a~22-2c)을 형성한다.

[0118] 이때, 절연층(21)은 기판(20)에 열적 산화 공정을 적용함으로써, 기판(20)의 상부에 형성된 산화막 예를 들어, SiO_2일 수 있다.

[0119] 그리고, 도 8의 (e)에서 볼 수 있는 바와 같이 상기 절연층(21) 상부에 전류 누설 방지층(23)을 형성한다.

[0120] 여기에서, 전류 누설 방지층(23)은 전류 누설을 방지하기 위한 것으로 고유전율 절연체(high-k dielectric) 물질로 형성된다.

[0121] 다음으로, 도 8의 (f)에서 볼 수 있는 바와 같이 탄소 나노 튜브를 형성하여 채널층(24)을 형성한다.

[0122] 이때, 채널층(24)은 용액 공정으로 고순도 반도체성 탄소 나노 튜브를 절연층(21) 상부에 증착할 수 있으며, 증착된 고순도 반도체성 탄소 나노 튜브는 고밀도 및 균일한 네트워크 구조로 형성될 수 있다.

[0123] 채널층(24)을 형성하는 탄소 나노 튜브의 박막은 싱글 월(single-wall), 더블 월(double-wall) 및 멀티 월(multiwall)중 적어도 하나의 구조를 가질 수 있다.

[0124] 도 8의 (g)에 도시된 바와 같이 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)은 채널층(24) 상부 미리 결정된 영역에 패터닝 공정을 이용하여 형성된다.

[0125] 이때, 소스 전극(25-1, 25-2)과 드레인 전극(26-1, 26-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W 및 이들의 합금으로 이루어진 군에서 선택된 1종 또는 ITO(Indium tin oxide), AZO(Al-doped ZnO), IZO(Indium zinc oxide),FTO(F-doped SnO2), GZO(Ga-doped ZnO), ZTO(zinc tin oxide), GIO(gallium indium oxide), ZnO, IGZO (Indium-gallium zinc oxide), Pd, Ag 및 이들의 조합으로 이루어진 군에서 선택된 1종에 의해 형성된 전극일 수 있다.

[0126] 그리고, 소스 전극(25-1, 25-2), 채널층(24-1, 24-2) 그리고 드레인 전극(26-1, 26-2)을 덮도록 변환 유도층(27)을 형성하고, 사진 공정으로 변환 유도층(27)을 패터닝한다.

[0127] 이러한 변환 유도층(27)은 다중화된 폴리 비닐 알코올 폴리머로 형성하며, 증착 공정을 통해 형성할 수 있다.

[0128] 그리고, 적외선(일예로 파장이 365nm)으로 일정 시간(일예로 60초 동안)을 변환 유도층(27)에 조사하여 변환 유도층(27)을 패터닝한 후에 물을 사용하여 경화되지 않은 부분을 제거하여 제1 채널층(22-1)에 대응되는 위치에 형성된 변환 유도층(27)을 완성한다.

[0129] 이후에, 도 8의 (i)에 도시된 바와 같이 보호층(28)을 코팅하고, 변환 유도층(27)을 상압에서 온도 썹씨 110도 내지 250도 안(바람직하게는 150도 내지 200도 안)에서, 시간은 10분 내지 720분의 범위(바람직하게는 30분 내지 180분)의 범위에서 아르곤 가스나 질소 가스의 분위기에서 어닐링을 수행한다. 그러면, 제1 채널층(24-1)이 p-타입에서 n-타입으로 변환된다.

[0130] 한편, 도 8의 (j)에 도시된 바와 같이 제1 게이트 전극(29-1)을 제1 채널층(22-1)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성하며, 제2 게이트 전극(29-2)을 제2 채널층(24-2)의 상부에 미리 결정된 영역에 전도성 물질을 이용한 패터닝 공정을 통해 형성한다.

[0131] 이때, 게이트 전극(29-1, 29-2)은 Pt, Al, Au, Cu, Cr, Ni, Ru, Mo, V, Zr, Ti, W 및 이들의 합금으로 이루어진 군에서 선택된 1종을 이용하여 형성될 수 있다.

[0132] 이처럼 도 8의 (j)에 도시된 공정을 완료하면 도 5에 도시된 구조가 얻어진다.

[0133] 도 9는 타입 전환(p⇒n type)전/후의 바텀 게이트 전극의 전류-전압 특성을 보여주는 도면이다.

[0134] 도 9를 참조하면, 타입 전환전에 바텀 게이트 전극은 CNT FETs의 p-type 특성을 나타내지만, 타입 전환 후에는 n-type 전달특성(transfer characteristics)을 나타내고 있음을 알 수 있다. 이때, 채널 길이(L)가 10 mm에서 100 mm까지 변환될 때에, 모든 채널 길이에서 type 전환이 정상적으로 이루어짐을 보여준다.

[0135] 도 10은 타입 전환(p⇒n type) 전/후의 바텀 게이트 전극에서 서브 임계치 기울기와 점류 점멸비의 통계적 분석 결과를 보여주는 도면이다.

[0136] 도 10을 참조하면, 타입 전환 전의 바텀 게이트 전극의 서브 임계치 기울기(S.S:sub threshold slope)와 전류 점멸비(I on/off ratio)의 통계적 분석 결과는 타입 전환 후의 바텀 게이트 전극의 서브 임계치 기울기(S.S:sub threshold slope)와 전류 점멸비(I on/off ratio)의 통계적 분석 결과와 유사함을 알 수 있다.

[0137] 이는 큰 특성의 열화 없이 n-type 타입 변환을 진행한 이후에도, p-type에서의 CNT FETs에 비해 유사하게 우수한 S.S값과 높은 전류점멸비가 포함됨을 보여 주고 있다.

[0138] 도 11은 인버터의 구현과 VTC(voltage transfer characteristics) 평가 결과를 나타내는 도면이다.

[0139] 도 11은 본 발명에서 제안한 타입 전환 기술을 기반으로, 상보 보상 회로를 제작한 사례를 보여주며, 1V~3V까지의 입력 전압의 범위에서 완벽한 풀 스윙(full swing) 특성을 가지는 출력 특성이 구현 되었음을 알 수 있다.

[0140] 이처럼 본 발명에서 제안한 타입 전환 기술은 로직 게이트의 가장 기본인 인버터(inverter) 구현에서 이상적인 인버터 특성 즉, 전압 이득(voltage gain)이 8.5~25.6 수준에서 높게 유지되도록 하고, 높은 노이즈 마진을 가지고 있도록 할 수 있음을 실증한 사례이다.

[0141] 도 12는 본 발명에 따른 탄소 나노 튜브 기반의 상보형 전계효과 트랜지스터를 이용한 NOR 논리회로와 NAND 논리회로 그리고 그에 따른 논리 연산을 보여주는 도면이다.

[0142] 도 12는 본 발명에서 제안한 type 전환 기술을 기반으로, NOR와 NAND게이트 로직을 구현한 사례이다.

[0143] 8V 동작 범위에서 이상적인 NOR와 NAND 게이트 특성이 진리표와 일치하는 특성을 보여준다. 이를 통해서, 디지털 로직의 핵심 로직 게이트인 NAND와 NOR를 구현할 수 있음이 실증되었다.

[0144] 인터버, NAND 및 NOR 게이트를 가지고 모든 디지털 로직을 구현할 수 있기 때문에, 본 발명의 기술은 모든 디지털 로직에 적용할 수 있다.

[0145] 도 13은 CNT 타입 전환에 대한 메커니즘 분석 결과를 보여준다.

[0146] 도 13을 참조하면, CNT 타입의 변환은 Air및 Vacuum에서 어닐링을 했을 때 보다도 Ar에서 어닐링을 했을 때, $3600cm^{-1}$ 파장 때에서의 투과도가 99.6%이상의 값을 가지고 있음을 보여 주며, PVA내부에 존재하는 OH 그룹의 함량이 0.4%이하의 수준으로 감소했음을 보여 준다.

[0147] 이와 같은 FTIR(Fourier transform infrared spectroscopy) 분석 결과는 CNT 타입 전환(type conversion)의 경향과 완벽히 일치함을 확인 할 수 있다.

[0148] 이처럼 본 결과는 CNT의 타입 전환의 기본 메커니즘이 다중화된 폴리비닐 알코올(cross-linked PVA)과 CNT 표면에 존재하는 OH그룹의 상호 중합 반응에 의해서 CNT 표면의 OH 그룹을 크게 줄이는데 있으며, 그 결과 CNT에서 p-type 특성을 유지하는 도핑 레벨을 크게 감소시켜 n-type 특성을 나타냄을 알 수 있다.

[0149] 상기와 같은 본 발명에 따르면, 반도체 표준 공정인 사진 공정을 이용하여 p-타입을 n-타입으로 변환하기 때문에 대량 생산이 가능하다.

[0150] 또한, 본 발명에 따르면, 반도체 표준 공정인 사진 공정을 이용하기 때문에 원하는 패턴으로 p-타입을 n-타입으로 변환이 용이하다.

[0151] 또한, 본 발명에 따르면, 반도체 표준 공정인 사진 공정을 이용하기 때문에 비용을 절감할 수 있다.

[0152] 또한, 본 발명에 따르면, 폴리 비닐 알코올을 사용하여 p-타입을 n-타입으로 변환하기 때문에 높은 신뢰성을 얻을 수 있다.

[0153] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서 본 발명에 기재된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상이 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의해서 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

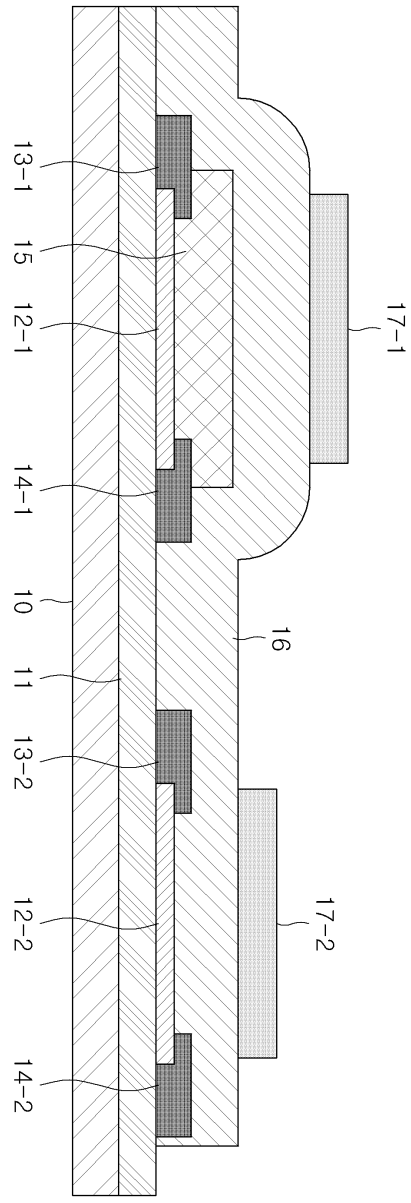
부호의 설명

[0154]

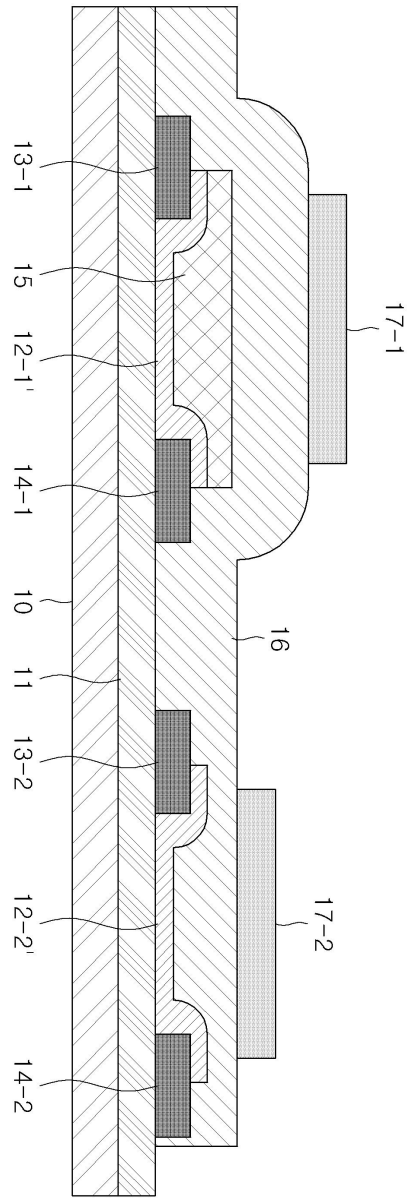
10 : 기판	11 : 절연층
12-1, 12-2 : 채널층	13-1, 13-2 : 소스 전극
14-1, 14-2 : 드레인 전극	15 : 변환 유도층
16 : 보호층	17-1, 17-2 : 게이트 전극
20 : 기판	21 : 절연층
22-1, 22-2 : 바텀 게이트 전극	23 : 전류 누설 방지층
24-1, 24-2 : 채널층	25-1, 25-2 : 소스 전극
26-1, 26-2 : 드레인 전극	27 : 변환 유도층
28 : 보호층	29-1, 29-2 : 탑 게이트 전극

도면

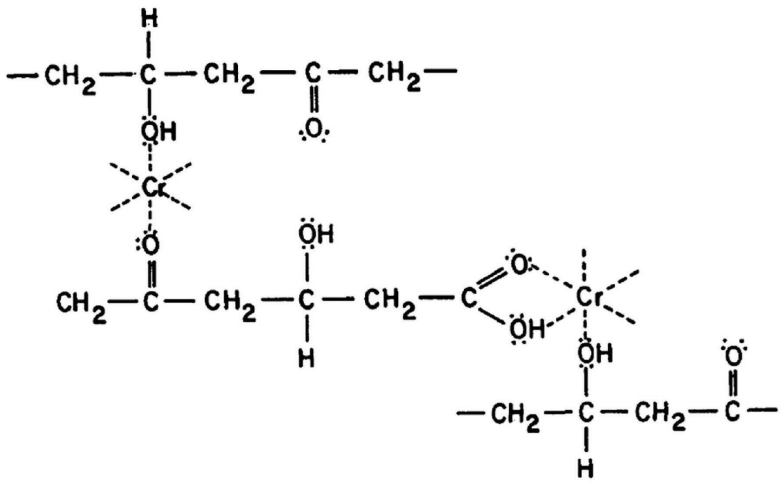
도면1a



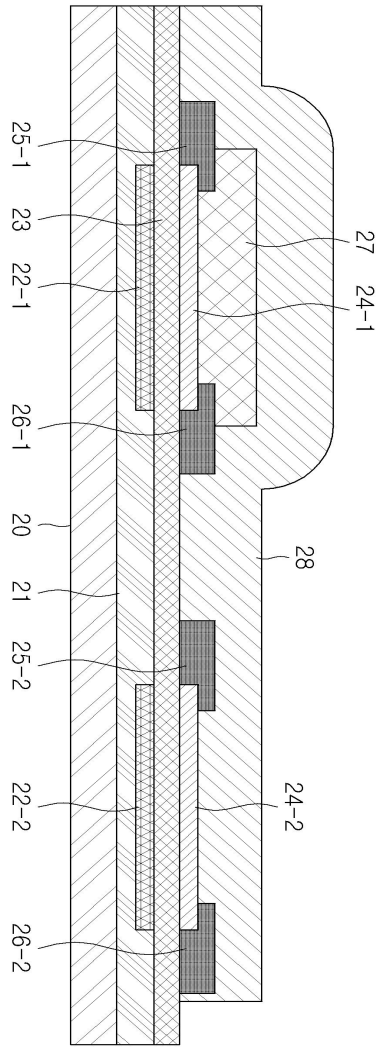
도면1b



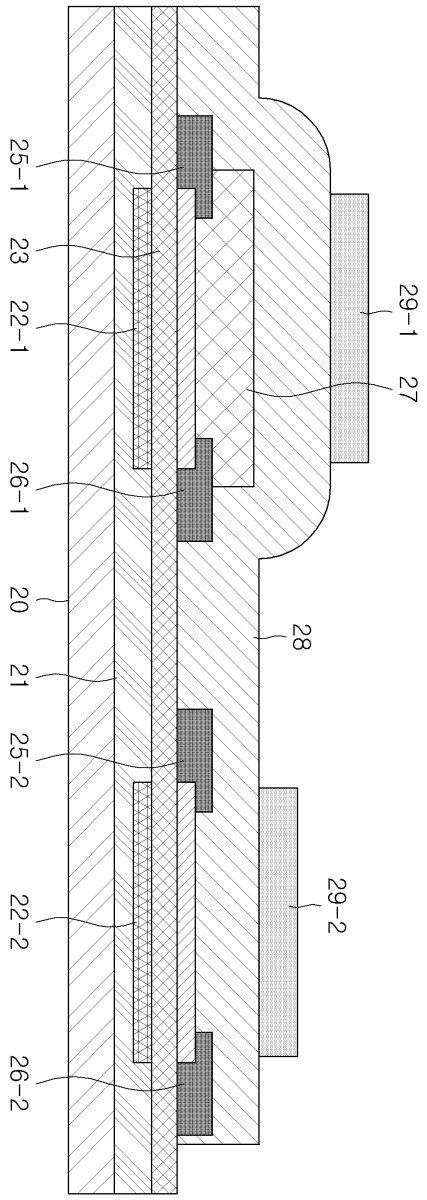
도면2



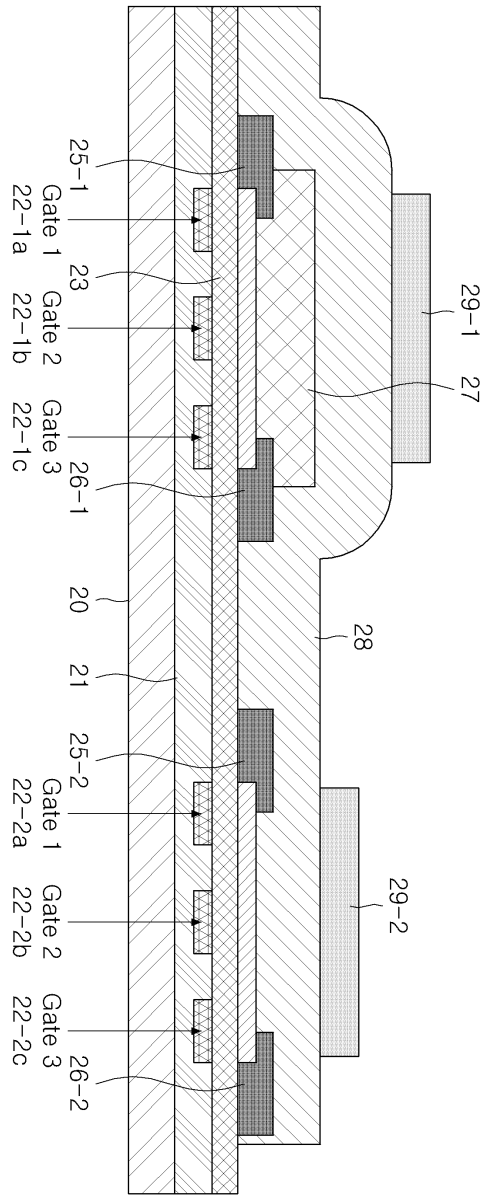
도면3



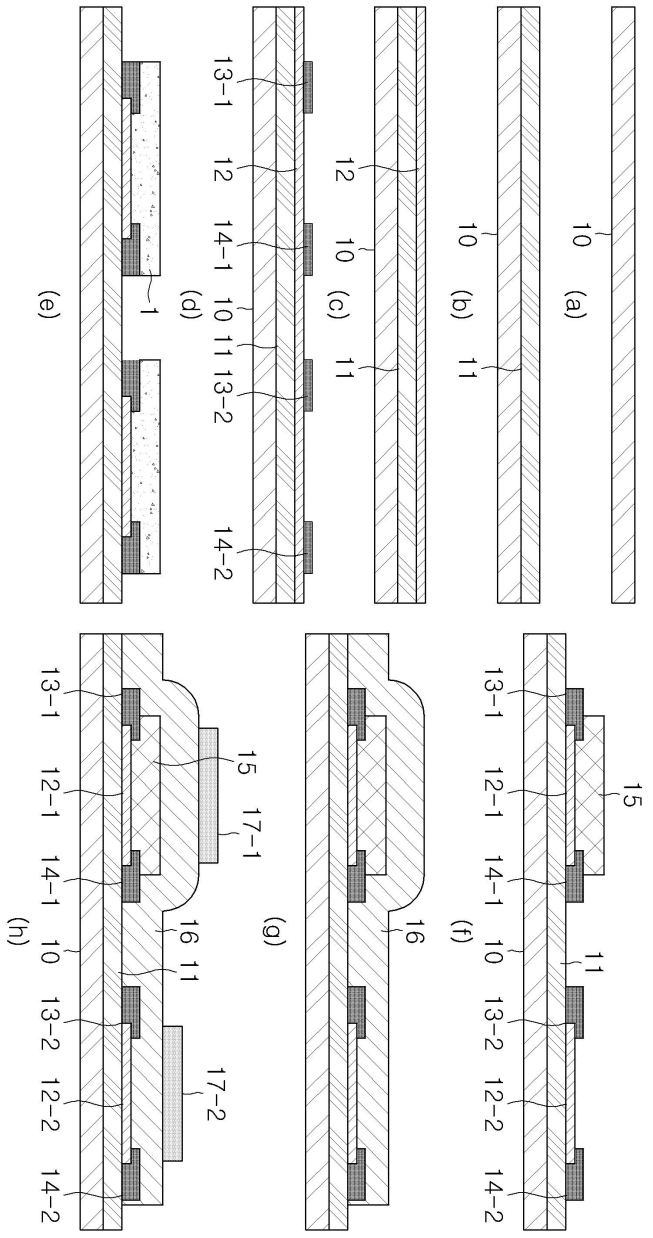
도면4



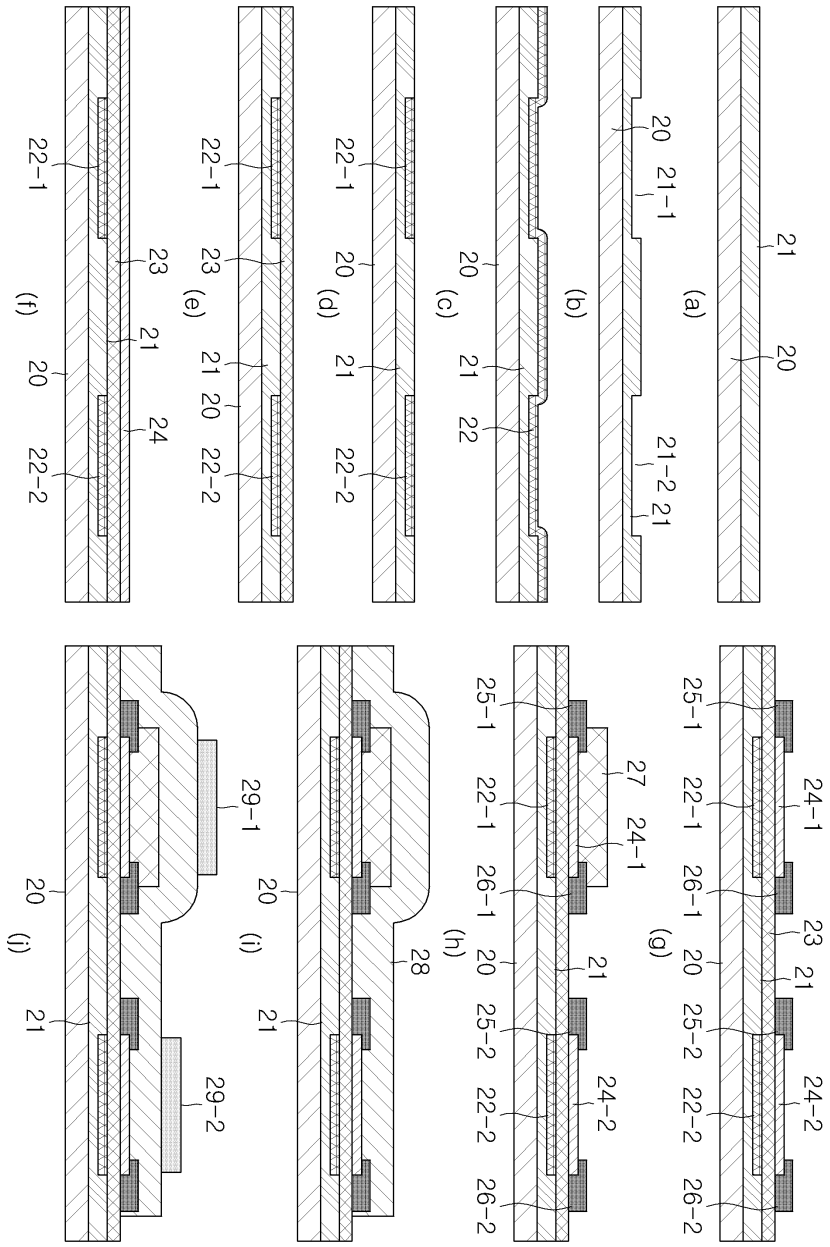
도면5


25-1
Gate 1 22-1a
23
Gate 2 22-1b
Gate 3 22-1c
26-1
20
21
25-2
Gate 1 22-2a
Gate 2 22-2b
Gate 3 22-2c
26-2
29-1
27
28
29-2

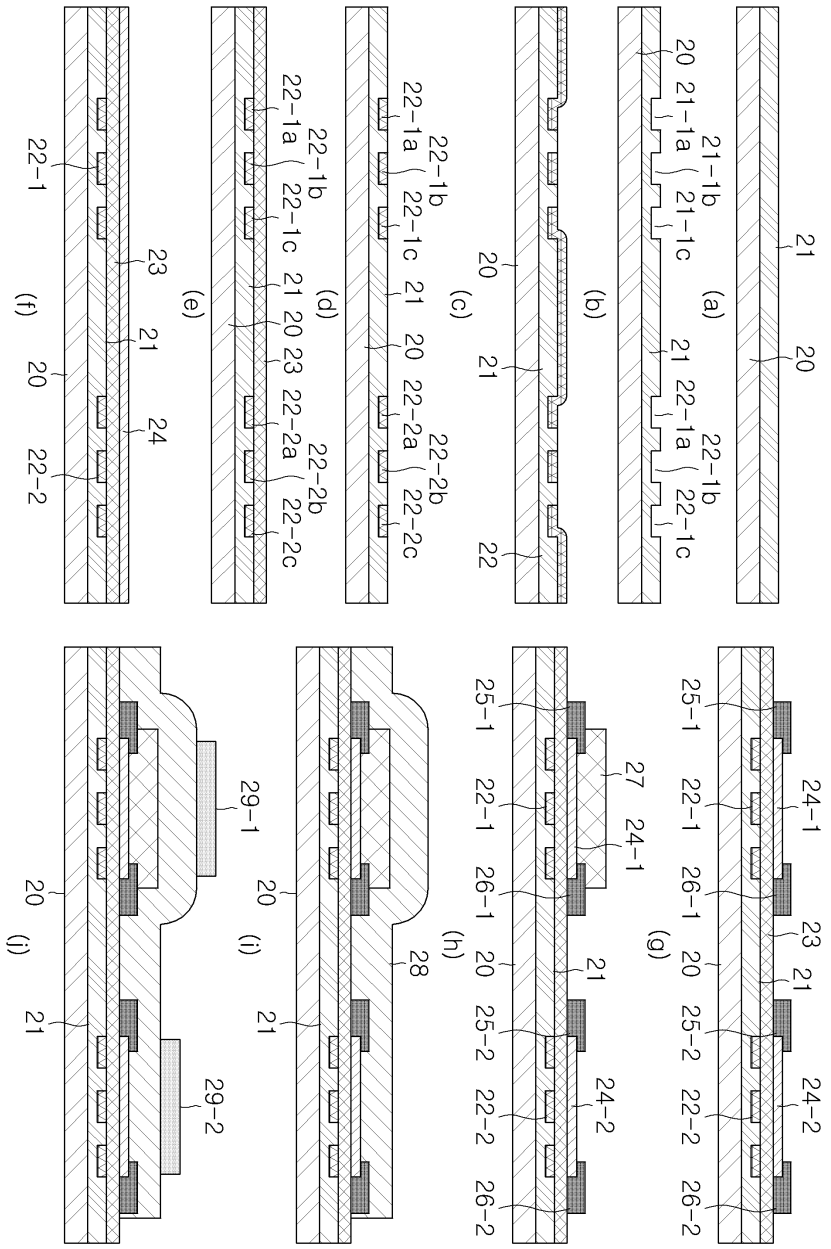
도면6


(a)
10
(b)
10
11
(c)
12
10
11
(d)
13-1
12
14-1
10
11
13-2
14-2
(e)
1
(f)
13-1
12-1
14-1
10
15
11
13-2
12-2
14-2
(g)
16
(h)
13-1
12-1
14-1
10
15
17-1
16
11
13-2
12-2
17-2
14-2

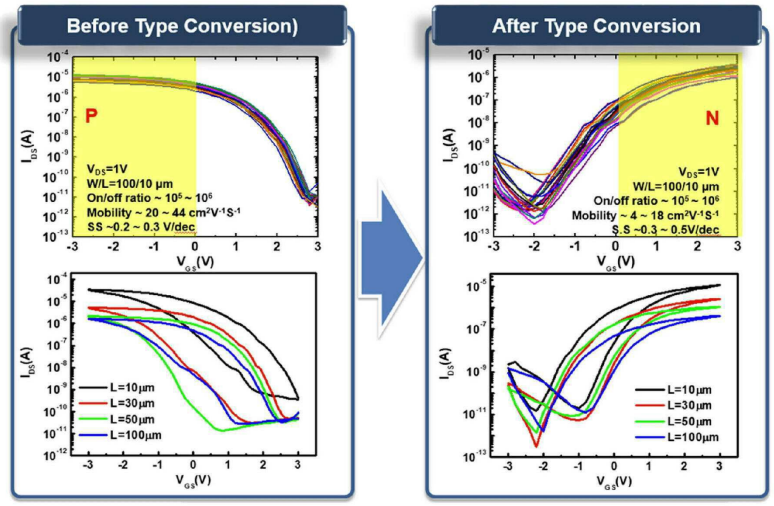
도면7


(a)
21
20
(b)
20
21-1
21-2
21
(c)
20
21
22
(d)
22-1
20
21
22-2
(e)
22-1
23
21
20
22-2
(f)
22-1
23
21
20
24
22-2
(g)
25-1
22-1
26-1
20
23
21
25-2
22-2
24-2
26-2
(h)
25-1
22-1
26-1
20
27
24-1
21
25-2
22-2
24-2
26-2
(i)
20
21
28
(j)
20
21
29-1
29-2

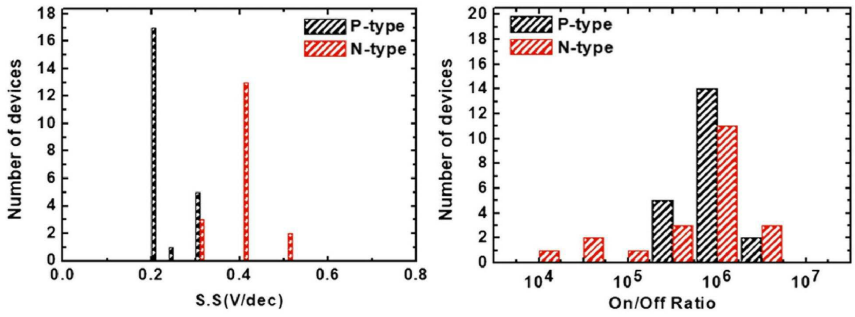
도면8


21
20
(a)
21-1b
21-1a
21-1c
20
22-1b
22-1a
22-1c
(b)
20
21
22
(c)
22-1b
22-1a
22-1c
22-2b
22-2a
22-2c
(d)
22-1b
22-1a
22-1c
22-2b
22-2a
22-2c
(e)
23
21
24
(f)
22-1
20
22-2
(g)
25-1
22-1
26-1
24-1
23
21
20
25-2
22-2
26-2
24-2
(h)
25-1
22-1
26-1
27
24-1
21
20
25-2
22-2
26-2
24-2
(i)
29-1
20
21
28
(j)
20
21
29-2

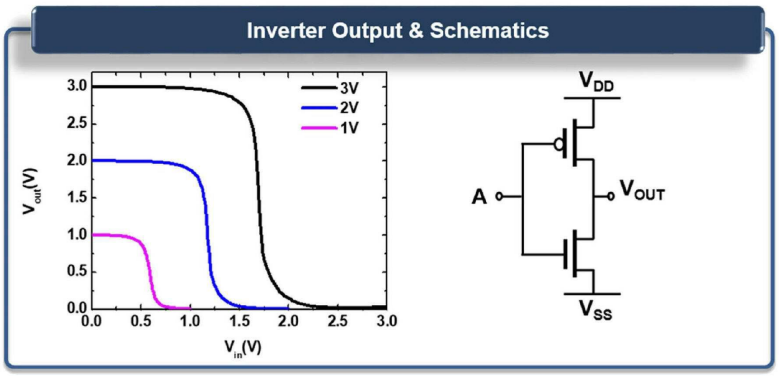
도면9



도면10

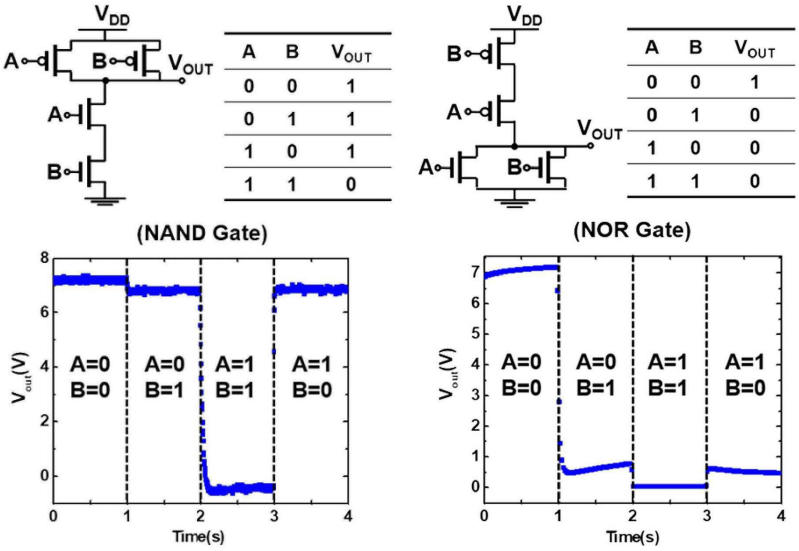


도면11

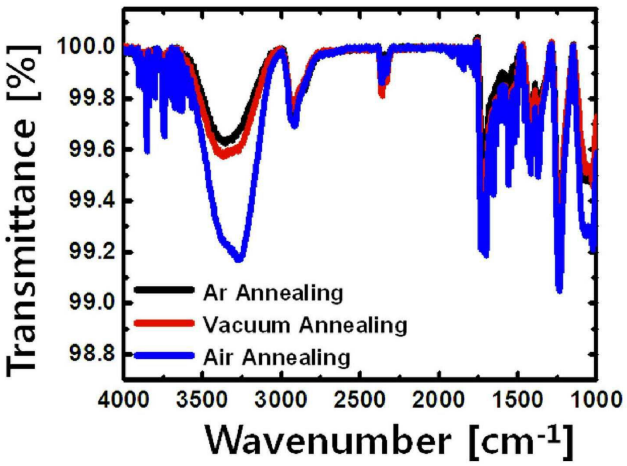


	Gain	V_{OH}	V_{OL}	V_{IH}	V_{IL}	NMH	NML
3V	-25.56	3	0.02	1.96	1.49	1.04	1.47
2V	-18.39	2	0	1.37	1.02	0.63	1.01
1V	-8.48	1	0	0.69	0.48	0.31	0.47

도면12


VDD
A
B
VOUT
A B VOUT
0 0 1
0 1 1
1 0 1
1 1 0
(NAND Gate)
A=0 B=0
A=0 B=1
A=1 B=1
A=1 B=0
Vout(V)
Time(s)
VDD
B
A
VOUT
A B VOUT
0 0 1
0 1 0
1 0 0
1 1 0
(NOR Gate)
A=0 B=0
A=0 B=1
A=1 B=1
A=1 B=0
Vout(V)
Time(s)

도면13


Transmittance [%]
100.0
99.8
99.6
99.4
99.2
99.0
98.8
Ar Annealing
Vacuum Annealing
Air Annealing
4000 3500 3000 2500 2000 1500 1000
Wavenumber [cm-1]