

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 29/00

(45) 공고일자 1993년08월31일
(11) 공고번호 특1993-0008416

(21) 출원번호	특1990-0008835	(65) 공개번호	특1991-0003665
(22) 출원일자	1990년06월 15일	(43) 공개일자	1991년02월28일
(30) 우선권 주장	89-180967 1989년07월 13일 일본(JP)		
(71) 출원인	미쓰비시 덴끼 가부시끼가이샤	시기 모리야	
	일본국 도오교도 지요다구 마루노우찌 2쪼메 2-3		
(72) 발명자	도비다 요우이찌		
	일본국 효고켄 이다미시 미즈하라 4쪼메 1번지 미쓰비시 덴끼 가부시끼 가이샤 기다이 다미세이사꾸쇼내		
	나카야마 야스지		
	일본국 효고켄 이다미시 미즈하라 4쪼메 1번지 미쓰비시 덴끼 가부시끼 가이샤 기다이 다미세이사꾸쇼내		
(74) 대리인	김영길		

심사관 : 안대진 (책자공보 제3394호)

(54) 반도체 기억 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 기억 회로

[도면의 간단한 설명]

제 1 도는 이 발명의 한 실시예의 전기 회로도.

제 2 도는 이 발명의 다른 실시예의 표시하는 개략 블록도.

제 3 도는 제 2 도에 표시한 타이밍 검출회로의 회로도.

제 4 도는 제 2 도에 표시한 전환 신호 발생 회로를 표시한 회로도.

제 5 도는 제 2 도에 표시한 비트선 전압 발생 회로를 표시하는 회로도.

제 6 도는 이 발명의 다른 실시예의 동작을 설명하기 위한 타이밍도.

제 7 도는 이 발명의 또 다른 실시예의 표시하는 개략 블록도.

제 8 도는 제 7 도에 표시한 고전압 검출 회로의 회로도.

제 9 도는 제 7 도에 표시한 타이밍 검출 회로의 회로도.

제 10 도는 종래의 DRAM의 판독부의 전체 구성을 표시하는 개략 블록도.

제 11 도는 제 10 도에 표시한 메모리셀어레이의 구성의 개략을 표시하는 도면.

제 12 도는 제 11 도 표시한 비트선대중의 1쌍의 비트선의 상세한 구성을 표시하는 전기 회로도.

제 13 도 및 제 14 도는 테스트시에 관계하는 노드의 전압 파형도.

제 15 도는 여러종의 전극의 레벨을 표시하는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 메모리셀

2, 7 : 비트선

3 : 워드선

5 : 트랜지스터 게이트

6 : 용량
 8 : 셀플레이트 전압 공급선
 32 : 전환 신호 발생 회로
 34 : 고전압 검출 회로,
 101, 201 : 입력 단자
 N₁, N₂, ..., N_n, N₁', N₂', ..., N_n', 105, 108, 111, 205, 316, 317, 323 : n채널 MOS 트랜지스터
 104, 107, 110, 204, 207, 211 : p채널 MOS 트랜지스터
 311, 312, 314, 318 내지 321, 325 내지 328 : 인버터
 313, 322, 330, 331 : AND 게이트
 315, 324 : 원쇼트 펄스 발생 회로
 329 : OR 게이트

[발명의 상세한 설명]

이 발명은 반도체 기억 회로에 관하고, 특히 절연 게이트형 전계 효과 트랜지스터(이하, MOS 트랜지스터라 약칭함)와 용량으로 이루어지는 복수의 메모리셀을 사용한 다이내믹 RAM(이하, DRAM이라 칭함)의 비트선에 공급하는 전압 발생 회로의 개량에 관한 것이다. 반도체 직접 회로의 제조 기술의 진보와 사용자의 가격 저감 요구에 의하여, DRAM의 집적도가 거의 3년에서 약 4배의 비율로 증대하고 현재는 4M비트의 용량을 갖는 DRAM이 실용화되어 가고 있다.

이 DRAM에 있어서, 예를들면 모든 메모리셀에 "0"의 데이터를 기록하고 모든 메모리셀로부터 "0"의 데이터를 판독하고 아울러 "1"의 데이터에 관하여도 동일한 것을 사이클 시간 10 μsec[RAS(행어드레스 스트로브)신호의 최대 펄스폭]에서 실시한 경우, 그 테스트 시간(T1)은 다음의 제(1)식으로 표시된다.

$$T1=4("0"기록 \rightarrow "0"판독 \rightarrow "1"기록 \rightarrow "1"판독) \times 4 \times 10^6 \quad (\text{메모리 용량}) \times 10 \mu \text{sec}(\text{사이클 시간})=160\text{초} \cdots \cdots (1)$$

통상의 다이내믹 RAM의 경우, 적어도 상술한 테스트를 동작 전원 전압 범위의 최대치 5.5V측과 최소치 4.5V측 및 동작 온도 범위의 고온 70℃측과 저온 0℃측과의 4개의 조건에서 행할 필요가 있다. 이 경우 테스트 시간(T2)는 제(2)식과 같이 된다.

$$T2=160\text{초} \times 4=640\text{초} \cdots \cdots (2)$$

상기의 값은, 집적회로의 테스트 시간으로써는 매우 길고, 생산성을 저하시키므로 가격의 증대를 초래하는 요인으로 된다. 더욱이, 실제로는, 상술한 항목만으로는 검출할 수 없는 경우가 있고, 예를 들면, 입력신호의 타이밍 조건, 어드레스 신호의 번지 지정 순서, 메모리셀에 기록되는 데이터의 패턴등의 조합 시험을 행할 필요가 있다. 이와 같은 경우는 그 시험 시간이 극히 길어지게 된다.

이 대책으로써는, 이들의 조합 시험에 있어서 2동작을 하는 것은 동작 마진의 적은 메모리셀이 태반인 것에 주목하여, 단시간에 이들의 메모리 셀의 동작 마진의 시험 할 수 있는 전원 전압 변동시험(이하, V범프 테스트(bump test, 라 약칭함)이 사용되어 왔으나, 기억 용량의 증대에 수반하여, 아래에 기술하는 것과 같이, V범프 테스트의 효과가 얻지 못하게 된다. 이 이유에 관하여, 제 10 도 내지 제 14 도를 참조하여 아래에 설명한다.

제 10 도는 종래로 부터 사용되고 또한 이 발명의 적용되는 DRAM의 판독부의 전체의 개략 구성을 표시하는 블록도이다. 제 10 도에 있어서 DRAM은 메모리셀어레이(MA)와 어드레스 버퍼(AB)와 X디코더(ADX)와 Y디코더(ADY)와 센스앰프 및 I/O시와 출력 버퍼(OB)로써 구성되어 있다. 메모리셀어레이(MA)는 정보를 기억하기 위한 메모리셀이 복0수개 행 및 열상에 배열된 것이며, 어드레스 버퍼(AB)는 외부로부터 부여되는 외부 어드레스 신호를 받아서 내부 어드레스 신호를 발생하는 것이다. X디코더(ADX)는 어드레스 버퍼(AB)로부터 부여되는 내부 어드레스 신호를 디코드하여, 대응하는 메모리셀어레이의 행을 선택한다. Y디코더(ADY)는 어드레스 버퍼(AB)로부터 부여되는 내부열 어드레스 신호를 디코드하여 메모리셀어레이(MA)의 대응하는 열을 선택하는 것이다. 센스앰프 및 I/O시는 메모리셀어레이(MA)의 선택된 메모리셀이 기억하고 있는 정보를 검지하여 증폭하고, Y디코더(ADY)로부터의 신호에 응하여, 그정보를 판독 데이터로하여 출력 버퍼(OB)에 출력한다.

출력 버퍼(OB)는 판독 데이터를 받아서, 외부에 출력 데이터(Dout)를 출력한다. 더우기, DRAM의 각종 동작의 타이밍을 제어하기 위한 제어 신호를 발생하는 제어 신호 발생계(CG)가 주변 회로로써 설치된다.

제 11 도는 제 10 도에 표시한 메모리셀어레이의 개략 구성을 표시하는 도면이다. 제 11 도에 있어서, 메모리셀어레이(MA)는, 복수의 워드선(WL1, WL2, ..., WL_n) 및 복수의 비트선

(BL0, BL0, BL1, BL1, ..., BL_m, BL_m)을 포함한다. 워드선(WL1, ..., WL_n)의 각각에는 메모리셀의 한행이 접속된다. 비트선은 되돌아 와서 비트선을 구성하고, 2개의 비트선이 1쌍의 비트선대를 구성한다.

즉, 비트선 (BL0, BL0) 이 1쌍의 비트선대를 구성하고, BL1, BL1 이 1쌍의 비트선대를 구성하고, 아래와 마찬가지로하여 비트선 (BL_m, BL_m) 이 비트선대를 구성하고 있다. 각 비트선(BL0, BL0, ..., BL_m, BL_m)과 1개 거리의 워드선과의 교점에는 메모리셀(1)이 접속된다, 즉, 각 비트선대에 있어서는,

1개의 워드선과 1쌍의 비트선의 어느것인가의 비트선과의 교점에 메모리셀이 접속되는 구성으로 되어 있다. 각 비트선대에는 각 비트선의 어느것인가의 비트선과의 교점에 메모리셀이 접속되는 구성으로 되어 있다, 각 비트선대에는 각 비트선대 전위를 평형화하여 소정의 전위(V_{BL})에 프리차지하기 위한 프리차지/이퀄라이즈 회로 (150)가 설치되어 있다.

또, 각 비트선대에는, 신호선(20,30)상에 전달되는 신호(ϕ_A, ϕ_B)에 응답하여 활성화되어, 해당 비트선대의 전위치를 검지하여 차동적으로 증폭하는 센스앰프(50)가 설치된다. 각 비트선은, Y디코더(ADY)로부터의 어드레스 디코드 신호에 의하여 선택적으로 데이터 입출력 버스($I/O, \overline{I/O}$)에 접속된다. 즉, 비트선($BL_0, \overline{BL_0}$)은 각각 트랜스퍼 게이트(T_0, T_0')를 사이에 두고 데이터 입출력 버스($I/O, \overline{I/O}$)에 접속된다. 마찬가지로하여, 비트선($BL_1, \overline{BL_1}$)은 각각 트랜스퍼 게이트(T_1, T_1')를 사이에 두고 데이터 입출력 버스($I/O, \overline{I/O}$)에 접속되어, 비크선($BL_m, \overline{BL_m}$)은 각각 트랜스퍼 게이트(T_m, T_m')를 사이에 두고 데이터 입출력 버스($I/O, \overline{I/O}$)에 접속된다. 각 트랜스퍼 게이트($T_0, T_0', \dots, T_m, T_m'$)의 게이트에는 디코더(ADY)로부터의 어드레스 디코드 신호가 전달 된다.

이것에 의하여, 1쌍의 비트선이 데이터 입출력 버스($I/O, \overline{I/O}$)에 접속되는 것이 된다.

제 12 도는 제 11 도에 표시한 비트선대중 1쌍의 비트선의 상세한 구성을 표시하는 도면이다. 또한, 제 12 도에 있어서는 도면의 간략화를 위하여 1개의 워드선과 1쌍의 비트선만을 표시하고 있다. 제 12 도에 있어서 1쌍의 비트선(2,7)을 메모리의 스텐바이시에 소정의 전위(V_B)에 프리차지하고, 아울러 비트선(2,7)의 전위를 소정의 전위에 이퀄라이즈하기 위하여, 프리차지/이퀄라이즈 회로(150)가 설치되었다.

이 프리차지/이퀄라이즈 회로(150)는 프리차지 신호(ϕ_P)에 의하여, 비트선(2,7)에 각각 소정의 프리차지 전위를 전달하여 이들의 비트선(2와 7)을 전기적으로 접속하고, 그것에 의하여 비트선(2,7)의 전위를 이퀄라이즈하는 n채널 MOS 트랜지스터(10,11)를 포함한다. 이들의 n채널 MOS 트랜지스터(10,11)는 다함께 신호선(12)을 사이에 두고 부여되는 프리차지 신호(ϕ_P)에 의하여, 도통하고, 신호선(9)상에 전달되어 있는 프리차지 전위(V_B)를 비트선(2,7)에 부여한다. 메모리셀(1)은 n채널 절연 게이트 전계 효과 트랜지스터로 이루어지는 트랜스퍼 게이트(5)와 용량(6)으로써 구성된다. 트랜스퍼 게이트(5)의 게이트는 워드선(3)에 접속되고, 소스는 비트선(2)에 접속된다. 용량(6)은 노드(4)를 사이에 두고 트랜스퍼 게이트(5)의 드레인에 접속되고, 이노드(4)에 메모리셀(1)의 데이터가 기억된다. 즉, 노드(4)는 소위 스트레이지 노드를 구성하고 있다. 워드선(3)이 선택되면, 워드선 구동 신호(R_n)가 트랜스퍼 게이트(5)에 전달되고, 그것에 의하여 트랜스퍼 게이트(5)가 도통상태로 되고, 메모리셀(1)의 기억하고 있는 정보가 비트선(2)상에 전달된다. 비트선(7)에는 도시하지 않은 메모리셀이 접속되어 있으나 워드선(3)과 비트선(7)과의 교점에는 메모리셀은 접속되어 있지 않다.

따라서, 제 12 도에 표시한 메모리셀(1)이 선택되면, 비트선(7)이 비트선(2)에 대하는, 기준 전위를 부여하는 것이 된다. 또한, 비트선(2,7)은 각각 기생 용량(13,14)을 포함한다. 더우기, 전원(16)과 접지간에는 정전압 발생회로를 구성하는 저항(17,18)이 직렬 접속되어 있어, 이들의 저항(17과 18)의 접속점에, 저항 분할에 의하여 정하여지는 전압이 발생된다. 이 전압용 통상의 전원 전압의 1/2의 레벨이 되도록 저항(17,18)의 저항치가 선택되고 있다. 이 정전압 발생 회로의 출력 전압은, 신호선 (8)을 사이에 두고 용량(6)의 다른쪽의 전극에 부여된다. 용량(6)은 얇은 절연막, 예를들면 단층의 실리콘 산화물 혹은 실리콘 산화물과 실리콘 질화물의 적층막등을 유전체로하는 평형 평판 전극으로 이루어지는 용량이며, 그 크기는 메모리셀의 면적에 의존하고 있다.

한편, 집적도(기억 용량)의 증대를 위하여, 메모리셀의 면적이 적게 되고, 그것에 수반하여 메모리 셀용량이 감소하는 방향에 있다. 그런데, DARM의 외장 패키지로부터 방출되는 α 선에 의한 DARM의 오동작(소프트 에러)를 방지하기위하여는, 일반적으로는 50ff정도의 메모리셀 용량치가 필요하게 되어 있다.

이 때문에, 메모리셀의 면적의 감소에 의한 메모리셀 용량의 감소분을 유전체의 막 두께를 얇게하는 것에 의하여 보충하는 것이 일반적으로 행하여 지고 있다.

그러나, 유전체의 막두께를 얇게하면, 절연막에 가해지는 전계가 강하게되고, 절연막의 파괴가 일어나기 쉽게되어, DARM의 신뢰성이 나빠진다는 문제점을 초래하는 것이 된다. 특히 이 문제는 현재 실용화되어 있는 1M비트의 DARM에서 현저하게 되기 시작하여, 이 대책을 위하여 메모리셀 용량의 전위축의 전극(이하, 셀플레이트 전극이라 칭함)는, 제 12 도에 표시하는 것과 같이, 저항(17,18)에 의하여 분할된 전원 전압의 1/2의 크기의 전압을 공급하는 것이 일반적으로 되어 있다. 이것에 관하여는, 특공소 60-50065호 공보(미국 출원번호 722841)에 기재되어 있다.

이 방법에 따르면, 전계는 기억 노드(4)와 셀플레이트 전극과의 사이의 전압차에 의하여 결정되고, 셀플레이트의 전압이 "1", "0"의 데이터의 중간의 값이 되므로 전계가 1/2로 된다. 그러나, 상술과 같이 셀플레이트 전극에 전원 전압의 1/2의 전압을 부여하도록 한 것에 의하여, 동작 마진의 적은 메모리셀을 V범프 테스트에서 검출하는 것이 곤란하게 되어 왔다. 이하, 그 유에 관하여 설명한다.

1M비트까지의 DARM에서는, 메모리셀용량의 유전체를 구성하는 절연막은 비교적 두꺼웠기 때문에 (256K 비트의 DARM에서 약 $150\text{Å} \sim 200\text{Å}$, 셀플레이트 전극의 전압은 $1/2V_{CC}$ 에 설정할 필요성이 작았다. 이것에 의하여, 인피던스가 낮아지기때문에 노이즈가 적은 전원선 또는 접지선으로부터 V_{CC} 또는 제로 레벨의 전압이 공급되고 있었다. 제 12 도에 표시한 정전압 발생 회로는, 인피던스가 비교적 높고, DARM의 동작시에 노이즈가 발생하기 쉽고, 동작 마진의 감소를 초래하는 것이 되므로, 이

제까지 사용되지 않았다. 다음에, 셀플레이드 전극의 레벨이 전원 전압(Vcc), 접지(고정 레벨)와 Vcc/2의 경우의 V범프 테스트의 효과를 비교한다.

① 셀플레이드 전극의 레벨이 전원 전압(Vcc) 레벨의 경우

제 13 도 및 제 14 도에 V범프 테스트시에 관계하는 각 노드의 전압 파형도를 표시한다. V범프 테스트는 어떤 전원 전압(Vcc)에서 메모리셀(1)에 데이터를 기록하고, 제 13a 도에 표시하는 것과 같이, 전원 전압(Vcc)을 어떤 레벨만큼 상승시킨 후, 메모리셀(1)로부터 데이터를 판독하는 것에 의하여 행하여 진다. 제 13 도에서는 전원 전압(Vcc)에서 데이터를 기록하고, Vcc + ΔV에서 데이터의 판독을 행하고 있다. 프리차지 전위(V_B)는 전원 전압(Vcc)의 1/2값에 설정되므로, 제 13b 도에 표시하는 것과 같이 된다. 기억 노드 (4)는 "0"의 데이터가 기록되는 경우를 상정하고 있으므로, 기록시에는 0V이나, 제 13c 도에 표시하는 것과 같이, 전원 전압의 변동이용량(6)을 사이에 두고 결합되어 있고, 거의 변동분만큼 상승한다고 가정한다. 이때, 비트선(2,7)은 프리차지 전위(V_B)와 다함께 변하고, 프리차지 전위(V_B)와 거의 같은 레벨로 된다.

다음에 메모리셀(1)로부터의 데이터 판독 동작을 제 14 도를 참조하여 설명한다. 제 14a 도에 표시하는 것과 같이, 시각(T₀)있어서 프리차지 신호 (ϕ_p)가 저레벨로 되면, 신호선(9)과 지트선(2,7)이 분리된다.

그리고, 제 14b 도에 표시하는 것과 같이. 시각(t₁)에 있어서, 워드선 구동 신호(Rn)가 상승하면, MOS 트랜지스터(5)가 도통하고, 전위 높은 비트선측으로부터 기억 노드(4)측에 전류가 흘러, 비트선(2)의 전위가 제 14c 도에 표시하는 것과 같이 하강하고, 제 14d 도에 표시하는 것과 같이, 기억 노드(4)측의 전위가 상승한다. 시각(t₂)에 있어서, 전위의 변화가 거의 없어져서, 비트선(2,7)의 판독 레벨이 정하여 진다. 이때의 비트선(2,7)의 레벨은 다음식에 계산된다. MOS 트랜지스터(5)의 도통 전후에서 비트선(2)과 기억 노드(4)와의 사이에서 전하의 보존측이 성립하는 것을 고려하면,

$$1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + \Delta V \cdot C_6 = (C_{13} + C_6) \cdot V_{B0} \dots \dots \dots (3)$$

$$V_{B0} = 1/(C_{13} + C_6) \cdot [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + \Delta V \cdot C_6] \dots \dots \dots (4)$$

비트선(7)측과의 전압차(V_{S0})는

$$V_{S0} = 1/(C_{13} + C_6) \cdot [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + \Delta V \cdot C_6] - 1/2 \cdot (V_{cc} + \Delta V) \dots (5)$$

$$= -1/2 \cdot C_6 / (C_{13} + C_6) \cdot (V_{cc} + \Delta V) \dots \dots \dots (6)$$

따라서, ΔV의 크기만큼 전압차가 적게되고, V범프 효과 있다.

② 고정 레벨의 경우(셀플레이드 전압을 Vcc변동에 대하여 고정한 경우)메모리셀(1)에 "0"의 데이터가 기록되어 있는 경우는,

$$1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} = (C_{13} + C_6) \cdot V_{B0} \dots \dots \dots (7)$$

$$V_{B0} = 1/(C_{13} + C_6) [1/2(V_{cc} + \Delta V) \cdot C_{13}] \dots \dots \dots (8)$$

$$V_{S0} = 1/(C_{13} + C_6) [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13}] - 1/2 \cdot (V_{cc} + \Delta V) \dots \dots \dots (9)$$

$$V_{S0} = -1/2 \cdot C_6 / (C_{13} + C_6) \cdot (V_{cc} + \Delta V) \dots \dots \dots (10)$$

데이터 "0"에 대하여는, 전압차를 크게하는 방향으로 작용하고, V범프는 역효과로 된다.

메모리셀(1)에 "1"데이터가 기록되어 있는 경우는,

$$1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + (V_{cc} + \Delta V)C_6 = (C_{13} + C_6) \cdot V_{B1} \dots \dots \dots (11)$$

$$V_{B1} = 1/(C_{13} + C_6) [1/2(V_{cc} + \Delta V) \cdot C_{13} + (V_{cc} + \Delta V) \cdot C_6] \dots \dots \dots (12)$$

$$V_{S1} = 1/2 \cdot C_6 / (C_{13} + C_6) \cdot (V_{cc} - \Delta V) \dots \dots \dots (13)$$

데이터 "1"에 대하여 전압차를 작게하는 방향으로 작용하고, V범프의 효과가 있다.

③ 1/2Vcc레벨의 경우

이 경우, 셀플레이드 전극의 전압 레벨은 1/2 · ΔV 밖에 변화하지 않으므로, 메모리셀(1)의 기억노드(4)의 레벨 변화도 1/2 · ΔV로 된다. 그리고, 상술의 설명과 마찬가지로하여 계산하면,

$$1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + 1/2 \cdot \Delta V \cdot C_6 = (C_{13} + C_6) \cdot V_{B0} \dots \dots \dots (14)$$

$$V_{B0} = 1/(C_{13} + C_6) [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + 1/2 \Delta V \cdot C_6] \dots \dots \dots (15)$$

$$V_{S0} = 1/(C_{13} + C_6) [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + 1/2 \cdot \Delta V \cdot C_6] - 1/2 \cdot (V_{cc} + \Delta V) \dots \dots \dots (16)$$

$$= -1/2 \cdot C_6 / (C_{13} + C_6) \cdot V_{cc} \dots \dots \dots (17)$$

따라서, ΔV의 항은 포함되지 않으므로, V범프의 효과는 없다. 메모리셀에 "1"의 데이터가 기록되어

있는 경우는,

$$1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + V_{cc} + 1/2 \Delta V \cdot C_6 = (C_{13} + C_6) \cdot V_{B1} \dots \dots \dots (18)$$

$$V_{B1} = 1/(C_{13} + C_6) [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + (V_{cc} + 1/2 \Delta V) \cdot C_6] \dots \dots \dots (19)$$

$$V_{S1} = 1/(C_{13} + C_6) [1/2 \cdot (V_{cc} + \Delta V) \cdot C_{13} + (V_{cc} + 1/2 \Delta V) \cdot C_6] \dots \dots \dots (20)$$

$$= -1/2 \cdot C_6 / (C_{13} + C_6) \cdot V_{cc} \dots \dots \dots (21)$$

따라서, ΔV 의 항이 없으므로 V범프의 효과는 없다. 이상의 결과를 정리하면, 제 15 도에 표시하는 것과 같이 된다. 이상의 결과에 의하여, 셀플레이트 전압을 V_{cc} 혹은 고정으로한 경우와, $1/2 \cdot V_{cc}$ 로한 경우에서 차가 있는 것을 알 수 있다.

즉, 셀플레이트 전압을 V_{cc} 혹은 고정으로한 경우는, ΔV 에 의하여 1쌍의 비트선간의 전압차, 즉 센스앰프의 입력 전압차가 변화하므로, ΔV 에 의하여 메모리셀의 판독 마진을 시험 할 수가 있다.

그러나, $1/2 \cdot V_{cc}$ 의 경우는 ΔV 에 의하여 센스 앰프의 입력 전압차를 바꿀 수가 없으므로, ΔV 에 의하여 메모리셀의 판독 마진을 시험 할 수는 없다. 그러므로, 이 발명의 주된 목적은, V범프 테스트를 사용하지 않고 비트선의 전압을 통상 동작시와 테스트시에 바꾸는 것에 의하여 센스앰프의 입력 전압차를 작게하도록하여 단시간에서 동작 마진의 적은 메모리셀을 테스트할 수 있는 것과 같은 반도체 기억 회로를 제공하는 것이다.

이 발명의 1개의 절연 게이트형 전계효과 트랜지스터와 1개의 용량으로 이루어지는 메모리셀을 복수 포함하는 반도체 기억 회로에 있어서, 절연 게이트형 전계 효과 트랜지스터의 한쪽의 전극에 접속된 비트선에 정전압 발생 수단을 접속하고, 제어 수단에 포함되는 테스트 모드 검출 회로가 테스트 모드를 검출한 것에 응답하여, 통상 사용시에 부여되는 전압 보다도 높은 제 1의 전압과, 해당 제 1의 전압 보다도 낮은 제 2의 전압을 정전압 발생 수단으로부터 발생한다.

이 발명에 관한 반도체 기억 회로는, 테스트 모드를 검출한 것에 응답하여, 통상 사용시에 부여되는 전압보다도 높은 제 1의 전압과, 그 전압보다도 낮은 제 2의 전압을 정전압 발생 수단으로부터 발생시켜서 메모리셀 트랜지스터의 한쪽의 전극에 부여하는 것에 의하여, 마진의 적은 메모리셀의 시험을 단시간에 행한다.

[실시예]

우선, 이 발명의 실시예에 관하여 설명하기전에 이 발명의 원리를 설명한다. 상술한 제 12 도에 있어서, 비트선에 전위가 $1/2 \cdot V_{cc}$ 의 경우를 생각한다. 지금, 메모리셀(1)에 "0"의 데이터가 기억되어 있다고하면, 접속점(4)의 레벨은 0V로 되어 있다. 이 상태에서 메모리셀(1)이 선택되고, 워드선(3)의 레벨이 상승하면, 트랜지스터(5)가 도통하고, 메모리 셀의 내용이 비트선(2)에 판독된다.

이때, 비트선(2)의 전압은 다음과 같이 된다. 즉, 판독 전후에 있어서, 비트선(2)과 메모리셀(1)의 전하량이 변화하지 않으므로, 다음의 제(22)식이 성립한다.

$$1/2 \cdot V_{cc} \cdot C_{13} = V_2 (C_{13} + C_6) \dots \dots \dots (22)$$

여기에서, V_2 는 판독후의 비트선(2)의 전위이며, 제 22 식에서 다음의 제(23)식으로 표시된다.

$$V_2 = 1/2 \cdot V_{cc} \cdot C_{13} / (C_{13} + C_6) \dots \dots \dots (23)$$

한편, 비트선(7)측의 전위(V_7)는 변화하지 않기 때문에, 다음의 제(24)식과 같이 된다.

$$V_7 = 1/2 V_{cc} \dots \dots \dots (24)$$

센스앰프(50)의 입력 전위차(V_{S0})는, 제(25)식으로 표시된다.

$$|V_{S0}| = |V_2 - V_7| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) \dots \dots \dots (25)$$

마찬가지로하여, 메모리셀(1)이 "1"데이터(V_{cc} 볼트)를 기억하고 있을때에는 메모리셀 판독후의 비트선(2와 7)의 사이의 전위차(V_{S1})은 다음의 제(26)식으로 표시하도록된다.

$$|V_{S1}| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) \dots \dots \dots (26)$$

다음에, 비트선(2)의 전위를 $1/2 \cdot V_{cc}$ 에서 ΔV 만큼만 작게한 경우는, 상술의 계산과 마찬가지로 하여, 다음과같이 표시할 수가 있다.

$$|V'_{S0}| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) - \Delta V \cdot C_{13} / (C_{13} + C_6) \dots \dots \dots (27)$$

$$|V'_{S1}| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) + \Delta V \cdot C_{13} / (C_{13} + C_6) \dots \dots \dots (28)$$

또, 비트선(2)의 전위를 $1/2 \cdot V_{cc}$ 보다 ΔV 만큼만 크게한 경우는, 마찬가지로 하여, 다음의 제(29)식, 제(30)식으로 표시된다.

$$|V''_{S0}| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) + \Delta V \cdot C_{13} / (C_{13} + C_6) \dots \dots \dots (29)$$

$$|V''_{S1}| = 1/2 \cdot V_{cc} \times C_{13} / (C_{13} + C_6) - \Delta V \cdot C_{13} / (C_{13} + C_6) \dots \dots \dots (30)$$

상술의 제(25)식 및 제(26)식과, 제(27)~제(30)식을 비교하면, 제(27)식 및 제(30)식이 비트선(2)의

전위가 $1/2 \cdot V_{cc}$ 일때에 비하여 센스앰프(50)와의 입력 전압차가 작게 되어 있는것을 알 수 있다.

즉, 비트선(2)의 전위를 $1/2 \cdot V_{cc}$ 보다 작게하면, "0"데이타의 판독시의 비트선(2)의 전위를 $1/2 \cdot V_{cc}$ 보다도 크게하면, "1"데이타의 판독시의 센스앰프 입력 전압차가 작게 된다는 것이 표시된다. 즉, 이것을 이용하여, 동작 마진의 적은 메모리셀의 테스트를 간단하게 할 수가 있다.

이하, 실시예에 관하여 설명한다.

제 1 도는 이 발명의 한 실시예의 전기회로도이다. 우선, 제 1 도를 참조하여 이 발명의 한 실시예의 구성에 관하여 설명한다. 이 실시예에서는 2개의 회로(100,200)를 포함하고, 회로(100)는, 메모리셀(1)의 데이타 "0"의 동작마진을 체크하기위하여 설치되어 있다. 이 회로(100)의 입력 단자(10

1)에는, DRAM의 임의의 외부 입력 신호(예를들면 \overline{CAS} 신호)가 부여된다. 또한 외부 입력 신호로써는, 예를들면 I/O신호를 부여하도록 하여도 좋다. 전압 검출 회로(120)는 복수의 n채널 MOS 트랜지스터(N1,N2,...Nn)가 직렬 접속되어 구성되어있어, 각각의 트랜지스터의 드레인과 게이트 전극이 접속되어 있다. 최종란의 n채널 MOS 트랜지스터(Nn)의 소스는 비교적 높은 저항차를 가지는 저항(103)에 의하여 접지된다. n채널 MOS 트랜지스터(Nn)와 저항 소자(103)의 접속 점에 있는 노드(102)에는, p채널 MOS 트랜지스터(104)의 소스와 채널 MOS 트랜지스터(105)는 전원 단자(16)와 접지와의 사이에 직렬 접속되고, 인버터 회로를 구성하고 있다.

더욱 상술의 p채널 MOS 트랜지스터(104)의 드레인은 전원 단자(16)에 접속되고, 그 게이트 전극은 p채널 MOS 트랜지스터(107)와 n채널 MOS 트랜지스터(105)에 의하여 구성되는 인버터 회로의 출력점인 노드(106)에 접속된다. 더우기, 노드(106)에는 p채널 MOS 트랜지스터(110)의 게이트 전극과 n채널 MOS 트랜지스터(108)의 게이트 전극이 접속된다. p채널 MOS 트랜지스터(110)와 n채널 MOS 트랜지스터(108)는 전원 단자(16)와 접지간에 직렬 접속되고, 인버터 회로를 구성하고 있다. 이 인버터 회로의 출력점인 노드(109)에는 n채널 MOS 트랜지스터(111)의 게이트 전극이 접속된다.

이 n채널 MOS 트랜지스터(111)의 드레인은 비트선 전압 공급선(9)에 접속되고, 소스는 접속점(116)에 접속된다. 비트선 전압 공급선(9)은 전원 단자(16)와 접지간에 접속된 정전압 회로를 구성하는 저항(112,114와 115, 117)과의 접속점에 접속되어 있다.

한편, 회로(200)는, 메모리셀의 데이타 "1"의 동작 마진을 시험하기 위하여 설치되어 있다. 회로(200)에 포함되는 전압 검출 회로(220)는 상술의 전압 검출 회로(120)와 마찬가지로 구성되고,

복수의 n채널 MOS 트랜지스터(N'_1, N'_2, \dots, N'_n) 와 저항 소자(203)와 p채널 MOS 트랜지스터(204, 207)와 n채널 MOS 트랜지스터(205)와를 포함한다. 그리고, p채널 MOS 트랜지스터(207)와 n채널 MOS 트랜지스터(205)가 전원 단자(16)와 접지간에 접속되고, 이들에 의하여 인버터 회로가 구성되어 있다. 이 인버터 회로의 출력 끝단인 노드(206)는 p채널 MOS 트랜지스터(211)의 게이트 전극에 접속되고, 이 p채널 MOS 트랜지스터(211)의 소스는 접속점(113)에 접속되고, 드레인은 비트선 전압 공급선(9)에 접속되어 있다.

다음에, 제 1 도에 표시한 전기 회로의 동작에 관하여 설명한다. 지금, MOS 트랜지스터의 스레슬드 전압(V_{TH})을 0.5V로하고, $N=130$ 이라하면, 입력 단자(101)와 노드(102)와 노드(102)와의 사이에 $0.5V \times 13=6.5V$ 이상의 전압을 인가하지 않으면, 이들 n채널 MOS 트랜지스터(N1,N2,...Nn)가 도통하지 않는다. DRAM의 입력 신호의 "H"레벨측의 레벨의 최대치는 6.5V로 규정되어 있어, 통상의 동작에 있어서, 노드(102)는 저항 소자(103)에 의하여 접지되어 있어, "L"레벨로 되어 있다.

이 때문에, p채널 MOS 트랜지스터(107)가 도통하고, 노드(106)는 "H"레벨로되어, n채널 MOS 트랜지스터(108)가 도통하고, 노드(109)는 "L"레벨로 된다. 이 때문에, n채널 MOS 트랜지스터(11)는 비도통으로 되고, 비트선 전압은 이것에 의하여 $1/2 \cdot V_{cc}$ 로 되어 있다.

다음에, 입력 단자(10)의 전압을, 6.5V이상, 예를들면 10V로 설정하면, 노드(102)에는, 대략 $10V-6.5V=3.5V$ 의 전압이 생긴다.

이 때문에, n채널 MOS 트랜지스터((105)가 도통하고, 노드(106)의 레벨은 "L"레벨로 된다. 이것에 의하여 p채널 MOS 트랜지스터(104)가 도통하고, 노드(102)는 전원 전압(V_{cc})의 레벨까지 인상되어 p채널 MOS 트랜지스터(107)가 도통하게 되어, n채널 MOS 트랜지스터(105)가 도통한다. 그것에 의하여, 노드(106)가 완전한 "L"레벨로 되고, p채널 MOS 트랜지스터(110)가 도통하고, n채널 MOS 트랜지스터(108)가 비도통하게 되어, 노드(109)가 전원 전압(V_{cc})의 레벨로 된다. 더우기, n채널 MOS 트랜지스터(111)가 도통하고, 저항(114)은 저소비 전력화를 위하여 비교적 높은 값에 설정되어 있고 아울러 n채널 MOS 트랜지스터(111)의 도통 저항이 낮게 설정되어 있는 것에 의하여, 비트선 전압 공급선(9)과 접속점(116)과의 사이의 전압 강하가 거의 0V로되고, 비트선 전압은 $1/2 \cdot V_{cc}$ 보다 작은 값으로 된다.

즉, 메모리셀(1)의 "0"의 데이타에 대한 동작 마진의 시험이 가능하게 된다. 이 테스트를 위한 단자가 설치되어 있으면, 상술과 같은 것은 불필요하나, 고밀도 실장(實裝)이 필요로하는 DRAM에는 가능한 단자수를 감소시키는 것이 필요하며, 통상은 테스트 단자가 설치되어 있지 않다.

따라서, 이 발명의 실시예에 따르면, 테스트 단자를 설치하는 일 없이 테스트가 가능하게 된다. 또,

\overline{CAS} 입력 신호는 테스트의 기간중에 펄스상으로 가하여져서 그 전압이 0V로 되는 경우도 있으나, 이 경우에서도 p채널 MOS 트랜지스터(104)에 의하여 노드(102)의 레벨은 전원 전압(V_{cc})의 레벨에 유지되므로, 소망의 테스트가 가능하게 된다. 반대로, 이 테스트 상태에서부터 빠져 나가기 위하여는, 전원 전압은 일단 0V로 저하시키면 좋다. 이것에 의하여, 노드(102)의 레벨이 접지 레벨로 되고, 다음에 통상의 동작을 행 할 수가 있다.

또한, 전압 검출 회로(220)의 입력 단자(201)에 외부로부터 통상 동작 범위 이상의 전압에서 \overline{W} 입력 신호를 부여하면, n채널 MOS 트랜지스터(N_1, N_2, \dots, N_n)가 도통하고, 노드(202)가 "H"레벨로 되지만, 이 "H"레벨 신호가 p채널 MOS 트랜지스터(207)와 n채널 MOS 트랜지스터(205)에 의하여 반전되고, 노드(206)는 "L"레벨로 된다. 이 때문에, p채널 MOS 트랜지스터(211)가 도통하고, 비트선 전압이 $1/2 \cdot V_{cc}$ 보다도 크게 설정된다. 이 실시예에서는 비트선 전압이 3종류로 되나, 이 값은 3종류에 한정되지 않고, 테스트 신호를 증가시키는 것에 의하여, 임의의 종류의 전압을 부여하여도 좋다.

즉, 성능 평가를 하는 것과 같은 경우이다. 제 2 도는 이 발명의 다른 실시예를 표시하는 개략 블록도이다. 이 제 2 도에 표시한 실시예는, 입력의 타이밍 조건에 응답하여 비트선 전압을 발생하는 것이다. 이 때문에, 타이밍 검출 회로(31)가 설치되어 이 타이밍 검출 회로(31)에는 \overline{RAS} 신호와 \overline{CAS} 신호와 \overline{W} 신호가 부여된다. 타이밍 검출 회로(31)는 \overline{RAS} 신호가 "L"레벨에 상승할 때에, \overline{CAS} 신호와 \overline{W} 신호가 "L"레벨이면, 테스트 신호(T)를 전환 신호 발생회로(32)에 부여한다. 전환 신호 발생 회로(32)에는 어드레스 신호(A_0)에가 부여되어 있다. 전환 신호 발생 회로(32)는 테스트 신호(T)와 어드레스 신호(A_0)에 응답하여, 비트선 전압 발생회로(33)로부터 출력되는 비트선 전압을 전환한다. 제 3 도는 제 2 도에 표시한 타이밍 검출 회로의 회로도이며, 제 4 도는 제 2 도에 표시한 전환 신호 발생 회로를 표시하는 회로도이며, 제 5 도는 비트선 전압 발생 회로를 표시하는 회로도이다.

다음에 제 3 도 내지 제 5 도를 참조하여, 이 발명의 다른 실시예보다 구체적인 구성에 관하여 설명한다.

제 3 도를 참조하여 \overline{CAS} 신호는 인버터(311)에 부여되어 반전되고 그 출력은 3입력 AND게이트(313)의 1개의 입력 끝단에 부여됨과 아울러 n채널 MOS 트랜지스터(316)의 드레인에 부여된다. \overline{W} 신호는 인버터(312)에 부여되어 반전되어서 AND게이트(313)에 입력됨과 아울러, n채널 MOS 트랜지스터(317)의 드레인에 부여된다. \overline{RAS} 신호는 인버터(314)에 부여되어 반전되고, 원쇼트 펄스 (one short pulse)발생 회로(315)에 부여된다. 원 쇼트 펄스 발생회로(315)는 \overline{RAS} 신호의 하강의 타이밍에 있어서 원 쇼트 펄스를 발생하여 AND게이트(313)에 부여한다. AND게이트(313)의 출력은 n채널 MOS 트랜지스터(316, 317)의 각각의 게이트에 부여된다.

n채널 MOS 트랜지스터(316)의 소스는 인버터(318와 319)로 이루어지는 래치 회로의 입력에 접속되고, n채널 MOS 트랜지스터(317)의 소스는 인버터(320와 321)로 이루어지는 래치 회로의 입력에 접속된다. 각 래치 회로의 출력은 AND게이트(322)에 입력되고, AND게이트(322)의 출력으로부터 테스트 신호(T)가 출력된다.

다음에, 제 4 도를 참조하여, 전환 신호 발생 회로(32)의 구성에 관하여 설명한다. 테스트 신호(T)는 원 쇼트 펄스 발생 회로(324)와 AND게이트(330)의 한쪽 입력 끝단에 부여됨과 아울러 인버터(327)에서 반전되어 OR 게이트(329)의 한쪽 입력 끝단에 부여된다. 원 쇼트 펄스 발생 회로(324)는 테스트 신호(T)에 응답하여 원 쇼트 펄스를 발생하고, n채널 MOS 트랜지스터(323)의 게이트에 부여한다. n채널 MOS 트랜지스터(323)의 드레인에는 어드레스 신호(A_0)가 부여된다. n채널 MOS 트랜지스터(323)의 소스는 인버터(325와 326)로 이루어지는 래치 회로의 입력 끝단에 접속되고, 래치 회로의 출력은 인버터(328)에 의하여 반전되고, OR 게이트(329)의 다른쪽 입력 끝단과 AND게이트(330)는 그 출력 끝단으로부터 V_b 신호를 출력한다.

다음에, 제 5 도를 참조하여, 비트선 전압 발생 회로(33)에 관하여 설명한다. 비트선 전압 발생 회로(33)는 p채널 MOS 트랜지스터(211)와 n채널 MOS 트랜지스터(111)와 저항(112, 114와 115, 117)으로서 구성된다. p채널 MOS 트랜지스터(211)와 n채널 MOS 트랜지스터(111)는 접속점(113과 116)과의 사이에 직렬 접속되고, 전환 신호 발생 회로(32)로부터 출력된 V_a 신호는 p채널 MOS 트랜지스터(211)이 게이트에 부여되고, V_b 신호는 n채널 MOS 트랜지스터(111)의 게이트에 부여된다. 더욱이, 전원과 접지간에는 저항(112)과 p채널 MOS 트랜지스터(211)와 n채널 MOS 트랜지스터(111)와 저항(117)이 직렬 접속되고, p채널 MOS 트랜지스터(211)와 n채널 MOS 트랜지스터(111)에 대하여, 병렬로 저항(114)와 115)이 직렬 접속된다. 저항(114와 115)과의 접속점으로부터 비트선 전압이 출력된다.

제 6 도는 제 3 도에 표시한 타이밍 검출 회로의 동작을 설명하기 위한 타이밍도이다. 다음에 제 3 도 내지 제 6 도를 참조하여, 이 발명의 다른 실시예의 동작에 관하여 설명한다. 전원 투입시에는, 타이밍 검출 회로(35)이 인버터(318과 319 및 320과 321)로부터 구성되는 래치회로의 각각의 출력은 자동적으로 "L"레벨로 되도록 설정되어 있다.

따라서, 이들의 래치 회로의 출력을 입력으로 하는 AND게이트(322)의 출력은 "L"레벨로 되어있다. 이 상태는 래치 회로에 의하여 유지되기 때문에, 통상의 동작 상태에서는, 테스트 신호(T)는 "L"레벨로 되어있다. 이 상태에서부터 \overline{RAS} 신호의 하강시에 \overline{CAS} 신호와 \overline{W} 신호가 "L"레벨로 되면 테스트 상태로 이동한다.

즉, 제 6a 도에 표시하는 것과 같이, \overline{RAS} 신호가 하강하면, 인버터(314)에 의하여 \overline{RAS} 신호가 반전되고, 원 쇼트 펄스 발생 회로(315)는 제 6d 도에 표시하는 것과 같은 원 쇼트 펄스 신호를 발생

하여 AND게이트(313)에 부여한다. 이때, 제 6b, c 도에 표시하는 것과 같이, $\overline{\text{CAS}}$ 신호와 $\overline{\text{W}}$ 신호가 각각 "L"레벨에 되어있으면, 각각의 신호가 인버터(311, 312)에 의하여 반전되고, AND게이트(313)가 열린다.

그 결과, 원 쇼트 펄스는 n채널 MOS 트랜지스터(316, 317)에 부여되고, 이들의 n채널 MOS 트랜지스터(316, 317)가 도통한다. n채널 MOS 트랜지스터(316, 317)가 도통한 것에 의하여, "L"레벨에 하강

하고 있는 $\overline{\text{CAS}}$ 신호와 $\overline{\text{W}}$ 신호가 각각 인버터(318와 319)로 이루어지는 래치 회로 및 인버터(320과 321)로 이루어지는 래치 회로에 부여된다.

그 결과, 각 래치 회로의 출력이 반전하고, "H"레벨 신호가 AND 게이트(322)에 부여된다. 따라서, AND 게이트(322)의 출력인 테스트 신호(T)가 "H"레벨로 되고 테스트 상태에 들어간다. 그후,

$\overline{\text{RAS}}$ 신호와 $\overline{\text{CAS}}$ 신호와 $\overline{\text{W}}$ 신호의 타이밍 조건은 통상 조건이 되기때문에, 상술의 조건이 만족 되지 못하고, n채널 MOS 트랜지스터(316, 317)가 도통하지 않기 때문에, 래치 회로가 반전하지 않고, 테스트 신호(T)의 레벨은 "H"레벨에 유지되고, 테스트 상태가 계속되는 것이 된다. 상술하는 것과 같이, 테스트 신호(T)가 "H"레벨로 되면, 제 4 도에 표시한 전환 신호 발생 회로(32)의 원 쇼트 펄스 발생 회로(324)로부터 원 쇼트 펄스가 발생되고, n채널 MOS 트랜지스터(323)가 도통한다. 그 결과, 어드레스 신호(A_0)가 인버터(325와 326)로 이루어지는 래치 회로에 부여된다. 어드레스 신호(A_0)가 "L"레벨로 된다. "H"레벨의 테스트 신호(T)는 인버터(327)에 의하여 발전되어 OR 게이트(329)에 부여되고 있어, 인버터(328)의 출력도 "L"레벨이기 때문에, OR 게이트(329)는 "L"레벨의 V_A 신호를 출력하고, AND 게이트(330)도 "L"레벨의 V_B 신호를 출력한다. "L"레벨의 V_A 신호는 제 5 도에 표시한 비트선 전압 발생 회로(33)의 p채널 MOS 트랜지스터(211)의 게이트에 부여되어, V_B 신호는 n채널 MOS 트랜지스터(111)의 게이트에 부여된다. 응하여 p채널 MOS 트랜지스터(211)는 도통하고, n채널 MOS 트랜지스터(111)는 비도통하게 된다. 그 결과, $1/2 \cdot V_{cc}$ 보다도 낮은 비트선 전압이 출력된다.

만약, 어드레스 신호(A_0)가 "H"레벨로되면, 래치 회로의 출력은 "L"레벨로되고, 인버터(328)의 출력은 "H"레벨로되기 때문에, OR 게이트(329)의 출력은 V_A 신호는 "H"레벨로 되고, AND 게이트(330)의 출력인 V_B 신호도 "H"레벨로 된다.

그 결과, 비트선 전압 발생 회로(33)의 p채널 MOS 트랜지스터(211)가 비도통하게되고, n채널 MOS 트랜지스터(111)가 도통하기 때문에, 비트선 전압은 $1/2 \cdot V_{cc}$ 보다도 크게된다. 또한, 통상 동작시에 있어서는, 테스트 신호(T)는 "L"레벨에 되어 있기때문에, V_A 신호가 "H"레벨로 되고, V_B 신호는 "L"레벨에 되어 있기때문에, p채널 MOS 트랜지스터(211) 및 n채널 MOS 트랜지스터(111)는 각각 도통하지 않고, 저항(112, 114)와 115, 117)에 의하여 분압된 $1/2 \cdot V_{cc}$ 이 전압이 출력되는 것이 된다. 상술하는 것과 같이, 입력 조건에 의하여 표에 표시하는 셀플레이트 전압이 발생한다.

표

	T	AO	VA	VB	비트선 전압
동 상	"L"	"L"	"H"	"L"	$1/2 \cdot V_{cc}$
동작시	"L"	"H"	"H"	"L"	$1/2 \cdot V_{cc}$
테스트시	"H"	"L"	"L"	"L"	$1/2 \cdot V_{cc} - \Delta V$
		"H"	"H"	"H"	$1/2 \cdot V_{cc} - \Delta V$

제 7 도는 이 발명의 그 다른 실시예를 표시하는 개략 블록도이다.

이 제 7 도에 표시한 실시예는, 고전압 검출 회로(34)와 타이밍 검출 회로(35)와를 조합하여 테스트 상태를 설정하는 것이다.

즉 고전압 검출 회로(34)는 $\overline{\text{CAS}}$ 신호로써 고전압이 부여된 것을 검출하고, 그 검출 출력 및 타이밍 검출 회로(35)가 상술의 제 2 도에 표시한 실시예와 마찬가지로, $\overline{\text{RAS}}$ 신호의 하강시에 $\overline{\text{CAS}}$ 신호와 $\overline{\text{W}}$ 신호가 "L"인 것을 검출한 것에 응답하여 테스트 신호(T)를 발생한다.

전환 신호 발생 회로(32)와 비트선 전압 발생 회로 (33)는 상술의 제 2 도에 표시한 실시예와 동일하다.

제 8 도는 제 7 도에 표시한 고전압 검출 회로의 회로도이며, 제 9 도는 타이밍 회로도의 회로도이다.

다음에 제 8 도 및 제 9 도를 참조하여, 이 발명의 그 다른 실시예보다 구체적인 구성에 관하여 설명한다.

고전압 검출 회로(34)는 상술의 제 1 도와 마찬가지로하여, n채널 MOS 트랜지스터($N_1, N_2, \dots, N_n, 105, 108$)와, p채널 MOS 트랜지스터(104, 107, 110)와, 저항(103)과를 포함한다.

타이밍 검출 회로(35)는 제 9 도에 표시하는 것과 같이, AND게이트(322)의 출력과 고전압 검출 회로(34)로부터의 검출 신호(C2)의 입력되는 AND게이트(323)가 설치된 이외는 상술의 제 3 도와 마찬가

지로서 구성된다.

다음에, 이 발명의 그 다른 실시예의 동작에 관하여 설명한다.

제 8 도를 참조하여, 고전압 발생 회로(34)는 $\overline{\text{CAS}}$ 신호로써 고전압이 인가되지 않는 상태, 예를 들면 $\overline{\text{CAS}}$ 신호가 6.5V이하이면, 제 1 도의 설명과 마찬가지로, p채널 MOS 트랜지스터(107)가 도통하고, "H"레벨 신호가 n채널 MOS 트랜지스터(108)에 부여된다.

그것에 의하여, n채널 MOS 트랜지스터(108)가 도통하고, 출력 신호(C2)는 "L"레벨로 된다. $\overline{\text{CAS}}$ 신호로써 6.5V이상, 예를들면 전압이 부여되면, 노드(102)에는, 3.5V의 전압이 생기고, n채널 MOS 트랜지스터(105)가 도통하고, 노드(106)가 "L"레벨로 된다.

그 결과, p채널 MOS 트랜지스터(104)가 도통하고, 노드(102)는 전원 전압(Vcc)의 레벨까지 인상되어 p채널 MOS 트랜지스터(107)가 비도통으로 되어, n채널 MOS 트랜지스터(105)의 도통한다. 그것에 의하여, 노드(106)가 완전한 "L"레벨로 되고, p채널 MOS 트랜지스터(110)가 도통하고, n채널 MOS 트랜지스터(108)가 비도통으로되어, 노드(109)가 "H"레벨로 된다.

따라서, 고전압 검출 회로(34)로부터 "H"레벨의 검출 신호(C2)가 타이밍 검출 회로(35)에 포함되는 AND게이트(323)에 부여된다.

또, 타이밍 검출 회로(35)는 상술의 제 3 도의 설명과 마찬가지로, $\overline{\text{RAS}}$ 신호의 하강시에 $\overline{\text{CAS}}$ 신호와 $\overline{\text{W}}$ 신호가 "L"레벨이면, AND게이트(322)의 출력으로부터 "H"레벨의 신호를 AND게이트(323)에 부여한다.

그 결과, AND게이트(323)로부터 "H"레벨의 테스트 신호(T)가 전환 신호 발생 회로(32)에 부여된다.

전환 신호 발생 회로(32)는 어드레스 신호(A₀)에 응하며, 상술의 제 3 도의 설명과 마찬가지로, 비트선 전압 발생 신호(33)로부터 비트선 전압을 발생시킨다.

이상과 같이, 이 발명에 의하면, 테스트 모드를 검출한 것에 응답하여, 통상의 사용시에 부여되는 전압보다도 높은 제 1 의 전압과 그것보다도 낮은 제 2 의 전압과를 메모리셀 트랜지스터의 한쪽의 전극에 부여되도록 하였으므로, 마진의 적은 메모리셀의 시험을 단시간에서 행 할 수가 있다. 또한, 상술하는 것과 같이, 그들의 전압은 상하 1종류식이 아니고, 테스트 신호를 증가시키면 임의의 종류에 설정할 수 있는 것은 물론이다.

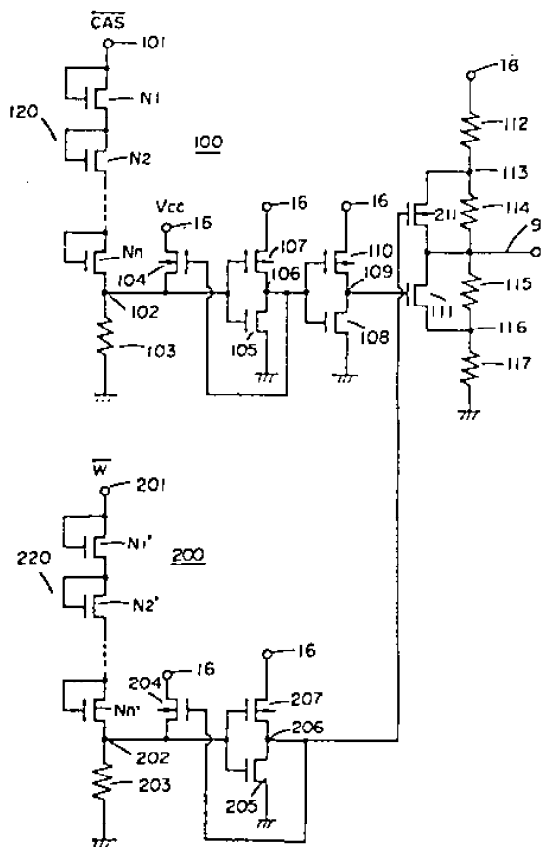
(57) 청구의 범위

청구항 1

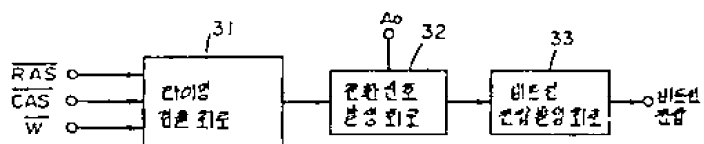
1개의 절연 게이트형 전계 효과 트랜지스터와 1개의 용량으로 이루어지는 메모리셀을 복수 포함하는 반도체 기억 회로에 있어서, 상기 절연 게이트형 전계 효과 트랜지스터의 한쪽의 전극이 접속된 비트선에 전압을 부여하는 정전압 발생 수단, 및 테스트 모드 검출 회로를 포함하고, 해당 테스트 모드 검출 회로가 테스트 모드를 검출한 것에 응답하여, 통상 사용시에 부여되는 전압보다도 높은 적어도 1개의 제 1 의 전압과, 해당 제 1의 전압보다도 낮은 적어도 1개의 제 2 의 전압을 상기 정전압 발생 수단으로부터 발생 시키는 제어 수단을 구비한 반도체 기억 회로.

도면

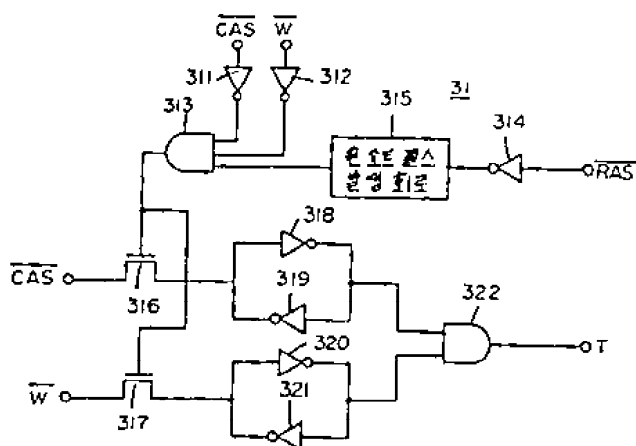
도면1



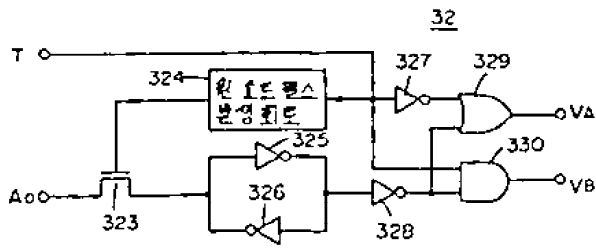
도면2



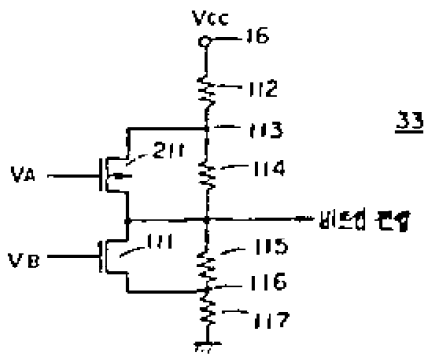
도면3



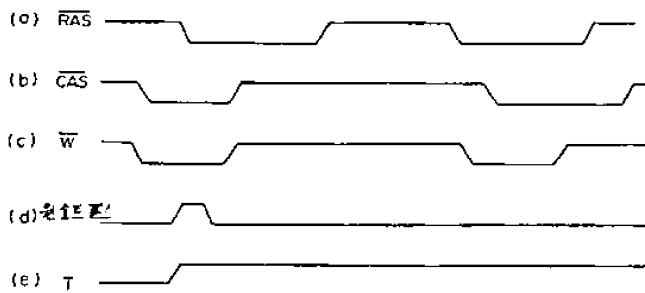
도면4



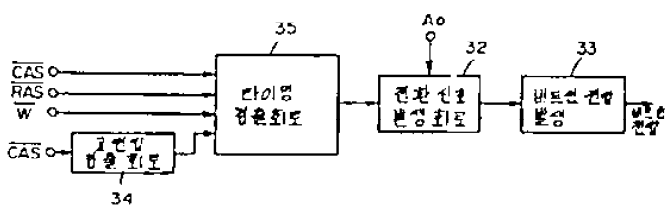
도면5



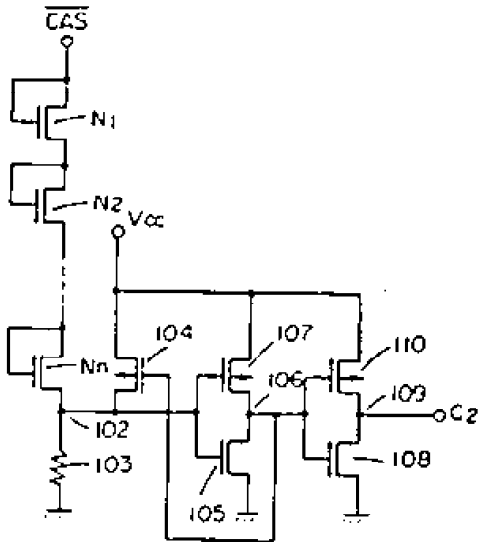
도면6



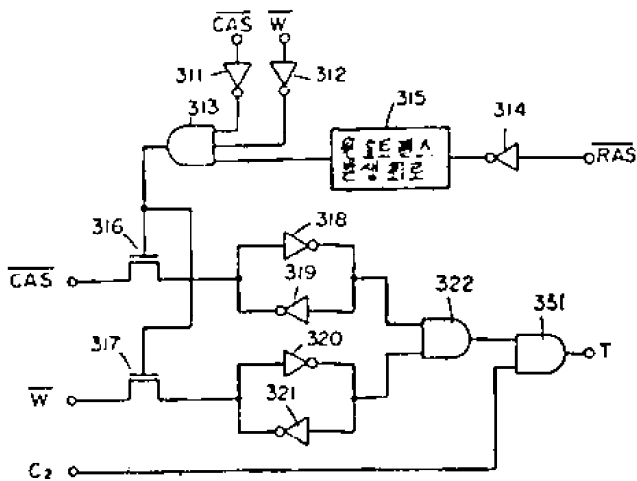
도면7



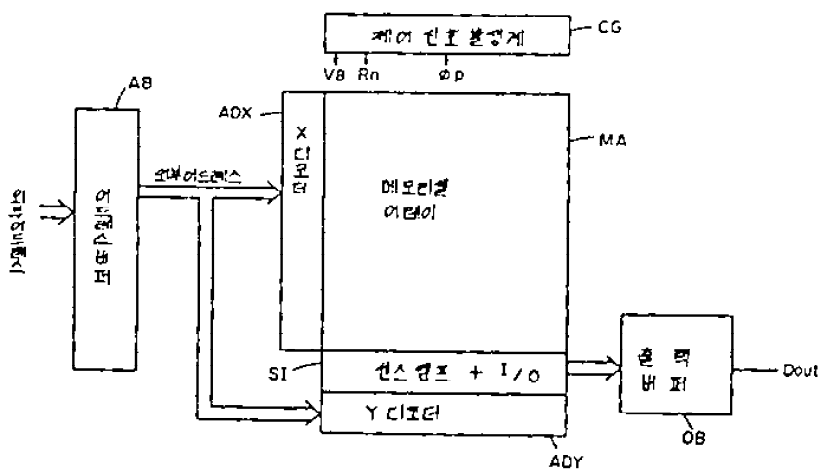
도면8



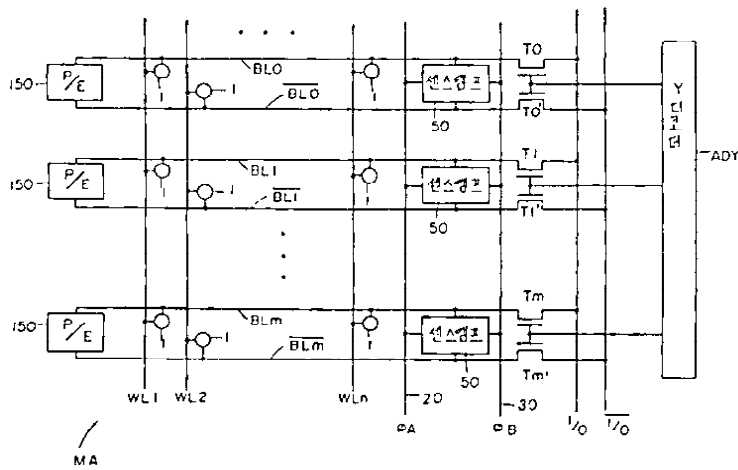
도면9



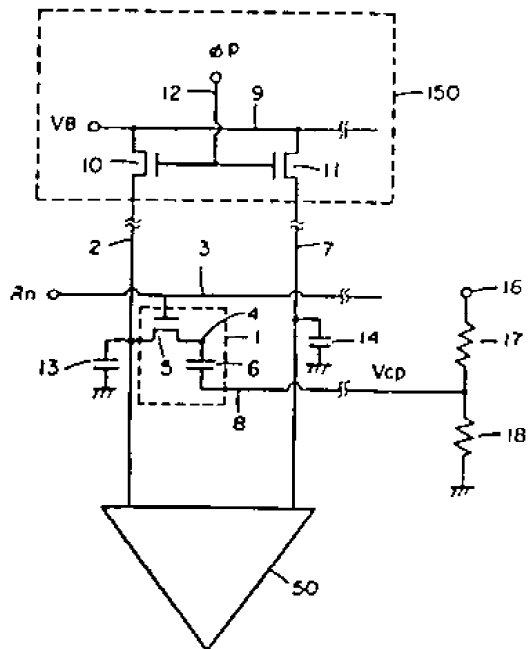
도면10



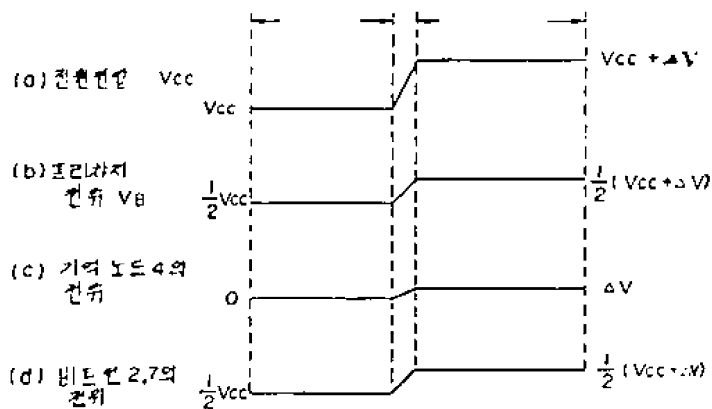
도면11



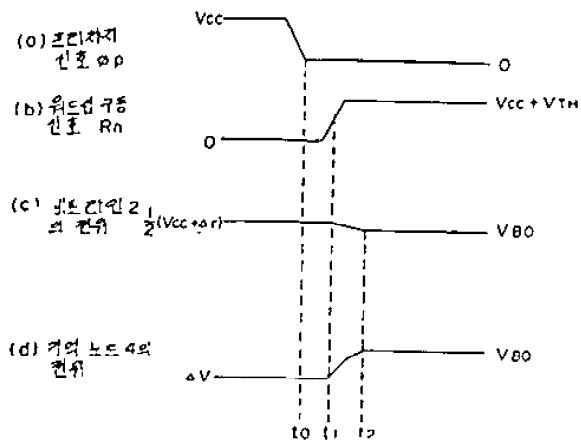
도면12



도면13



도면 14



도면 15

비트라인 전위	"0"	"1"
V_{cc}	$-\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} (V_{cc} - \Delta V)$	$\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} (V_{cc} + \Delta V)$
고 령	$-\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} (V_{cc} + \Delta V)$	$\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} (V_{cc} - \Delta V)$
$\frac{1}{2} V_{cc}$	$-\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} V_{cc}$	$\frac{1}{2} \cdot \frac{C_6}{C_{13} + C_6} V_{cc}$