

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
G11B 5/02

(11) 공개번호 특2002 - 0036769
(43) 공개일자 2002년05월16일

(21) 출원번호 10 - 2001 - 0069963
(22) 출원일자 2001년11월10일

(30) 우선권주장 09/709,699 2000년11월10일 미국(US)

(71) 출원인 텍사스 인스트루먼트 인코포레이티드
윌리엄 비. 캠퍼러
미국 75251 텍사스주 달라스 메일 스테이션 3999 처칠 웨이 7839

(72) 발명자 지양홍
미국75024텍사스주플레이노스펜서드라이브4628
란무쓰인듀미니
미국75025텍사스주플레이노그린우드8012

(74) 대리인 주성민
장수길

심사청구 : 없음

(54) 하드 디스크 드라이브 시스템에서 차동 전치 증폭기회로의 기입 - 판독 스위칭 개선

요약

본 발명은 하드 디스크 드라이브의 헤드와 관련된 신호를 연속적으로 증폭하는 동작을 행하는 상호 결합된 다수의 증폭기 단들을 포함하는 전치 증폭기 회로에 관한 것이다. 전치 증폭기 회로는 증폭기 단들에 동작가능하게 결합되어 하드 디스크 드라이브가 기입 상태에서 판독 상태로 전이될 때 사실상 동시 결합 방식(concurrent manner)으로 증폭기 단들에 전력을 공급하는 동작을 행하는 전력 전달 회로를 더 포함한다. 또한, 이 회로는 증폭기 단들에 동작가능하게 결합되어, 증폭기 단들에 전력을 공급한 이후에 대체로 연속적인 방식으로 다수의 증폭기 단들 중의 적어도 2개를 활성화하는 동작을 행하는 제어 회로를 포함한다. 상기 방식에서는 전치 증폭기 회로를 통한 글리치(glitch)의 전파를 사실상 차단하고 사실상 고속인 기입 - 판독 전이 시간을 제공함으로써 전치 증폭기 회로의 출력의 포화를 방지한다.

대표도
도 5

색인어

전치 증폭기, 하드 디스크 드라이브, 고역 통과 필터, 저역 통과 필터, 증폭기 단, 전력 전달 회로

명세서

도면의 간단한 설명

도 1은 종래 기술의 디스크 드라이브 대용량 저장 시스템의 투시도.

도 2는 디스크 드라이브 대용량 저장 시스템에서 판독/기입 동작에 관련된 회로를 도시한 개략도.

도 3은 판독/기입 헤드를 정확하게 위치시키는데 사용하기 위한 관련 서보(servo) 웨지(wedge)를 갖는 플래터(platter)를 도시한 평면도.

도 4는 증가하는 DC 바이어스 전압 제어 구성을 갖는 종래의 4-단 전치 증폭기 회로를 도시한 개략도.

도 5는 본 발명에 따라, 기입 - 판독 스위칭 시간이 더욱 개선된, DC 바이어스 전압 배치와 스quelch(squelch) 회로를 갖는 4-단 전치 증폭기를 도시한 개략도.

도 6은 본 발명의 일 양상에 따라, 도 5의 다양한 스quelch 회로를 비활성화시키기 위한 타이밍 신호를 도시한 일련의 파형도.

도 7은 본 발명의 일 양상에 따라, 기입 상태에서 판독 상태로의 전이 시에 사용되는 제1 및 제2 주파수 사이의 컷오프 주파수를 조정하기 위한 회로를 포함하는 전치 증폭기 회로의 하나의 증폭기 단을 도시한 개략도.

도 8a는 본 발명의 일 양상에 따라, 제1 및 제2 주파수 사이에서 전치 증폭기에 관련된 폴(pole)을 시프팅 하는 회로를 도시한 블록도.

도 8b는 본 발명에 따라, 제1 및 제2 주파수 사이에서 폴을 시프팅 하는 일례를 도시한 일련의 파형도.

도 9는 본 발명에 따라, 기입 - 판독 스위칭 시간에서 본 발명에 따른 다양한 양상의 실행 효과를 도시한 일련의 파형도.

도 10은 본 발명의 다른 양상에 따라, 하드 디스크 드라이브 전치 증폭기 회로에서 기입 - 판독 스위칭 시간을 감소시키는 방법을 도시한 흐름도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 대용량 저장 장치에 관한 것으로서, 보다 구체적으로는, 전치 증폭기 회로에서 기입 - 판독 스위칭 시간을 개선하기 위한 시스템 및 방법에 관한 것이다.

도 1에 도시된 예시적인 드라이브(10)와 같은 하드 디스크 드라이브는 정보를 저장하기 위해 사용되는 자성 코팅된 플래터(12)의 스택을 포함한다. 자성 코팅된 플래터(12)는 플래터 스택으로 나타내는 적층된 위치에서 스핀들(14)을 통해 함께 탑재된다. 플래터 스택은 일반적으로 스핀들 모터 또는 서보 모터(도시되지 않음)로 나타내는 모터에 의해 회전된다. 정보가 저장되고 검색될 수 있도록 그와 관련된 판독/기입 헤드 또는 슬라이더(20)를 가지는 암(arm)(18)이 각각의 플래터(12)의 각 측면상에 배치될 수 있도록 각각의 플래터 사이에 공간이 제공된다. 정보는 각각의 플래터(12)의 각 측면에 저장되고 일반적으로 섹터, 트랙, 존(zone) 및 실린더로 편성된다.

판독/기입 헤드의 각각이 원하는 대로 위치할 수 있도록 판독/기입 헤드 또는 슬라이더(20)의 각각은 전용 서스펜션 암(18)의 한쪽 단부에 탑재된다. 서스펜션 암(18) 각각의 정반대 단부는 보이시 코일 모터(voice coil motor, VCM)(16)에서 함께 결합되어 보이시 코일 모터에 의해 배치가 가능한 하나의 유닛 또는 어셈블리(종종 헤드 스택 어셈블리로 나타냄)를 형성한다. 서스펜션 암(18)의 각각은 서로에 대해 고정된 위치에 제공된다. 보이시 코일 모터(16)는 활성 판독/기입 헤드(20)가 정보를 판독하거나 또는 기입하기 위해 적절히 위치되도록 모든 서스펜션 암(18)을 배치한다. 판독/기입 헤드(20)는 데이터가 저장되어 있는 각각의 플래터(12)의 적어도 안쪽 지름에서 바깥쪽 지름으로 이동할 수 있다. 이러한 거리는 데이터 스트로크(data stroke)로 나타낼 수 있다.

또한 하드 디스크 드라이브는 데이터를 처리하고 전체 동작을 제어하기 위해 다양한 전자 회로를 포함한다. 이러한 전자 회로는 전치 증폭기, 판독 채널, 기입 채널, 서보 제어기, 모터 제어 회로, 롬(ROM), 램(RAM) 및 다양한 디스크 제어 회로(도시되지 않음)를 포함하여 하드 디스크 드라이브의 동작을 제어하고 하드 디스크 드라이브를 시스템 버스에 적절히 인터페이스할 수 있다. 전치 증폭기는 판독 전치 증폭기 및 기입 전치 증폭기 - 기입 드라이버로도 나타냄 - 을 포함할 수 있다. 전치 증폭기는 단일 집적 회로로 구현되거나 또는 판독 전치 증폭기, 및 기입 전치 증폭기 또는 기입 드라이버와 같이 개별적인 집적 회로로 구현될 수 있다. 일반적으로, 디스크 제어 회로는 하드 디스크 드라이브의 동작 및 인터페이스를 제어하기 위해 메모리에 저장된 명령들을 실행하기 위한 개별적인 마이크로프로세서를 포함한다.

하드 디스크 드라이브는 데이터를 저장하고 검색할 경우 기입, 판독 및 서보 동작을 실행한다. 일반적으로, 기입 동작은 시스템 버스로부터 데이터를 수신하는 단계 및 램에 데이터를 저장하는 단계를 포함한다. 마이크로프로세서는 정보가 기입 채널을 통해 램으로부터 플래터(12)로 전송될 수 있도록 일련의 이벤트를 계획한다. 정보가 전송되기 이전에, 판독/기입 헤드(20)는 적당한 트랙에 위치하고, 트랙의 적당한 섹터가 찾아진다. 그 후, 램으로부터의 데이터는 디지털 기입 신호로서 기입 채널과 통신한다. 기입 채널은 디지털 기입 신호를 처리하고 아날로그 기입 신호를 생성한다. 이 때, 데이터가 나중에 보다 신뢰성있게 검색될 수 있도록 기입 채널은 데이터를 인코딩할 수 있다. 그 후, 디지털 기입 신호는 먼저 전치 증폭기에 의해 처리된 다음 적당한 판독/기입 헤드(20)로 공급된다. 인접한, 자성이 침투가능한 코어 - 상기 코어는 디스크와 관련된 매체들의 작은 패턴 또는 디지털 비트를 자화시키기 위해 디스크의 공간을 가로질러 자계 신호를 송신함 - 에 자계가 유도되도록 헤드(20)의 코일에 전류를 인가함으로써 기록 매체 또는 플래터(12)로 데이터 기입이 일반적으로 실행된다.

판독 동작에 관련된 회로는 도 2에 도시되고, 참조 번호 30으로 표시된다. 판독 동작에서, 판독될 적당한 섹터가 찾아지고 이전에 플래터(12)로 기입되었던 데이터가 검출된다. 적당한 판독/기입 헤드(20)(도 2에서 자기성 저항 로드(magneto - resistive loads)(20a로 도시됨)는 자속의 전이를 감지하고 대응하는 아날로그 판독 신호를 생성한다. 아날로그 판독 신호는 전치 증폭기 회로(32)가 아날로그 판독 신호를 증폭하는 전자 회로로 다시 공급된다. 그 후, 증폭된 아날로그 판독 신호는 판독 채널이 신호를 처리하고 신호로부터 "제로(zero)"와 "일(one)"을 검출하여 디지털 판독 신호를 생성하는 판독 채널 회로(34)로 공급된다. 판독 채널은, 예를 들면, 자동 이득 제어(AGC) 기술을 사용하는 적당한 레벨로 신호를 증폭함으로써 신호를 처리할 수 있다. 그 후, 판독 채널은 신호를 필터하여 원하지 않는 고 주파수 노이즈를 제거하고, 채널을 이퀄라이즈(equalize)시키며, 신호로부터 데이터 리커버리(data recovery)를 실행하고, 디지털 판독 신호를 포맷한다. 그 다음, 디지털 판독 신호는 판독 채널로부터 전송되고 램(도시되지 않음)에 저장된다. 그 후, 마이크로프로세서는 데이터가 전송될 준비가 된 호스트와 통신한다.

판독 채널 회로(34)는 공지되거나 또는 사용가능한 다양한 판독 채널들 중 임의의 것을 사용하여 구현될 수 있다. 예를

들면, 판독 채널(34)은 피크 검출형 판독 채널 또는 이산 시간 신호 처리를 사용하는 판독 채널의 보다 진보된 형태로 구현될 수 있다. 피크 검출형 판독 채널은 증폭된 아날로그 판독 신호를 검출하고 파형 레벨이 샘플링 윈도우 동안에 임계 레벨 이상인지를 판단하는 레벨을 포함한다. 이산 시간 신호 처리형 판독 채널은 데이터 리커버리 클럭을 사용하여 증폭된 아날로그 판독 신호를 동기적으로 샘플한다. 그 후 샘플은 디지털 판독 채널을 생성하기 위해, 신호 처리 이론을 사용하는 일련의 수학적 처리를 통해 처리된다. PRML(Partial response, maximum likelihood) 채널; 확장된 PRML 채널; 개선 및 확장된 PRML 채널; 고정 지연 트리 서치 채널(fixed delay tree search channel); 및 결정 피드백 이퀄라이제이션 채널(decision feedback equalization channel)과 같은 몇가지 종류의 이산 시간 신호 처리 판독 채널이 존재한다.

디스크 플래터(12)가 회전함에 따라, 표면의 데이터를 정확하게 판독하기 위해서 특정 트랙상에 판독/기입 헤드(20)가 배열 또는 잔류해야 한다. 이것은 서보 제어 루프에 제공되는 서보 제어기를 사용하는 서보 동작에 의해 구현된다. 예시적인 플래터(12)의 평면도를 나타내는 도 3을 참조하면, 서보 동작에서 서보 웨지(40)는 일반적으로 트랙 식별 정보 및 트랙 오들록 정보(44)를 포함하는 트랙(42)으로부터 판독된다. 또한, 트랙 오들록 정보는 위치 에러 정보로서 나타낼 수 있다. 위치 에러 정보(44)는 서보 버스트로서 제공될 수 있고 판독 및 기입 동작 동안에 사용되어 판독/기입 헤드가 트랙상에 적절히 배열되었는지를 보장할 수 있다. 위치 에러 정보를 수신한 결과, 서보 제어기는 대응하는 제어 신호를 생성하여 보이스 코일 모터를 통해 판독/기입 헤드(20)를 위치시킨다. 서보 웨지(40)로부터의 트랙 식별 정보(44)가 판독 및 기입 동작동안에 사용되어 트랙(42)이 적절하게 식별될 수 있다.

하드 디스크 드라이브 설계자들은 높은 신호 - 대 - 잡음비 및 낮은 비트 에러율로 동작하는, 보다 높은 용량의 드라이브를 제공하기 위해 노력한다. 보다 높은 용량을 얻기 위해서는, 각각의 플래터의 측면에 저장되는 데이터의 밀도가 증가해야 한다. 이것은 하드 디스크 드라이브 전자 회로에 상당한 부담을 준다. 예를 들면, 밀도가 증가함에 따라, 플래터상에 데이터를 저장하기 위해 사용되는 자성 전이는 서로 보다 가깝게 물리적으로 위치해야 한다. 이것은 종종 판독 동작을 실행할 경우 심볼간의 간섭(intersymbol interference)을 초래한다. 결과적으로, 하드 디스크 드라이브 전자 회로는 심볼간 간섭 및 보다 높은 주파수의 판독 신호를 정확히 처리하기 위해 보다 높은 주파수에서 동작하는 보다 복잡한 처리 회로를 제공하여야 한다. 소정의 경우에서, 스핀들 모터 속도가 증가하는데 이는 판독 신호 및 기입 신호의 주파수를 더 증가시킨다. 또한, 밀도의 증가는 판독/기입 헤드의 위치 해상도(resolution)를 증가시키기 위해 서보 제어 시스템이 보다 높은 대역폭을 가지도록 요구한다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이, 증가된 데이터 저장 밀도를 보장하기 위해서는, 스핀들 모터 속도는 약 5400 RPMs의 플래터 회전 속도로부터 약 7200 RPMs 이상으로 증가된다. 증가된 속도를 보장하기 위해서는, 헤드(20)의 기입 - 판독 전이 시간이 중요하게 된다. 예를 들면, 기입 동작이 실행될 경우, 플래터가 그 아래로 회전함에 따라 헤드(20)는 플래터(12)상의 트랙(42)을 가로지른다. 도 3에 도시된 바와 같이, 서보 영역 또는 웨지(40)를 만날 경우, 저장된 서보 정보를 판독하기 위해 헤드(20)는 기입 상태에서 판독 상태로 빠르게 전이되고, 그 후, 플래터(12)로 데이터를 계속해서 기입하기 위해 기입 상태로 다시 빠르게 전이한다. 기입 - 판독 전이 시간이 느리면, 플래터는 일반적으로 일정한 속도로 회전하기 때문에 서보 웨지(40)가 보다 커야 한다. 많은 서보 웨지(40)가 플래터(12)상에 존재(예를 들면, 약 60개)하기 때문에, 최적화된 기입 - 판독 전이 시간은 웨지(40)가 최소로 될 수 있게끔 하고, 이로 인해 그 위의 데이터 저장 밀도가 증가한다.

따라서, 본 기술 분야에서는, 저감된 기입 - 판독 스위칭 시간을 제시하는 전치 증폭기 회로를 제공할 필요성이 있다.

발명의 구성 및 작용

본 발명은 하드 디스크 드라이브 전치 증폭기 회로에서 기입에서 판독으로의 스위칭 시간(이하, '기입 - 판독 스위칭 시간'이라고 함)을 줄이기 위한 시스템 및 방법에 관한 것이다.

본 발명에 따르면, 전치 증폭기 회로의 포화를 방지하기 위하여 스테저드 스quelch 비활성 메카니즘(staggered squelch deactivation mechanism)을 도입하는 한편, 전치 증폭기의 모든 단으로 DC 바이어스 전압을 동시에 인가함으로써, 기입 - 판독 스위칭 시간은 종래 기술의 전치 증폭기 회로로부터 저감된다. DC 바이어스 전압을 전치 증폭기 회로의 모든 단에 사실상 동시에 인가시킴으로써, 모든 증폭기 단에 관련된 설정 시간이 줄어들고, 그럼으로써 기입 상태에서 판독 상태로 전이할 때 보다 더 이른 시간에 전치 증폭기 회로가 데이터 판독을 시작할 수 있게 된다. 또한, 스테저드 스quelch 비활성 메카니즘에 의해, DC 바이어스 전압에 의해 발생할 수 있는 글리치에 의해 전치 증폭기 회로가 포화되는 것을 방지함으로써, DC 바이어스 전압을 동시에 인가할 수 있게 된다.

또한 본 발명은 스테저드 스quelch 비활성 메카니즘으로 인해 발생할 수 있는 저 주파수 글리치로 인해 전치 증폭기 회로가 포화되는 것을 방지하는 동작을 하는 전치 증폭기 회로의 폴 시프팅 성분을 포함할 수 있다. 폴 시프팅 성분은 활성 시에 폴이 소정의 기간동안 시프팅 되도록, 선택적으로 적용 가능하거나 프로그램 가능하고, 이때 고역 통과 필터에 관련된 컷오프 주파수가 증가되어 그 전치 증폭기 회로를 통한 어떠한 글리치를 차단할 수 있게 된다. 그 소정의 기간 후에, 그 폴이 그 원래의 위치로 다시 시프트됨으로써, 고역 통과 필터의 컷오프 주파수를 감소시켜 낮은 주파수에서 데이터의 판독이 신속한 방식으로 일어날 수 있게 된다.

본 발명의 일 양상에 따르면, 전치 증폭기 회로는 하드 디스크 드라이브 헤드에 의해 검출되는 신호를 연속적으로 증폭하는 동작을 하는 다수의 증폭기 단을 포함한다. 또한 전치 증폭기 회로는 증폭기 단에 동작가능하게 결합되어 사실상 동시 결합 방식으로 증폭기 단의 각각에 전원을 공급하는 동작을 하는 전력 전달 회로를 더 포함함으로써, 관련된 설정 시간을 줄인다. 또한, 제어 회로는 증폭기 단에 동작가능하게 결합되어, 관련된 스quelch 메카니즘을 스테저드(staggered) 방식으로 비활성화함으로써 증폭기 단을 활성시키는 동작을 하고, 이에 의해 전치 증폭기 회로를 포화시키는 것으로부터, 증폭기 단들의 사실상 전력의 동시 인가에 관련된 글리치를 제거하거나 줄인다.

본 발명의 다른 양상에 따르면, 전치 증폭기 회로는, 프로그램 가능한 고역 통과 필터 회로를 형성하는 증폭기 단과 인터페이스하는 동작을 하는 증폭기 단의 하나와 동작가능하게 결합되는 폴 시프팅 회로를 포함한다. 고역 통과 필터는, 판독 상태가 검출될때, 예를들어 관련된 컷오프 주파수가 증가되어 DC 바이어스의 동시 인가 및/또는 스테저드 스quelch 비활성에 의해 발생할 수 있는 저 주파수 노이즈를 차단(reject)하고, 전치 증폭기 회로의 포화를 방지할 정도로, 프로그램 가능하다. 소정의 기간 후에, 낮은 신호 주파수에서 존재할 수 있는 데이터의 통과가 가능해 지도록 하기위해, 대략 그 원래의 위치에 관련된 폴을 시프트함으로써 컷오프 주파수가 감소된다.

본 발명의 또 다른 양상에 따르면, 전치 증폭기 회로는, 직렬로 서로 결합되는 다수의 차동 증폭기 단을 포함한다. 전치 증폭기 회로는, 판독 모드가 검출되는 때와 거의 동일한 시간에 증폭기 단의 각각에 플러스 및 마이너스 DC 바이어스 전압을 전달하도록 동작할 수 있는 DC 바이어스 전달 회로를 포함한다. 대략 동일한 시간에 각각의 증폭기 단으로의 DC 바이어스 전압의 인가로, 모든 증폭기 단에 대한 전체 설정 시간을 줄이며, 또한 종래의 방법보다 더욱 빠르게 데이터를 판독하게 한다. 또한, 전치 증폭기 회로는, 판독 모드가 검출된 이후의 소정 타이밍에 따라 스테저드 방식으로 다중 증폭기 단의 차동 입력 또는 출력을 쇼트 아웃(short out)하도록 동작할 수 있는 스quelch 회로를 포함한다. 다중 증폭기 단에 대한 다양한 스quelch 조건의 비활성화를 스테저링함으로써, 사실상 DC 바이어스 전압의 동시 인가와 앞선 스quelch 비활성화에 관련된 글리치가, 전치 증폭기 회로를 포화시키는 것이 방지된다.

본 발명의 또 다른 양상에 따르면, 관련 저 주파수 노이즈와 글리치가 기입 - 판독 스위칭 시간에 역으로 영향을 주는 것을 방지하기 위하여, 프로그램 가능한 고역 통과 필터 회로는 전술한 DC 바이어스 전달 회로와 스quelch 회로와 함께 동작한다. 프로그램 가능한 고역 통과 필터는 관련 컷오프 주파수를 증가시키기 위하여 판독 모드의 검출에 대한 폴을 시프팅 시키도록 기능할 수 있다. 따라서, 스quelch 회로에 의해 발생할 수 있는 어떤 저 주파수 글리치나 엑스커전(exursion)이 기입 - 판독 전이 동안 전치 증폭기 회로에서 차단된다. 소정의 기간 후에, 컷오프 주파수는 폴을 거의 원래의 위치로 다시 시프팅시킴으로써 감소되어, 헤드에 의해 판독된 저주파수 데이터가 통과할 수 있게 한다.

본 발명의 또 다른 양상에 따르면, 하드 디스크 드라이브 전치 증폭기 회로에서의 기입 - 판독 스위칭 시간을 감소하는 방법이 개시된다. 그 방법은, 판독 모드의 개시 상태를 검출하는 단계와 DC 바이어스 전압을 전치 증폭기내의 다수의 증폭기 단들에 거의 동일한 시간에 결합하는 단계를 포함한다. 따라서, 증폭기 단들의 전원 공급에 관련된 전체 설정 시간은 감소한다. 또한, 그 방법은 검출된 판독 상태의 검출에 관한 스태거드 방식으로 하나 이상의 관련 스quelch 조건을 비활성화시킴으로써 소정 순서로 증폭기 단들을 선택적으로 활성화시키는 단계를 포함한다. 그러한 선택적인 활성화로 인해, DC 바이어스 전압의 인가에 관련된 글리치로 인해 전치 증폭기 회로가 포화되는 것이 방지된다.

본 발명의 또 다른 양상에 따르면, 기입 - 판독 스위칭 시간을 감소시키는 방법은, 판독 상태를 검출함과 아울러 증폭기 단들에 관련된 고역 통과 필터의 컷오프 주파수를 증가시킴으로써, 소정의 순서로 증폭기 단의 선택적인 활성화나 DC 바이어스 전압에 의해 발생하는 노이즈 또는 저 주파수 글리치를 차단하는 단계를 더 포함한다. 소정의 기간 후에, 컷오프 주파수가 원래의 값으로 감소됨으로써 저 주파수 데이터 신호가 통과할 수 있게 된다.

전술한 관련 목적을 달성하기 위하여, 본 발명은 이후에 전반적으로 설명하고 특히 청구항에서 지적하는 특징들을 포함한다. 다음의 설명과 첨부 도면은 본 발명의 양상과 실행을 상세하게 나타낸다. 이들은 직설적이지만, 본 발명의 원리가 채용될 수 있는 다양한 방법 중의 일부이다. 본 발명의 다른 목적, 장점, 및 신규한 특징은 도면과 함께 설명하는 다음의 본 발명의 상세한 설명으로 부터 분명해진다.

본 발명은 동일 부분을 동일한 숫자로 나타내는 첨부 도면과 관련해서 이제부터 설명될 것이다. 본 발명은 하드 디스크 드라이브 시스템에서의 기입 - 판독 스위칭 시간을 줄이는 방법 및 시스템에 관한 것이다.

본 발명과 관련된 다양한 원리들을 이해하기 위해서, 기입 - 판독 스위칭 시간에 대한 간단한 설명이 다음에서 제시될 것이다. 하드 디스크 드라이브가 기입 모드에 있을 때, 전치 증폭기 회로의 판독부는 전력 소비를 감소시키고, 전치 증폭기 회로의 판독부의 출력을 통해 나오는 부적당한 노이즈 등을 없애기 위해서 전원이 꺼진다. 하드 디스크 드라이브 시스템이 기입 동작에서 판독 동작으로 전이될 때, 전치 증폭기 회로의 판독부는 판독 동작을 초기화하기 위해서 전원이 켜져야만 한다. 전치 증폭기 회로의 판독부의 전원이 켜지기 위해서는 그 내부의 다양한 회로의 설정이 필요하다. 전치 증폭기 회로가 최종 설정값의 10mV내로 설정되는데 걸리는 시간은 일반적으로 전치 증폭기의 기입 - 판독 스위칭 시간으로 결정된다. 상술한 바와 같이 명백하게, 디스크 드라이브의 활용을 최대화하기 위해서 기입 - 판독 스위칭 시간은 최소화하는 것이 바람직하다.

본 발명의 발명자들은 종래의 전치 증폭기 회로들의 여러 가지 양상들이 기입 - 판독 스위칭 시간을 바람직하지 않게 길게 하는데 부정적으로 기여한다는 것을 알아냈다. 본 발명의 다양한 양상을 이해하기 위해서, 종래의 전치 증폭기 회로는 도 4와 관련하여 간단하게 설명될 것이고, 참조 번호 100으로 표시된다. 전치 증폭기 회로(100)는 그와 함께 연속적으로 결합된 다수의 차동 증폭기 단(102, 104, 106 및 108)을 포함한다. 제1 증폭기(102)는 헤드(로드 저항 R_M 로 도시됨)를 통과하는 차동 신호를 검출하고, 그 출력과 결합된 증폭 신호를 출력하는 고이득단 증폭기이다. 다수의 제1 단(102)들을 구동하는 다수의 헤드들로부터의 신호들이 단일의 제2 단(104)으로 멀티플렉스되어 그 출력에서 증폭되도록, 제2 증폭기 단(104)은 일반적으로 여러 가지 판독 채널을 함께 멀티플렉스한다. 제3 및 제4 증폭기 단(106 및 108)은 일반적으로 낮은 이득 단이고, 이득 제어와 같은 다양한 기능을 수행한다.

전치 증폭기 회로(100)가 기입 모드에 있을 때, 다수의 단(102, 104, 106 및 108)은 전력 소비를 감소시키기 위해서 전원이 켜지지 않는다. 즉, V_{DD} 및 V_{SS} 와 같은 DC 바이어스 전압은, 예를 들어, 도 4에 도시된 것처럼 스위치(110)를 통한 DC 바이어스 전압을 차단함으로써 여러 단에 인가되지 않는다. 판독 모드가 검출되면, 제어 회로(도시되지 않음)는 다수의 제어 신호에 의해서 스위치(110)를 닫음으로써 증폭기 단(102, 104, 106 및 108)의 전원을 켜는다. 그러나, DC 바이어스 전압과 관련된 글리치가 전치 증폭기 회로(100)를 포화시키는 것을 방지하기 위해서, 제어 회로는 먼저 제1 증폭기 단(102)(예를 들어, 시간 t_1 에서)과 결합된 스위치를 닫고, 다음으로 다른 단(예를 들어, 이후의 시간 t_2 에서)에 대한 스위치를 닫기 전에 고이득 증폭기 단(102)을 지정할 때까지 대기한다. 증폭기 단들의 이러한 연속적 동작들은, 여러 단들을 통해 전달되고 증폭되는 DC 바이어스 전압과 전치 증폭기 회로를 포화시키는 DC 바이어스 전압을 결합함으로써 이 단에서 발생할 수 있는 글리치들을 방지하기 위한 것이다.

따라서, 회로(100)와 같은 종래의 전치 증폭기 회로는 DC 바이어스 전압을 둘 이상의 불연속 기간에서 증폭기 단들에 인가하고, 전체의 전치 증폭기 회로(100)에 대한 전체 설정 시간은 제1 단(102)과 다른 단들(104, 106 및 108)의 설정 시간의 결합에 기초해서 결정된다. 본 발명의 발명자들은 이러한 전체 설정 시간이 전치 증폭기 회로의 기입 - 판독 스위칭 시간에 부정적으로 영향을 준다는 사실을 알았다.

본 발명의 하나의 양호한 양상에 따른 전치 증폭기 회로는 도 5에 도시되어 있고, 참조 번호(150)로 나타낸다. 전치 증폭기 회로(150)는 도 4와 유사한 방식으로 그와 함께 연속적으로 결합된 다수의 차동 증폭기 단들(102, 104, 106 및 108)을 포함한다. 또한, 전치 증폭기 회로(150)는 스위치(110)를 통해 증폭기 단에 선택적으로 결합된 DC 바이어스 전압(V_{DD} 및 V_{SS})을 포함한다. 전치 증폭기 회로(150)는 DC 바이어스 전압들이 사실상 동시 결합 방식으로 증폭기 단에 전달된다는 점에서, 도 4에 도시된 종래의 전치 증폭기 회로(100)와 다르다. 즉, 판독 모드 조건이 검출되면, DC 바이어스 전압은 거의 동일한 시간에, 예를 들어, 사실상 동시에 다중 증폭기 단 각각에 결합된다. 이 때문에, 전치 증폭기 회로(150)는, 신호(154)를 통해서 판독 모드의 개시 상태를 검출할 수 있고, 거의 같은 시간(예를 들어, t_{all})에 각각의 스위치(110)를 활성화하는 다수의 제어 신호를 발생시키는 제어 회로(152)와 같은 전력 전달 회로를 포함한다.

또한, 도 5의 전치 증폭기 회로(150)는 참조 번호 160에 의해 종합적으로 도시된 스quelch 회로를 더 포함한다. 스quelch 회로(160)는 예를 들어, 제어 회로(152)를 통해 판독 모드의 검출에 따라 소정의 순서로 여러 증폭기 단을 활성화시킬 수 있다. 본 발명의 한 양호한 양상에 따르면, 스quelch 회로(160)는 다양한 증폭기 단 중 하나의 차동 입력 또는 출력 양단에 결합되는 다수의 스위치(S1, S2, 및 S3)를 포함한다. 스위치가 기입 모드에서 닫혔을 때, 스위치(S1, S2, 및 S3)는 증폭기 단(102 및 108)을 쇼트 아웃하고, 그 출력(예를 들어, 차동 출력 RDX 및 RDY로 도시됨)을 통해 지나가면서 발생하는 헤드(R_{MR})로부터의 부적당한 노이즈나 글리치를 방지한다.

판독 모드가 제어 회로(152)에 의해 검출되면, 스quelch 회로(160)는 스위치(S1, S2, 및 S3)를 소정의 순서로 오픈함으로써 다중 증폭기 단을 활성화시킬 수 있다. 예를 들어, 소정의 기간(예를 들어, t_{D1}) 동안 대기한 후에, 제어 회로(152)는 스위치(S1)를 오픈하고, 이에 따라 제1 증폭기 단(102)이 활성화된다. 그리고, 판독 모드 후에 또 다른 소정의 시간동안 대기한 후에, 제어 회로(152)는 스위치(S2)를 오픈하고, 기간 t_{D3} 후에, 스위치(S3)를 오픈한다. 그러므로, 스quelch 회로(160) 및 제어 회로(152)는 스위치(S1, S2, 및 S3)를 스테거드 방식으로 오픈하도록 동작한다.

스quelch 회로(160)는 증폭기 단으로의 사실상 DC 바이어스 전압의 동시 인가와 관련되는 글리치를 방지하도록 동작한다. 예를 들어, V_{DD} 및 V_{SS} 가 증폭기 단(102, 104, 106, 및 108)에 인가될 때, 글리치들은 그 내부에서 발생한다. 그러나, 스quelch 조건을 지시하는 S1이 닫혀 있기 때문에, 제1 증폭기 단(102)의 출력에는 글리치가 생성되지 않는다. 이와 유사하게, DC 바이어스 전압으로 인해 증폭기 단(104 및 106)에서 생성된 어떤 글리치들도 DC 바이어스 전압이 인가될 때 닫혀지는 S2에 의해 스quelch된다. 마지막으로, 마지막 증폭기 단(108)에서 생성되는 어떤 글리치들도 스위치 S3이 닫혀짐으로써 스quelch된다. 그러므로, 스quelch 회로(160)는 DC 바이어스 전압이 사실상 동시 결합 방식으로 증폭기 단에 인가될 때, 전치 증폭기 회로(150)의 포화를 방지하도록 동작하고, 이에 따라 설정 시간을 더 빠르게 할 수 있고, 기입 - 판독 스위칭 시간을 줄일 수 있다.

소정의 기간(예를 들어, t_{D1}) 후에, DC 바이어스 전압의 인가에 관련된 어떤 글리치도 스quelch된다. 그리고, S1은 제어 회로(152)에 의해 오픈된다. S1의 오픈 그 자체는 단(104 및 106)을 통해 전달되는 증폭기 단(102)의 출력에서 글리치를 발생시키지만, S2가 여전히 닫혀있기 때문에, 이 글리치는 스quelch되어 전치 증폭기 회로(150)의 포화를 방지한다. 판독 모드가 검출된 이후 제2의 소정의 기간 후에(예를 들어, $t_{D2} > t_{D1}$ 인 t_{D2}), S2는 오픈되고, 이는 마지막 증폭기 단(108)에서 글리치를 발생시킨다. 그러나, S3이 여전히 닫혀있기 때문에, 이 글리치는 스quelch되어 전치 증폭기 회로(150)의 포화를 방지한다. 마지막으로, 판독 모드가 검출된 이후 제3의 소정의 기간 후에(예를 들어, $t_{D3} > t_{D2}$ 인 t_{D3}), S3은 오픈되고, 이는 출력 RDX 및 RDY상의 미소한 글리치를 발생시킨다. 그러나, 이러한 글리치는 무시할 수 있을 정도로 매우 작다.

상기한 방식에서는, 스quelch 회로(160)가 DC 바이어스 전압이 사실상 동시 결합 방식으로 인가되는 것에 기인하는 전치 증폭기 회로(150)의 포화를 어떻게 방지하는지를 기술하였다. 또한, 스위치(S1, S2, 및 S3)의 스테거드 비활성화가 전치 증폭기 회로의 포화를 더 보호하는 것은 명백한 것이다. 또한, DC 바이어스 전압이 거의 동일한 시간에 증폭기 단 각각에 전달되기 때문에, 기입 - 판독 스위칭 시간은 감소하고, 그와 관련된 어떤 글리치도 스quelch 회로에 의해서 스quelch되고, 이에 따라 전치 증폭기 회로(150)의 바람직하지 못한 포화를 방지할 수 있다.

본 발명의 하나의 양호한 양상에 따르면, 스위치(S1, S2, 및 S3)의 스테거드 활성화 또는 오프닝은 도 6에 도시된 것처럼 다음의 방식으로 수행된다. 판독 모드가 검출된 후에(예를 들어, t_0), 제어 회로(152)는 시간 t_{D1} (예를 들어, 약 55ns)동안 대기하고, 이 기간은, 거의 동일한 시간에 증폭기 단 각각과 결합되는 DC 바이어스 전압에 관련된 어떤 글리치도 스quelch되고, 이에 따라 전치 증폭기의 포화 방지를 충분히 보장할 수 있을 정도로 길다고 예상되는 기간이다. t_{D1} 에서, S1은 오픈되고, 이는 증폭기 단(102, 104, 및 106)을 통해 글리치를 전달하도록 한다. 그러나, S2가 여전히 닫혀있기 때문에, 이러한 어떤 글리치도 스quelch된다. 제어 회로(152)가 제2 기간(t_{D2})(예를 들어, 약 65ns)동안 대기한 후에, S2는 제어 회로(152)를 통해 오픈된다. t_{D1} 및 t_{D2} 사이의 10ns는, S1의 오프닝에 의해 형성되는 어떤 글리치도 S2가 오픈되기 전에 스quelch될 수 있다는 것을 보장하기에 충분한 시간이다. 제어 회로(152)가 제3 기간(t_{D3})(예를 들어, 약 70ns)동안 대기한 후에, S3은 제어 회로(152)를 통해 오픈된다. t_{D2} 및 t_{D3} 사이의 5ns는, S2의 오프닝에 의해 형성된 어떤 글리치도 S3이 오픈되기 전에 스quelch될 수 있다는 것을 보장하기에 충분한 시간이다.

상기한 바와 같이, DC 바이어스 전압 전달과 관련된 스quelch 회로(160)는 사실상 동시 결합 방식으로 전치 증폭기 회로 내 기입 - 판독 스위칭 시간을 종래 해결책보다 감소시켰다. 그러나, 스quelch 회로(160)가 있더라도, 기입 - 판독 모드 전이 동안에 여전히 약간의 엑스커전이 발생한다. 예를 들어, S1이 오픈되었을 때, 저주파의 비교적 긴 지속기간의 글리치(예를 들어, 약 150ns의 일정 시간, 약 1 - 2MHz의 주파수를 가짐)가 발생할 수 있으며, 이러한 글리치는 스quelching 동작에도 불구하고 증폭기 단(104, 106, 108)을 통해서 전달될 수 있다. 따라서, 본 발명의 다른 양상에 따르면, 프로그램 가능한 또는 달리 선택적으로 채용가능한 고역 통과 필터 회로가, 예를 들어 제3 증폭기 단(106)에 관련된 회로를 추가함으로써, 도 5의 전치 증폭기 회로에 결합된다. 본 발명은 기입 - 판독 모드 전이의 검출에 기초하여 그것의 컷오프 주파수를 변화시키는 프로그램 가능한 고역 통과 필터링 회로의 사용에 대해 고려해 본다.

일반적으로, 프로그램 가능한 고역 통과 필터 회로는 판독 모드가 검출되었을 때 그와 함께 관련된 폴을 시프트하기 위해 활성화되는 폴 시프팅 회로로서 동작할 수 있으며, 이에 의해 소정의 기간동안 그와 함께 관련된 컷오프 주파수를(예를 들어, 약 1 - 2MHz부터 약 10MHz까지) 증가시킨다. 이 소정의 기간동안, 전치 증폭기 출력 RDX, RDY를 통해 전달할 수 있는 증폭기 단과 관련된 저 주파수 엑스커전은 고역 통과 필터의 증가된 컷오프 주파수 아래에 있기 때문에 차단된다. 소정의 기간(예를 들어, 90ns의 t_{DELAY}) 후에, 폴은 거의 원래의 위치로 다시 시프트 되고, 이에 의해 판독 모드 동안 저 주파수 데이터가 읽혀지도록 하기 위해 그와 함께 관련된 컷오프 주파수를(예를 들어, 약 1 - 2MHz로) 감소시킨다.

도 7을 보면, 본 발명의 하나의 양호한 양상에 따른 고역 통과 필터 회로(190)의 개략도가 도시되어 있다. 고역 통과 필터 회로(190)는 제3 증폭기 단(106)과 동시에 결합된 다른 증폭기 단(192)으로 구성되어 있으며, 증폭기 단들(10

6,192)이 그와 함께 관련된 똑같은 이득을 가진다. 증폭기 단(192)의 차동 출력은 그와 함께 관련된 프로그램 가능한 컷오프 주파수 제어 신호(196)를 가진 저역 통과 필터 회로(LPF)(194)로 제공된다. 제어 신호(196)는 디지털 타입의 신호를 제공하기 위해 동작가능하며, 각자 제1 상태는 제1 컷오프 주파수를 지시하고, 제2 상태는 제2 컷오프 주파수를 지시한다. 저역 통과 필터 회로의 출력(194)은 컷오프 주파수를 초과하는 모든 신호 주파수 성분이 차단되는 신호를 초래한다. 그후에 저역 통과 필터 회로의 출력(194)은 감산기(198)로 제공되며, 여기서 제3 증폭기 단(106)의 출력으로부터 저역 통과 필터 회로의 출력(194)이 감산된다. 따라서, 감산 회로의 출력은 LPF(194)의 컷오프 주파수 아래의 모든 신호 주파수 성분이 차단되는 신호를 얻어내고, 이에의해 거시적으로 고역 통과 필터로서 동작한다.

고역 통과 필터 회로(190)는 예를 들어, 제어 회로(152)로부터의 컷오프 주파수 제어 신호(196)에 의해 제어되는 프로그램 가능한 컷오프 주파수를 가진다. 최초로, 판독 모드에 앞서, 예를 들어 기입 모드 동안, 저역 통과 필터 회로(194)의 컷오프 주파수는 제1 저 주파수로(예를 들어, 약 1 - 2MHz) 설정된다. 본 발명의 하나의 양호한 양상에 따라, 제어 신호(196)는, 판독 모드가 검출되고, 저역 통과 필터 회로(194)가 그것의 컷오프 주파수를 제2 고 주파수(예를 들어, 약 10MHz)에 맞추기 위해 동작가능할 때, 상태를 변화시킨다. 이 시간동안, 고역 통과 필터 회로(190)는 현재 더 큰 주파수 범위에 있는, 제2 컷오프 주파수 아래에 속하는 어떤 노이즈나 저 주파수 엑스커전을 차단하는 동작을 한다. 소정의 기간 후에(예를 들어, 약 90ns), 그런 저 주파수 엑스커전이 디스차지될 것이 기대되는 때는, 제어 신호(196)가 다시 상태를 변화시킴으로써, 나머지 판독 모드를 위해 저역 통과 필터 회로(194)의 컷오프 주파수를 그것의 원래의 컷오프 주파수로 다시 낮춘다. 낮은 컷오프 주파수의 재설정 후에, 고역 통과 필터 회로(190)는 헤드에 의한 데이터 판독을 구성할 수 있는 2MHz 범위의 저 주파수 신호를 통과시킬 것이다.

도 7의 고역 통과 필터 회로(190)가 동작하는 방법에 대하여 더 설명하기 위해, 고역 통과 필터 회로(190)의 폴을 시프팅하기 위한 하나의 기능적인 함수 회로가 도 8a에 도시되어있으며, 참조 번호(250)로 나타낸다. 회로(250)는 증폭기 단(106)의 출력이 지연 블럭(254)과 저역 통과 필터 회로(256)로 제공되는 입력(252)을 포함한다. 지연 블럭(254)은 뒤이어 일어나는 판단 블럭(258)에서의 필터링된 입력 버전으로부터의 입력(254)의 감산을 동기시키는데 유리하게 채용된다. 저역 통과 필터(256)는 컷오프 주파수 아래의 주파수를 가진 신호를 통과시키는데 동작할 수 있으며, 컷오프 주파수(f_{LPF})는 원하는 폴의 함수이다.

도 8b는 판독 상태에서의 저역 통과 필터(194)에 대한 하나의 양호한 저역 통과 응답을 도시하며, 컷오프 주파수(f_{LPF}) 이상의 주파수를 가진 신호들은 차단된다. 도 8b에 도시된 바와 같이, 첫번째 그래프(310)는 저역 통과 필터(194)의 입력 신호와 관계된 주파수 범위를 나타내며, 두번째 그래프(312)는 저역 통과 필터(194)의 출력 신호와 관계된 주파수 범위를 나타낸다. 도 8b에 도시된 바와 같이, 저역 통과 응답(310)으로부터 저역 통과 응답(312)을 감산함으로써, 저 주파수 컷오프(f_{LPF})가 저역 통과 필터의 컷오프 주파수의 함수인 고역 통과 응답(314)이 된다. 따라서, 저역 통과 필터(194)의 컷오프 주파수를 변화시킴으로써, 전치 증폭기가 기입 상태와 같은 비-판독(non-read) 상태에서 판독 상태로 전이 중일 때, 회로의 폴은 제1 주파수에서 제2 주파수로 이동될 수 있다.

상기한 바와 같이, 본 발명의 다양한 양상은 글리치, 노이즈 등이 회로를 포화시키지 않게 하고, 전치 증폭기 회로의 기입-판독 스위칭 시간을 줄이기 위해서 함께 동작한다. 본 발명과 관련된 유리한 동작 장점들을 설명하기 위해, 도 9에서 세개의 다른 전치 증폭기 회로의 기입-판독 스위칭 시간을 도시하고 있다. 하나의 전압 파형도(402)는 도 4의 종래 전치 증폭기 회로(100)와 관련되어 있다. 그 전치 증폭기 회로(100)가 약 1μs 기간동안에, 판독 모드 검출을 위해 연속적으로 DC 바이어스 전압을 사용하고 있음을 주시하라. 파형도(402)는 궁극적으로 0V에 대한 그것의 최종 설정 시간 값의 약 10mV 안에 있으며, 대략 종래 전치 증폭기 회로(100)의 기입-판독 스위칭 시간인 약 350ns 안에 있다.

두번째 파형도(404)는, DC 바이어스 전압을 거의 동일한 시간에 각각의 증폭기 단에 사용하며, 스윕치 회로를 그와 함께 관련된 글리치를 완화하기 위해 결합시킨, 도 5의 전치 증폭기 회로(150)를 설명하는 것이다. 파형도(404)가 (파형도(402)보다 이른 최초 스파이크에 의해 표시되는 바와 같이) 동작 될 증폭기 단에 대해 전체적으로 더 짧은 설정

시간을 나타냄을 주시하라. 그러나, 파형도(404)는 전달되는 비교적 저 주파수 글리치를 나타내며, 그 결과 약 200nS의 기입 - 판독 스위칭 시간이 되는데, 이는 전치 증폭기 회로(100)보다 상당히 개선된 것을 나타낸다.

마지막으로, 도 9는 전치 증폭기 회로(150)를 도 7의 프로그램 가능한 고역 통과 필터 회로(190)와 통합시킨 세번째 파형도(406)를 도시한다. 파형도(406)에서, 파형도(404)의 저 주파수 글리치는 필터링되었음을 주시하라. 따라서, 파형도(406)의 신호는 기입 - 판독 스위칭 시간을 측정하는데 사용되는 10mV 가드밴드 밖으로 확장되지 않는다. 그러나, 컷오프 주파수가 약 10MHz로 증가되는 프로그램 가능한 주기는 약 90nS 이고, 컷오프 주파수를 약 1 - 2MHz로 되돌리기 위하여 약 10nS를 더 취하기 때문에 데이터 판독이 시작될 수 있는 최소한의 시간은 약 100nS이다. 따라서 본 발명의 다양한 양상의 혼합은 약 350nS에서 약 100nS로의, 전치 증폭기의 기입 - 판독 스위칭 시간의 감소를 허용한다.

본 발명의 다른 양상에 따르면, 도 10에 도시된 바와 같이, 기입 - 판독 스위칭 시간을 줄이는 방법이 개시되어 있다. 설명의 간소화 목적을 위해, 도 10의 방법론(methodology)은 일련의 단계들로서 도시되고 설명되지만, 본 발명에 따라 몇몇의 단계들이 여기에 도시되고 설명된 것과 다른 단계들과 다른 순서로 및/또는 동시에 일어날 수 있는 것과 같이, 본 발명이 단계들의 순서에 제한되지 않는다는 것을 이해하기 바란다. 예를 들어, 본 발명의 양상에 따른 하나의 방법론이 다양한 상태들의 조합으로서(예를 들어, 상태로) 나타날 수 있다. 게다가, 모든 도시된 단계들이 본 발명의 양상에 따른 하나의 방법론을 실행하기 위해 요구될 수는 없다.

도 10을 보면, 방법론은 판독 모드의 초기상태가 검출되는 단계(502)에서 시작한다. 예를 들어, 그런 검출은 이전 신호의 상태 또는 하드 디스크 드라이브의 상태를 나타내는 디지털 워드의 값을 모니터링함으로써 성취될 수 있다. 그러나, 판독 모드의 상태를 검출하는 어떤 방법도 이용될 수 있으며, 본 발명의 범위안에 속하는 것으로 생각될 수 있다.

전치 증폭기 회로의 판독 부분이 판독 모드에 있지 않을 때, 증폭기 단은 전력 소비를 줄이기 위해서 거기에 전력이 제공되지 않음을 상기하라. 따라서, 단계(504)에서, 판독 모드가 검출된 이후, 사실상 동시 결합 방식으로 거기에 결합된 각각의 증폭기 단에 전력을 공급하기 위해, DC 바이어스 전압이 사용된다. 즉, DC 바이어스 전압은 증폭기 단들 중 선택된 것들과 결합되지 않으며, 그후 종래에 그랬던 것처럼 최초로 전력이 공급된 단들의 설정을 허용하기 위해 소정의 대기 시간 후에 다른 단들에 후속적으로 인가된다. 거의 동일한 시간에 각각의 증폭기 단들에 DC 바이어스 전압을 인가함으로써, 전력이 공급되고 동작을 준비하는데 걸리는 모든 단들에 대한 전체적인 설정 시간은 대체로 감소한다.

단계(506)에서 방법(500)은 계속되며, 여기서 스quelch 회로의 선택적인 부분이 스태거드 방식으로 비활성화된다. 예를 들어, 판독 상태가 검출되기에 앞서, 스quelch 회로의 부분이 활성화되고, 이에 의해 판독 모드가 아닐 때 부적당한 노이즈 등이 판독 전치 증폭기를 통해 통과하는 것을 막기 위해서, 하나 또는 그이상의 증폭기 단을 스quelching한다. 판독 모드가 단계(502)에서 검출되었을 때, 스quelch 회로는 DC 바이어스 전압 동시 인가로 초래된 글리치가 전치 증폭기를 포화시키는 것을 방지하기 위해 선택적인 비활성 모드를 시작한다.

본 발명의 하나의 양호한 양상에 따라, 단계(506)는 DC 바이어스 전압 글리치가 효과적으로 스quelch되었다는 것을 확실히 하기위하여, 소정의 기간동안(예를 들어, 약 55nS) 증폭기 단의 스quelch 상태를 유지하는 단계를 포함한다. 그 후, 제1 증폭기 단 (예를 들어, 단(102))의 스quelch 상태는 다른 스quelch 상태가 유지되는 동안 비활성화 되고, 따라서 그로부터 전치 증폭기 포화로부터의 글리치를 방지한다. 그후 시간(예를 들어, 10nS)이 더 흐른 후에, 전치 증폭기 회로의 출력과 관련된 다른 스quelch 상태가 비활성화된다. 스quelch 상태의 스태거드 비활성은 DC 바이어스 글리치가 전치 증폭기를 포화시키는 것을 막으며, 스quelch 비활성 과정과 관련된 글리치가 전치 증폭기를 포화시키는 것을 방지한다.

게다가, 판독 모드가 단계(502)에서 검출된 후에, 고역 통과 필터 회로의 컷오프 주파수는 소정의 기간동안 단계(508)에서 증가된다. 따라서, 스켈치 비활성 과정에 의해 야기된 어떤 저 주파수 노이즈나 엑스커전도 차단된다. 소정의 기간 후에(예를 들어, 약 90nS), 고역 통과 필터의 컷오프 주파수는 저 주파수 데이터의 판독을 허용하기 위해, 그것의 원래 상태로 되돌아 간다.

비록 본 발명이 어떤 양호한 실시예나 실시예들의 관점에서 도시되고 설명되었지만, 명세서와 첨부된 도면의 판독과 이해에 기초하여, 발명이 속하는 기술분야의 통상의 전문가에게 동가치의 변경과 수정이 발생할 수 있다는 것은 자명하다. 특히, 상기된 요소들에 의해 수행되는 다양한 기능들(어셈블리들, 디바이스들, 회로들 등)을 볼때, 여기에 도시된 본 발명의 양호한 실시예들 안에서 기능을 수행하는 개시된 구조와 구조적으로는 동일하더라도, 그런 요소들을 나타내는 데 쓰이는 용어들("수단들"에 대한 참조부호를 포함)은 기술된 요소의 특정한 기능을 수행하는 어떤 요소에 대응하도록(즉, 그것은 기능적으로 동일하다) 의도되거나 그렇지 않으면 판방법으로 지시된다. 게다가, 본 발명의 특별한 특징은 여러 실시예들 중에서 유일하게 하나에 관련하여 개시된 반면, 그런 특징은 소정의 응용 또는 특별한 응용이 요구되며 유리할 경우, 다른 실시예들의 하나 또는 그이상의 다른 특징과 결합될 수 있다. 또한, 발명의 상세한 설명 또는 청구항에서 사용되는 "인클루드(includes)"라는 단어는 "컴프라이징(comprising)"이라는 단어와 유사한 방식으로 포함하는 것을 의미한다.

발명의 효과

본 발명은 전치 증폭기의 모든 단으로 DC 바이어스 전압의 동시 인가를 결합함으로써, 하드 디스크 드라이브 전치 증폭기 회로의 기입에서 판독으로의 스위칭 시간을 줄여주며, 전치 증폭기 회로가 포화되는 것을 방지한다.

(57) 청구의 범위

청구항 1.

전치 증폭기(preamplifier) 회로에 있어서,

하드 디스크 드라이브의 헤드와 관련된 신호를 연속적으로 증폭하는 동작을 행하며, 서로 결합되어 있는 다수의 증폭기 단들;

상기 증폭기 단들에 동작가능하게 결합되고, 상기 하드 디스크 드라이브가 기입 상태에서 판독 상태로 전이될 때 사실상 동시 결합 방식(concurrent manner)으로 상기 증폭기 단들에 전력을 공급하는 동작을 행하는 전력 전달 회로; 및

상기 증폭기 단들에 동작가능하게 결합되고, 상기 증폭기 단들에 전력을 공급한 후에 대체로 연속적인 방식(consecutive manner)으로 상기 다수의 증폭기 단들 중의 적어도 2개를 활성화하는 동작을 행하며, 이에 의해서 상기 전치 증폭기 회로를 통한 글리치(glitch)의 전파를 사실상 차단하고, 사실상 고속인 기입에서 판독으로의 전이 시간을 제공함으로써, 상기 전치 증폭기 회로의 출력의 포화를 방지하는 제어 회로

를 포함하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 2.

제1항에 있어서,

상기 다수의 증폭기 단들은 서로 직렬로 결합된 4개의 증폭기 회로들을 포함하고, 상기 4개의 증폭기 회로들 각각은 그와 관련된 이득이 0보다 큰 것을 특징으로 하는 전치 증폭기 회로.

청구항 3.

제1항에 있어서,

상기 전력 전달 회로는 상기 증폭기 단들 각각에 거의 동일한 시간에 전력을 공급하는 동작을 더 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 4.

제1항에 있어서,

상기 전력 전달 회로는 스위칭 회로를 통해 상기 증폭기 단들 각각에 결합된 전력 공급 회로를 포함하고, 상기 스위칭 회로는 상기 전력 공급 회로로부터의 전력을 상기 증폭기 단들 각각에 거의 동일한 시간에 전달하는 동작을 행하여, 이에 의해 상기 전치 증폭기 회로의 전력 공급과 관련된 총 설정 시간을 감소시키는 것을 특징으로 하는 전치 증폭기 회로.

청구항 5.

제1항에 있어서,

상기 제어 회로는 상기 전력 전달 회로가 상기 다수의 증폭기 단들에 전력을 공급한 후에, 상기 다수의 증폭기 단들 중의 제1 증폭기 단의 차동 입력 양단에 놓인 미리 닫혀진 제1 스위치를 오픈(open)하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 6.

제5항에 있어서,

상기 제어 회로는 상기 제1 스위치의 오픈 후에 상기 다수의 증폭기 단들 중의 다른 증폭기 단의 차동 입력 또는 차동 출력 양단에 놓인 닫혀진 제2 스위치를 오픈하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 7.

제5항에 있어서,

상기 제어 회로는 제1 스위치의 오픈 후 소정량의 시간에 제3 증폭기 단의 차동 출력 양단에 결합된 미리 닫혀진 제2 스위치를 오픈하는 동작을 더 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 8.

제7항에 있어서,

상기 제어 회로는 상기 제2 스위치의 오픈 후 소정량의 시간에 제4 증폭기 단의 차동 출력 양단에 결합된 미리 닫혀진 제3 스위치를 오픈하는 동작을 더 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 9.

제1항에 있어서,

상기 증폭기 단들 중의 하나의 증폭기 단에 동작가능하게 결합된 폴 시프팅 회로(pole shifting circuit)를 더 포함하며, 상기 폴 시프팅 회로는 고역 통과 필터 회로와 관련된 컷오프 주파수(cutoff frequency)를 증가시켜, 상기 컷오프 주파수보다 작은 주파수를 갖는 글리치가 상기 전치 증폭기 회로의 출력으로 전파되지 못하게 하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 10.

제9항에 있어서,

상기 폴 시프팅 회로는 상기 고역 통과 필터 회로와 관련된 상기 컷오프 주파수를 증가시키기 위해 피드백 회로 내의 폴을 시프트하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 11.

제9항에 있어서,

상기 폴 시프팅 회로는, 상기 전력 전달 회로가 상기 증폭기 단들에 전력을 공급하는 시간에 상기 고역 통과 필터 회로의 상기 컷오프 주파수를 증가시키는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 12.

제11항에 있어서,

상기 폴 시프팅 회로는 소정의 기간 후에 상기 고역 통과 필터의 상기 컷오프 주파수를 감소시켜 거의 초기 주파수로 복귀시키는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 13.

제9항에 있어서,

상기 폴 시프팅 회로는 상기 다수의 증폭기 단들 중의 제3 증폭기 단에 결합되고,

상기 폴 시프팅 회로는,

상기 제3 증폭기 단의 차동 입력들에 결합된 차동 입력을 갖는 다른 증폭기 단;

상기 다른 증폭기 단의 차동 입력에 결합된 입력을 갖는 저역 통과 필터 회로; 및

상기 제3 증폭기 단의 차동 출력에 결합되고 상기 저역 통과 필터 회로의 출력에 결합되는 감산 회로 - 상기 감산 회로는 상기 제3 증폭기 단의 출력으로부터 상기 저역 통과 필터 회로의 출력을 감산하는 동작을 행하고, 이에 의해 고역 통과 필터에서는 상기 제3 증폭기 단의 상기 출력에서 관련 컷오프 주파수 이하의 신호들을 차단하도록 동작함 -

를 포함하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 14.

기입에서 판독으로의 스위칭 시간을 감소시키기 위한 하드 디스크 드라이브용 전치 증폭기 회로에 있어서,

차동 입력들과 그와 관련된 차동 출력들을 포함하는 다수의 증폭기 단들 - 상기 다수의 증폭기 단들은 다른 단과 서로 직렬로 결합되어 있음 -;

포지티브 및 네거티브 DC 바이어스 전압들을 상기 다수의 증폭기 단들 각각에 선택적으로 공급하기 위한 회로로, 상기 포지티브 및 네거티브 DC 바이어스 전압들을 상기 증폭기 단들 각각에 거의 동일한 시간에 전달하는 동작을 행하는 DC 바이어스 전달 회로; 및

상기 증폭기 단들과 관련되어, 상기 포지티브 및 네거티브 DC 바이어스 전압들을 상기 증폭기 단들로 전달하는 동안 하나 이상의 상기 증폭기 단들의 차동 입력 또는 차동 출력을 단락시키는 동작을 행하며, 이에 의해서 상기 DC 바이어스 전압들과 관련된 글리치가 기입 상태에서 판독 상태로 전이할 때 상기 전치 증폭기 회로를 포화시키는 것을 방지하는 스quelch(squelch) 회로

를 포함하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 15.

제14항에 있어서,

상기 DC 바이어스 전달 회로는, 상기 다수의 증폭기 단들에 각각 개개의 포지티브 또는 네거티브 DC 바이어스 전압을 결합하는 동작을 행하는 다수의 스위치들을 포함하고, 상기 다수의 스위치들 각각은 거의 동일한 시간에 DC 바이어스 결합 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 16.

제15항에 있어서,

상기 하드 디스크 드라이브가 비판독 상태일 때는 상기 다수의 스위치들을 오픈하고, 판독 상태인 동안은 상기 다수의 스위치들을 닫는 동작을 행하는 제어 회로를 더 포함하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 17.

제14항에 있어서,

상기 전치 증폭기 회로는 4개의 증폭기 단들을 포함하고,

상기 스quelch 회로는,

제어 회로; 및

상기 제어 회로에 동작가능하게 결합되는 3개의 스위칭 회로들 - 상기 3개의 스위칭 회로들 중 제1 스위칭 회로는 제1 증폭기 단의 차동 입력 양단에 결합되고, 제2 스위칭 회로는 제4 증폭기 단의 차동 입력 양단에 결합되며, 제3 스위칭 회로는 상기 제4 증폭기 단의 차동 출력 양단에 결합됨 -

을 포함하고,

상기 제어 회로는, 상기 하드 디스크 드라이브가 판독 상태가 아닐 때 상기 3개의 스위칭 소자들을 닫는 동작을 행하고, 상기 하드 디스크 드라이브가 판독 상태로 전이할 때 소정의 타이밍에 따라 상기 3개의 스위칭 회로들 각각을 선택적으로 오픈하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 18.

제17항에 있어서,

상기 3개의 스위칭 회로들과 관련된 상기 제어 회로는, 상기 제1 스위칭 회로를 오픈한 후에 상기 제2 스위칭 회로를 오픈하고 상기 제2 스위칭 회를 오픈한 후에 상기 제3 스위칭 회로를 오픈하는 동작을 행하며, 이에 의해 상기 제1 및 제2 스위칭 회로들의 오픈과 관련하여 발생하는 글리치가 상기 전치 증폭기 회로의 출력을 포화시키는 것을 방지하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 19.

제18항에 있어서,

상기 제어 회로는 판독 상태의 개시를 검출하고, 상기 판독 상태의 개시의 검출에서부터 측정된 제1, 제2 및 제3 소정 타이밍 지연에 기초하여 제1, 제2 및 제3 스위칭 회로들을 연속적으로 오픈하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 20.

제19항에 있어서,

상기 제1 소정 타이밍 지연은 약 55 ns이고, 상기 제2 소정 타이밍 지연은 약 65 ns이며, 상기 제3 소정 타이밍 지연은 약 70 ns인 것을 특징으로 하는 전치 증폭기 회로.

청구항 21.

제14항에 있어서,

상기 증폭기 단들과 관련되고, 소정 컷오프 주파수 이하인, 하나 이상의 상기 증폭기 단들을 통해 전파하는 신호들을 선택적으로 차단하는 동작을 행하는 폴 시프팅 회로를 더 포함하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 22.

제21항에 있어서,

상기 폴 시프팅 회로는 그와 관련한 초기 위치에서 비판독 상태 동안 제1 주파수 값에서 상기 컷오프 주파수를 규정하는 폴을 갖도록 하는 동작을 행하고, 상기 컷오프 주파수를 제2 주파수 값으로 증가시키기 위해 상기 폴을 제2 위치로 이동시켜 검출된 판독 상태의 제1 부분동안 보다 큰 범위의 저주파수들을 차단하는 동작을 더 행하며, 상기 폴을 이동시켜 대략 상기 초기 위치로 복귀시키고 상기 컷오프 주파수를 감소시켜 대략 상기 제1 주파수 값으로 복귀시켜 상기 검출된 판독 상태의 제2 부분동안 사실상 보다 작은 범위의 저주파수들을 차단하는 동작을 행하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 23.

제22항에 있어서,

상기 검출된 판독 상태의 제1 부분은 상기 증폭기 단들이 상기 판독 상태의 개시 시에 활성화됨으로 인해 세팅될 때의 기간에 대응하고, 상기 검출된 판독 상태의 제2 부분은 데이터가 상기 하드 디스크 드라이브의 헤드에서 검출되어 그의 판독을 위해 상기 증폭기 단들을 통해 증폭될 때의 기간에 대응하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 24.

제21항에 있어서,

상기 폴 시프팅 회로는,

상기 다수의 증폭기 단들 중 제3 단의 차동 입력들에 결합되는 차동 입력들을 포함하는 다른 증폭기 단;

상기 다른 증폭기 단의 차동 출력에 결합되는 입력을 가지며, 상기 소정 컷오프 주파수보다 높은 주파수 성분들이 사실상 차단된 신호를 출력하는 저역 통과 필터 회로; 및

상기 제3 증폭기 단의 상기 차동 출력에 결합된 입력들과, 상기 저역 통과 필터 회로에 결합된 입력들과, 제4 증폭기 단의 차동 입력에 결합된 출력을 포함하는 감산 회로를 포함하며,

상기 감산 회로는 상기 제3 증폭기 단으로부터 출력된 신호에서 상기 저역 통과 필터 회로로부터의 신호를 감산하는 동작을 행하고, 이에 의해 상기 소정 컷오프 주파수보다 낮은 주파수 성분들이 사실상 차단된 출력 신호를 얻어서 상기 전치 증폭기 회로에서의 저주파수 글리치를 차단하는 것을 특징으로 하는 전치 증폭기 회로.

청구항 25.

하드 디스크 드라이브의 전치 증폭기 회로에서 기입에서 판독으로의 스위칭 시간을 감소시키는 방법에 있어서,

판독 상태의 개시를 검출하는 단계;

상기 판독 상태의 검출에 따라 상기 전치 증폭기 회로 내의 다수의 증폭기 단들에 하나 이상의 DC 바이어스 전압들을 사실상 동시에 결합하는 단계; 및

상기 판독 상태의 검출에 따라 상기 다수의 증폭기 단들을 소정의 순서대로 선택적으로 활성화하고, 이에 의해서 상기 DC 바이어스 전압들의 사실상의 동시 결합에 의한 전위 글리치가 상기 전치 증폭기 회로를 포화시키는 것을 방지하는 것을 특징으로 하는 스위칭 시간 감소 방법.

청구항 26.

제25항에 있어서,

상기 다수의 증폭기 단들에 상기 DC 바이어스 전압들을 사실상 동시 결합하는 단계는 상기 다수의 증폭기 단들 각각에 상기 DC 바이어스 전압들을 거의 동일한 시간에 결합하는 단계를 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

청구항 27.

제26항에 있어서,

상기 다수의 증폭기 단들에 상기 DC 바이어스 전압들을 결합하는 단계는 상기 다수의 증폭기들 각각과 관련된 스위치를 거의 동일한 시간에 닫고, 이에 의해 상기 DC 바이어스 전압들을 각각 상기 증폭기 단들 각각에 결합하는 단계를 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

청구항 28.

제25항에 있어서,

상기 다수의 증폭기 단들을 선택적으로 활성화하는 단계는,

상기 판독 상태를 검출하는 단계 이전에 스쿼치 처리된 적어도 2개의 상기 증폭기 단들과 관련된 차동 입력들을 보유하는 단계;

상기 판독 상태 검출 후 제1 소정 기간 이후에 상기 증폭기 단들 중 제1 단의 스쿼치를 해제하는 단계; 및

상기 판독 상태의 검출 후 제2 소정 기간 이후에 상기 증폭기 단들 중 제2 단의 스쿼치를 해제하는 단계 - 상기 제2 소정 기간은 상기 제1 소정 기간보다 큼 -

를 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

청구항 29.

제25항에 있어서,

상기 전치 증폭기 회로는 차동 입력들과 차동 출력들을 갖는 4개의 증폭기 단들을 포함하고, 상기 4개의 증폭기 단들은 직렬로 상호 결합되어 있으며,

상기 다수의 증폭기 단들을 소정의 순서로 선택적으로 활성화하는 단계는,

상기 판독 상태의 검출 이전에, 상기 제1 및 제4 증폭기 단들의 상기 차동 입력들과 상기 제4 증폭기 단의 상기 차동 출력을 단락시키는 단계;

상기 판독 상태의 검출 후 제1 소정 기간동안 상기 제1 증폭기 단의 차동 입력과 관련된 단락 회로 조건을 디스에이블(disable)하는 단계;

상기 판독 상태의 검출 후 제2 소정 기간동안 상기 제4 증폭기 단의 상기 차동 입력과 관련된 단락 회로 조건을 디스에이블하는 단계 - 상기 제2 소정 기간은 상기 제1 소정 기간보다 큼 - ; 및

상기 판독 상태의 검출 후 제3 소정 기간 동안 상기 제4 증폭기 단의 차동 출력과 관련된 단락 회로 조건을 디스에이블하는 단계 - 상기 제3 소정 기간은 상기 제2 소정 기간보다 큼 -

를 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

청구항 30.

제25항에 있어서,

소정 기간동안 상기 판독 상태의 검출에 따라 상기 증폭기 단들과 관계된 고역 통과 필터 회로의 컷오프 주파수를 선택적으로 증가시키고, 이에 의해 상기 고역 통과 필터에 의해 차단된 주파수들의 범위를 증가시켜 저주파 글리치가 상기 판독 상태의 검출에 따라 상기 전치 증폭기 회로를 포화시키는 것을 방지하는 단계를 더 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

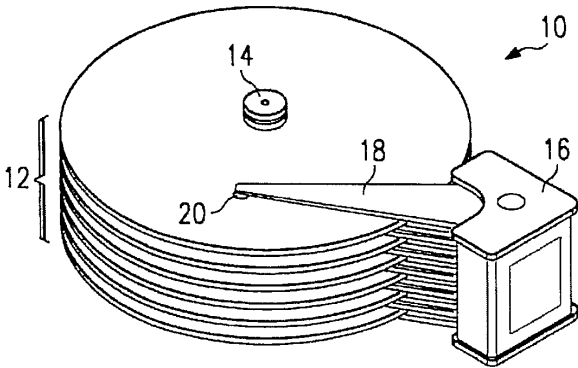
청구항 31.

제30항에 있어서,

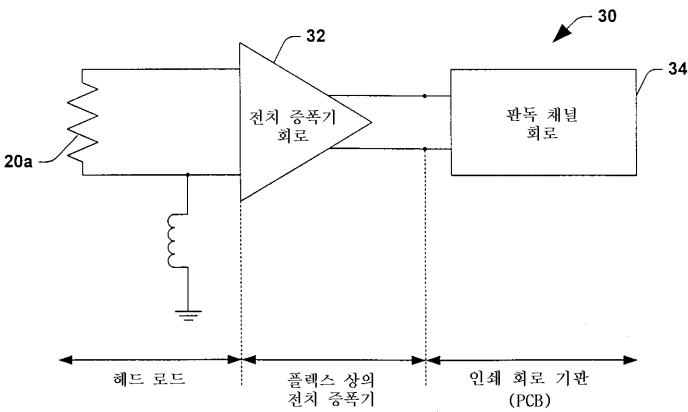
상기 고역 통과 필터의 상기 컷오프 주파수를 증가시키는 단계는 그와 관련된 폴을 소정의 기간동안 이동시키는 단계를 포함하는 것을 특징으로 하는 스위칭 시간 감소 방법.

도면

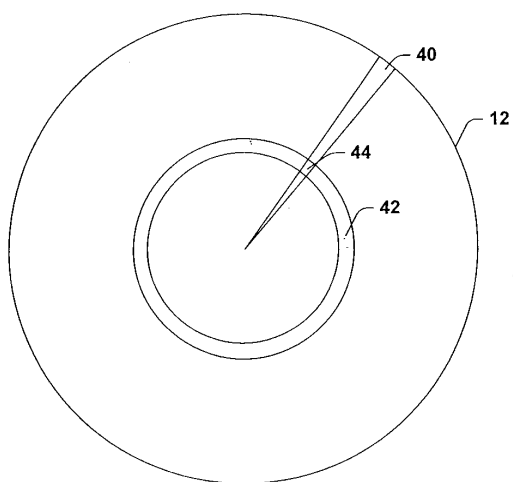
도면 1



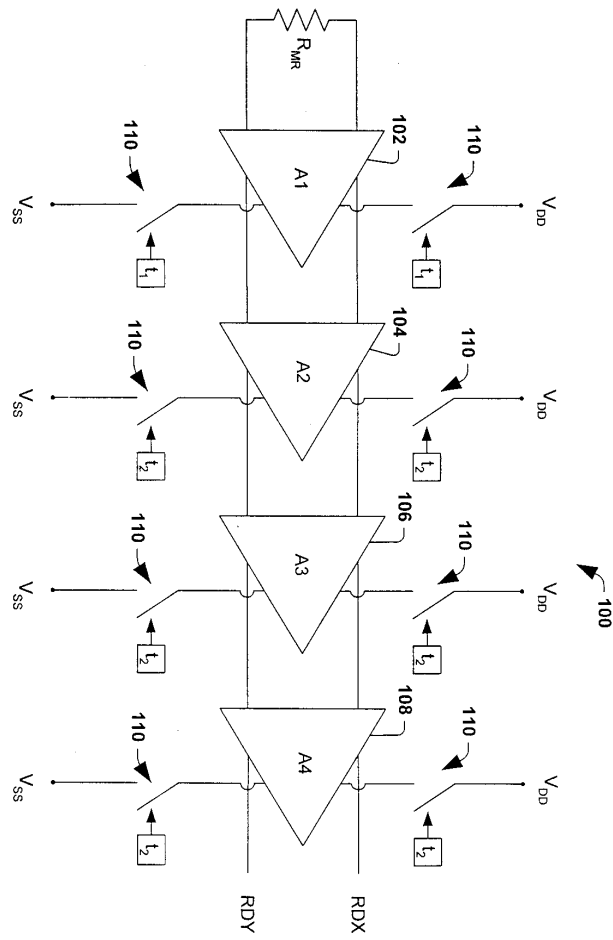
도면 2



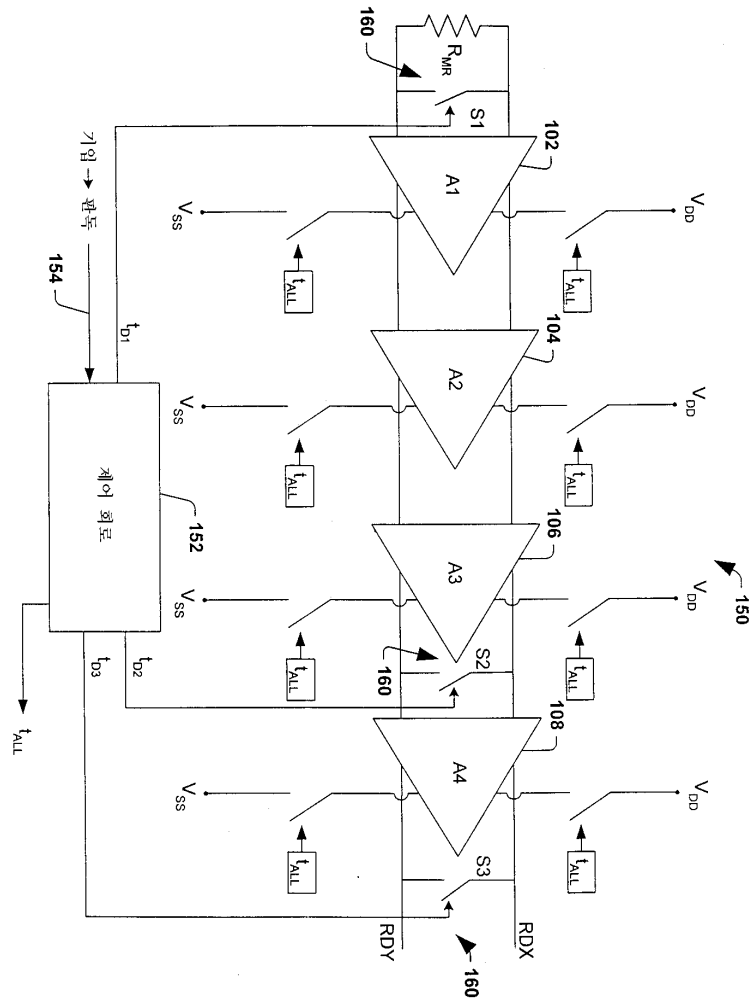
도면 3



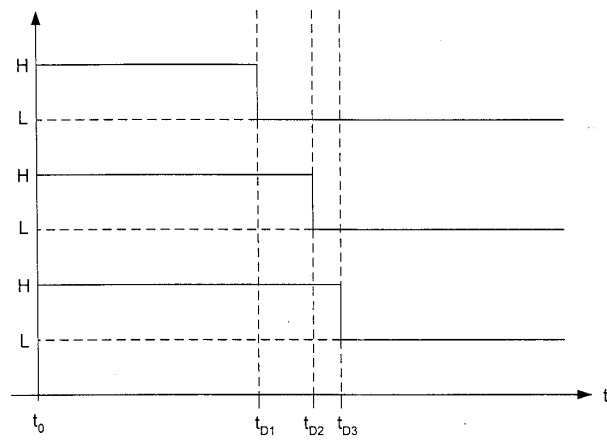
도면 4



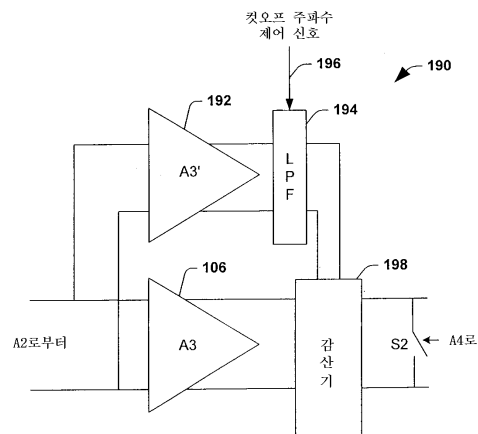
도면 5



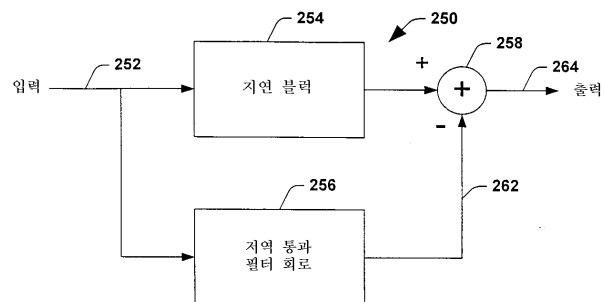
도면 6



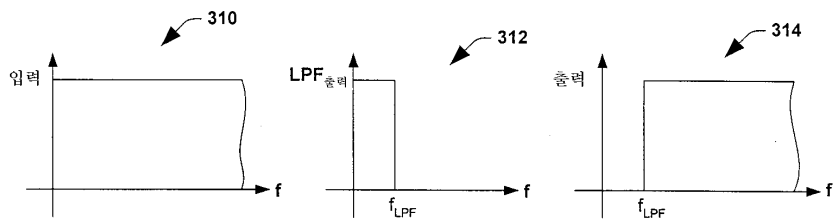
도면 7



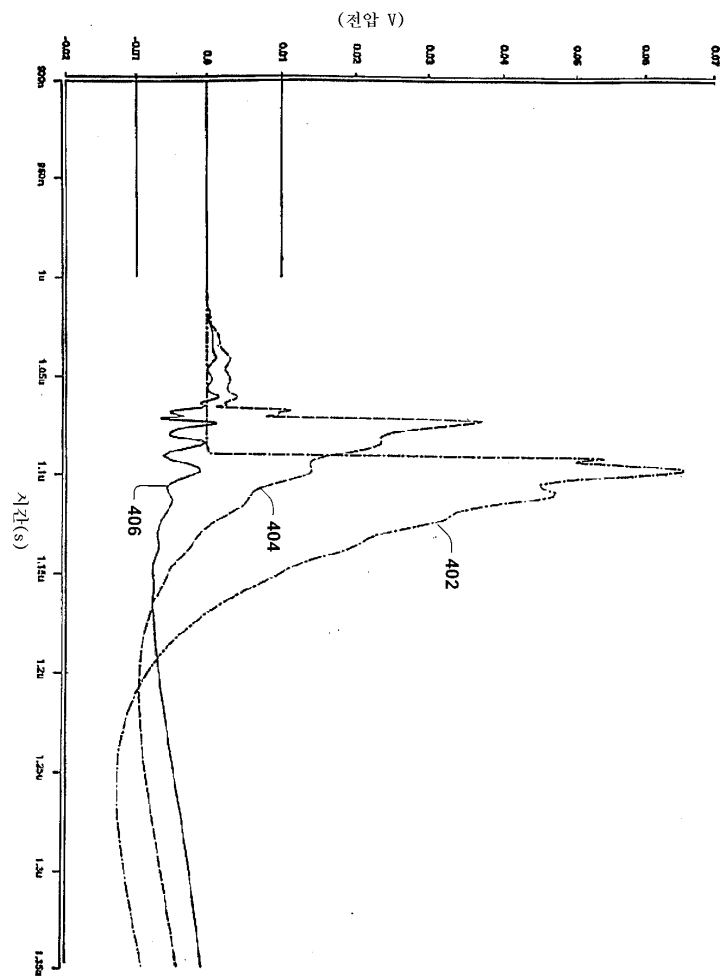
도면 8a



도면 8b



도면 9



도면 10

