

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6478548号
(P6478548)

(45) 発行日 平成31年3月6日 (2019.3.6)

(24) 登録日 平成31年2月15日 (2019.2.15)

(51) Int.Cl. F 1
A 6 3 F 7/02 (2006.01)
 A 6 3 F 7/02 3 0 4 Z
 A 6 3 F 7/02 3 0 4 D

請求項の数 3 (全 19 頁)

(21) 出願番号	特願2014-204465 (P2014-204465)	(73) 特許権者	391010943
(22) 出願日	平成26年10月3日 (2014. 10. 3)		株式会社藤商事
(65) 公開番号	特開2016-73368 (P2016-73368A)		大阪府大阪市中央区内本町一丁目 1 番 4 号
(43) 公開日	平成28年5月12日 (2016. 5. 12)	(74) 代理人	100100376
審査請求日	平成29年9月20日 (2017. 9. 20)		弁理士 野中 誠一
		(74) 代理人	100143199
			弁理士 磯邊 毅
		(72) 発明者	野尻 貴史
			大阪府大阪市中央区内本町一丁目 1 番 4 号
			株式会社藤商事内
		審査官	井上 昌宏

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

所定の範囲内で周波数が時間的に偏移するシステムクロックを受けて動作して、ランプ及び／又はモータによる演出動作を制御する C P U と、前記 C P U の制御に基づいて、必要時に限り、所定の駆動制御データを、クロック信号に同期して出力するシリアルポートと、を有して構成された遊技機であって、

前記システムクロックに基づき生成された前記クロック信号を、前記 C P U の制御に基づいて出力するボーレートジェネレータと、前記駆動制御データを一時保存して、1 ビット毎に出力する送信シフトレジスタと、を有して構成された前記シリアルポートは、

前記必要時に限り、前記ボーレートジェネレータから前記クロック信号を出力して、前記駆動制御データを、ランプ及び／又はモータを駆動する駆動回路に向け伝送するよう構成されていることを特徴とする遊技機。

【請求項 2】

前記クロック信号を受けて、その周波数を所定の範囲内で偏移可能な伝送クロックを出力可能な手段を更に有して構成されている請求項 1 に記載の遊技機。

【請求項 3】

前記 C P U と共に、前記シリアルポートを複数個内蔵したワンチップマイコンを有して構成されている請求項 1 又は 2 に記載の遊技機。

【発明の詳細な説明】

【技術分野】

10

20

【0001】

本発明は、遊技動作に起因する抽選処理によって大当たり状態を発生させる遊技機に関し、特に、不要輻射ノイズの発生を抑制した遊技機に関する。

【背景技術】

【0002】

パチンコ機などの弾球遊技機は、遊技盤に設けた図柄始動口と、複数の表示図柄による一連の図柄変動態様を表示する図柄表示部と、開閉板が開閉される大入賞口などを備えて構成されている。そして、図柄始動口に設けられた検出スイッチが遊技球の通過を検出すると入賞状態となり、遊技球が賞球として払出された後、図柄表示部では表示図柄が所定時間変動される。その後、7・7・7などの所定の態様で図柄が停止すると大当たり状態となり、大入賞口が繰返し開放されて、遊技者に有利な遊技状態を発生させている。

10

【0003】

このような遊技状態を発生させるか否かは、図柄始動口に遊技球が入賞したことを条件に実行される大当たり抽選で決定されており、上記の図柄変動動作は、この抽選結果を踏まえたものとなっている。例えば、抽選結果が当選状態である場合には、リーチアクションなどと称される演出動作を20秒前後実行し、その後、特別図柄を整列させている。一方、ハズレ状態の場合にも、同様のリーチアクションが実行されることがあり、この場合には、遊技者は、大当たり状態になることを強く念じつつ演出動作の推移を注視することになる。そして、図柄変動動作の終了時に、停止ラインに所定図柄が揃えば、大当たり状態であることが遊技者に保証されたことになる。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2014-135971号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

上記した演出動作は、液晶表示装置での画像演出が中心となるが、この画像演出に連動して、各種のランプを点滅させるランプ演出や、遊技者を盛り上げる音声を出力する音声演出や、可動物が移動する可動演出などが実行される。そして、これらの演出においては、一般に、クロック同期方式によって駆動制御データをシリアル伝送することで、配線数を増やすことなく演出内容の複雑高度化を図っている（例えば、特許文献1）。

30

【0006】

しかし、演出内容の複雑高度化に対応して、駆動制御データのデータ量が増加するので、これを転送するための伝送クロックの周波数も高くならざるを得ない。しかも、ランプやスピーカに至る配線距離が長い場合も多いので、これらの伝送線が、不要輻射ノイズEMI（Electro Magnetic Interference）の放射アンテナとして機能して、周りのコンピュータ電子素子に悪影響を与えてコンピュータが暴走状態になるおそれがあった。

【0007】

ここで、悪影響が及ぶ範囲は、必ずしも遊技機内部に限らないので、万一、遊技者の携帯コンピュータ機器に悪影響を与えたのでは、遊技者と遊技ホールとのトラブルを生じさせ兼ねない。そして、これらの問題は、クロック同期方式か調歩同期式かに拘わらず、大量のデータを高速にシリアル伝送する場合において、特に懸念される問題である。

40

【0008】

本発明は、上記の問題点に鑑みてなされたものであって、不要輻射ノイズを抑制しつつ高速のシリアル伝送を実現した遊技機を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記の目的を達成するため、本発明は、所定の範囲内で周波数が時間的に偏移するシステムクロックを受けて動作して、ランプ及び／又はモータによる演出動作を制御するC P

50

Uと、前記CPUの制御に基づいて、必要時に限り、所定の駆動制御データを、クロック信号に同期して出力するシリアルポートと、を有して構成された遊技機であって、前記システムクロックに基づき生成された前記クロック信号を、前記CPUの制御に基づいて出力するポーレートジェネレータと、前記駆動制御データを一時保存して、1ビット毎に出力する送信シフトレジスタと、を有して構成された前記シリアルポートは、前記必要時に限り、前記ポーレートジェネレータから前記クロック信号を出力して、前記駆動制御データを、ランプ及び／又はモータを駆動する駆動回路に向け伝送するよう構成されている。

【0010】

本発明において、伝送クロック信号の基本クロック信号に対する周波数偏移量は、基本クロック信号の周波数に対して所定範囲内（好ましくは3.0%以下、より好ましくは2.0%以下）に制限されているのが好ましい。

10

【0011】

また、前記演出制御手段は、ランプ及び／又はモータを所定態様で制御するCPUと、シリアル送信手段を実現するシリアルポートと、を内蔵したワンチップマイコンを有して構成されているのが好適である。

【0012】

ここで、異なる駆動制御データを出力する複数のシリアル送信手段が設けられ、各シリアル送信手段が出力する基本クロック信号毎に周波数変調手段が設けられているとノイズ抑制効果が高く、一方、異なる駆動制御データを出力する複数のシリアル送信手段を設ける一方、共通の伝送クロック信号が使用される構成を採ると回路構成が簡略化される。

20

【0013】

前記伝送クロック信号及び／又は前記駆動制御データは、シングルエンド信号として伝送されるのが配線数を抑制する上で効果的である。本発明は、上記の構成を採るので、差動伝送線によるシリアル伝送を採る必要がない。

【0014】

また、遊技機の機種変更に拘わらず使用可能な枠側部材と、遊技機の機種変更に対応して交換可能な盤側部材とに区分される遊技機であって、伝送クロック信号を伝送する配線ケーブルは、枠側部材と盤側部材とを接続するのが効果的である。

【発明の効果】

【0015】

30

上記した通り、本発明の遊技機によれば、段落0092～0093に明示のように機能することで、不要輻射ノイズを抑制しつつ高速のシリアル伝送を実現することができる。

【図面の簡単な説明】

【0016】

【図1】実施例に示すパチンコ機の斜視図である。

【図2】図1のパチンコ機の遊技盤を図示した正面図である。

【図3】図1のパチンコ機の全体構成を示すブロック図である。

【図4】演出制御部の回路構成を例示するブロック図である。

【図5】周波数変調回路を説明する図面である。

【図6】演出制御部のワンチップマイコンの内部構成の要部と動作内容を説明する図面である。

40

【図7】3つのランプ駆動基板の内部構成を示すブロック図である。

【図8】周波数変調回路の適用例を説明する図面である。

【0017】

以下、実施例に基づいて本発明を詳細に説明する。図1は、本実施例のパチンコ機GMを示す斜視図である。このパチンコ機GMは、島構造体に着脱可能に装着される矩形枠状の木製外枠1と、外枠1に固着されたヒンジ2を介して開閉可能に枢着される前枠3とで構成されている。この前枠3には、遊技盤5が、裏側からではなく、表側から着脱自在に装着され、その前側には、ガラス扉6と前面板7とが夫々開閉自在に枢着されている。

【0018】

50

ガラス扉6の外周には、LEDランプなどによる電飾ランプが、略C字状に配置されている。一方、ガラス扉6の上部左右位置と下側には、全3個のスピーカが配置されている。上部に配置された2個のスピーカは、各々、左右チャンネルR、Lの音声を出力し、下側のスピーカは重低音を出力するよう構成されている。

【0019】

前面板7には、発射用の遊技球を貯留する上皿8が装着され、前枠3の下部には、上皿8から溢れ出し又は抜き取った遊技球を貯留する下皿9と、発射ハンドル10とが設けられている。発射ハンドル10は発射モータと連動しており、発射ハンドル10の回転角度に応じて動作する打撃槌によって遊技球が発射される。

【0020】

上皿8の外周面には、チャンスボタン11が設けられている。このチャンスボタン11は、遊技者の左手で操作できる位置に設けられており、遊技者は、発射ハンドル10から右手を離すことなくチャンスボタン11を操作できる。このチャンスボタン11は、通常時には機能していないが、ゲーム状態がボタンチャンス状態となると内蔵ランプが点灯されて操作可能となる。なお、ボタンチャンス状態は、必要に応じて設けられるゲーム状態である。

【0021】

上皿8の右部には、カード式球貸し機に対する球貸し操作の操作パネル12が設けられ、カード残額を3桁の数字で表示する度数表示部と、所定金額分の遊技球の球貸しを指示する球貸しスイッチと、ゲーム終了時にカードの返却を指令する返却スイッチとが設けられている。

【0022】

図2に示すように、遊技盤5の表面には、金属製の外レールと内レールとからなるガイドレール13が環状に設けられ、その略中央には、中央開口HOが設けられている。そして、中央開口HOには、大型の液晶カラーディスプレイ(LCD)で構成された表示装置DSが配置されている。

【0023】

表示装置DSは、大当たり状態に係わる特定図柄を変動表示すると共に背景画像や各種のキャラクタなどをアニメーション的に表示する装置である。この表示装置DSは、中央部に特別図柄表示部Da~Dcと右上部に普通図柄表示部19とを有している。そして、特別図柄表示部Da~Dcでは、大当たり状態の招来を期待させるリーチ演出が実行されることがあり、特別図柄表示部Da~Dc及びその周りでは、適宜な予告演出などが実行される。

【0024】

遊技球が落下移動する遊技領域には、図柄始動口15、大入賞口16、普通入賞口17、及び、ゲート18が配設されている。これらの入賞口15~18は、それぞれ内部に検出スイッチを有しており、遊技球の通過を検出できるようになっている。

【0025】

図柄始動口15は、左右一対の開閉爪15aを備えた電動式チューリップで開閉されるように構成され、普通図柄表示部17の変動後の停止図柄が当り図柄を表示した場合には、所定時間だけ、若しくは、所定個数の遊技球を検出するまで、開閉爪15aが開放されるようになっている。

【0026】

なお、普通図柄表示部19は、普通図柄を表示するものであり、ゲート18を通過した遊技球が検出されると、普通図柄が所定時間だけ変動し、遊技球のゲート18の通過時点において抽出された抽選用乱数値により決定される停止図柄を表示して停止する。

【0027】

大入賞口16は、前後方向に進退する開閉板16aを有して構成されている。大入賞口16の動作は、特に限定されないが、典型的な大当たり状態では、大入賞口16の開閉板16aが開放された後、所定時間が経過し、又は所定数(例えば10個)の遊技球が入賞す

10

20

30

40

50

ると開閉板 16a が閉じる。このような動作は、最大で例えば 15 回まで継続され、遊技者に有利な状態に制御される。なお、特別図柄表示部 Da ～ Dc の変動後の停止図柄が特別図柄のうちの特定図柄であった場合には、特別遊技の終了後のゲームが高確率状態（確変状態）となるという特典が付与される。

【0028】

図 3 は、上記した各動作を実現するパチンコ機 GM の全体回路構成を示すブロック図である。図示の通り、このパチンコ機 GM は、AC 24V を受けて各種の直流電圧や、電源異常信号 ABN1、ABN2 やシステムリセット信号（電源リセット信号）SYS などを出力する電源基板 20 と、遊技制御動作を中心統括的に担う主制御基板 21 と、主制御基板 21 から受けた制御コマンド CMD に基づいてランプ演出及び音声演出を実行する演出制御基板 22 と、演出制御基板 22 から受けた制御コマンド CMD' に基づいて表示装置 DS を駆動する画像制御基板 23 と、主制御基板 21 から受けた制御コマンド CMD'' に基づいて払出モータ M を制御して遊技球を払い出す払出制御基板 24 と、遊技者の操作に
10 応答して遊技球を発射させる発射制御基板 25 と、を中心に構成されている。

【0029】

但し、この実施例では、主制御基板 21 が出力する制御コマンド CMD は、コマンド中継基板 26 と演出インタフェース基板 27 を経由して、演出制御基板 22 に伝送される。また、演出制御基板 22 が出力する制御コマンド CMD' は、演出インタフェース基板 27 と画像インタフェース基板 28 を経由して、画像制御基板 23 に伝送され、主制御基板 21 が出力する制御コマンド CMD'' は、主基板中継基板 32 を経由して、払出制御基板
20 24 に伝送される。制御コマンド CMD、CMD'、CMD'' は、何れも 16 ビット長であるが、主制御基板 21 や払出制御基板 24 が関係する制御コマンドは、8 ビット長毎に 2 回に分けてパラレル送信されている。一方、演出制御基板 22 から画像制御基板 23 に伝送される制御コマンド CMD' は、16 ビット長をまとめてパラレル伝送されている。そのため、可動予告演出を含む予告演出を、多様化して多数の制御コマンドを連続的に送受信するような場合でも、迅速にその処理を終えることができ、他の制御動作に支障を与えない。

【0030】

ところで、本実施例では、演出インタフェース基板 27 と演出制御基板 22 とは、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。同様に、画像インタフェース基板 28 と画像制御基板 23 についても、配線ケーブルを経由することなく、雄型コネクタと雌型コネクタとを直結されて二枚の回路基板が積層されている。そのため、各電子回路の回路構成を複雑高度化しても基板
30 全体の収納空間を最小化できると共に、接続ラインを最短化することで耐ノイズ性を高めることができる。

【0031】

これら主制御基板 21、演出制御基板 22、画像制御基板 23、及び払出制御基板 24 には、ワンチップマイコンを備えるコンピュータ回路がそれぞれ搭載されている。そこで、これらの制御基板 21 ～ 24 とインタフェース基板 27 ～ 28 に搭載された回路、及びその回路によって実現される動作を機能的に総称して、本明細書では、主制御部 21、演出制御部 22'、画像制御部 23'、及び払出制御部 24 と言うことがある。すなわち、この実施例では、演出制御基板 22 と演出インタフェース基板 27 とで演出制御部 22' を構成し、画像制御基板 23 と画像インタフェース基板 28 とで画像制御部 23' を構成している。なお、演出制御部 22'、画像制御部 23'、及び払出制御部 24 の全部又は一部がサブ制御部である。
40

【0032】

また、このパチンコ機 GM は、図 3 の破線で囲む枠側部材 GM1 と、遊技盤 5 の背面に固定された盤側部材 GM2 とに大別されている。枠側部材 GM1 には、ガラス扉 6 や前面板 7 が枢着された前枠 3 と、その外側の木製外枠 1 とが含まれており、機種の変更に拘わらず、長期間にわたって遊技ホールに固定的に設置される。一方、盤側部材 GM2 は、機
50

種変更に対応して交換され、新たな盤側部材GM2が、元の盤側部材の代わりに枠側部材GM1に取り付けられる。なお、枠側部材1を除く全てが、盤側部材GM2である。

【0033】

図3の破線枠に示す通り、枠側部材GM1には、電源基板20と、払出制御基板24と、発射制御基板25と、枠中継基板35と、ランプ駆動基板36とが含まれており、これらの回路基板が、前枠3の適所に各々固定されている。

【0034】

ランプ駆動基板36には、複数のLEDが接続されており、これらのLED群を駆動する駆動データSDATAは、シリアル信号として、演出制御基板22→演出インタフェース基板27→枠中継基板34→枠中継基板35を経由して、ランプ駆動基板36に搭載された複数のドライバDRijに伝送されている。

10

【0035】

実施例のドライバDRij（ドライバIC）は、各々、LEDや電飾ランプなどのLED群を最高24個まで駆動可能であるが、以下の説明では、ランプ駆動基板36に搭載された5個のドライバDRijによって、合計5×24個のLEDが駆動されているとする（図7参照）。そして、本明細書では、これらのLEDを、便宜上、第0チャンネル（CH0）のLED群と称する。

【0036】

遊技盤5の背面には、主制御基板21、演出制御基板22、画像制御基板23が、表示装置DSやその他の回路基板と共に固定されている。そして、枠側部材GM1と盤側部材GM2とは、一箇所に集中配置された接続コネクタC1～C4によって電氣的に接続されている。

20

【0037】

電源基板20は、接続コネクタC2を通して、主基板中継基板32に接続され、接続コネクタC3を通して、電源中継基板33に接続されている。電源基板20には、交流電源の投入と遮断とを監視する電源監視部MNTが設けられている。電源監視部MNTは、交流電源が投入されたことを検知すると、所定時間だけシステムリセット信号SYSをLレベルに維持した後に、これをHレベルに遷移させる。

【0038】

また、電源監視部MNTは、交流電源の遮断を検知すると、電源異常信号ABN1、ABN2を、直ちにLレベルに遷移させる。なお、電源異常信号ABN1、ABN2は、電源投入後に速やかにHレベルとなる。

30

【0039】

ところで、本実施例のシステムリセット信号は、交流電源に基づく直流電源によって生成されている。そのため、交流電源の投入（通常は電源スイッチのON）を検知してHレベルに増加した後は、直流電源電圧が異常レベルまで低下しない限り、Hレベルを維持する。したがって、直流電源電圧が維持された状態で、交流電源が瞬停状態となっても、システムリセット信号SYSがCPUをリセットすることはない。なお、電源異常信号ABN1、ABN2は、交流電源の瞬停状態でも出力される。

【0040】

40

主基板中継基板32は、電源基板20から出力される電源異常信号ABN1、バックアップ電源BAK、及びDC5V、DC12V、DC32Vを、そのまま主制御部21に出力している。一方、電源中継基板33は、電源基板20から受けたシステムリセット信号SYSや、交流及び直流の電源電圧を、そのまま演出インタフェース基板27に出力している。演出インタフェース基板27は、受けたシステムリセット信号SYSを、そのまま演出制御部22'と画像制御部23'に出力している。

【0041】

一方、払出制御基板24は、中継基板を介することなく、電源基板20に直結されており、主制御部21が受けると同様の電源異常信号ABN2や、バックアップ電源BAKを、その他の電源電圧と共に直接的に受けている。

50

【0042】

電源基板20が出力するシステムリセット信号SYSは、電源基板20に交流電源24Vが投入されたことを示す電源リセット信号であり、この電源リセット信号によって演出制御部22'と画像制御部23'のワンチップマイコンは、その他のIC素子と共に電源リセットされるようになっている。

【0043】

但し、このシステムリセット信号SYSは、主制御部21と払出制御部24には、供給されておらず、各々の回路基板21, 24のリセット回路RSTにおいて電源リセット信号(CPUリセット信号)が生成されている。そのため、例えば、接続コネクタC2がガタついたり、或いは、配線ケーブルにノイズが重畳しても、主制御部21や払出制御部24のCPUが異常リセットされるおそれはない。演出制御部22'と画像制御部23'は、主制御部21からの制御コマンドに基づいて、従属的に演出動作を実行することから、回路構成の複雑化を回避するために、電源基板20から出力されるシステムリセット信号SYSを利用している。

10

【0044】

ところで、主制御部21や払出制御部24に設けられたリセット回路RSTは、各々ウォッチドッグタイマを内蔵しており、各制御部21, 24のCPUから、定時的なクリアパルスを受けない限り、各CPUは強制的にリセットされる。

【0045】

また、この実施例では、RAMクリア信号CLRは、主制御部21で生成されて主制御部21と払出制御部24のワンチップマイコンに伝送されている。ここで、RAMクリア信号CLRは、各制御部21, 24のワンチップマイコンの内蔵RAMの全領域を初期設定するか否かを決定する信号であって、係員が操作する初期化スイッチSWのON/OFF状態に対応した値を有している。

20

【0046】

主制御部21及び払出制御部24は、電源基板20から電源異常信号ABN1, ABN2を受けることによって、停電や営業終了に先立って、必要な終了処理を開始するようになっている。また、バックアップ電源BAKは、営業終了や停電により交流電源24Vが遮断された後も、主制御部21と払出制御部24のワンチップマイコンの内蔵RAMのデータを保持するDC5Vの直流電源である。したがって、主制御部21と払出制御部24は、電源遮断前の遊技動作を電源投入後に再開できることになる(電源バックアップ機能)。このパチンコ機では少なくとも数日は、各ワンチップマイコンのRAMの記憶内容が保持されるよう設計されている。

30

【0047】

図3に示す通り、主制御部21は、主基板中継基板32を経由して、払出制御部24に制御コマンドCMDを送信する一方、払出制御部24からは、遊技球の払出動作を示す賞球計数信号や、払出動作の異常に係わるステイタス信号CONや、動作開始信号BGNを受信している。ステイタス信号CONには、例えば、補給切れ信号、払出不足エラー信号、下皿満杯信号が含まれる。動作開始信号BGNは、電源投入後、払出制御部24の初期動作が完了したことを主制御部21に通知する信号である。

40

【0048】

また、主制御部21は、遊技盤中継基板31を経由して、遊技盤5の各遊技部品に接続されている。そして、遊技盤上の各入賞口16~18に内蔵された検出スイッチのスイッチ信号を受け一方、電動式チューリップなどのソレノイド類を駆動している。ソレノイド類や検出スイッチは、主制御部21から配電された電源電圧VB(12V)で動作するよう構成されている。また、図柄始動口15への入賞状態などを示す各スイッチ信号は、電源電圧VB(12V)と電源電圧Vcc(5V)とで動作するインタフェイスICで、TTLレベル又はCMOSレベルのスイッチ信号に変換された上で、主制御部21に伝送される。

【0049】

50

先に説明した通り、演出制御基板 22 と演出インタフェース基板 27 とはコネクタ連結によって一体化されており、演出制御部 22' は、電源中継基板 33 を経由して、電源基板 20 から各レベルの直流電圧（5 V，12 V，32 V）と、システムリセット信号 S Y S を受けている（図 3 及び図 4 参照）。また、演出制御部 22' は、コマンド中継基板 26 を経由して、主制御部 21 から制御コマンド C M D とストローブ信号 S T B とを受けている（図 3 及び図 4 参照）。

【0050】

そして、演出制御部 22' は、演出インタフェース基板 27 を経由して、ランプ駆動基板 29 やランプ駆動基板 30 に搭載されたドライバ D R i j に、ランプ駆動データ S D A T A（シリアル信号）を供給している。特に限定されるものではないが、ランプ駆動基板 29，30 に搭載されているドライバ D R i j は、ランプ駆動基板 36 に搭載されたドライバ D R i j と同一構成であり、ランプ駆動基板 29，30 には、各々、5 個のドライバ D R i j が配置されている。

10

【0051】

先に説明した通り、これらのドライバ D R i j は、各々、最高 24 個のランプを駆動可能であるが、以下の説明では、ランプ駆動基板 29 に接続された合計 24 × 5 個のランプを、第 1 チャンネル C H 1 のランプ群と称し、ランプ駆動基板 30 に接続された合計 24 × 5 個のランプを、第 2 チャンネル C H 2 のランプ群と称することがある。

【0052】

このように、本実施例では、多数（3 × 24 × 5 個）のランプが、チャンネル C H 0 ～チャンネル C H 2 のランプ群に三分されて、各々、ランプ駆動基板 36、ランプ駆動基板 29、ランプ駆動基板 30 に接続されている。なお、全てのドライバ D R i j は、演出制御部 22' のワンチップマイコン 40 が、一括的に出力するシリアル信号 S D A T A のうち、該当信号を受信して、担当するランプ群を駆動している（図 4 参照）。

20

【0053】

ところで、同じドライバ D R i j を使用してステッピングモータを駆動することもでき、例えば、破線に示すように、ランプ駆動基板 30 を経由して、演出モータ群 M 1 ～M n を駆動するのも好適である。この場合、モータ駆動データは、ランプ駆動データと同様のシリアル信号であり、演出内容を豊富化するべく演出モータ個数を増やしても、配線ケーブルが増加することがなく、機器構成が簡素化される。

30

【0054】

図 3 及び図 4 に示す通り、演出制御部 22' は、画像制御部 23' に対して、制御コマンド C M D' 及びストローブ信号 S T B' と、電源基板 20 から受けたシステムリセット信号 S Y S と、2 種類の直流電圧（12 V，5 V）とを出力している。

【0055】

そして、画像制御部 23' では、制御コマンド C M D' に基づいて表示装置 D S を駆動して各種の画像演出を実行している。表示装置 D S は、L E D バックライトによって発光しており、画像インタフェース基板 28 から 5 対の L V D S（低電圧差動伝送 Low voltage differential signaling）信号と、バックライト電源電圧（12 V）とを受けて駆動されている（図 4 参照）。

40

【0056】

続いて、上記した演出制御部 22' と画像制御部 23' の構成を更に詳細に説明する。図 4 に示す通り、演出インタフェース基板 27 は、電源中継基板 33 を経由して、電源基板 20 から 3 種類の直流電圧（5 V，12 V，32 V）を受けている。ここで、直流電圧 5 V は、デジタル論理回路の電源電圧として、演出インタフェース基板 27、ランプ駆動基板 29、ランプ駆動基板 30、画像インタフェース基板 28、及び画像制御基板 23 に配電されて各デジタル回路を動作させている。

【0057】

但し、演出制御基板 22 には、直流電圧 5 V が配電されておらず、12 V から D C / D C コンバータで降圧された直流電圧 3.3 V と、3.3 V から D C / D C コンバータで更

50

に降圧された直流電圧 1.8 V だけが、演出インタフェース基板 27 から演出制御基板 22 に配電されている。

【0058】

このように、本実施例の演出制御基板 22 は、全ての回路が、電源電圧 3.3 V 又はそれ以下の電源電圧で駆動されているので、電源電圧を 5 V で動作する場合と比較して大幅に低電力化することができ、仮に、演出制御基板 22 の直上に演出インタフェース基板 27 を配置して積層しても放熱上の問題が生じない。

【0059】

但し、電源基板 20 から受けた直流電圧 12 V は、そのままデジタルアンプ 46 の電源電圧として使用されると共に、ランプ駆動基板 30 とランプ駆動基板 29 に配電されて各ランプ群の電源電圧となる。また、直流電圧 32 V は、演出インタフェース基板の DC/DC コンバータにおいて直流電圧 13 V に降圧されて、必要に応じて、演出モータ M1 ~ Mn の駆動電源として使用される。

【0060】

図 4 に示すように、演出制御部 22' は、音声演出・ランプ演出・演出可動体による予告演出・データ転送などの処理を実行するワンチップマイコン 40 と、ワンチップマイコン 40 の制御プログラムなどを記憶する不揮発性メモリ 41 と、ワンチップマイコン 40 からの指示に基づいて音声信号を再生して出力する音声合成回路 42 と、再生される音声信号の元データである圧縮音声データを記憶する音声用メモリ 43 と、ワンチップマイコン 40 の動作タイミングを規定するシステムクロック SCK を生成するクロック発振部 39 と、を備えて構成されている。

【0061】

なお、ワンチップマイコン 40、フラッシュメモリ 41、及び音声用メモリ 43 は、電源電圧 3.3 V で動作しており、また、音声合成回路 42 は、電源電圧 3.3 V 及び電源電圧 1.8 V で動作しており大幅な省電力化が実現されている。1.8 V は、音声合成回路のコンピュータ・コア部の電源電圧であり、3.3 V は、I/O 部の電源電圧である。

【0062】

ところで、本実施例のクロック発振部 39 は、水晶振動子 Xtal の固有周波数で規定される中心周波数 F_i を固定的に発振するのではなく、中心周波数 F_i を中心として、所定範囲内で周波数 ($F_i - \delta \sim F_i + \delta$) が偏移するシステムクロック SCK (変調クロック) を生成している。なお、周波数偏移量 δ は、中心周波数 F_i の上下に $\pm 1.0\%$ 程度とするか (セントスプレッド)、或いは、中心周波数 F_i の上方又は下方に $0 \sim 2.0\%$ 程度とするのが好適である (アップスプレッド又はダウンスプレッド)。

【0063】

図 5 (a) は、その回路構成を例示したものであり、水晶振動子 Xtal による原発振回路 OSC と、原発振回路 OSC の発振周波数 F_i を偏移させる周波数変調回路 FS と、を有して構成されている。原発振回路 OSC は、水晶振動子 Xtal と、インバータ IN と、帰還抵抗 Rs と、負荷コンデンサ C11, C12 とを有して構成され、中心周波数 F_i の基準クロックを生成している。ここで、インバータ IN と帰還抵抗 Rs を接続する正帰還ループは、制御信号 CTL によって開閉制御可能に構成されており、制御信号 CTL によって発振動作の許否が制御可能に構成されている。

【0064】

なお、図 5 (a) では、信号端子 Xin, Xout 間に、水晶振動子 Xtal を接続して自励発振させる構成を示しているが、図 5 (c) に示すように、信号端子 Xout を解放状態にすれば、他の回路から受ける外部クロックを周波数変調することも可能となる。なお、この場合には、基準クロックは、外部クロックを論理否定した論理レベルとなる。

【0065】

周波数変調回路 FS は、PLL (phase locked loop) 動作を実行する PLL ブロック 37 と、その PLL 動作を制御する制御端子 T1, T2 とを有して構成されている。そして、制御端子 T1 に H レベルの制御信号を受けると、原発振回路 OSC と PLL ブロック

10

20

30

40

50

37の動作が許可される。また、制御端子T2に受ける設定信号の論理レベルに応じて、変調度が高低に設定可能となっている。変調度は、中心周波数 F_i からの周波数偏移量を意味し、制御端子T2が受ける設定信号の論理レベルに応じて、例えば、 $\pm 0.5\%$ か、 $\pm 1.0\%$ かの何れかの周波数偏移量となる。なお、図示例では、設定信号がHレベル（変調度が高レベル）であって、周波数偏移量が $\pm 1.0\%$ となっている。

【0066】

但し、必ずしも、センタスブレード方式によって中心周波数 F_i の上下に周波数変調する必要はなく、制御端子T2が受ける設定信号の論理レベルに応じて、例えば、中心周波数 F_i の下方に -1.0% か、 -2.0% かの何れかの周波数偏移量とするダウンスブレード方式を採っても良い。

10

【0067】

何れにしても、PLLブロック37から出力されるシステムクロック SCK は、 $\delta = F_i \times 2 / 100$ 程度、その周波数が偏移するので、不要輻射ノイズEMIの抑制に効果的に寄与する。なお、この点は、ランプ駆動信号やモータ駆動信号に関して更に後述する。

【0068】

図5(b)は、PLLブロック37の内部構成を図示したものであり、変調ロジック部59を除けば、通常のPLL回路とほぼ同様である。すなわち、PLLブロック37は、変調ロジック部59の他に、出力信号（変調クロック出力）を $1/M$ 分周する第1分周部50と、基準クロックを $1/N$ 分周する第2分周部51と、基準クロックを $1/L$ 分周する第3分周部52と、第1分周部50と第2分周部51の出力を比較する位相比較部53と、位相比較部53の出力を受けるチャージポンプ54と、抵抗とコンデンサによるループフィルタ55と、ループフィルタ55の出力電圧に対応して出力周波数 F_o が変化する電圧制御発振部VCOと、を有して構成されている。

20

【0069】

但し、PLLブロック37は、通常のPLL回路とは異なり、変調ロジック部59から受ける変調信号MDに基づいて、電圧制御発振部VCOの周波数が、最大で 2% 程度、微小に揺らぐ周波数変調が実現されるよう構成されている。また、実施例では、変調周期を、時間的に切り替え、変調周期 τ_1 でVCOの出力周波数を $F_o - \delta \sim F_o + \delta$ の範囲で変化させた後、変調周期 τ_2 でVCOの出力周波数を $F_o - \delta \sim F_o + \delta$ の範囲で変化させている。その結果、出力周波数が更に不規則に周波数変調されることで、不要輻射ノイズEMIの抑制効果が高まる。

30

【0070】

何れにしても、PLLブロック37内部では、周波数 F_o/M の第1分周部50の出力信号と、周波数 F_i/N の第2分周部51の出力信号との位相差が、位相比較器53において検出され、その位相差がゼロとなるよう負帰還ループが機能するので、 $F_o/M = F_i/N$ の関係が成立し、出力信号（変調クロック出力）の周波数 F_o は、やや揺らぐものの $F_o = F_i \times M/N$ となる。本実施例では、この出力信号が、システムクロック SCK としてワンチップマイコン40に供給され、ワンチップマイコン40の内部動作の動作タイミングを規定している。

40

【0071】

このようなシステムクロック SCK に基づいて動作するワンチップマイコン40には、複数のパラレル入出力ポートPIO（ $P_i + P_o + P_o'$ ）と、複数のシリアル出力ポートSIとが内蔵されている。ここで、シリアル出力ポートSIは、より詳細には、3チャンネルのシリアルポート（ $S_0 \sim S_2$ ）を含んで構成されており（図6参照）、ランプ駆動基板36、29、30に搭載された各5個のドライバ DR_{ij} に、各々、ランプ駆動データ $SDATA_0 \sim SDATA_2$ を、クロック信号 $CK_0 \sim CK_2$ に同期して出力している。

【0072】

すなわち、シリアルポート $S_0 \sim$ シリアルポート S_2 は、クロック同期方式に基づいて、対応するランプ駆動基板36、29、30に、ランプ駆動データ $SDATA_0 \sim SDATA$

50

T A 2 を伝送している。なお、ランプ駆動データ S D A T A 0 ~ S D A T A 2 は、各 L E D の発光輝度を P W M 制御 (pulse width modulation) によって輝度調整するため輝度データである。

【0073】

また、ランプ駆動基板 36、29、30 は、パラレル入出力ポート P I O のパラレル出力ポート P o ' にも接続されており、各ランプ駆動基板 36、29、30 に搭載されたドライバ D R i j は、パラレル出力ポート P o ' が出力する 3 ビット長の動作許可信号 E N A B L E 0 ~ E N A B L E 2 の何れかに基づいて動作を開始している。

【0074】

一方、パラレル入出力ポート P I O の入力ポート P i には、主制御部 21 からの制御コマンド C M D 及びストローブ信号 S T B が入力され、コマンド出力ポート P o からは、制御コマンド C M D ' 及びストローブ信号 S T B ' が出力されるよう構成されている。

10

【0075】

具体的には、入力ポート P i には、主制御基板 21 から出力された制御コマンド C M D とストローブ信号 (割込み信号) S T B とが、演出インタフェース基板 27 のバッファ 44 において、電源電圧 3.3 V に対応する論理レベルに変換されて 8 ビット単位で供給される。割込み信号 S T B は、ワンチップマイコンの割込み端子に供給され、受信割込み処理によって、演出制御部 22 ' は、制御コマンド C M D を取得するよう構成されている。

【0076】

演出制御部 22 ' が取得する制御コマンド C M D には、(1) 異常報知その他の報知用制御コマンドなどの他に、(2) 図柄始動口への入賞に起因する各種演出動作の概要特定する制御コマンド (変動パターンコマンド) や、図柄種別を指定する制御コマンド (図柄指定コマンド) が含まれている。ここで、変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。

20

【0077】

また、図柄指定コマンドには、大当たり抽選の結果に応じて、大当たりの場合には、大当たり種別に関する情報 (15 R 確変、2 R 確変、15 R 通常、2 R 通常など) を特定する情報が含まれ、ハズレの場合には、ハズレを特定する情報が含まれている。変動パターンコマンドで特定される演出動作の概要には、演出開始から演出終了までの演出総時間と、大当たり抽選における当否結果とが含まれている。なお、これらに加えて、リーチ演出や予告演出の有無などを含めて変動パターンコマンドで特定しても良いが、この場合でも、演出内容の具体的な内容は特定されていない。

30

【0078】

そのため、演出制御部 22 ' では、変動パターンコマンドを取得すると、これに続いて演出抽選を行い、取得した変動パターンコマンドで特定される演出概要を更に具体化している。例えば、リーチ演出や予告演出について、その具体的な内容が決定される。そして、決定された具体的な遊技内容にしたがい、L E D 群などの点滅によるランプ演出や、スピーカによる音声演出の準備動作を行うと共に、画像制御部 23 ' に対して、ランプやスピーカによる演出動作に同期した画像演出に関する制御コマンド C M D ' を出力する。

40

【0079】

このような演出動作に同期した画像演出を実現するため、演出制御部 22 ' は、コマンド出力ポート P o を通して、画像制御部 23 ' に対するストローブ信号 (割込み信号) S T B ' と共に、16 ビット長の制御コマンド C M D ' を演出インタフェース基板 27 に向けて出力している。なお、演出制御部 22 ' は、図柄指定コマンドや、表示装置 D S に関連する報知用制御コマンドや、その他の制御コマンドを受信した場合は、その制御コマンドを、16 ビット長に纏めた状態で、割込み信号 S T B ' と共に演出インタフェース基板 27 に向けて出力している。

【0080】

上記した演出制御基板 22 の構成に対応して、演出インタフェース基板 27 には出力バ

50

ッファ45が設けられており、16ビット長の制御コマンドCMD'と1ビット長の割込み信号STB'を画像インタフェース基板28に出力している。そして、これらのデータCMD', STB'は、画像インタフェース基板28を経由して、画像制御基板23に伝送される。

【0081】

また、演出インタフェース基板27には、音声合成回路42から出力される音声信号を受けるデジタルアンプ46が配置されている。先に説明した通り、音声合成回路42は、3.3Vと1.8Vの電源電圧で動作しており、また、デジタルアンプ46は、電源電圧12VでD級増幅動作しており、消費電力を抑制しつつ大音量の音声演出を可能にしている。

10

【0082】

そして、デジタルアンプ46の出力によって、遊技機上部の左右スピーカと、遊技機下部のスピーカとを駆動している。そのため、音声合成回路42は、3チャンネルの音声信号を生成する必要がある、これをパラレル伝送すると、音声合成回路42とデジタルアンプ46との配線が複雑化する。

【0083】

そこで、本実施例では、音質の劣化を防止すると共に、配線の複雑化を回避するため、音声合成回路42とデジタルアンプ46との間は、4本の信号線で接続されており、具体的には、転送クロック信号SCLKと、チャンネル制御信号LRCLKと、2ビット長のシリアル信号SD1, SD2との合計4ビットの信号線に抑制されている。なお、何れの信号も、その振幅レベルは3.3Vである。

20

【0084】

ここで、SD1は、遊技機上部に配置された左右スピーカのステレオ信号R, Lを特定するPCMデータについてのシリアル信号であり、SD2は、遊技機下部に配置された重低音スピーカのモノラル信号を特定するPCMデータについてのシリアル信号である。そして、音声合成回路342は、チャンネル制御信号LRCLKをLレベルに維持した状態で、左チャンネルの音声信号Lを伝送し、チャンネル制御信号LRCLKをHレベルに維持した状態で、右チャンネルの音声信号Rを伝送する。なお、重低音スピーカは本実施例では1個であるので、モノラル音声信号が伝送されているが、ステレオ音声信号として伝送できるのは勿論である。

30

【0085】

何れにしても本実施例では、4種類の音声信号を4本のケーブルで伝送可能であるので、最小のケーブル本数によってノイズによる音声劣化のない信号伝達が可能となる。すなわち、シリアル伝送であるのでパラレル伝送より圧倒的にケーブル本数が少ない。なお、アナログ伝送を採る場合には、ケーブル本数は同数であるが、3.3V振幅のアナログ信号に、少なからずノイズが重畳して、音質が大幅に劣化する。一方、振幅レベルを上げると、電源配線が複雑化する上に消費電力が増加する。

【0086】

このようなシリアル信号SD1, SD2は、クロック信号SCLKの立上りエッジに同期して、デジタルアンプ46に取得される。そして、デジタルアンプ46内部で、所定ビット長毎にパラレル変換され、DA変換後にD級増幅されて各スピーカに供給されている。

40

【0087】

本実施例では、音声合成回路42とデジタルアンプ46とをシリアル回線で接続するので、PCMデータ（音声データ）のビット長を如何に増やして高音質化を実現しても配線ケーブルその他を変更する必要がなく、回路構成の簡素化を維持することができる。

【0088】

また、演出インタフェース基板27には、ワンチップマイコン40のパラレル出力ポートPo'や、シリアルポートSIや出力される各種の信号を伝送する出力バッファ回路47, 48, 49が設けられている。ここで、出力バッファ47は、第0チャンネルのLE

50

D群に関連しており、ワンチップマイコン40が出力するランプ駆動データSDATA0、クロック信号CK0、及び、動作許可信号ENABLE0を、枠中継基板34に出力している。そして、出力された3ビットの信号は、枠中継基板34、及び、枠中継基板35を経由して、ランプ駆動基板36のドライバDRijに伝送される。

【0089】

同様に、出力バッファ48は、ワンチップマイコン40が出力するランプ駆動データSDATA1、クロック信号CK1、及び、動作許可信号ENABLE1をランプ駆動基板29のドライバDRijに伝送しており、出力バッファ49は、ランプ駆動データSDATA2、クロック信号CK2、及び、動作許可信号ENABLE2をランプ駆動基板30のドライバDRijに伝送している。なお、ランプ駆動基板29のドライバDRijは、第1チャンネルのLED群を駆動し、ランプ駆動基板30のドライバDRijは、第2チャンネルのLED群を駆動している。

10

【0090】

図6(a)は、ワンチップマイコン40に内蔵されたシリアルポートSIの内部構成を図示したものである。図示の通り、シリアルポートS0～シリアルポートS2は全ての同一構成であり、クロック同期方式のシリアル送受信動作が実現可能に構成されている。

【0091】

そして、何れのシリアルポートSIも、CPUコアから1バイトデータを受ける送信データレジスタDRと、送信データレジスタDRから1バイトデータの転送を受けて、ランプ駆動データSDATAiとしてシリアル出力する送信シフトレジスタSRと、シリアルポートの内部動作状態を管理する多数の制御レジスタRGと、カウンタ回路CTの出力パルスΦを受けて制御レジスタRGが指定する分周比のクロック信号CKiを出力するポーレートジェネレータBGと、を有して構成されている。

20

【0092】

カウンタ回路CTの出力パルスΦは、システムクロックSCKを適宜に分周したものであり、本実施例では、その周波数が適宜に揺らいでいる。そのため、ポーレートジェネレータBGから出力されるクロック信号CKiも同様に揺らぎ、ランプ駆動データSDATAiについても、揺らいだクロック信号に同期して出力されることになる。

【0093】

そのため、シリアル伝送線が、不要輻射ノイズEMIの放射アンテナとして機能して、クロック信号CKiやランプ駆動データSDATAiの基本周波数成分、及び、その高調波成分が周囲に放射される場合でも、本実施例によれば、各周波数成分が適宜に揺らぐことで、周囲のコンピュータ電子素子に与える悪影響を効果的に低減することができる。

30

【0094】

すなわち、不要輻射ノイズをスペクトル分析した場合におけるクロック信号CKiの基本波及び高調波のピーク値が大幅に低減されるので、主制御部やその他の制御部のワンチップマイコンに悪影響を与える可能性が低減されると共に、遊技者の携帯コンピュータ機器に悪影響を与えるおそれも解消される。

【0095】

次に、シリアルポートSIの他の構成についても説明すると、制御レジスタRGには、エンプティビットEMPを含んだREAD可能な制御レジスタが含まれており、送信データレジスタDRが、新規データを受け入れ可能か否かを示している。すなわち、送信シフトレジスタSRの1バイトデータの送信が完了すると、エンプティビットEMPがHレベル(emptyレベル)に遷移して、送信データレジスタDRに、新規データを書込むことができることが示される。したがって、CPUコアは、エンプティビットEMPがHレベルであることを確認した上で、新規データを送信データレジスタDRに書込むことになる。

40

【0096】

また、制御レジスタRGには、送信許可ビットTXEを含んだWRITE可能な制御レジスタが含まれており、CPUが送信許可ビットTXEをON(H)レベルに設定すると、シリアルポートの送信動作が許可され、OFFレベルに設定すると送信動作が禁止され

50

る。そこで、本実施例では、CPUは、送信処理の開始時に送信許可ビットTXEをON状態にセットし、送信処理の終了時に送信許可ビットTXEをOFFレベルにリセットしている。

【0097】

図6(b)は、シリアルポートS0～S2について、送信開始時の動作を示すタイムチャートである。図示の通り、シリアルポートS0～S2が送信禁止状態(TXE=L)である場合や、送信データレジスタDRのデータがシリアル出力された後は、クロック信号CKが固定状態のHレベルである。また、送信データレジスタDRは空であり、エンプティビットEMPもHレベル(emptyレベル)である。

【0098】

そして、CPUが送信許可ビットTXEをON状態(送信許可状態)にセットした後、送信データレジスタDRに1バイト目の送信データを書込むと、エンプティビットEMPがLレベルに遷移すると共に、その後、所定時間(τ)経過後に、1バイト目の送信データが送信シフトレジスタSRに転送されて、シリアル送信動作が開始される。

【0099】

また、送信データが送信シフトレジスタSRに転送されたことで、1ビット目のシリアル送信開始に対応して、その後は、エンプティビットEMPがHレベル(emptyレベル)に遷移する。したがって、CPUは、HレベルのエンプティビットEMPを確認した上で、2バイト目の送信データを、送信データレジスタDRに書込むことになる。

【0100】

すると、送信データレジスタDRへのデータ書き込み動作に対応して、エンプティビットEMPがLレベル(fullレベル)に遷移する。そして、その後、1バイト目の送信データが全て送信されると、送信データレジスタDRから送信シフトレジスタSRに2バイト目のデータが転送され、2バイト目のデータ送信が開始されて、エンプティビットEMPがHレベルに遷移する。

【0101】

このエンプティビットEMPは、送信データレジスタDRへの3バイト目のデータ書き込み動作に対応して、Lレベルに変化するが、図示のように、新規データの書き込みがない場合にはHレベルを維持する。また、全てのデータが送信された後は、クロック信号CKがHレベルを維持して変化しない。

【0102】

図7は、ランプ駆動基板36, 29, 30の回路構成を確認的に図示したものである。図示の通り、ランプ駆動基板36には、5個のドライバDR₀₀, DR₀₁・・・DR₀₄が搭載されて、第0チャンネルのLED群(合計5×24個のLED)を点灯駆動している。同様に、ランプ駆動基板29には、5個のドライバDR₁₀, DR₁₁・・・DR₁₄が搭載され、また、ランプ駆動基板30には、5個のドライバDR₁₈, DR₁₉・・・DR_{1C}が搭載されて、各々、第1チャンネルと第2チャンネルのLED群(合計5×24個のLED)を点灯駆動している。

【0103】

各ドライバDR_{ij}には、5ビットの付番端子が設けられており、この付番端子に固定的なデジタルデータが供給される回路構成を採ることで、各々スレーブアドレス(ポートアドレス)が一連に付番されている。すなわち、図示例の場合には、各ドライバ(DR₀₀, DR₀₁・・・DR₀₄, DR₁₀, DR₁₁・・・DR₁₄, DR₁₈, DR₁₉・・・DR_{1C})のスレーブアドレスは、16進数表示で、00H, 01H・・・04H, 10H, 11H・・・14H, 18H, 19H・・・1CHとなる。

【0104】

各ランプ制御基板36, 29, 30のドライバDR_{ij}に、一連のスレーブアドレスを付番することで、各ドライバDR_{ij}に対する輝度データなどの設定処理を迅速化することができる。また、各ドライバDR_{ij}には、24個のLEDを駆動する点灯駆動信号のアナログレベルを各々規定可能な階調レジスタGR0～GR23が内蔵されている。

10

20

30

40

50

【0105】

階調レジスタGR_nは、各々、8ビット長の輝度データを記憶可能であり、LEDの輝度レベルを00H～FFHまで256段階で設定することができる。

【0106】

以上、ランプ駆動データについて説明したが、本実施例では、演出制御部22'のワンチップマイコン40が、周波数変調されたシステムクロックSCKに基づいて動作するので、不要輻射ノイズEMIの抑制効果は、モータ駆動データなど、他のシリアル信号に対しても全く同様に成立する。なお、シリアル送信であるか、シリアル受信かも問わない。また、不要輻射ノイズEMIの抑制効果は、クロック同期式を採用した高速シリアル伝送において顕著であるが、調歩同期式のシリアル伝送においても同様に成立する。

10

【0107】

しかも、シリアル伝送時に、クロック信号CK_iと駆動データSDATA_iに位相ずれが生じるおそれもない。

【0108】

ところで、上記の実施例では、周波数変調されたシステムクロックSCKを使用する場合について説明したが、上記の構成に代え、或いは、上記の構成に加えて図8に示す回路構成を採るのも好適である。

【0109】

図8は、シリアルポートS_Iから出力されるクロック信号CK_iを、周波数変調回路FSに供給して、変調度2%以下で周波数変調する回路構成を示している。なお、図8では、設定信号がLレベル（変調度が低レベル）であって、周波数偏移量が±0.5%となっている。

20

【0110】

周波数変調回路FSの内部構成は、基本的に、図5に示す通りであるが、信号端子X_{out}は解放状態であり、シリアルポートS_Iから出力されるクロック信号CK_iは、周波数変調回路FSの信号端子X_{in}に供給されている。

【0111】

また、図8に示す回路構成では、分周部50～53の分周比（1/M，1/N，1/L）は、全て1に設定されている。そのため、信号端子X_{in}に供給されたクロック信号CK_iは、通倍比1の変調クロックCK_i'に周波数変調される。そのため、図8の回路構成によれば、周波数変調されていない通常のシステムクロックを使用した場合でも、高速シリアル伝送時のクロック信号（変調クロック信号CK_i'）による不要輻射ノイズEMIを有効に防止することができる。

30

【0112】

なお、クロック信号CK_iが周波数変調されることで、駆動データSDATA_iとの位置関係も微妙にずれるが、周波数変調度を2.0%以下（図示例では1%）に抑えることで、シリアル伝送時の通信エラーの発生を防止することができる。すなわち、図8の構成では、周波数通倍比が1であり、PLLブロックは、入力クロック信号CK_iと出力クロック信号CK_i'の位相を一致させるよう動作するので、変調クロック信号CK_i'と駆動データSDATA_iとの位相のずれが問題にならない。

40

【0113】

なお、図8ではシリアルポートS₀～S₂毎に周波数変調回路FSを配置したが、ポーレートジェネレータBGの分周比を共通化すると共に、送信開始タイミングと送信データ数（クロック数）とを一致させることで、単一の周波数変調回路FSによって、シリアルポートS₀～S₂の変調クロック信号CK'を共通的に生成することもできる。なお、この場合には、クロック信号CK₀～CK₂のうち、使用されるクロック信号CK_iは1個であり、そのクロック信号CK_iだけが周波数変調回路FSに供給される。

【0114】

もっとも、周波数変調回路FSを各々設けると、各変調クロック信号CK₀'～CK₂'の偏移態様が、各々、独立化されるので不要放射ノイズの抑制効果が高い。また、駆動

50

データ S D A T A i との位相ずれの観点からも好ましい。

【0115】

以上、本発明の実施例を具体的に説明したが、具体的な記載内容は何ら本発明を限定するものではなく、各種の改変が可能である。例えば、シリアルポート S I を内蔵するワンチップマイコン 40 に基づいて説明したが、シリアル伝送処理を実現する電子回路を、ワンチップマイコンの外部に配置しても良い。

【0116】

このような構成を採る場合には、ワンチップマイコン 40 には、水晶振動子 X t a l で規定される固定のシステムクロック C K を供給する一方、カウンタ回路 C T にだけ、周波数変調された変調クロック S C K を供給することができ、C P U のプログラム処理による計時動作などにおいて、時間的に正確な制御が担保される。

10

【0117】

なお、ここまで、もっぱら弾球遊技機について説明したが、本発明の適用は、回胴遊技機や、その他の遊技機にも好適に適用されるのは勿論である。

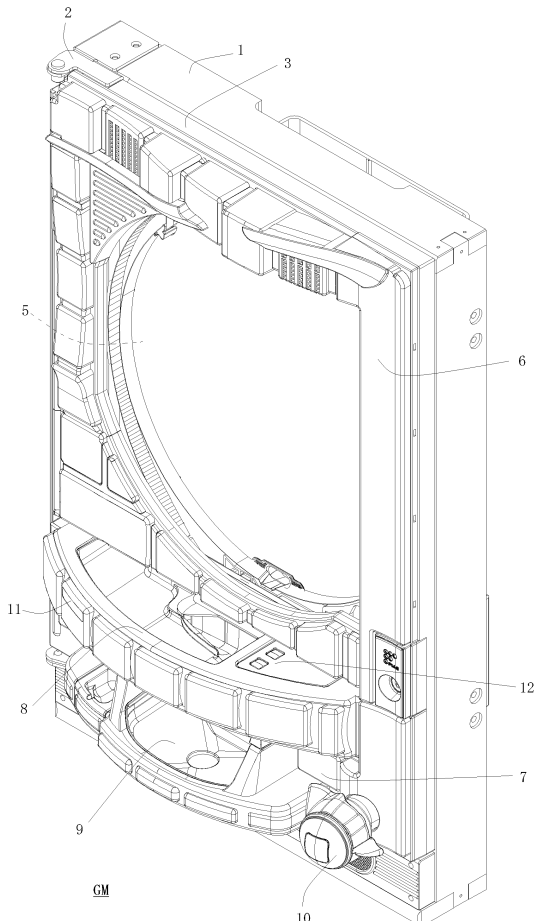
【符号の説明】

【0118】

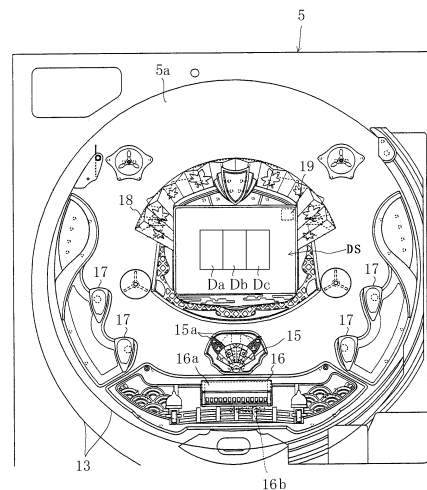
GM 遊技機
22' 演出制御手段
S I シリアル送信手段
S D A T A 駆動制御データ
D R i j 駆動回路
C K 基本クロック信号
C K ' 変調クロック信号

20

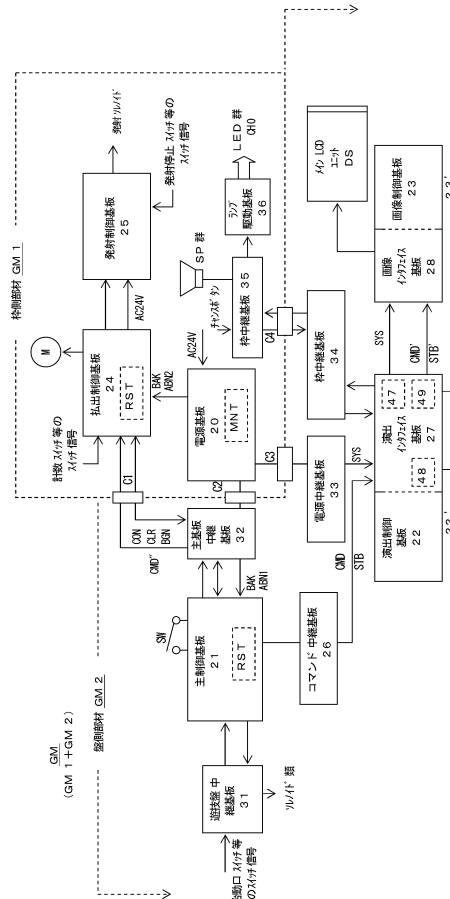
【図 1】



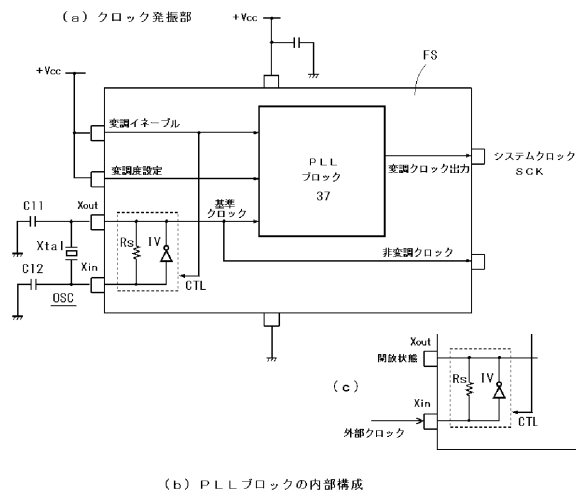
【図 2】



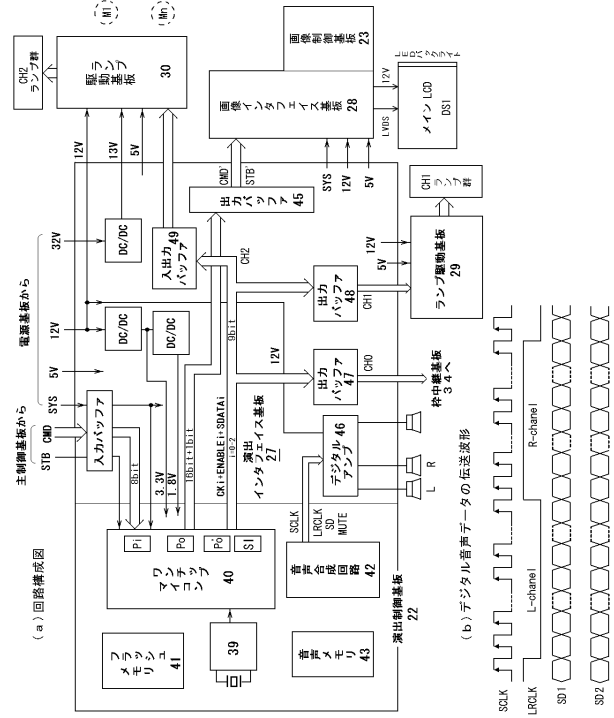
【図 3】



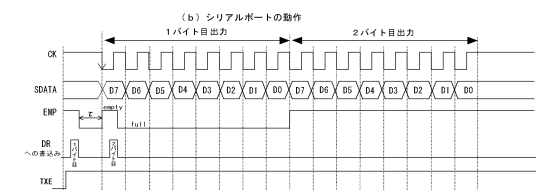
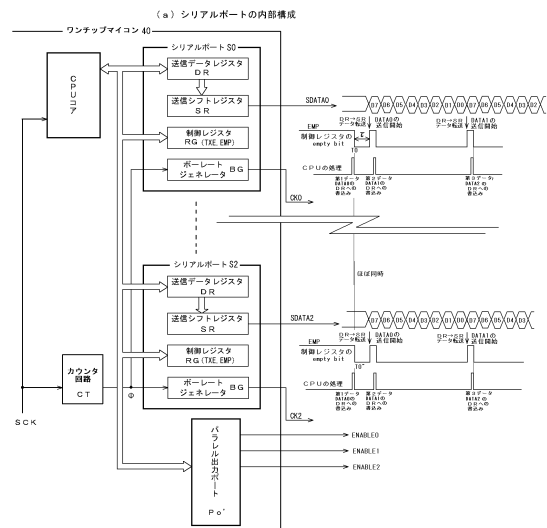
【図 5】



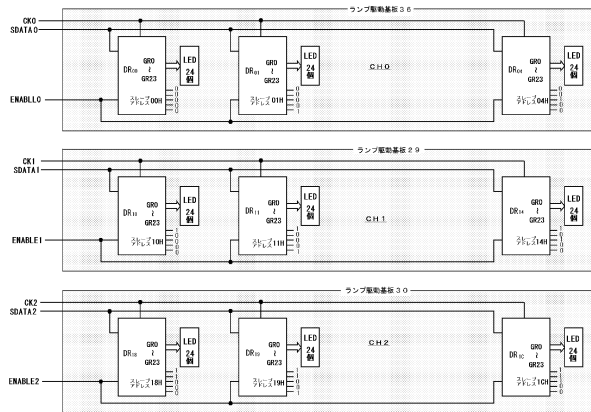
【図 4】



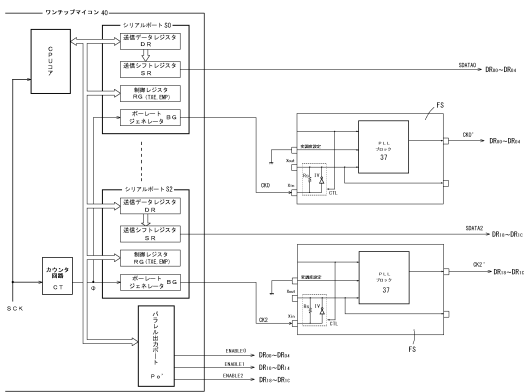
【图 6】



【図 7】



【図 8】



フロントページの続き

(56)参考文献 特開2014-117505 (JP, A)
特開2006-106331 (JP, A)
特開2013-135914 (JP, A)

(58)調査した分野(Int.Cl., DB名)
A63F7/02