



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2007 000 986.1**
 (86) PCT-Aktenzeichen: **PCT/US2007/067924**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2007/130971**
 (86) PCT-Anmeldetag: **01.05.2007**
 (87) PCT-Veröffentlichungstag: **15.11.2007**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **19.03.2009**
 (45) Veröffentlichungstag
 der Patenterteilung: **23.10.2014**

(51) Int Cl.: **H03K 3/356 (2006.01)**
G11C 7/10 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
11/415,590 **01.05.2006** **US**

(72) Erfinder:
Sumesaglam, Taner, Folsom, Calif., US

(73) Patentinhaber:
Intel Corporation, Santa Clara, Calif., US

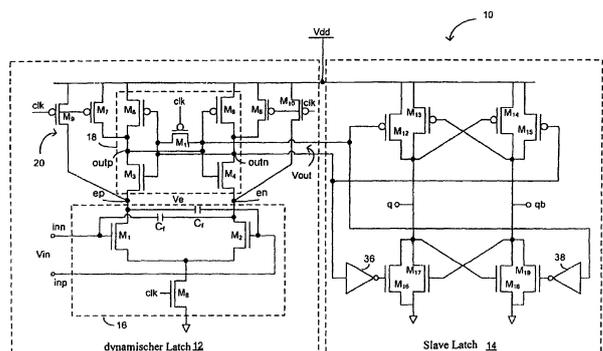
(56) Ermittelte Stand der Technik:
US **5 506 524** **A**

(74) Vertreter:
**BOEHMERT & BOEHMERT Anwaltspartnerschaft
 mbB - Patentanwälte Rechtsanwälte, 28209
 Bremen, DE**

(54) Bezeichnung: **Receiver-Latch Schaltkreis und Verfahren**

(57) Hauptanspruch: Receiver-Latch-Schaltkreis (10; 22) mit:

einem dynamischen Latch (12), das wenigstens ein Eingangs-Terminal umfasst, um ein Eingangsdatensignal aufzunehmen und wenigstens einem Latch-Terminal, wobei das dynamische Latch dazu eingerichtet ist, ein wenigstens teilweise auf dem Eingangsdatensignal basierendes verstärktes Ausgangssignal zu erzeugen; wobei das dynamische Latch (12) wenigstens einen Kondensator (C_f) aufweist, der zwischen dem wenigstens einen Eingangs-Terminal und dem wenigstens einen Latch-Terminal eingeschaltet ist, um die Intersymbolinterferenz in dem Eingangsdatensignal zu reduzieren, wobei das dynamische Latch ferner einen Auswerteschaltkreis (16), der den wenigstens einen Eingangs-Terminal und wenigstens einen Erfassung-Terminal aufweist und dazu eingerichtet ist, ein erfasstes Datensignal auf dem wenigstens einen Erfassung-Terminal zu erzeugen; einen Verstärkungsschaltkreis (18), der an das wenigstens eine Erfassung-Terminal gekoppelt ist und wenigstens ein Ausgangs-Terminal umfasst und dazu eingerichtet ist, das Ausgangssignal wenigstens zum Teil basierend auf dem erfassten Datensignal zu erzeugen, und einen Vorladeschaltkreis (20), der mit dem wenigstens einen Erfassung-Terminal und dem wenigstens einen Ausgangs-Terminal gekoppelt ist, um das wenigstens eine Erfassung-Terminal und das wenigstens eine Ausgangs-Terminal vorzuladen, aufweist.



Beschreibung

HINTERGRUND

1. Technisches Gebiet

[0001] Ausführungsbeispiele der vorliegenden Erfindung betreffen das Gebiet der elektronischen Geräte, und insbesondere Datenreceiver.

2. Beschreibung des zugehörigen Standes der Technik

[0002] Receiver-Latch-Schaltkreise (Erfassungsverstärker) werden häufig in integrierten Schaltkreisen (ICs), sowohl für die Signalübertragung innerhalb des Chips wie außerhalb des Chips, genutzt. Ein Übertragerschaltkreis (Treiber) sendet binäre Datensignale über eine Übertragungsleitung (Verbindung) an einen Receiver-Latch-Schaltkreis. Da die Übertragungsleitung ein verlustbehafteter Kanal sein kann, können Datenübertragungen über die Übertragungsverbindung bei hohen Taktraten in frequenzabhängiger Verstärkung oder Dämpfung resultieren, die Signalverzerrung in der Form von Symbolinterferenz (ISI – intersymbol interference) mit sich bringt. Eine Vergleichmäßigung des Datensignals kann notwendig werden, um die ISI zu verringern.

[0003] Aus der Druckschrift US 5,506,524 A ist ein Sense-Verstärker-Schaltkreis mit zwei Dateneingängen bekannt. Der Schaltkreis erzeugt in Reaktion auf ein erstes Steuersignal eine differentielle Spannung, welche eine Spannungsdifferenz zwischen dem ersten und dem zweiten Dateneingang anzeigt.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0004] Fig. 1 ist ein Schaltschema eines Receiver-Latch-Schaltkreises nach einigen Ausführungsbeispielen der vorliegenden Erfindung.

[0005] Fig. 2 ist ein Schaltschema eines anderen Receiver-Latch-Schaltkreises nach einigen Ausführungsbeispielen der vorliegenden Erfindung.

[0006] Fig. 3 ist ein Kleinsignalmodell eines Auswerteschaltkreises, der in Fig. 1 dargestellt ist, nach einigen Ausführungsbeispielen der vorliegenden Erfindung.

[0007] Fig. 4 ist ein Flussdiagramm des Betriebsablaufs des Receiver-Latch-Schaltkreises der Fig. 1 und Fig. 2 nach einigen Ausführungsbeispielen der vorliegenden Erfindung.

[0008] Fig. 5 ist ein System, das einen oder mehr Receiver-Latch-Schaltkreise der Fig. 1 oder Fig. 2 umfaßt nach einigen Ausführungsbeispielen der vorliegenden Erfindung.

DETAILLIERTE BESCHREIBUNG BEISPIELHAFTER AUSFÜHRUNGSFORMEN

[0009] In der folgenden Beschreibung werden zum Zwecke der Erklärung eine Vielzahl von Details genannt, um ein gutes Verständnis der offenbarten Ausführungsbeispiele der vorliegenden Erfindung zu schaffen. Jedoch wird für den Fachmann offensichtlich, dass diese spezifischen Details nicht benötigt werden, um die Erfindung auszuführen. In anderen Ausführungsbeispiele sind wohl bekannte elektrische Strukturen und Schaltkreise in Blockdiagrammform gezeigt, um nicht ein Verständnis der offenbarten Ausführungsbeispiele der vorliegenden Erfindung zu erschweren.

[0010] In Bezug auf Fig. 1 ist ein Receiver-Latch-Schaltkreis **10** nach einigen Ausführungsbeispielen der vorliegenden Erfindung dargestellt. Bei einigen Ausführungsbeispielen weist der Receiver-Latch-Schaltkreis **10** zwei Stufen auf, ein masterdynamisches Latch **12** und ein slavestatisches Latch **14**, das an das dynamische Latch **12** gekoppelt. Das dynamische Latch **12** kann ein Eingangsdatsignal V_{in} auf der ansteigenden Flanke eines Taktsignals clk verstärken, um ein verstärktes Ausgangsdatsignal V_{out} auszugeben, und kann die ausgegebenen Datensignale V_{out} für eine halbe Taktperiode des Taktsignals clk halten. Das Slave Latch **14** kann die Ausgangsdatsignale von dem dynamischen Latch **12** empfangen und kann sie für eine gesamte Taktperiode gültig erhalten (Latch). Das dynamische Latch **12** umfasst eine frequenzselektive Verstärkung unter Benutzung von feed-forward Kapazitäten, die eine eingebaute Equalization über die gesamte Zeit (built-in continuous-time equalization) für die empfangenen Eingangsdatsignale V_{in} ermöglichen. Die feed-forward Kapazitäten können eine Null in einer Transferfunktion für das dynamische Latch **12** erzeugen, wie im Detail

im folgenden beschrieben. Diese zugefügten Kapazitäten helfen die Verstärkung, die von dem ISI verursacht wird, zu vergleichmäßigen, was in einer flacheren Gesamtfrequenzantwort mit reduzierter Signalverzerrung resultiert.

[0011] Bei einigen Ausführungsbeispielen können die Eingangsdatensignale Vin eine geringere Abweichung oder Niedrigspannungsswingsignale sein. Die Spannung des kleinen Swing im Eingangsdatensignal Vin kann reduziert sein, so dass die Leistung, wenn es über eine Verbindung an den Receiver-Latch-Schaltkreis **10** übertragen wird, verbessert wird. Der Receiver-Latch-Schaltkreis **10** kann das Eingangsdatensignal Vin auf ein full rail-to-rail ("full rail")-Ausgangsdatensignal Vout bringen. Bei einigen Ausführungsbeispielen kann das Eingangsdatensignal ein anderes Signal sein, wobei beide Datensignale und ihr Komplement übertragen werden, wie dies in **Fig. 1** dargestellt ist. In dieser Ausführung erfaßt der Receiver-Latch-Schaltkreis **10** eine relative Veränderung in der Spannung zwischen zwei Verbindungsdrähten, wobei das Eingangsdatensignal Vin über die zwei Verbindungsdrähte angelegt wird und daher über die dargestellten Eingangsknoten inn und inp in **Fig. 1**. Daher kann der Wert des Eingangsdatensignal Vin eine Spannungsdifferenz zwischen einer Spannung von Vin am Knoten inn und einer Spannung Vinp am Knoten inp sein, wobei der letzte Buchstabe "n" oder "p" jeweils für negativ oder für positiv steht.

[0012] Bei einigen Ausführungsbeispielen kann der Receiver-Latch-Schaltkreis **10** einen Ein-Ende-Ansatz nutzen (single-ended approach) wobei der Receiver-Latch-Schaltkreis **10** eine absolute Veränderung in der Spannung auf einer einzelnen Verbindungsleitung erfaßt. Das Eingangsdatensignal kann ein Ein-Ende-Signal sein. Bei einigen Ausführungsbeispielen kann das Eingangsdatensignal ein nicht-multiplextes Signal sein und nur an einen einzelnen Receiver-Latch-Schaltkreis **10** gekoppelt sein, wie in **Fig. 1** dargestellt. Bei einigen Ausführungsbeispielen kann das Eingangsdatensignal Vin ein multiplextes Signal sein; daher kann ein Satz von Receiver-Latch-Schaltkreisen **10** existieren, der beim Demultiplexen der Eingangsdatensignale Vin benutzt werden kann. Bei einigen Ausführungsbeispielen kann das dynamische Latch **12** einen Auswerteschaltkreis **16**, um Eingangsdatensignale Vin zu erfassen, einen Verstärkungsschaltkreis **18**, der mit dem Auswerteschaltkreis **16** verbunden ist, einen Vorladeschaltkreis **20**, der mit den Ausgängen des Auswerteschaltkreises **16** und dem Verstärkungsschaltkreis **18** verbunden ist, umfassen. Jeder dieser Schaltkreise **16**, **18** und **20** kann einen oder mehrere Transistoren umfassen, wie nachfolgend im Detail beschrieben. Generell kann der Receiver-Latch-Schaltkreis **10** drei voneinander getrennte Perioden des Betriebs aufweisen: eine Vorladeperiode, eine Auswertungsperiode und eine Verstärkungs- und Latchperiode.

[0013] Bei einigen Ausführungsbeispielen kann das Vorladen des dynamischen Latch **12** durch den Vorladeschaltkreis **20** solange erfolgen, wie das Taktsignal clk niedrig ist (erste Taktphase), was eine Vorladeperiode definiert. Während der Vorladeperiode kann das Ausgangssignal Vout abgekürzt werden, um eine Spannung Vdd zuzuführen. Das Ausgangssignal Vout ist die Spannung über den Ausgangsknoten outn und outp (Ausgangsterminals des dynamischen Latches **12**). Die parasitären Kapazitäten, die mit den Ausgangsknoten outn und outp in Zusammenhang stehen, und die Erfassungsknoten en und ep können vorgeladen werden. Im allgemeinen können beliebige Komponenten an diese Knoten gekoppelt werden und dazu beitragen, dass die Kapazität vorgeladen wird.

[0014] Bei einigen Ausführungsbeispielen können zwei Verbindungsleitungen mit Eingangsknoten (Terminals) inn und inp des Auswerteschaltkreises **16** verbunden werden, um die Eingangsdatensignale Vin anzulegen. Während das Taktsignal clk von niedrig auf hoch umschwenkt, kann eine Auswertungsperiode durch die ansteigende Flanke des Taktsignals ausgelöst werden. Während der Auswertungsperiode kann das Eingangsdatensignal Vin durch den Auswerteschaltkreis **16** ausgewertet werden, um an den Erfassungsknoten en und ep (Erfassungsausgangsterminal des Auswerteschaltkreises **16**) ein erfaßtes Datensignal Ve zu erzeugen, das die Spannungsdifferenz über den Erfassungsknoten en und ep darstellt.

[0015] Der Verstärkungsschaltkreis **18** kann die erfassten Datensignale Ve auf full rail-to-rail Ausgangssignale Vout verstärken und kann das Signal Vout während einer zweiten Taktphase des Taktsignals clk halten (Latchen). Insbesondere kann der Verstärkungsschaltkreis **18** das Ausgangssignal Vout mit einer starken positiven Rückkopplung verstärken, wie im folgenden beschrieben. Das Beginnen der Verstärkung der erfassten Signale Ve beendet die Auswertungsperiode und beginnt eine Verstärkungs- und Latchperiode. Danach kann das Slave-Latch **14** die Ausgangssignale Vout über eine gesamte Taktperiode des Taktsignals clk verstärken.

[0016] In dem Receiver-Latch-Schaltkreis **10** kann nach einigen Ausführungsbeispielen der vorliegenden Erfindung eine Verstärkung in der ersten Stufe, dem dynamischen Latch **12**, implementiert werden. Obwohl der Receiver-Latch-Schaltkreis **10** im wesentlichen ein nichtlinearer Schaltkreis ist, ist während der Auswertungsperiode der Receiver-Latch-Schaltkreis **10** im wesentlichen dazu in der Lage, bis zur ersten Ordnung in linearer

Weise zu arbeiten und kann dazu genutzt werden, eine kontinuierliche-Zeit-Equalisierung zu schaffen. Bei einigen Ausführungsbeispielen kann das dynamische Latch **12** die zuvor genannten feed-forward Kapazitäten in der Form von einem oder mehreren Kondensatoren Cf umfassen. Der Kondensator Cf kann ein konzentrierter Kondensator sein, jedoch kann der Kondensator Cf auch in einer Anzahl von verschiedenen Weisen implementiert werden, wie zum Beispiel unter Benutzung von Transistoren oder Metallen oder anderen Alternativen.

[0017] Der Kondensator (die Kondensatoren) Cf kann (können) in dem dynamischen Latch **12** in einer Anzahl von verschiedenen Weisen eingebaut werden. **Fig. 1** zeigt ein Beispiel zum Einbau eines Paares von Kondensatoren Cf, wobei eine Differenzialsignalausgabe genutzt wird. Das Paar von Kapazitäten Cf kann zwischen Eingangsterminals (Knoten inn und inp) und Erfassungsterminals (Knoten en und ep) des Erfassungsschaltkreises **16** gekoppelt werden. Insbesondere kann der erste Kondensator Cf zwischen den negativen Eingangsknoten inn und den negativen Erfassungsknoten en und der zweite Kondensator Cf kann zwischen den positiven Eingangsknoten inp und den positiven Erfassungsknoten ep gekoppelt werden. Daher können die Kondensatoren Cf zwischen Knoten gekoppelt werden, die die gleiche Polarität haben.

[0018] Bezug nehmend auf **Fig. 2** ist dort ein Receiver-Latch-Schaltkreis **22** nach einem anderen Beispiel der vorliegenden Erfindung dargestellt. Der Receiver-Latch-Schaltkreis **22**, der auf Differenzialsignalgebung nutzt, umfaßt eine alternative Kopplungskonfiguration für ein Paar von Kapazitäten Cf. Der erste Kondensator Cf kann zwischen den negativen Eingangsknoten inn und den negativen Ausgangsknoten outn gekoppelt sein, und der zweite Kondensator Cf kann zwischen den positiven Eingangsknoten inp und den positiven Ausgangsknoten outp gekoppelt werden. Wiederum können die Kapazitäten Cf zwischen die Knoten gekoppelt werden, die die gleiche Polarität haben. Der Rest der Receiver-Latch-Schaltkreise **22** der **Fig. 2** ist der gleiche, wie der Receiver-Latch-Schaltkreis **10** in der **Fig. 1**; daher verbleiben die Referenzzahlen die gleichen und der Rest des Receiver-Latch-Schaltkreises **22** wird nicht erläutert, da er auf gleiche Weise wie der Receiver-Latch-Schaltkreis **10** bei **Fig. 1** arbeitet.

[0019] Bei anderen Ausführungsbeispielen, kann der Auswerteschaltkreis dann, wenn das Eingangsdatensignal ein Ein-Ende-Signal ist, nur ein Eingangssignal und ein Eingangsterminal (Knoten) haben, es wird daher nur einer der illustrierten Kondensatoren Cf benötigt. Bei einigen Ausführungsbeispielen kann der Kondensator Cf von dem Ein-Ende-Terminal zu einem Erfassungsterminal an den Auswerteschaltkreis gekoppelt sein. Wieder kann der Kondensator Cf zwischen Terminals gekoppelt sein, die die gleiche Polarität besitzen. Wenn die Logik des einzel-beendeten Auswerteschaltkreises nicht invertierend ist, kann der Kondensator Cf von dem einzelnen Eingang des Auswerteschaltkreises an einen nicht-invertierten Erfassungsterminal des Auswerteschaltkreises gekoppelt sein. Wenn die Logik des Ein-Ende-Auswerteschaltkreises invertierend ist, dann kann der Kondensator Cf von dem Eingangsterminal an das logische Gegenstück des nicht-invertierten Erfassungsterminals des Auswerteschaltkreises gekoppelt sein. Auf gleiche Weise kann der Kondensator an den Ausgang den Ein-Ende dynamischen Latch gekoppelt sein. Wenn die Logik des Ein-Ende dynamischen Latchschaltkreises nicht invertierend ist, dann kann der Kondensator Cf von dem Singleinput des Auswerteschaltkreises an ein nicht-invertiertes Ausgangsterminal des Ein-Ende dynamischen Latches gekoppelt sein. Wenn die Logik des Ein-Ende dynamischen Latch invertierend ist, dann kann der Kondensator Cf von dem Eingangsterminal an ein logisches Gegenstück des nicht-invertierten Ausgangsterminals des dynamischen Latch gekoppelt sein.

[0020] Zusammenfassend ist die Positionierung der Kapazität Cf(s) in dem dynamischen Latch **12** wenigstens ein Kondensator Cf zwischen wenigstens einen Eingangsknoten (Eingangsterminal) des dynamischen Latches und wenigstens einem "Latchknoten" oder "Latchterminal" gekoppelt, wobei der Latchknoten/Terminal ein Erfassungsknoten ist (Ausgangserfassungsterminal des Auswerteschaltkreises **16**) oder ein Ausgangsknoten (Ausgangsterminal des dynamischen Latches **12**). Mit der Differenzialsignalgebung kann ein Paar von Kondensatoren Cf zwischen den Eingangsknoten und den Erfassungsknoten gekoppelt werden (ein Paar von "Latchterminals"), wie in **Fig. 1** illustriert. Alternativ kann ein Paar von Kapazitäten von Cf zwischen den Eingangsknoten und den Ausgangsknoten gekoppelt werden (ein Paar von "Lachterminals"), wie **Fig. 2** illustriert. Mit einer Ein-Ende Signalgebung kann ein einzelner Kondensator Cf zwischen einem einzelnen Eingangsknoten und einem einzelnen Erfassungsknoten (ein einzelnes "Lachterminal") oder einem einzelnen Ausgangsknoten (ein einzelnes "Lachterminal") gekoppelt werden. In jeder dieser Konfigurationen können die Kapazitäten zwischen Knoten/Terminals der gleichen Polarität gekoppelt sein. Die Begriffe "Knoten" und "Terminal" können untereinander wechselweise genutzt werden, da jeder Knoten, der hierin erwähnt ist, entweder ein Eingangs- oder ein Ausgangsterminal des Auswerteschaltkreises **16** oder des Verstärkungsschaltkreises **18** ist.

[0021] **Fig. 3** zeigt ein Differenzialmodus 'Klein-Signal'-Modell des Auswerteschaltkreises **16** der **Fig. 1**. Dieses Modell erlaubt eine Analyse des Eingangsdatensignals V_{in} und der erfassten Datensignale V_e während der Auswerteperiode. An einem Eingangsknoten **30** (Kombination von Knoten inn und inp der **Fig. 1**) wird das

Eingangsdatensignal V_{in} angelegt. Der Eingangsknoten **30** kann durch den Kondensator C_f (Kombination von Kondensatoren C_f der **Fig. 1**) an einen Erfassungsknoten **32** (Kombination der Erfassungsknoten e_n und e_p der **Fig. 1**) gekoppelt werden, wobei der Erfassungsknoten **32** die erfassten Datensignale V_e erhält. Die Transistoren M_1 und M_2 des Auswerteschaltkreises **16** können als Durchleiter (transconductors) wirken, indem sie die Gate-Source-Spannung V_{gs} zu Drainströmen konvertieren. Mit anderen Worten, die Drainströme der Transistoren M_1 und M_2 sind proportional zu der Spannung, die an die Gates von M_1 und M_2 angelegt ist. Die Transistoren M_1 und M_2 können eine Inversion zwischen ihren Gates und ihren Drains einführen. Die kombinierten Drainströme der Transistoren M_1 und M_2 sind durch eine Schaltkreisleitung **34** dargestellt, die anzeigt, dass die Drainströme eine Funktion der Veränderung im Eingangssignal V_{in} und der Transkonduktanz g_m der Transistoren sind. Kapazität C_e , Widerstand R_e ($R_e = 1/G_e$) und der Schaltkreisleitung **34** können parallel zwischen dem Erfassungsknoten **32** und Masse gekoppelt, dargestellt werden. Die Kapazitäten C_e und die Leitfähigkeit G_e sind jeweils parasitische Kapazitäten und Leitfähigkeiten des Erfassungsknotens **32**.

[0022] In Bezug auf die feed-forward Kondensatoren C_f kann eine Transfer- oder Antwortfunktion H_{eq} für den Auswerterschaltkreis **16** von dem Eingangsknoten **30** an den Ausgangsknoten **32** sein:

$$H_{eq} \approx \frac{V_e}{V_{in}} = \frac{-g_m + s \cdot 2 \cdot C_f}{G_e + s(2 \cdot C_f + C_e)}$$

wobei s eine komplexe Frequenzvariable ist. Die s Werte in dem Zähler repräsentieren Nullen der Transferfunktion, während s Werte in dem Nenner Pole der Transferfunktion repräsentieren. Der Auswerteschaltkreis **16** ohne die Kapazitäten C_f ist ein Breitbandverstärker mit einem hohen Frequenzpol und kann Signale ohne wesentliche Verschlechterung innerhalb der Bandbreite durchlassen. Der Kondensator C_f fügt eine Null zu der Transferfunktion H_{eq} bei hohen Frequenzen hinzu, die die Bandbreite zum Passierenlassen von Signalen verstärkt, indem sie eine zusätzliche Verstärkung für Hochfrequenzsignale schafft. Der Kondensator C_f kann einen kurzen Impedanzweg für Hochfrequenzsignale mit verstärktem Gain liefern, während es Niedrigfrequenzsignale nicht beeinflusst. Wenn die Kapazitäten C_f zwischen den Eingangsknoten inn und inp gekoppelt sind, und den Ausgangsknoten $outp$ und $outn$, wie dies jeweils in **Fig. 2** dargestellt ist, dann kann eine im wesentlichen gleiche Null in der Transferfunktion $H_{eq} \approx V_{out}/V_{in}$ erzeugt werden.

[0023] Bei einigen Ausführungsbeispielen können die Kapazitäten C_f den Wert 100 fF haben, aber dieser Wert ist nur beispielhaft als eine von vielen möglichen Werten, da solche Werte zum Teil von der Anwendung abhängen. Bei einigen Ausführungsbeispielen können die Kondensatoren programmierbar sein, d. h. eine variable Kapazität C_f kann für verschiedene Equilierungsmaße eingerichtet sein. Eine variable Kapazität C_f kann nützlich sein, wenn der gleiche IC Chip (mit einem oder mehreren Receiver-Latch-Schaltkreisen) für verschiedene Applikationen, wie z. B. als mobiler, als Server- oder als Desktop-Computer benutzt wird. Die verschiedenen Anwendungen können in verschiedenen Kanalverlusten und ISI resultieren.

[0024] Wieder Bezug nehmend auf **Fig. 1** wird nun der Receiver-Latch-Schaltkreis im größeren Detail beschrieben. Diese Beschreibung wird auch den Receiver-Latch-Schaltkreis **22** der **Fig. 2** beschreiben. Bei einigen Ausführungsbeispielen kann der Receiver-Latch-Schaltkreis **10** auch als ein latchender Erfassungverstärker bezeichnet werden, und das dynamische Latch **12** kann auch als ‚starker Arm‘-Latch (engl. strong arm latch) bezeichnet werden. Bei einigen Ausführungsbeispielen kann der Receiver-Latch-Schaltkreis **10** eine komplementäre Metalloxidhalbleiter (CMOS) Technologie nutzen.

[0025] Bei einigen Ausführungsbeispielen kann der Auswerteschaltkreis **16** N-Typ-Transistoren M_1 , M_2 und M_B umfassen. Die Gatter von M_1 und M_2 können an das Eingangssignal V_{in} , und das Gatter von M_B kann das Taktsignal clk gekoppelt sein. Die Sources von M_1 und M_2 können an die Drain von M_B und die Sources von M_B können an Masse gekoppelt sein. Die Drain von M_1 und M_2 können jeweils an die Erfassungsknoten e_n und e_p gekoppelt sein.

[0026] Bei einigen Ausführungsbeispielen kann der Verstärkungsschaltkreis **18** N-Typ-Transistoren M_3 und M_4 und P-Typ-Transistoren M_5 , M_6 und M_{11} umfassen. Die Drains von M_3 und M_4 können an die Erfassungsknoten e_n und e_p und die Drains von M_5 und M_6 können an die Sources von M_3 und M_4 über die Ausgangsknoten $outn$ bzw. $outp$ gekoppelt werden. Die Sources von M_5 und M_6 können an die Spannungsversorgung V_{dd} gekoppelt sein. Die Gates von M_3 und M_5 können miteinander gekoppelt werden, und die Gates von M_4 und M_6 können zusammen gekoppelt werden. M_{11} kann alle vier Gates M_3 – M_6 zusammen knüpfen, wenn es in seinem Leitzustand ist, wobei sein Gate mit clk gekoppelt ist. Der Ausgangsknoten $outn$ kann auch mit den Gates von M_3 und M_5 gekoppelt sein, während der Ausgangsknoten $outp$ auch an die Gates M_4 und M_6 gekoppelt sein kann.

[0027] Der Vorlade-Schaltkreis **20** kann P-Typ-Transistoren M7, M8, M9 und M10 umfassen, die alle mit ihren Sources an die Spannungsquelle Vdd gekoppelt sind, und deren Gates mit clk gekoppelt sind. M7 und M8 können mit ihren Drains jeweils an die Ausgangsknoten outp und outn gekoppelt sein, und M9 und M10 können mit ihren Drains jeweils an die Erfassungsknoten en und ep gekoppelt sein.

[0028] Bei einigen Ausführungsbeispielen kann das Slave-Latch **14** ein SR-(set-reset)Latch sein. Das slave Latch **14** wird mit P-Typ-Transistoren M12–M15, N-Typ-Transistoren M16–M19 und zwei Invertern **36** und **38** dargestellt. Wie bereits im vorangehenden beschrieben, wird das slave Latch **14** die Ausgangssignale Vout für eine gesamte Taktperiode "latchen". Ein rail-to-rail gelatchtes Ausgangssignal wird an die Knoten q und qb des Slave-Latch **14** geschaltet. Die Logiktablette für ein SR-Latch ist wie folgt, wobei in und ip negative und positive Eingänge dieser Stufe sind (oder Ausgangsn der ersten Stufe der Knoten outp und outn):

in	ip	q
0	0	nicht möglich
0	1	0
1	0	1
1	1	hold

[0029] Bezugnehmend auf **Fig. 1** und ein Flussdiagramm der **Fig. 4** wird der Betrieb des Receiver-Latch-Schaltkreises der **Fig. 1** nun genauer beschrieben. In einem Vorladebetrieb **40** der **Fig. 4** werden dann, wenn das Taktsignal clk während der Vorladeperiode niedrig ist, die P-Typ-Transistorschalter M9, M7, M5 und M6, M8 und M10 sperren und die internen Knoten outn, outp, en und ep jeweils kurzschließen, um die Spannung Vdd zuzuführen. Dies bedeutet die Durchführung eines Vorladebetriebs, in dem diese Knoten vorgeladen werden, um das Spannungsniveau Vdd zu liefern. Während dieser Niedrigtaktperiode werden die Gates der Transistoren M5, M6, M3 und M4 miteinander über den Transistorschalter M11 gekoppelt. Während dieser Niedrigtaktperiode kann der Transistorschalter MB geöffnet werden. Daher kann die Ladung an den internen Knoten outn, outp, en und ep nicht an Masse abgeleitet werden.

[0030] Nachdem die internen Ausgangsknoten outn und outp genügend vorgeladen wurden, während clk niedrig war, wird in einer Erfassungsoperation **42** der **Fig. 4** eine Auswerteperiode starten, wenn clk auf "hoch" übergeht. Transistor MB wird gesperrt (leitender Zustand), um eine Ableitung an Masse zu erlauben, während M9, M7, M6, M8 geöffnet sind (nicht leitender Zustand), um eine weitere Vorladung zu verhindern. Die Ladungen an den Erfassungsknoten en und ep entladen sich mit unterschiedlicher Geschwindigkeit, da die Gate-Spannungen von M1 und M2 verschieden sind, wobei diese Differenz durch die Eingangsspannung Vin bestimmt wird. M1 konvertiert die Spannung Vinn in einen Strom, der sich am Erfassungsknoten en entlädt und am Ausgangsknoten outn, während M2 die Spannung Vinp in einen Strom wandelt, der sich am Erfassungsknoten ep und dem Ausgangsknoten outp entlädt. Wenn einer der Ströme größer ist, entlädt sich der zugehörige Knoten schneller. Daher ermöglicht dies ein Latchen in eine Richtung. Die Spannungen an den Knoten en und ep sind am Ende der Auswertung komplementär zueinander.

[0031] In einer Ausgleichsoperation **44** der **Fig. 4**, die mit der erfassenden Operation **42** der **Fig. 4** zusammenfällt, erlaubt das Vorsehen des oben beschriebenen wenigstens einen Kondensators Cf, dass der zuvor beschriebene Ausgleich während der Auswerteperiode erfolgt, wenn das dynamische Latch **12** im wesentlichen in linearer Weise arbeitet. In einem Verstärkungs- und Latchbetrieb **46** wird, nachdem die untere Spannung des Knotens outn und des Knotens outp das entsprechende Spannungsniveau erreicht, der korrespondierende P-Typ-Transistor, einer der Transistoren M5 und M6, eingeschaltet, was die höheren Spannungen des Knotens outn oder outp zu der Spannungsversorgung Vdd zieht. Dies bewirkt die sogenannte full-rail-Verstärkung. Wenn M5 oder M6 getriggert werden, endet die Auswertung; daher endet die Auswerteperiode, und die Verstärkungs- und Latchingperiode beginnt. In einem anderen Latch-Betrieb **48** latched das Slave-Latch **14** das Ausgangssignal Vout für die gesamte Periode des Taktsignals clk.

[0032] Bezugnehmend auf **Fig. 5** ist ein Computersystem **50** nach einigen Ausführungsbeispielen der vorliegenden Erfindung dargestellt, das eines von mehreren möglichen Systemen ist, in dem ein oder mehrere Receiver-Latch-Schaltkreise **51** genutzt werden. Bei einigen Ausführungsbeispielen kann, jeder der Receiver-Latch-Schaltkreise **51** den Receiver-Latch-Schaltkreis **10** der **Fig. 1** oder den Receiver-Latch-Schaltkreis **22** der **Fig. 2** verkörpern. Bei einigen Ausführungsbeispielen kann der Receiver-Latch-Schaltkreis **51** ein Ein-Ende-Signalisieren benutzen. Bei einigen Ausführungsbeispielen können ein oder mehrere Receiver-Latch-Schaltkreise **51** in einem Speicherchip **52** genutzt werden und/oder ein oder mehr Receiver-Latch-Schaltkrei-

se **51** können in einem Prozessor **54** genutzt werden. Bei einigen Ausführungsbeispielen kann der eine oder können die mehreren Receiver-Latch-Schaltkreise in anderen integrierten Schaltkreisen (IC) Chips des Computersystems **50** genutzt werden. ICs, wie z. B. der Memorychip **52** und der Prozessorchip **54** können mehr als einige hundert Übertragungsleitungen in Input-/Output-Bussen mit zugehörigen Transmitter (Treiber), Receiver, und/oder Transferschaltkreisen haben. Bei einigen Ausführungsbeispielen können die Receiver-Latch-Schaltkreise **51** außerhalb des Chips befindliche Signale empfangen und/oder auf dem Chip (Interchip) Signale. In anderen Worten, der Treiber, der das Eingangsdatensignal an den Receiver-Latch-Schaltkreis **51** überträgt, kann in dem gleichen Chip (auf dem Chip-Signale) oder auf einem anderen Chip (off-Chip-Signale) sein. Der Receiver-Latch-Schaltkreis **51** ist auf andere Systeme als Computersysteme anwendbar, und das Computersystem **50** ist nur eine beispielhafte Anwendung.

[0033] In dem System **50** ist ein IC-Baustein (package) **56** auf einem Substrat befestigt oder auf einer gedruckten Schaltkarte (PCB) **58** über einen Sockel **60**. Das PCB **58** kann ein Motherboard sein. Zusätzlich zu dem Sockel **60** und dem IC-Paket **58** kann das PCB **58** auf sich den Hauptspeicher **52** und eine Vielzahl von Input/Output (I/O) Modulen für externe Geräte und externe Busse tragen, die alle durch ein Bussystem **62** auf den PCB **58** gekoppelt sind. Insbesondere kann das System **50** eine Anzeigeeinrichtung **64** umfassen, die an das Bussystem **62** über ein I/O Modul **66** gekoppelt ist, wobei das I/O Modul **66** einen grafischen Prozessor und einen Speicher besitzt. Das I/O Modul **66** kann auf dem PCB **58** befestigt sein oder kann auf einem getrennten Erweiterungsboard befestigt sein. Das System **50** kann weiter eine Massenspeichereinrichtung **68** umfassen, die an den Bus **62** über ein I/O Modul **70** gekoppelt ist. Eine andere I/O Einrichtung **72** kann an das Bussystem **62** über ein I/O Modul **74** gekoppelt sein. Zusätzliche I/O Module können für andere externe oder periphere Geräte oder externe Busse vorgesehen sein.

[0034] Beispiele des Hauptspeichers **52** umfassen, ohne darauf beschränkt zu sein: SRAM (static random access memory) und DRAM (dynamic random access memory). Beispiele der Massenspeichergeräte **68** umfassen, ohne darauf beschränkt zu sein, ein Festplattengerät, ein CD-Gerät (compact disk drive), ein DVD-Gerät (digital versatile disk driver), eine Floppy-Diskette, ein Bandsystem und so weiter. Beispiele von Input/Output-Geräten **72** können umfassen, ohne darauf beschränkt zu sein: Geräte, die zur Kommunikation mit einem Computernutzer (z. B. eine Tastatur, Cursorsteuerungsgeräte, Mikrofon, Spracherkennungsgeräte, ein Anzeigegerät, ein Drucker, Lautsprecher und ein Scanner) geeignet sind und Geräte, die zur Kommunikation mit entfernten Geräten über Kommunikationsnetzwerke geeignet sind (z. B. Ethernet-Interface-Gerät, analog und digital Modem, ISDN-Terminaladapter und Frame-Relay-Geräte). Bei einigen Fällen sind diese Kommunikationsgeräte auf einem PCB **58** ebenfalls befestigt. Beispiele eines Bussystems **62** umfassen, aber sind nicht darauf beschränkt, einen PCI (peripheral control interface) Bus, einen ISA (Industry Standard Architecture) Bus usw. Das Bussystem **62** kann als ein einzelner Bus oder eines einer Kombination von Bussen (z. B. Systembus mit Expansionsbussen) implementiert sein. In Abhängigkeit von dem externen Gerät können I/O Module interne Interface sein, die programmierbare I/O, interruptbetriebene I/O oder DMA (direct memory access) Techniken zur Kommunikation über das Bussystem **62** nutzen. In Abhängigkeit von dem externen Gerät können externe Schnittstellen der I/O Module an die externen Geräte eine Punkt zu Punkt Parallelschnittstelle (z. B. SCSI – Small Computer System Interface) oder Punkt zu Punkt serielle Schnittstelle (z. B. EIA-232) oder eine Viel-punkt serielle Interface (z. B. FireWire) umfassen. Beispiele eines IC Prozessorchip **54** können jeden Typ von Computerschaltkreis, wie z. B., aber nicht beschränkt auf, einen Mikroprozessor, einen Mikrocontroller, einen CISC (complex instruction set computing) Mikroprozessor, einen RISC Mikroprozessor (reduced instruction set computing), einen VLIW Mikroprozessor (very long instruction word mikroprozessor), einen Grafikprozessor, einen DSP (digital signal processor) oder jede andere Art von Prozessor oder Prozessorschaltkreis umfassen.

Patentansprüche

1. Receiver-Latch-Schaltkreis (**10**; **22**) mit:

einem dynamischen Latch (**12**), das wenigstens ein Eingangs-Terminal umfasst, um ein Eingangsdatensignal aufzunehmen und wenigstens einem Latch-Terminal, wobei das dynamische Latch dazu eingerichtet ist, ein wenigstens teilweise auf dem Eingangsdatensignal basierendes verstärktes Ausgangsdatensignal zu erzeugen; wobei das dynamische Latch (**12**) wenigstens einen Kondensator (C_i) aufweist, der zwischen dem wenigstens einen Eingangs-Terminal und dem wenigstens einen Latch-Terminal eingeschaltet ist, um die Inter-symbolinterferenz in dem Eingangsdatensignal zu reduzieren, wobei das dynamische Latch ferner einen Auswerteschaltkreis (**16**), der den wenigstens einen Eingangs-Terminal und wenigstens ein Erfassungs-Terminal aufweist und dazu eingerichtet ist, ein erfasstes Datensignal auf dem wenigstens einen Erfassungs-Terminal zu erzeugen; einen Verstärkungsschaltkreis (**18**), der an das wenigstens eine Erfassungs-Terminal gekoppelt ist und wenigstens ein Ausgangs-Terminal umfasst und dazu eingerichtet ist, das Ausgangsdatensignal wenigstens zum Teil basierend auf dem erfassten Datensignal zu erzeugen, und einen Vorladeschaltkreis (**20**),

der mit dem wenigstens einen Erfassungs-Terminal und dem wenigstens einen Ausgangs-Terminal gekoppelt ist, um das wenigstens eine Erfassungs-Terminal und das wenigstens eine Ausgangs-Terminal vorzuladen, aufweist.

2. Receiver-Latch-Schaltkreis nach Anspruch 1, wobei der wenigstens eine Kondensator (C_f) mit dem dynamischen Latch (**12**) gekoppelt ist, um eine Null in einer Transferfunktion des dynamischen Latch (**12**) zu erzeugen.

3. Receiver-Latch-Schaltkreis nach Anspruch 1, wobei das wenigstens eine Latch-Terminal wenigstens ein Ausgangs-Terminal des dynamischen Latch (**12**) umfasst, und wobei das wenigstens eine Ausgangs-Terminal das verstärkte Ausgangssignal aufweist.

4. Receiver-Latch-Schaltkreis nach Anspruch 1, wobei das wenigstens eine Eingangs-Terminal und das wenigstens eine Latch-Terminal die gleiche Polarität aufweisen.

5. Receiver-Latch-Schaltkreis nach Anspruch 1, wobei das Eingangssignal ein differentielles Eingangssignal ist; wobei das wenigstens eine Eingangs-Terminal wenigstens ein Paar von Eingangs-Terminals umfasst, um das differentielle Eingangssignal zu erhalten; und wobei das wenigstens eine Latch-Terminal ein Paar von Latch-Terminals umfasst.

6. Receiver-Latch-Schaltkreis nach Anspruch 5, wobei das dynamische Latch (**12**) ein Paar von Ausgangs-Terminals umfasst, die auf sich das verstärkte Ausgangssignal tragen, wobei das Paar der Ausgangs-Terminals das Paar von Latch-Terminals ist und das verstärkte Ausgangssignal ein differentielles Ausgangssignal ist.

7. Receiver-Latch-Schaltkreis nach Anspruch 5, wobei der Auswerteschaltkreis das Paar von Eingangs-Terminals aufweist, um das differentielle Eingangssignal zu erfassen und ein Paar von Erfassungs-Terminals, wobei das Paar von Erfassungs-Terminals das Paar der Latch-Terminals ist und der Auswerteschaltkreis dazu eingerichtet ist, auf dem Paar von Erfassungs-Terminals ein wenigstens zum Teil auf dem differentiellem Eingangssignal basierendes erfasstes Datensignal zu erzeugen.

8. Receiver-Latch-Schaltkreis nach Anspruch 5, wobei der wenigstens eine Kondensator (C_f) ein Paar von Kondensatoren umfasst, die zwischen dem Paar von Eingangs-Terminals und dem Paar von Latch-Terminals geschaltet sind.

9. Receiver-Latch-Schaltkreis nach Anspruch 8, wobei beide aus dem Paar von Kondensatoren zwischen einem aus dem Paar von Eingangs-Terminals und einem aus dem Paar an Latch-Terminals, der eine gleiche Polarität hat, geschaltet ist.

10. Receiver-Latch-Schaltkreis nach Anspruch 8, wobei das Paar an Eingangs-Terminals ein negatives Eingangs-Terminal und ein positives Eingangs-Terminal hat, das Paar an Latch-Terminals ein negatives Latch-Terminal und ein positives Latch-Terminal hat, das Paar von Kondensatoren einen ersten und einen zweiten Kondensator hat und der erste Kondensator zwischen dem negativen Eingangs-Terminal und dem negativen Latch-Terminal geschaltet ist, der zweite Kondensator zwischen dem positiven Eingangs-Terminal und dem positiven Latch-Terminal geschaltet ist.

11. Receiver-Latch-Schaltkreis nach Anspruch 10, wobei der Auswerteschaltkreis (**16**) einen ersten und einen zweiten Transistor hat, mit einer ersten bzw. einer zweiten Source, die an Masse liegen, einem ersten bzw. zweiten Drain, die an das Paar der Erfassungs-Terminals des Auswerteschaltkreises geschaltet sind, und einem ersten bzw. einem zweiten Gate, die an einer negativen Spannung bzw. eine positive Spannung des differentiellem Eingangssignal liegen, wobei das erste Gate der negativen Eingangs-Terminal und das zweite Gate der positive Eingangs-Terminal ist.

12. Receiver-Latch-Schaltkreis nach Anspruch 1, wobei das wenigstens eine Erfassungs-Terminal oder das wenigstens eine Ausgangs-Terminal als das wenigstens eine Latch-Terminal ausgewählt ist und das wenigstens eine Eingangs-Terminal und das wenigstens eine Latch-Terminal eine gleiche Polarität aufweisen.

13. Receiver-Latch-Schaltkreis nach Anspruch 12, weiter mit: einem Slave Latch, das an das dynamische Latch (12) gekoppelt ist.

14. Receiver-Latch-Schaltkreis nach Anspruch 12, wobei das Eingangsdatensignal ein Niedrigspannungsswing-Signal ist und das verstärkte Ausgangssignal ein ‚fullrail-to-rail‘-Ausgangssignal ist.

15. Verfahren mit:
Vorladen (40) eines dynamischen Latches (12),
Erfassen (42) eines Eingangsdatensignals mit einem im wesentlichen linearen Auswerteschaltkreis (16) des dynamischen Latch (12) während einer Auswerteperiode, um ein erfasstes Datensignal zu erzeugen, und im wesentlichen Equalizen (44) des Eingangsdatensignals mit einer „feed forward“-Kapazität in dem dynamischen Latch (12) während der Auswerteperiode, wobei das im wesentlichen Equalizen des Daten-eingangssignals mit der „feed forward“-Kapazität das Einfügen einer Null in eine Transferfunktion für den dynamischen Latch (12) umfasst.

16. Verfahren nach Anspruch 15, wobei das im wesentlichen Equalizen des Eingangsdatensignals mit der „feed forward“-Kapazität ein Koppeln der „feed forward“-Kapazität zwischen wenigstens einem Eingangs-Terminal des dynamischen Latch und wenigstens einem Latch-Terminal des dynamischen Latch (12) umfasst, wobei das wenigstens eine Eingangs-Terminal und das wenigstens eine Latch-Terminal die gleiche Polarität haben.

17. Verfahren nach Anspruch 15, weiter mit:
Verstärken (46) des erfassten Datensignals in ein „full rail-to-rail“-Ausgangsdatensignal und Latchen des Ausgangssignals mit einem Verstärkungsschaltkreis (18) des dynamischen Latch (12).

18. Verfahren nach Anspruch 17, wobei das Eingangsdatensignal ein differentielles Niedrigspannungsswing-Signal ist.

19. Ein System mit:
einem integrierten Schaltkreischip mit wenigstens einem Receiver-Latch-Schaltkreis (10; 22), wobei der Receiver-Latch-Schaltkreis umfasst:
ein dynamisches Latch (12) mit wenigstens einem Eingangs-Terminal, um ein Eingangsdatensignal zu erhalten, und wenigstens einem Latch-Terminal, wobei das dynamische Latch (12) dazu eingerichtet ist, ein verstärktes Ausgangssignal wenigstens zum Teil basierend auf dem Eingangsdatensignal zu erzeugen, wobei das dynamische Latch (12) wenigstens einen Kondensator (C_f) aufweist, der zwischen dem wenigstens einen Eingangs-Terminal und dem wenigstens einen Latch-Terminal geschaltet ist, um eine Intersymbolinterferenz in dem Eingangsdatensignal zu reduzieren, wobei das dynamische Latch (12) ferner einen Auswerteschaltkreis (16), der den wenigstens einen Eingangs-Terminal und wenigstens ein Erfassungs-Terminal aufweist und dazu eingerichtet ist, ein erfasstes Datensignal auf dem wenigstens einen Erfassungs-Terminal zu erzeugen; einen Verstärkungsschaltkreis (18), der an das wenigstens eine Erfassungs-Terminal gekoppelt ist und wenigstens ein Ausgangs-Terminal umfasst und dazu eingerichtet ist, das Ausgangssignal wenigstens zum Teil basierend auf dem erfassten Datensignal zu erzeugen, und einen Vorladeschaltkreis (20), der mit dem wenigstens einen Erfassungs-Terminal und dem wenigstens einen Ausgangs-Terminal gekoppelt ist, um das wenigstens eine Erfassungs-Terminal und das wenigstens eine Ausgangs-Terminal vorzuladen, aufweist, eine Massenspeichereinrichtung (68), und einen Bus (62), der mit dem integrierten Schaltkreischip und der Massenspeichereinrichtung gekoppelt ist.

20. System nach Anspruch 19, wobei der integrierte Schaltkreischip entweder ein Prozessorchip oder ein Speicherchip ist.

21. System nach Anspruch 19, wobei das wenigstens eine Eingangs-Terminal und das wenigstens eine Latch-Terminal die gleiche Polarität haben.

22. System nach Anspruch 19, wobei das Eingangsdatensignal ein differentielles Eingangssignal ist, das wenigstens eine Eingangs-Terminal ein Paar von Eingangs-Terminals umfasst, um das differentielle Eingangssignal zu empfangen, das wenigstens eine Latch-Terminal ein Paar von Latch-Terminals ist, und der wenigstens eine Kondensator ein Paar von zwischen dem Paar von Eingangs-Terminals und dem Paar von Latch-Terminals geschalteten Kondensatoren umfasst.

Es folgen 5 Seiten Zeichnungen

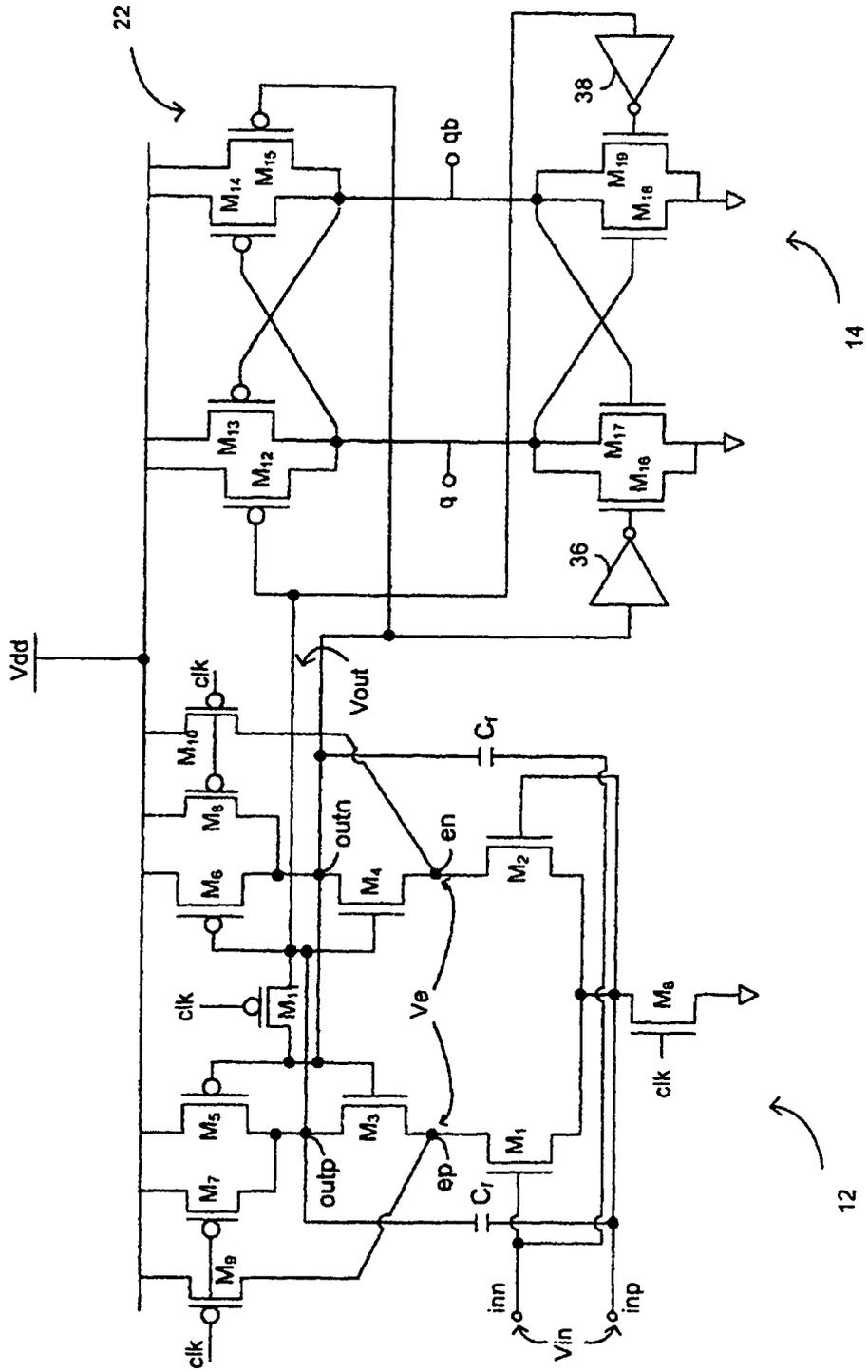


FIG. 2

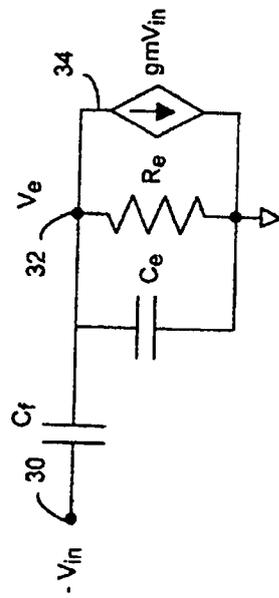


FIG. 3

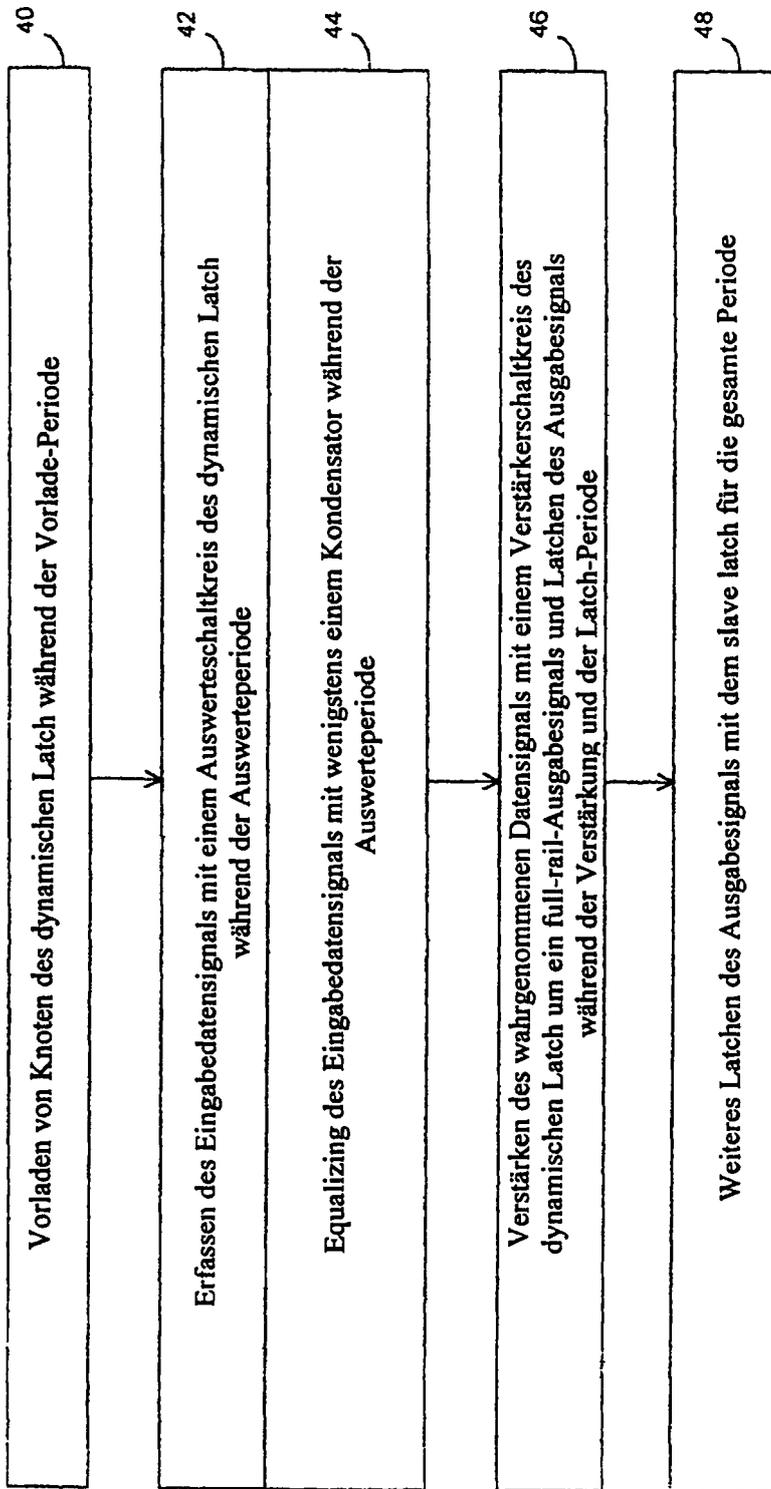


FIG. 4

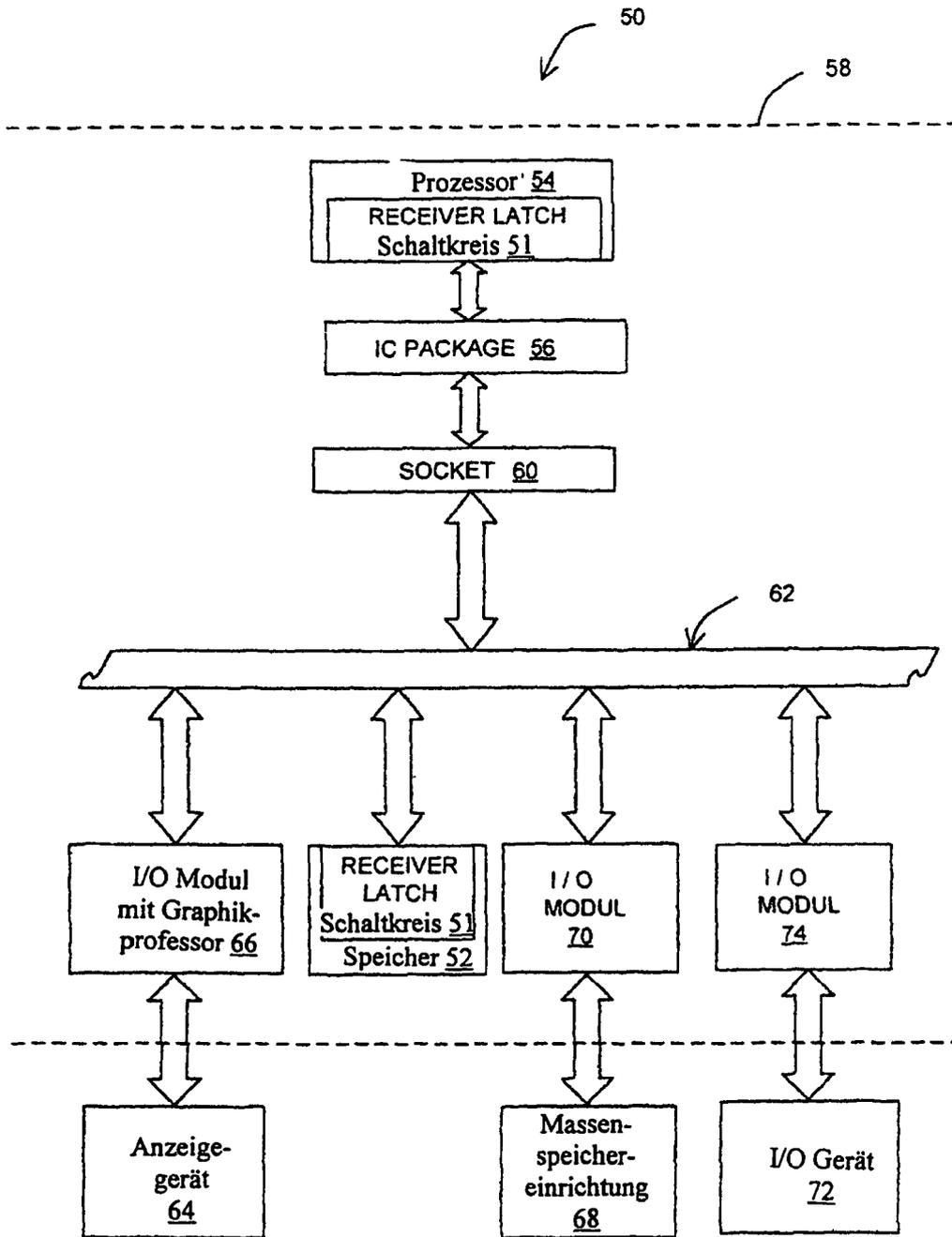


FIG. 5