(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月3日(03.01.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/003060 A1

(51) 国際特許分類:
H01L 27/11582 (2017.01) *H01L 27/11556* (2017.01)
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/788* (2006.01)
H01L 27/088 (2006.01) *H01L 29/792* (2006.01)

(21) 国際出願番号： PCT/IB2018/054566

(22) 国際出願日： 2018年6月21日(21.06.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-125011 2017年6月27日(27.06.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

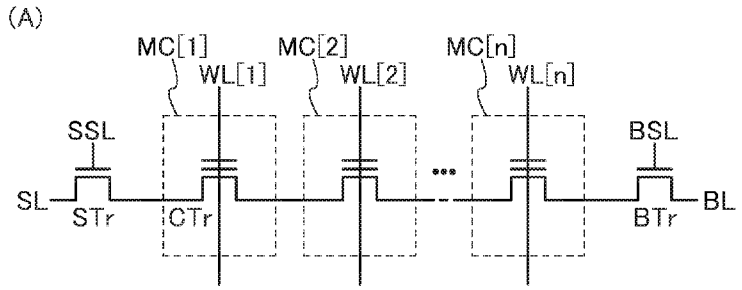
(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 木村肇(KIMURA, Hajime); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** SEMICONDUCTOR DEVICE, SEMICONDUCTOR WAFER, STORAGE DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称： 半導体装置、半導体ウェハ、記憶装置、及び電子機器

[図 1]



(57) **Abstract:** Provided is a semiconductor device having a large storage capacity. Specifically provided is a semiconductor device having first to fourth insulators, a first conductor, a second conductor, and a first semiconductor, the first semiconductor having a first surface and a second surface. A first side surface of the first conductor is provided on the first surface of the first semiconductor, and a first side surface of the first insulator is provided on a second side surface of the first conductor. The second insulator has a region which includes a second side surface and the top surface of the first insulator, the top surface of the first conductor, and the second surface of the first semiconductor. The third insulator is provided to a forming surface of the second insulator, and the fourth insulator is provided to a forming surface of the third insulator. The second conductor is provided to a region, from among the region in which the fourth insulator is formed, which overlaps with the second surface of the first semiconductor. The third insulator functions to store an electrical charge. Applying an electrical potential to the second conductor causes a tunneling current to be induced, via the second insulator, between the third insulator and the second surface of the first semiconductor.

WO 2019/003060 A1

[続葉有]

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

(57) 要約:記憶容量の大きい半導体装置を提供する。第1乃至第4絶縁体と、第1導電体と、第2導電体と、第1半導体と、を有する半導体装置であり、第1半導体は、第1面と、第2面と、を有する。第1導電体の第1側面は、第1半導体の第1面に有し、第1絶縁体の第1側面は、第1導電体の第2側面に有する。第2絶縁体は、第1絶縁体の第2側面及び上面と、第1導電体の上面と、第1半導体の第2面と、を含む領域に有する。第3絶縁体は、第2絶縁体の形成面に有し、第4絶縁体は、第3絶縁体の形成面に有する。第2導電体は、第4絶縁体が形成されている領域のうち、第1半導体の第2面と重畳する領域に有する。第3絶縁体は、電荷を蓄積する機能を有する。第2導電体に電位を与えることによって、第2絶縁体を介して、第1半導体の第2面と第3絶縁体との間にトンネル電流を誘起させる。

明細書

発明の名称

半導体装置、半導体ウェハ、記憶装置、及び電子機器

技術分野

［０００１］

本発明の一態様は、半導体装置、半導体ウェハ、記憶装置、及び電子機器に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、プロセッサ、電子機器、それらの駆動方法、それらの製造方法、それらの検査方法、又はそれらの少なくとも一を有するシステムを一例として挙げることができる。

背景技術

［０００３］

近年、パーソナルコンピュータ、スマートフォン、デジタルカメラなどさまざまな電子機器に、セントラルプロセシングユニット（ＣＰＵ）、グラフィクスプロセシングユニット（ＧＰＵ）、記憶装置、センサなどの電子部品が用いられており、当該電子部品は、微細化、及び低消費電力など様々な面で改良が進んでいる。

［０００４］

特に、上述した電子機器などにおいて扱われているデータ量は増加しており、記憶容量の大きい記憶装置が求められている。記憶容量を大きくする手段として、例えば、特許文献１では、チャネル形成領域として金属酸化物を用いた３次元構造のＮＡＮＤメモリ素子が開示されている。

［先行技術文献］

［特許文献］

［０００５］

［特許文献１］米国特許第９６３４０９７号明細書

発明の概要

発明が解決しようとする課題

［０００６］

メモリ素子などを構成するトランジスタの半導体層は、チャネル形成領域と、低抵抗領域と、に分けられる。特に、３次元構造のＮＡＮＤメモリ素子の半導体層として金属酸化物を用いる場合、当該金属酸化物の低抵抗領域を如何に形成するかが重要となっている。トランジスタの半導体層として用いる金属酸化物において、キャリア密度の低い（又は、本明細書等では、真性、実質的に真性などと言い換えて記載する場合がある。）領域がチャネル形成領域として機能し、キャリア密度の高い領域が低抵抗領域として機能する。そのため、半導体層として金属酸化物を用いた３次元構造のＮＡＮＤメモリ素子の作製では、チャネル形成領域と低抵抗領域との作り分けが課題となる。

［０００７］

本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。又は、本発明の一態様

は、新規な半導体装置を有する記憶装置を提供することを課題の一とする。又は、本発明の一態様は、新規な半導体装置を有する記憶装置を使用した電子機器を提供することを課題の一とする。又は、本発明の一態様は、データ容量の大きい記憶装置を提供することを課題の一とする。又は、本発明の一態様は、信頼性の高い記憶装置を提供することを課題の一とする。

［０００８］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び他の課題のうち、少なくとも一つの課題を解決するものである。なお、本発明の一態様は、上記列挙した課題、及び他の課題の全てを解決する必要はない。

課題を解決するための手段

［０００９］

（１）

本発明の一態様は、第１乃至第４絶縁体と、第１導電体と、第２導電体と、第１半導体と、を有する半導体装置であり、第１半導体は、第１面と、第２面と、を有し、第１絶縁体の第１側面及び第２側面は、第１導電体を介して、第１半導体の第１面と重畳する領域に位置し、第１導電体の第１側面は、第１半導体の第１面に位置し、第１絶縁体の第１側面は、第１導電体の第２側面に位置し、第２絶縁体は、第１絶縁体の第２側面と、第１絶縁体の上面と、第１導電体の上面と、第１半導体の第２面と、を含む領域に位置し、第３絶縁体は、第２絶縁体が形成されている領域のうち、第１半導体の第２面と重畳する領域に位置し、第４絶縁体は、第３絶縁体の形成面と、第２絶縁体を介して第１半導体の第１面と重畳する領域と、に位置し、第２導電体は、第４絶縁体が形成されている領域のうち、第１半導体の第２面と重畳する領域に位置し、第３絶縁体は、電荷を蓄積する機能を有し、第２導電体に電位を与えることによって、第１半導体の第２面と第３絶縁体との間に、第２絶縁体を介して、トンネル電流を誘起させることを特徴とする半導体装置である。

［００１０］

（２）

又は、本発明の一態様は、第１乃至第４絶縁体と、第１導電体と、第２導電体と、第１半導体と、第２半導体と、を有する半導体装置であり、第１半導体は、第１面と、第２面と、を有し、第１絶縁体の第１側面及び第２側面は、第１導電体を介して、第１半導体の第１面と重畳する領域に位置し、第１導電体の第１側面は、第１半導体の第１面に位置し、第１絶縁体の第１側面は、第１導電体の第２側面に位置し、第２絶縁体は、第１絶縁体の第２側面と、第１絶縁体の上面と、第１導電体の上面と、第１半導体の第２面と、を含む領域に位置し、第３絶縁体は、第２絶縁体が形成されている領域のうち、第１半導体の第２面と重畳する領域に位置し、第４絶縁体は、第３絶縁体の形成面と、第２絶縁体を介して第１半導体の第１面と重畳する領域と、に位置し、第２半導体は、第４絶縁体を介して、第１半導体の第２面と重畳する領域に位置し、第２導電体は、第２半導体の形成面と、第４絶縁体が形成されている領域のうち、第１半導体の第２面と重畳する領域に位置し、第３絶縁体は、電荷を蓄積する機能を有し、第２導電体に電位を与えることによって、第１半導体の第２面と第３絶縁体との間に、第２絶縁体を介して、トンネル電流を誘起させることを特徴とする半導体装置である。

［００１１］

（３）

又は、本発明の一態様は、上記（１）、又は（２）の構成において、第３絶縁体は、第２絶縁体が形成されている領域のうち、第１半導体の第１面と重畳する領域にも位置し、且つ、第２絶縁体と第４絶縁体との間に重畳する領域に位置することを特徴とする半導体装置である。

［００１２］

（４）

又は、本発明の一態様は、第１絶縁体と、第２絶縁体と、第４絶縁体と、第１乃至第３導電体と、第１半導体と、を有する半導体装置であり、第１半導体は、第１面と、第２面と、を有し、第１絶縁体の第１側面及び第２側面は、第１導電体を介して、第１半導体の第１面と重畳する領域に位置し、第１導電体の第１側面は、第１半導体の第１面に位置し、第１絶縁体の第１側面は、第１導電体の第２側面に位置し、第２絶縁体は、第１絶縁体の第２側面と、第１絶縁体の上面と、第１導電体の上面と、第１半導体の第２面と、を含む領域に位置し、第３導電体は、第２絶縁体を介して、第１半導体の第２面と重畳する領域に位置し、第４絶縁体は、第３導電体の形成面と、第２絶縁体が形成された領域のうち、第３導電体を介して第１半導体の第２面と重畳する領域と、第２絶縁体が形成された領域のうち、第２絶縁体を介して第１半導体の第１面と重畳する領域と、に位置し、第２導電体は、第４絶縁体が形成されている領域のうち、第１半導体の第２面と重畳する領域に位置し、第３導電体は、電荷を蓄積する機能を有し、第２導電体に電位を与えることによって、第１半導体の第２面と第３導電体との間に、第２絶縁体を介して、トンネル電流を誘起させることを特徴とする半導体装置である。

［００１３］

（５）

又は、本発明の一態様は、上記（１）乃至（４）のいずれか一の構成において、第１半導体の第２面における第１半導体の膜厚は、第１半導体の第１面における第１半導体の膜厚よりも、薄いことを特徴とする半導体装置である。

［００１４］

（６）

又は、本発明の一態様は、上記（１）乃至（５）のいずれか一の構成において、第５絶縁体と、第４導電体と、を有し、第５絶縁体は、第１半導体の第１面、及び第２面と反対側の面に位置し、第４導電体は、第５絶縁体を介して、第１半導体の第１面及び第２面と重畳する領域に位置することを特徴とする半導体装置である。

［００１５］

（７）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一の構成において、第１半導体は、金属酸化物を有し、第１半導体の第２面、及び第２面の近傍は、第１半導体の第１面、及び第１面の近傍よりも、酸素濃度が高いことを特徴とする半導体装置である。

［００１６］

（８）

又は、本発明の一態様は、上記（７）の構成において、第１半導体の第１面、及び第１面の近傍は、第１導電体に含まれる元素と、第１半導体に含まれる元素と、によって構成される化合物を有することを特徴とする半導体装置である。

［００１７］

（９）

又は、本発明の一態様は、上記（１）乃至（６）のいずれか一の構成において、半導体は、シリコンを有し、第１半導体の第１面、及び第１面の近傍において、第１導電体に含まれる元素と、第１半導体に含まれる元素と、によって低抵抗領域が形成されていることを特徴とする半導体装置である。

［００１８］

（１０）

又は、本発明の一態様は、上記（１）乃至（９）のいずれか一の構成において、第１導電体の代わりとして、第６絶縁体が用いられ、第６絶縁体は、窒化シリコンを有することを特徴とする半導体装置である。

［００１９］

（１１）

又は、本発明の一態様は、上記（１）乃至（１０）のいずれか一に記載の半導体装置を複数個有し、ダイシング用の領域を有する半導体ウェハである。

［００２０］

（１２）

又は、本発明の一態様は、上記（１）乃至（１０）のいずれか一に記載の半導体装置と、周辺回路と、を有する記憶装置である。

［００２１］

（１３）

又は、本発明の一態様は、上記（１２）に記載の記憶装置と、筐体と、を有する電子機器である。

発明の効果

［００２２］

本発明の一態様によって、新規な半導体装置を提供することができる。又は、本発明の一態様によって、新規な半導体装置を有する記憶装置を提供することができる。又は、本発明の一態様によって、新規な半導体装置を有する記憶装置を使用した電子機器を提供することができる。又は、本発明の一態様によって、データ容量の大きい記憶装置を提供することができる。又は、本発明の一態様によって、信頼性の高い記憶装置を提供することができる。

［００２３］

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

［００２４］

［図１］半導体装置の構成例を示す回路図。

［図２］半導体装置の構成例を示す回路図。

［図３］半導体装置の構成例を示す回路図。

［図４］半導体装置の動作例を示すタイミングチャート。

［図５］半導体装置の動作例を示すタイミングチャート。
［図６］半導体装置の構成例を説明するための斜視図、上面図、及び断面図。
［図７］半導体装置の構成例を説明するための斜視図、上面図、及び断面図。
［図８］半導体装置の作製例を説明するための断面図。
［図９］半導体装置の作製例を説明するための断面図。
［図１０］半導体装置の作製例を説明するための断面図。
［図１１］半導体装置の作製例を説明するための断面図。
［図１２］半導体装置の作製例を説明するための断面図。
［図１３］半導体装置の作製例を説明するための断面図。
［図１４］半導体装置の作製例を説明するための断面図、及び斜視図。
［図１５］半導体装置の作製例を説明するための断面図。
［図１６］半導体装置の作製例を説明するための断面図。
［図１７］半導体装置の作製例を説明するための断面図。
［図１８］半導体装置の作製例を説明するための上面図。
［図１９］半導体装置の作製例を説明するための上面図。
［図２０］半導体装置の作製例を説明するための断面図。
［図２１］半導体装置の作製例を説明するための上面図。
［図２２］半導体装置の作製例を説明するための断面図。
［図２３］半導体装置の作製例を説明するための上面図。
［図２４］半導体装置の作製例を説明するための断面図。
［図２５］半導体装置の作製例を説明するための断面図、及び上面図。
［図２６］半導体装置の作製例を説明するための断面図。
［図２７］半導体装置の作製例を説明するための断面図、及び上面図。
［図２８］半導体装置の作製例を説明するための断面図。
［図２９］半導体装置の作製例を説明するための上面図。
［図３０］半導体装置の作製例を説明するための断面図。
［図３１］半導体装置の作製例を説明するための上面図。
［図３２］半導体装置の作製例を説明するための断面図。
［図３３］半導体装置の作製例を説明するための断面図。
［図３４］半導体装置の作製例を説明するための上面図。
［図３５］半導体装置の作製例を説明するための断面図。
［図３６］半導体装置の作製例を説明するための断面図。
［図３７］半導体装置の作製例を説明するための断面図。
［図３８］半導体装置の作製例を説明するための断面図。
［図３９］半導体装置の作製例を説明するための断面図。
［図４０］半導体装置の作製例を説明するための断面図。
［図４１］半導体装置の作製例を説明するための断面図。
［図４２］半導体装置の作製例を説明するための断面図。
［図４３］半導体装置の作製例を説明するための断面図。
［図４４］半導体装置の作製例を説明するための上面図。

［図４５］半導体装置の作製例を説明するための上面図。
［図４６］半導体装置の作製例を説明するための断面図。
［図４７］半導体装置の作製例を説明するための上面図。
［図４８］半導体装置の作製例を説明するための断面図。
［図４９］半導体装置の作製例を説明するための上面図。
［図５０］半導体装置の作製例を説明するための断面図。
［図５１］半導体装置の作製例を説明するための断面図、及び上面図。
［図５２］半導体装置の作製例を説明するための断面図。
［図５３］半導体装置の作製例を説明するための断面図、及び上面図。
［図５４］半導体装置の作製例を説明するための断面図。
［図５５］半導体装置の作製例を説明するための上面図。
［図５６］半導体装置の作製例を説明するための断面図。
［図５７］半導体装置の作製例を説明するための上面図。
［図５８］半導体装置の作製例を説明するための断面図。
［図５９］半導体装置を説明するための断面図。
［図６０］半導体装置を説明するための断面図。
［図６１］半導体装置を説明するための断面図。
［図６２］半導体装置を説明するための断面図。
［図６３］記憶装置の一例を示すブロック図。
［図６４］金属酸化物の原子数比の範囲を説明する図。
［図６５］電子部品の作製例を示すフローチャート、電子部品の斜視図、及び半導体ウェハの斜視図。
［図６６］ＣＰＵを説明するブロック図。
［図６７］電子機器の例を示す斜視図。
［図６８］電子機器の例を示す斜視図。

発明を実施するための形態

［００２５］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒまたは単にＯＳともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、及びスイッチング作用の少なくとも１つを有するトランジスタのチャネル形成領域を構成し得る場合、当該金属酸化物を、金属酸化物半導体（ｍｅｔａｌ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、略してＯＳと呼ぶことができる。また、ＯＳ　ＦＥＴと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

［００２６］

また、本明細書等において、チャネル形成領域にシリコンを有するトランジスタをＳｉトランジスタと記載する場合がある。

［００２７］

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と

総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［００２８］

（実施の形態１）

本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成、動作方法、及び作製方法について、説明する。なお、以下の記載において、例えば、“［ｘ，ｙ］”は第ｘ行第ｙ列の要素を意味し、“［ｚ］”は、第ｚ行あるいは第ｚ列の要素を意味する。特に行や列を指定する必要がないときは、これらの表記は省略される。

［００２９］

＜回路構成例＞

はじめに、半導体装置の一例であるＮＡＮＤメモリ素子の回路構成について、図１（Ａ）を参照して、説明する。図１（Ａ）には、１ページのＮＡＮＤメモリ素子の回路図を示している。１ページのＮＡＮＤメモリ素子は、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］のメモリセルと、それらを制御するための配線ＷＬ［１］乃至配線ＷＬ［ｎ］と、配線ＢＬ及び配線ＳＬと、そのページを選択するためのトランジスタＳＴｒ及びトランジスタＢＴｒと、トランジスタＳＴｒを制御するための配線ＳＳＬと、トランジスタＢＴｒを制御するための配線ＢＳＬと、を有する。なお、配線ＷＬは後述するメモリセルＭＣのセルトランジスタの制御ゲート（本明細書等では、単にゲートと言い換える場合がある。）に電位を与える配線として機能し、配線ＳＬ及び配線ＢＬは後述するメモリセルＭＣのセルトランジスタの第１端子及び／又は第２端子に電位を与える配線として機能する場合がある。

［００３０］

それぞれのメモリセルＭＣは、セルトランジスタＣＴｒを有する。一般的には、セルトランジスタは、ノーマリーオン特性で動作するトランジスタであり、制御ゲートと、電荷蓄積層と、を有する。電荷蓄積層は、トンネル絶縁膜を介して、チャネル形成領域と重畳する領域に設けられ、制御ゲートは、ブロッキング膜を介して、電荷蓄積層と重畳する領域に設けられる。セルトランジスタは、制御ゲートに書き込み電位を印加し、かつセルトランジスタの第１端子、又は第２端子の一方に所定の電位を与えることによってトンネル電流が発生して、当該セルトランジスタのチャネル形成領域から電荷蓄積層に電子が注入される。これにより、電荷蓄積層に電子が注入されたセルトランジスタでは、しきい値電圧が高くなる。なお、電荷蓄積層の代わりとして、浮遊ゲートを用いてもよい。ＮＡＮＤメモリ素子はこの原理を利用した半導体装置であり、詳細な動作原理については後述する。

［００３１］

セルトランジスタＣＴｒの第１端子は、回路構成的には、隣接するメモリセルＭＣのセルトランジスタＣＴｒの第２端子と直列に、電気的に接続されている。つまり、図１（Ａ）に示す回路構成は、セルトランジスタＣＴｒがｎ個、直列に電気的に接続された構成となっている。加えて、メモリセルＭＣ［１］のセルトランジスタＣＴｒの第２端子は、トランジスタＳＴｒの第１端子と電気的に接続され、メモリセルＭＣ［ｎ］のセルトランジスタＣＴｒの第１端子は、トランジスタＢＴｒの第１端子と電気的に接続されている。そして、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］のそれぞれのセルトランジスタＣＴｒの制御ゲートは、配線ＷＬ［１］乃至配線ＷＬ［ｎ］の各々と電気的に接続されている。トランジスタＳＴｒの第２端子は、配線ＳＬと電気的に接続され、トランジスタＳＴｒのゲートは、配線ＳＳＬと電気的に接続されている。トランジスタＢＴｒの第２端子は、配線ＢＬと電気的に接続され、トランジスタＢＴｒのゲートは、配線ＢＳＬと電気的に接続されている。

［００３２］

セルトランジスタＣＴｒのチャネル形成領域は、例えば、シリコン、ゲルマニウム、ガリウムヒ素、シリコンカーバイド（ＳｉＣ）、実施の形態３で説明する金属酸化物などのいずれか一、又は上記から選ばれた複数の材料を有することが好ましい。特に、当該チャネル形成領域において、インジウム、元素Ｍ（元素Ｍとしては、例えば、アルミニウム、ガリウム、イットリウム、錫など）、亜鉛から一、又は複数選ばれた金属酸化物が含まれる場合、当該金属酸化物は、ワイドギャップ半導体として機能することがあり、当該金属酸化物がチャネル形成領域に含まれているセルトランジスタは、オフ電流が非常に低い特性を有する。つまり、オフ状態となっているセルトランジスタＣＴｒにおけるリーク電流を低くすることができるため、半導体装置の消費電力を低減することができる場合がある。また、トランジスタＳＴｒ、トランジスタＢＴｒのそれぞれのチャネル形成領域も、上述の金属酸化物を有することができる。

［００３３］

また、トランジスタＳＴｒ及び／又はトランジスタＢＴｒのチャネル形成領域は、セルトランジスタＣＴｒのチャネル形成領域と異なる構成にすることができる。例えば、セルトランジスタＣＴｒのチャネル形成領域に前述した金属酸化物が含まれる材料を適用し、トランジスタＳＴｒ及び／又はトランジスタＢＴｒのチャネル形成領域にシリコンが含まれる材料を適用することができる。

［００３４］

なお、本発明の一態様は、図１（Ａ）に示す半導体装置に限定されない。本発明の一態様は、場合によって、状況に応じて、又は、必要に応じて、図１（Ａ）に示す半導体装置を適宜変更した回路構成とすることができる。例えば、本発明の一態様は、図１（Ｂ）に示すとおり、セルトランジスタＣＴｒにバックゲートを設けた半導体装置としてもよい。なお、図１（Ｂ）に図示している半導体装置は、図１（Ａ）に図示している半導体装置の構成に加え、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有するセルトランジスタＣＴｒにバックゲートを設けて、当該バックゲートのそれぞれに配線ＢＧＬが電気的に接続された構成となっている。図１（Ｂ）に示す半導体装置は、配線ＢＧＬがメモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有するセルトランジスタＣＴｒのバックゲートのそれぞれと電気的に接続されている構成でなく、当該バックゲートに対してそれぞれ独立に電気的に接続して、それぞれ互いに異なった電位を供給する構成としてもよい。なお、図１（Ｂ）に示す半導体装置の動作例については、後述する。

［００３５］

ところで、図１（Ａ）、（Ｂ）に示す半導体装置の記憶容量を更に増やしたい場合、図１（Ａ）、（Ｂ）に示す半導体装置をマトリクス状となるように並べて配置すればよい。例えば、図１（Ａ）に示す半導体装置をマトリクス状となるように並べて配置した場合、その回路構成は、図２に示す構成となる。なお、本明細書等において、図２に示す複数のページのＮＡＮＤメモリ素子を１ブロックのＮＡＮＤメモリ素子と記載する。

［００３６］

図２に示す半導体装置は、図１（Ａ）に示した半導体装置を１列としてｍ列（ｍは１以上の整数である。）並べて配置したもので、配線ＷＬを同じ行のメモリセルＭＣと共有するように電気的に接続した構成となっている。つまり、図２に示す半導体装置は、ｎ行ｍ列のマトリクス状の半導体装置であり、メモリセルＭＣ［１，１］乃至メモリセルＭＣ［ｎ，ｍ］を有する。そのため、図２に示す半導体装置は、配線ＷＬ［１］乃至配線ＷＬ［ｎ］と、配線ＢＬ［１］乃至配線ＢＬ［ｍ］と、配線Ｂ

ＳＬ［１］乃至配線ＢＳＬ［ｍ］と、配線ＳＬ［１］乃至配線ＳＬ［ｍ］と、配線ＳＳＬ［１］乃至配線ＳＳＬ［ｍ］と、によって、電気的に接続されている。具体的には、メモリセルＭＣ［ｊ，ｉ］（ｊは１以上ｎ以下の整数であり、ｉは１以上ｍ以下の整数である。）のセルトランジスタＣＴｒの制御ゲートは、配線ＷＬ［ｊ］と電気的に接続されている。配線ＳＬ［ｉ］はトランジスタＳＴｒ［ｉ］の第２端子と電気的に接続され、配線ＢＬ［ｉ］はトランジスタＢＴｒの第２端子と電気的に接続されている。

［００３７］

なお、図２は、メモリセルＭＣ［１，１］、メモリセルＭＣ［１，ｉ］、メモリセルＭＣ［１，ｍ］、メモリセルＭＣ［ｊ，１］、メモリセルＭＣ［ｊ，ｉ］、メモリセルＭＣ［ｊ，ｍ］、メモリセルＭＣ［ｎ，１］、メモリセルＭＣ［ｎ，ｉ］、メモリセルＭＣ［ｎ，ｍ］、配線ＷＬ［１］、配線ＷＬ［ｊ］、配線ＷＬ［ｎ］、配線ＢＬ［１］、配線ＢＬ［ｉ］、配線ＢＬ［ｍ］、配線ＢＳＬ［１］、配線ＢＳＬ［ｊ］、配線ＢＳＬ［ｎ］、配線ＳＬ［１］、配線ＳＬ［ｉ］、配線ＳＬ［ｍ］、配線ＳＳＬ［１］、配線ＳＳＬ［ｉ］、配線ＳＳＬ［ｍ］、セルトランジスタＣＴｒ、トランジスタＢＴｒ［１］、トランジスタＢＴｒ［ｉ］、トランジスタＢＴｒ［ｍ］、トランジスタＳＴｒ［１］、トランジスタＳＴｒ［ｉ］、トランジスタＳＴｒ［ｍ］のみ図示しており、それ以外の配線、素子、記号、及び符号は省略している。

［００３８］

また、図１（Ｂ）に示した半導体装置を１列としてｍ列（ｍは１以上の整数である。）並べて配置したものを、図３に示す。なお、図３に示す半導体装置は、全てのメモリセルＭＣが有するそれぞれのトランジスタにバックゲートを設けた構成となっており、そのため、図３に示す半導体装置は、それぞれのバックゲートと電気的に接続するための配線ＢＧＬ［１］乃至配線ＢＧＬ［ｍ］を有する。なお、図３に示す半導体装置については、図２に示す半導体装置の説明の記載を参酌する。

［００３９］

図２、図３に示した半導体装置は、それぞれ図１（Ａ）、（Ｂ）をマトリクス状に並べて配置した構成となっているが、本発明の一態様は、これに限定されない。場合によって、状況に応じて、又は必要に応じて、回路構成を変更することができる。例えば、図２、図３では、トランジスタＢＴｒ［１］乃至トランジスタＢＴｒ［ｍ］を制御するための配線として、それぞれ配線ＢＳＬ［１］乃至配線ＢＳＬ［ｍ］を図示したが、１本の配線としてトランジスタＢＴｒ［１］乃至トランジスタＢＴｒ［ｍ］のそれぞれのゲートと電気的に接続する構成としてもよい。同様に、トランジスタＳＴｒ［１］乃至トランジスタＳＴｒ［ｍ］を制御するための配線も、配線ＳＳＬ［１］乃至配線ＳＳＬ［ｍ］でなく、１本の配線としてトランジスタＳＴｒ［１］乃至トランジスタＳＴｒ［ｍ］のそれぞれのゲートと電気的に接続する構成としてもよい。

［００４０］

＜動作方法例＞

次に、図１（Ａ）、（Ｂ）に示した半導体装置の動作方法の一例について、図４（Ａ）（Ｂ）、図５（Ａ）（Ｂ）を用いて、説明する。なお、本発明の一態様の半導体装置は、２値だけでなく、多値又はアナログ値のデータも扱うことができる場合がある。そのため、本動作方法の説明において、書き込み及び読み出しに扱うデータは、２値に限定されないものとする。

［００４１］

また、以下の説明で用いられる低レベル電位、高レベル電位は、特定の電位を意味するものではなく、配線が異なれば、具体的な電位も異なる場合がある。例えば、配線ＢＳＬに印加される低レベル

電位、高レベル電位のそれぞれは、配線ＢＬに印加される低レベル電位、高レベル電位と異なる電位であってもよい。

［００４２］

電位V_{PGM}は、セルトランジスタＣＴｒの制御ゲートに印加することでセルトランジスタＣＴｒの電荷蓄積層に電子を注入することができる電位であり、電位V_{PS}は、セルトランジスタＣＴｒの制御ゲートに印加することでセルトランジスタＣＴｒをオン状態にすることができる電位である。

［００４３］

また、本動作方法例において、図１（Ｂ）に示した配線ＢＧＬには、特に断らない限り、セルトランジスタＣＴｒが正常に動作する範囲内の電位があらかじめ印加されているものとする。そのため、図１（Ａ）、（Ｂ）に示す半導体装置の動作は、互いに同様に考えることができる。

［００４４］

＜＜書き込み動作＞＞

図４（Ａ）は、半導体装置にデータを書き込む動作例を示したタイミングチャートである。図４（Ａ）のタイミングチャートは、配線ＷＬ［ｐ］（ｐは１以上ｎ以下の整数である。）、配線ＷＬ［ｊ］（ここでのｊは、１以上ｎ以下であり、かつｐでない整数である。）、配線ＢＳＬ、配線ＳＳＬ、及び配線ＢＬの電位の大きさの変化を示している。なお、図４（Ａ）のタイミングチャートは、メモリセルＭＣ［ｐ］にデータを書き込む動作例を示している。

［００４５］

時刻Ｔ１０以前において、配線ＢＬには、低レベル電位が供給されている。

［００４６］

また、時刻Ｔ１０から時刻Ｔ１３までの間において、配線ＳＳＬには、常に低レベル電位が供給されている。これにより、トランジスタＳＴｒのゲートに低レベル電位が印加されるため、トランジスタＳＴｒがオフ状態となる。

［００４７］

時刻Ｔ１０から時刻Ｔ１１までの間において、配線ＢＳＬには高レベル電位が供給される。これにより、トランジスタＢＴｒのゲートに高レベル電位が印加されるため、トランジスタＢＴｒがオン状態となる。また、トランジスタＢＴｒがオン状態となることによって、メモリセルＭＣ［ｎ］のセルトランジスタＣＴｒの第１端子に、配線ＢＬから供給された低レベル電位が印加される。

［００４８］

時刻Ｔ１１から時刻Ｔ１２までの間において、配線ＷＬ［ｊ］には電位V_{PS}が供給される。これにより、メモリセルＭＣ［ｊ］が有するセルトランジスタＣＴｒの制御ゲートに電位V_{PS}が印加される。このとき、メモリセルＭＣ［ｎ］において、セルトランジスタＣＴｒの第１端子に、配線ＢＬから供給された低レベル電位が印加されているため、メモリセルＭＣ［ｎ］が有するセルトランジスタＣＴｒがオン状態となる。また、これにより、メモリセルＭＣ［ｎ－１］のセルトランジスタＣＴｒの第１端子に、配線ＢＬから供給された低レベル電位が印加されることになる。つまり、メモリセルＭＣ［ｊ］が有するセルトランジスタＣＴｒが順次オン状態となる。

［００４９］

また、時刻Ｔ１１から時刻Ｔ１２までの間において、配線ＷＬ［ｐ］には、電位V_{PGM}が供給される。これにより、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒの制御ゲートに電位V_{PGM}が印加される。また、前述の動作により、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒの

第１端子に配線ＢＬから供給された低レベル電位が印加されているため、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒのチャネル形成領域から電荷蓄積層に電子が注入される。これにより、メモリセルＭＣ［ｐ］へのデータの書き込みが行われる。なお、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒのチャネル形成領域から電荷蓄積層に電子が注入されることによって、セルトランジスタＣＴｒのしきい値電圧が上昇する。

［００５０］

時刻Ｔ１２までにおいて、配線ＢＬから供給された低レベル電位が、トランジスタＳＴｒの第１端子にまでに印加されたものとする。時刻Ｔ１２から時刻Ｔ１３までの間では、配線ＷＬ［ｊ］、及び配線ＷＬ［ｐ］に低レベル電位が印加される。

［００５１］

時刻Ｔ１３以降において、配線ＢＳＬに低レベル電位が供給される。これにより、トランジスタＢＴｒのゲートに低レベル電位が印加されるため、トランジスタＢＴｒがオフ状態となる。また、図４（Ａ）のタイミングチャートには図示していないが、このとき、配線ＢＳＬに低レベル電位を供給せず、配線ＢＬの電位を高レベル電位とすることによって、トランジスタＢＴｒをオフ状態にすることができる。

［００５２］

以上の動作により、図１（Ａ）、（Ｂ）に示した半導体装置に対して、データを書き込むことができる。

［００５３］

＜＜読み出し動作＞＞

図４（Ｂ）は、半導体装置からデータを読み出す動作例を示したタイミングチャートである。図４（Ａ）のタイミングチャートは、配線ＷＬ［ｐ］、配線ＷＬ［ｑ］（ｑは、１以上ｎ以下であり、かつｐでない整数である。）、配線ＷＬ［ｊ］（ここでのｊは、１以上ｎ以下であり、かつｐ及びｑでない整数である。）、配線ＢＳＬ、配線ＳＳＬ、配線ＳＬの電位の大きさの変化を示し、配線ＳＬ－配線ＢＬ間に流れる電流としてI_{READ}の大きさの変化を示している。なお、図４（Ｂ）のタイミングチャートは、メモリセルＭＣ［ｐ］及びメモリセルＭＣ［ｑ］からデータを読み出す動作例を示している。そして、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されており、メモリセルＭＣ［ｑ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されていないものとする。

［００５４］

時刻Ｔ２０以前において、配線ＳＬには、低レベル電位が供給されている。

［００５５］

時刻Ｔ２０から時刻Ｔ２１までの間において、配線ＢＳＬ及び配線ＳＳＬには高レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのゲートに高レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオン状態となる。また、トランジスタＳＴｒがオン状態となることによって、メモリセルＭＣ［１］のセルトランジスタＣＴｒの第２端子に配線ＳＬから供給された低レベル電位が印加される。

［００５６］

時刻Ｔ２１から時刻Ｔ２２までの間において、配線ＷＬ［ｑ］及び配線ＷＬ［ｊ］には電位V_{PS}が供給される。これにより、メモリセルＭＣ［ｑ］及びメモリセルＭＣ［ｊ］が有するセルトランジ

スタＣＴｒの制御ゲートに電位V_{PS}が印加される。このとき、メモリセルＭＣ［ｑ］及び／又はメモリセルＭＣ［ｊ］のセルトランジスタＣＴｒの第２端子に、配線ＳＬから供給された低レベル電位が印加されている場合、そのセルトランジスタＣＴｒはオン状態となる。

［００５７］

一方、時刻Ｔ２１から時刻Ｔ２２までの間において、配線ＷＬ［ｐ］には、低レベル電位が供給される。これにより、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒの制御ゲートに低レベル電位が印加される。また、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されているため、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒのしきい値電圧が上昇している。以上の理由により、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒはオフ状態となり、配線ＳＬ－配線ＢＬ間に電流は流れない。このとき、配線ＢＬに流れる電流量を計測して、配線ＳＬ－配線ＢＬ間に電流が流れないことを示すことによって、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されていることがいえる。

［００５８］

時刻Ｔ２２から時刻Ｔ２３までの間において、配線ＷＬ［ｐ］、配線ＷＬ［ｑ］、配線ＷＬ［ｊ］のそれぞれに低レベル電位が供給される。これにより、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有するそれぞれのセルトランジスタＣＴｒの制御ゲートに低レベル電位が印加される。

［００５９］

時刻Ｔ２３から時刻Ｔ２４までの間において、配線ＷＬ［ｊ］には電位V_{PS}が供給される。これにより、メモリセルＭＣ［ｊ］が有するセルトランジスタＣＴｒの制御ゲートに電位V_{PS}が印加される。このとき、メモリセルＭＣ［ｊ］のセルトランジスタＣＴｒの第１端子に、配線ＳＬから供給された低レベル電位が印加されている場合、そのセルトランジスタＣＴｒはオン状態となる。

［００６０］

また、時刻Ｔ２３から時刻Ｔ２４までの間において、配線ＷＬ［ｐ］には、電位V_{PS}が供給される。これにより、メモリセルＭＣ［ｐ］が有するセルトランジスタＣＴｒの制御ゲートに電位V_{PS}が印加される。ところで、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されているため、メモリセルＭＣ［ｐ］のセルトランジスタＣＴｒのしきい値電圧が上昇しているが、セルトランジスタＣＴｒの制御ゲートには電位V_{PS}が印加されているため、本動作例では、セルトランジスタＣＴｒは実質的にオン状態となるものとする。

［００６１］

そして、時刻Ｔ２３から時刻Ｔ２４までの間において、配線ＷＬ［ｑ］には低レベル電位が供給される。これにより、メモリセルＭＣ［ｊ］が有するセルトランジスタＣＴｒの制御ゲートに低レベル電位が印加される。メモリセルＭＣが有するセルトランジスタＣＴｒは、ノーマリーオン特性で動作するため、メモリセルＭＣ［ｊ］のセルトランジスタＣＴｒの第１端子に、配線ＳＬから供給された低レベル電位が印加されていても、そのセルトランジスタＣＴｒはオン状態となる。

［００６２］

つまり、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有するそれぞれのセルトランジスタＣＴｒがオン状態となっているため、それぞれのソース－ドレイン間に電流が流れる。つまり、このとき、配線ＢＬに流れる電流量を計測して、配線ＳＬ－配線ＢＬ間に電流が流れていることを示すことによって、メモリセルＭＣ［ｑ］のセルトランジスタＣＴｒの電荷蓄積層には電子が注入されていないことがいえる。

［００６３］

時刻Ｔ２４から時刻Ｔ２５までにおいて、配線ＷＬ［ｐ］、配線ＷＬ［ｑ］、配線ＷＬ［ｊ］のそれぞれに低レベル電位が供給される。これにより、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有するそれぞれのセルトランジスタＣＴｒの制御ゲートに低レベル電位が印加される。

［００６４］

時刻Ｔ２５以降において、配線ＢＳＬ及び配線ＳＳＬに低レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに低レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオフ状態となる。

［００６５］

つまり、メモリセルＭＣからデータを読み出す場合、当該のメモリセルＭＣのセルトランジスタＣＴｒの制御ゲートに低レベル電位を印加し、それ以外のメモリセルＭＣのセルトランジスタＣＴｒの制御ゲートに高レベル電位を印加して、配線ＳＬ－配線ＢＬ間に流れる電流量を計測することによって、メモリセルＭＣに保持されているデータを読み出すことができる。

［００６６］

以上の動作により、図１（Ａ）、（Ｂ）に示した半導体装置から、データの書き込み、及びデータの読み出しを行うことができる。

［００６７］

＜＜消去動作＞＞

図５（Ａ）は、半導体装置に保持されたデータを消去する動作例を示したタイミングチャートである。図５（Ａ）のタイミングチャートは、配線ＷＬ［ｊ］（ここでのｊは、１以上ｎ以下の整数である。）、配線ＢＳＬ、配線ＳＳＬ、配線ＢＬ、及び配線ＳＬの電位の大きさの変化を示している。なお、一般的なＮＡＮＤメモリ素子に対する消去動作は１ページ単位で行われており、本動作例もそれに従うものとする。但し、本発明の一態様はこれに限定せず、例えば、１ブロック単位などで消去動作を行ってもよい。

［００６８］

時刻Ｔ３０以前において、配線ＢＬ及び配線ＳＬには、低レベル電位が供給されている。

［００６９］

また、時刻Ｔ３０から時刻Ｔ３３までの間において、配線ＷＬ［ｊ］には、常に低レベル電位が供給されている。

［００７０］

時刻Ｔ３０から時刻Ｔ３１までの間において、配線ＢＳＬ及び配線ＳＳＬには高レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに高レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオン状態となる。また、トランジスタＢＴｒ及びトランジスタＳＴｒがオン状態となることによって、メモリセルＭＣ［１］が有するセルトランジスタＣＴｒの第２端子に、配線ＳＬから供給された低レベル電位が印加され、メモリセルＭＣ［ｎ］が有するセルトランジスタＣＴｒの第１端子に、配線ＢＬから供給された低レベル電位が印加される。

［００７１］

時刻Ｔ３１から時刻Ｔ３２までの間において、配線ＢＬ及び配線ＳＬには、電位V_{ER}が供給される。なお、電位V_{ER}は、配線ＢＬ及び配線ＳＬに流れる高レベル電位よりも高い電位としている。

これによって、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有する全てのセルトランジスタＣＴｒのチャネル形成領域の電位が上昇するため、各セルトランジスタＣＴｒの電荷蓄積層に注入されている電子が、チャネル形成領域側に引き抜かれる。

［００７２］

時刻Ｔ３２から時刻Ｔ３３までの間において、配線ＢＬ及び配線ＳＬには、低レベル電位が供給される。

［００７３］

時刻Ｔ３３以降において、配線ＢＳＬ及び配線ＳＳＬには低レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに低レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオフ状態となる。

［００７４］

以上の動作により、図１（Ａ）、（Ｂ）に示した半導体装置から、データを消去することができる。

［００７５］

また、図１（Ｂ）に示す半導体装置において、配線ＢＧＬを用いることによって、上述した消去動作とは別の消去動作を行うことができる。その動作例について図５（Ｂ）に示す。

［００７６］

時刻Ｔ４０以前において、配線ＢＬ及び配線ＳＬには、低レベル電位が供給されている。

［００７７］

また、時刻Ｔ４０から時刻Ｔ４５までの間において、配線ＷＬ［ｊ］には、常に低レベル電位が供給される。

［００７８］

時刻Ｔ４０から時刻Ｔ４１までの間において、配線ＢＳＬ及び配線ＳＳＬには、低レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに低レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオフ状態となる。このため、トランジスタＳＴｒの第２端子とトランジスタＢＴｒの第１端子との間は、フローティング状態となる。

［００７９］

また、時刻Ｔ４０から時刻Ｔ４１までの間において、配線ＢＧＬには、電位V_{BGER}が供給される。電位V_{BGER}は、非常に高い電位とする。トランジスタＳＴｒの第２端子とトランジスタＢＴｒの第１端子との間はフローティング状態であり、配線ＢＧＬの電位がV_{BGER}となることで、メモリセルＭＣ［１］乃至メモリセルＭＣ［ｎ］が有する全てのセルトランジスタＣＴｒのチャネル形成領域の電位が容量結合によって昇圧される。そのため、各セルトランジスタＣＴｒの電荷蓄積層に注入されている電子が、チャネル形成領域側に引き抜かれる。

［００８０］

時刻Ｔ４１から時刻Ｔ４２までの間において、配線ＢＳＬ及び配線ＳＳＬには、高レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに高レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオン状態となる。

［００８１］

時刻Ｔ４２から時刻Ｔ４３までの間において、配線ＢＬには、高レベル電位が供給される。これによって、セルトランジスタＣＴｒの電荷蓄積層から引き抜いた電子を、配線ＢＬに流すことができる。

［００８２］

時刻Ｔ４３から時刻Ｔ４４までの間において、配線ＢＬには、低レベル電位が供給される。続いて、時刻Ｔ４４において、配線ＢＳＬ及び配線ＳＳＬには、低レベル電位が供給される。これにより、トランジスタＢＴｒ及びトランジスタＳＴｒのそれぞれのゲートに低レベル電位が印加されるため、トランジスタＢＴｒ及びトランジスタＳＴｒがオフ状態となる。最後に、時刻Ｔ４５以降において、配線ＢＧＬには、低レベル電位が供給される。

［００８３］

以上の動作のとおり、配線ＢＧＬを用いることでも、図１（Ｂ）に示した半導体装置から、データを消去することができる。

［００８４］

＜構造例と作製方法例＞

以下、本実施の形態の半導体装置の構造の理解を助けるため、その作製方法について説明する。

［００８５］

図６（Ａ）、（Ｂ）、（Ｃ）は、図２又は図３の半導体装置の一部を示した模式図の一例である。図６（Ａ）は当該半導体装置の一部の斜視図を示しており、図６（Ｂ）は、図６（Ａ）の上面図を示している。更に、図６（Ｃ）は、図６（Ｂ）の一点鎖線Ａ１－Ａ２に対応する断面図を示している。

［００８６］

当該半導体装置は、配線ＷＬと、絶縁体（図６ではハッチングを図示していない領域）と、が積層された構造体を有する。

［００８７］

当該構造体に対して、絶縁体と、配線ＷＬと、を一括で貫通するような開口部が形成されている。そして、配線ＷＬが貫通された領域ＡＲにメモリセルＭＣを設けるために、当該開口部に絶縁体と、導電体と、半導体と、が形成されている。なお、当該導電体は、メモリセルＭＣのセルトランジスタＣＴｒのソース電極、又はドレイン電極として機能し、当該半導体は、セルトランジスタＣＴｒのチャネル形成領域として機能する。また、当該導電体を形成せず、当該半導体においてチャネル形成領域と低抵抗領域を形成して、当該低抵抗領域をセルトランジスタＣＴｒのソース電極、又はドレイン電極として適用してもよい。図６（Ａ）、（Ｂ）、（Ｃ）では、該開口部に絶縁体と、導電体と、半導体と、が形成されている領域を、領域ＨＬとして図示している。特に、図６（Ａ）において、構造体の内部に有する領域ＨＬを破線で図示している。なお、メモリセルＭＣが有するトランジスタにバックゲートが設けられている場合、領域ＨＬが有する当該導電体は、当該バックゲートと電気的に接続するための配線ＢＧＬとしても機能してよい。

［００８８］

つまり、図６（Ｃ）において、図１（Ａ）、（Ｂ）のいずれかに示した半導体装置は領域ＳＤ１に形成され、図２、又は図３に示した半導体装置は領域ＳＤ２に形成されていることを示している。

［００８９］

ところで、配線ＷＬが露出している領域ＴＭは、配線ＷＬに電位を与えるための接続端子として機能する。つまり、領域ＴＭに配線を電気的に接続することによって、セルトランジスタＣＴｒのゲートに電位を与えることができる。

［００９０］

なお、領域ＴＭの形状は、図６に示した構成例に限定されない。本発明の一態様の半導体装置の構

成は、例えば、図６に示す領域ＴＭ上に絶縁体が形成され、当該絶縁体に開口部が設けられ、当該開口部を埋めるように導電体ＰＧが形成された構成としてもよい（図７（Ａ）、（Ｂ）、（Ｃ））。なお、導電体ＰＧ上には、配線ＥＲが形成されており、これによって、配線ＥＲと、配線ＷＬと、が電気的に接続される。なお、図７（Ａ）において、構造体の内部に設けられる導電体ＰＧを破線で図示しており、領域ＨＬの破線を省略している。

［００９１］

以下の作製方法例１、及び作製方法例２では、領域ＡＲにメモリセルＭＣを形成するための方法について説明する。

［００９２］

＜＜作製方法例１＞＞

図８乃至図１９は、図１（Ａ）に示す半導体装置の作製例を説明するための断面図、上面図、斜視図であり、特に、断面図は、セルトランジスタＣＴｒのチャネル長方向について示している。また、図８乃至図１９の断面図、上面図、及び斜視図では、図の明瞭化のために一部の要素を省いて図示している。

［００９３］

図８（Ａ）に示すように、図１（Ａ）の半導体装置は、基板（図示しない。）の上方に配置された絶縁体１０１Ａと、絶縁体１０１Ａ上に配置された犠牲層１４１Ａと、犠牲層１４１Ａ上に配置された絶縁体１０１Ｂと、絶縁体１０１Ｂ上に配置された犠牲層１４１Ｂと、犠牲層１４１Ｂ上に配置された絶縁体１０１Ｃと、を有する。なお、以後、これらの複数の犠牲層及び複数の絶縁体を有する積層体（以後の工程によっては、導電体等も含まれる。）を、積層体１００と記載する。

［００９４］

なお、当該基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［００９５］

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、

５μｍ以上７００μｍ以下、好ましくは１０μｍ以上５００μｍ以下、さらに好ましくは１５μｍ以上３００μｍ以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

［００９６］

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が１×１０$^{-3}$／Ｋ以下、５×１０$^{-5}$／Ｋ以下、または１×１０$^{-5}$／Ｋ以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

［００９７］

本実施の形態で説明する作製例では、その工程中に加熱処理が含まれるため、基板としては、耐熱性の高い、且つ熱膨張率の低い材料を用いることが好ましい。

［００９８］

犠牲層１４１Ａ、犠牲層１４１Ｂとしては、様々な材料を適用することができる。例えば、絶縁体として、窒化シリコン、酸化シリコン、酸化アルミニウムなどを用いてもよい。または、半導体として、シリコン、ガリウム、ゲルマニウムなどを用いてもよい。または、導体として、アルミニウム、銅、チタン、タングステン、タンタルなどを用いてもよい。つまり、犠牲層１４１Ａ、犠牲層１４１Ｂとしては、他の部分で用いられる材料と、エッチング選択比が取れるような材料を用いればよい。

［００９９］

絶縁体１０１Ａ乃至絶縁体１０１Ｃとして、水、又は水素などの不純物濃度が低減されている材料であることが好ましい。例えば、絶縁体１０１Ａ乃至絶縁体１０１Ｃの水素の脱離量は、昇温脱離ガス分析法（ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ））において、５０℃以上５００℃以下までの範囲において、水素分子に換算した脱離量が、絶縁体１０１Ａ乃至絶縁体１０１Ｃのいずれか一の面積当たりに換算して、２×１０^{15}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下、好ましくは１×１０^{15}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下、より好ましくは５×１０^{14}ｍｏｌｅｃｕｌｅｓ／ｃｍ^{2}以下であればよい。また、絶縁体１０１Ａ乃至絶縁体１０１Ｃは、加熱により酸素が放出される絶縁体を用いて形成してもよい。但し、絶縁体１０１Ａ乃至絶縁体１０１Ｃに適用できる材料は、上述の記載に限定されない。

［０１００］

絶縁体１０１Ａ乃至絶縁体１０１Ｃとしては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、タンタルなどから一又は複数選ばれた材料を含む絶縁体を、単層で、又は積層で用いることができる場合がある。また、例えば、酸化シリコン又は酸化窒化シリコンを含む材料を用いることができる場合がある。但し、絶縁体１０１Ａ乃至絶縁体１０１Ｃに適用できる材料は、上述の記載に限定されない。

［０１０１］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１０２］

次の工程では、図８（Ｂ）に示すとおり、レジストマスク形成とエッチング処理などによって、図８（Ａ）に示す積層体１００に対して、開口部１９１が形成される。

［０１０３］

レジストマスクの形成は、例えば、リソグラフィ法、印刷法、インクジェット法等を適宜用いて行うことができる。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる場合がある。また、エッチング処理については、ドライエッチング法でもウェットエッチング法でもよく、両方を用いてもよい。

［０１０４］

そして、図９（Ａ）に示す工程では、エッチング処理などを用いて、開口部１９１の側面に有する絶縁体１０１Ａ、絶縁体１０１Ｂ、絶縁体１０１Ｃのそれぞれ一部が除去されて、当該側面部に凹部１９５Ａ、凹部１９５Ｂ、凹部１９５Ｃが形成される。ここでは、絶縁体１０１Ａ、絶縁体１０１Ｂ、絶縁体１０１Ｃとしては、積層体１００のうち、絶縁体１０１Ａ、絶縁体１０１Ｂ、絶縁体１０１Ｃが選択的に除去されるような材料（犠牲層１４１Ａ、犠牲層１４１Ｂよりもエッチングレートが高い材料）が適用されているものとする。

［０１０５］

また、図８（Ｂ）に示す半導体装置の作製工程において、開口部１９１を形成した時に、自動的に凹部１９５Ａ、凹部１９５Ｂ、凹部１９５Ｃが形成できる場合がある。

［０１０６］

次の工程では、図９（Ｂ）に示すとおり、図９（Ａ）に示す開口部１９１の側面、及び凹部１９５Ａ、凹部１９５Ｂ、凹部１９５Ｃに、導電体１３５が成膜される。つまり、絶縁体１０１Ａ乃至絶縁体１０１Ｃのそれぞれの側面に導電体１３５が成膜される。

［０１０７］

後述する半導体１５１がシリコンを含む材料である場合、導電体１３５としては、例えば、後述する導電体１３４に適用できる材料であり、かつ導電体１３４に適用できる材料に半導体１５１に拡散させるための不純物（元素、又はイオン）が含まれていることが好ましい。詳しくは後述するが、本作製方法例において、セルトランジスタＣＴｒをｎ型トランジスタとして構成する場合、当該不純物としてｎ型不純物（ドナー）を用いる。ｎ型不純物としては、例えば、リン、ヒ素などを用いることができる。また、本作製方法例において、セルトランジスタＣＴｒをｐ型トランジスタとする場合、当該不純物としてｐ型不純物（アクセプタ）を用いる。ｐ型不純物としては、例えば、ボロン、アルミニウム、ガリウムなどを用いることができる。又は、シリサイドを形成できるような材料でもよい。例えば、ニッケル、コバルト、モリブデン、タングステン、チタンなどでもよい。

［０１０８］

又は、導電体１３５としては、導電率が高い材料でもよい。例えば、アルミニウム、銅、銀などで

もよい。または、導電体１３５としては、耐熱性が高い材料でもよい。例えば、チタン、モリブデン、タングステン、タンタルなどでもよい。

［０１０９］

また、後述する半導体１５１が金属酸化物を含む材料である場合、導電体１３５としては、例えば、導電体１３５の形成面上の領域に成膜された半導体１５１を低抵抗化させる役割を有する材料であることが好ましい。半導体１５１の低抵抗化については後述するが、導電体１３５としては、抵抗値が、２．４×１０^{3}［Ω／ｓｑ］以下、好ましくは１．０×１０^{3}［Ω／ｓｑ］以下である金属、金属元素を有する窒化物、または金属元素を有する酸化物を用いる。当該導電材料として、例えば、アルミニウム、ルテニウム、チタン、タンタル、タングステン、クロムなどの金属膜、Ａｌ－Ｔｉ窒化物、窒化チタンなどの金属元素を有する窒化膜、またはインジウム錫酸化物、Ｉｎ－Ｇａ－Ｚｎ酸化物などの金属元素を有する酸化膜を用いることができる。

［０１１０］

また、半導体１５１を低抵抗化させる役割を果たす材料であれば、導電体１３５は上述した導電材料に限定されない。例えば、導電体１３５の代替として、窒化シリコンなどの絶縁体を用いることができる場合がある。導電体１３５の代替として、窒化シリコンなどの絶縁体を用いた場合の半導体装置については、後述する。

［０１１１］

次の工程では、図１０（Ａ）に示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部１９５Ａ、凹部１９５Ｂ、凹部１９５Ｃのみに導電体１３５が残るように、開口部１９１に含まれる導電体１３５が除去される。このとき、犠牲層１４１Ａ、犠牲層１４１Ｂが露出する程度にまで導電体１３５の除去が行われる。これによって、導電体１３５ａ、導電体１３５ｂ、導電体１３５ｃが形成される。

［０１１２］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０１１３］

次に、図１０（Ｂ）に示すとおり、開口部１９１の側面に対して、導電体１３５ａ、導電体１３５ｂ、導電体１３５ｃ、犠牲層１４１Ａ、犠牲層１４１Ｂを覆うように半導体１５１を形成する。

［０１１４］

半導体１５１として、シリコンを含む材料が適用されている場合、半導体１５１は導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に接することで、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に含まれる不純物（元素、イオンなど）が半導体１５１に拡散する場合がある。また、このとき、状況に応じて、又は、場合によっては、積層体１００に対して熱処理を行うのが好ましい。つまり、半導体１５１の、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に接する表面、及び界面近傍に不純物領域が形成される。

［０１１５］

導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に含まれている不純物がｎ型不純物（ドナー）の場合、半導体１５１の領域１５１ｂ、又は半導体１５１の導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）との界面近傍にｎ型の不純物領域が形成される場合がある。一方、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に含まれている不純物がｐ型不純物（アクセプタ）の場合、半導体１５１の領域１５１ｂ、又は半導体１５１の導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）と

の界面近傍にｐ型の不純物領域が形成される場合がある。つまり、これによって、半導体１５１の領域１５１ｂ、又は半導体１５１の導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）との界面近傍にキャリアが形成されて、領域１５１ｂが低抵抗化される場合がある。

［０１１６］

また、熱処理を行うことで、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に含まれる導電性材料と半導体１５１に含まれる成分によって、半導体１５１の導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）との界面近傍に金属シリサイドが形成される場合がある。この場合、金属シリサイドとして、図１０（Ｂ）に化合物１６１Ａ（化合物１６１Ｂ、化合物１６１Ｃ）を図示している。また、半導体１５１の、化合物１６１Ａ（化合物１６１Ｂ、化合物１６１Ｃ）との界面近傍に不純物領域が形成される場合がある。

［０１１７］

半導体１５１として、金属酸化物を含む材料が適用されている場合、半導体１５１と導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）が接した状態で熱処理を行うことで、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に含まれる成分と半導体１５１に含まれる成分とによって、化合物１６１Ａ（化合物１６１Ｂ、化合物１６１Ｃ）が形成されて、半導体１５１の領域１５１ｂが低抵抗化される場合がある。なお、少なくとも半導体１５１の、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に接する表面、及び界面近傍が低抵抗化されていればよい。これは、半導体１５１と導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）の界面、又は当該界面近傍に位置する半導体１５１中の酸素の一部が導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）に吸収され、半導体１５１に酸素欠損が形成されて、領域１５１ｂが低抵抗化されるからと考えられる。

［０１１８］

また、半導体１５１と、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）と、が接した状態で、窒素を含む雰囲気下において熱処理を行ってもよい。当該熱処理により、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）から、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）の成分である金属元素が半導体１５１へ、または半導体１５１の成分である金属元素が導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）へと、拡散し、半導体１５１と、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）によって金属化合物が形成される場合がある。なお、その際、半導体１５１の金属元素と、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）の金属元素とが、合金化してもよい。半導体１５１の金属元素と、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）の金属元素とが、合金化することで、金属元素は、比較的安定な状態となるため、信頼性の高い半導体装置を提供することができる。

［０１１９］

また、半導体１５１中の水素は、領域１５１ｂに拡散し、領域１５１ｂに存在する酸素欠損の中に入った場合、比較的安定な状態となる。また、領域１５１ａに存在する酸素欠損中の水素は、２５０℃以上の熱処理によって、酸素欠損から抜け出し、領域１５１ｂに拡散し、領域１５１ｂに存在する酸素欠損の中に入り、比較的安定な状態となる。従って、熱処理によって、領域１５１ｂはより低抵抗化され、領域１５１ａは高純度化（水、水素などの不純物の低減）されて、より高抵抗化される。

［０１２０］

つまり、上述の作製方法によって、半導体１５１の領域１５１ｂは低抵抗領域として形成することができ、半導体１５１の領域１５１ａはチャネル形成領域として形成することができる。なお、低抵

抗領域である領域１５１ｂは、セルトランジスタＣＴｒにおける第１端子、及び／又は第２端子に相当するため、上述の作製方法によって、直列に電気的に接続したセルトランジスタ間の電気抵抗を低くすることができる。

［０１２１］

なお、上述の通り、半導体１５１に金属酸化物を含む材料が適用されている場合、当該金属酸化物については、実施の形態３で説明する。

［０１２２］

次の工程では、図１１（Ａ）に示すとおり、残りの開口部１９１が埋まるように、半導体１５１の形成面に絶縁体１０２が成膜される。

［０１２３］

絶縁体１０２としては、一例としては、酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体１０２として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体１０２を形成することで、半導体１５１の領域１５１ａから酸素が脱離して、当該酸素が絶縁体１０２に拡散するのを防ぐことができる。これにより、半導体１５１の領域１５１ａから酸素が脱離したことによる、半導体１５１の領域１５１ａの低抵抗化を防ぐことができる。

［０１２４］

また、絶縁体１０２としては、一例としては、酸素の透過する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体１０２に酸素をドーピングし、酸素を拡散させることにより、半導体１５１に酸素を供給することができる。その結果、半導体１５１の領域１５１ａの低抵抗化を防ぐことができる。

［０１２５］

また、絶縁体１０２を複数積層して用いてもよい。例えば、図１１（Ｂ）に示すように、半導体１５１と接する絶縁体１０２Ａには、酸化シリコンを用い、絶縁体１０２Ａと接する絶縁体１０２Ｂには、酸化アルミニウムや、酸化ハフニウムなどを用いてもよい。例えば、酸化アルミニウムをスパッタ法により成膜した場合、酸素が絶縁体１０２Ａに供給される。絶縁体１０２Ａに供給された酸素は、半導体１５１に供給される。その結果、半導体１５１の領域１５１ａの低抵抗化を防ぐことができる。

［０１２６］

また、絶縁体１０２としては、例えば、水、水素などの不純物などの透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体１０２として、酸化アルミニウムなどを用いることができる。ただし、絶縁体１０２に適用できる材料は上述した材料に限定せず、絶縁体１０２としては、例えば、水、水素などの不純物濃度が低減された膜として、上述した絶縁体１０１Ａ乃至絶縁体１０１Ｃに適用できる材料を用いることができる。

［０１２７］

ところで、半導体装置が有するセルトランジスタにバックゲートを設ける場合、図１１（Ａ）、（Ｂ）でなく、図１２に示す工程を行えばよい。図１２に示す工程では、半導体１５１の形成面に絶縁体１０２が成膜され、残りの開口部１９１が埋まるように導電体１３４が成膜される。

［０１２８］

このとき、導電体１３４は、図１（Ｂ）、図３に示す配線ＢＧＬとして機能する。

［０１２９］

導電体１３４としては、例えば、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を１種以上含む材料を用いることができる。また、導電体１３４としては、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドも用いることができる。

［０１３０］

また、導電体１３４として、例えば、半導体１５１に適用可能な金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いてもよい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いることができる。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いることができる。また、窒素を含むインジウムガリウム亜鉛酸化物を用いることができる。このような材料を用いることで、周辺の絶縁体などから混入する水素を捕獲することができる場合がある。

［０１３１］

また、導電体１３４としては、例えば、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。

［０１３２］

また、導電体１３４としては、上述した材料を複数積層した構成としてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、導電体の周辺に接する絶縁体として過剰酸素領域を有する絶縁体を適用することで、導電体の絶縁体と接する領域において、酸素が拡散する場合がある。これにより、金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を形成することができる場合がある。また、同様に、導電体の周辺に接する絶縁体として過剰窒素領域を有する絶縁体を適用することで、導電体の絶縁体と接する領域において、窒素が拡散する場合がある。これにより、金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造を形成することができる場合がある。

［０１３３］

なお、図１２に示す絶縁体１０２は、複数の絶縁体からなる積層の構成としてもよい。複数の絶縁体からなる積層の構成としては、例えば、図１１（Ｂ）で述べた絶縁体１０２Ａ、絶縁体１０２Ｂの積層の構成としてもよい（図示しない。）。

［０１３４］

次の工程では、図１３（Ａ）に示すとおり、積層体１００に対して、レジストマスク形成とエッチング処理などを行うことによって、スリット１９２が形成される。なお、本工程では、スリットではなく、代わりに開口部を形成してもよい。

［０１３５］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０１３６］

そして、図１３（Ｂ）に示す工程では、エッチング処理などを用いて、スリット１９２の側面から犠牲層１４１Ａ、犠牲層１４１Ｂが除去されて、積層体１００に凹部１９６Ａ、凹部１９６Ｂが形成される。

［０１３７］

なお、凹部１９６Ａ、凹部１９６Ｂは、図１３（Ａ）に示す半導体装置の作製工程の段階で、スリット１９２と一括で形成できる場合がある。

［０１３８］

ところで、半導体１５１としてシリコンを有する材料を適用している場合、スリット１９２、凹部１９６Ａ、凹部１９６Ｂの形成後に、凹部１９６Ａ、凹部１９６Ｂに露出している半導体１５１の領域１５１ａに対して、スリット１９２から不純物を供給する処理を行ってもよい。図１４（Ａ）では、不純物の供給処理１０を領域１５１ａに対して行っている工程を示している。なお、供給処理１０を行っている最中は、半導体装置に対して熱処理を行うのが好ましい。なお、セルトランジスタＣＴｒをｎ型トランジスタとする場合、半導体１５１の領域１５１ａをｐ型のチャネル形成領域にするため、不純物としてｐ型不純物（アクセプタ）を用いる。ｐ型不純物としては、例えば、ボロン、アルミニウム、ガリウムなどを用いることができる。また、セルトランジスタＣＴｒをｐ型トランジスタとする場合、半導体１５１の領域１５１ａをｎ型のチャネル形成領域にするため、不純物としてｎ型不純物（ドナー）を用いる。ｎ型不純物としては、例えば、リン、ヒ素などを用いることができる。

［０１３９］

また、半導体１５１として金属酸化物を有する材料を適用している場合、スリット１９２、凹部１９６Ａ、凹部１９６Ｂの形成後に、凹部１９６Ａ、凹部１９６Ｂに露出している半導体１５１の領域１５１ａに対して、スリット１９２から酸素を供給する処理を行ってもよい。この場合、図１４（Ａ）に示す供給処理１０は、酸素の供給処理となる。酸素を供給する処理としては、例えば、減圧状態で酸素を含むプラズマ処理、酸素雰囲気下における熱処理などが挙げられる。特に、酸素を含むプラズマ処理としては、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。

［０１４０］

また、上述の通り、半導体１５１に不純物や酸素などを供給する処理において、スリット１９２から当該供給を行うのではなく、図１４（Ｂ）に示すように、端子取り出し部から不純物や酸素などの供給を行ってもよい。図１４（Ｂ）は、図１４（Ａ）に示す構造体の斜視図であり、図６、又は図７に示す半導体装置の作製工程の途中を示している。

［０１４１］

次の工程では、図１５（Ａ）に示すとおり、図１３（Ｂ）に示すスリット１９２の側面（絶縁体１０１Ａ乃至絶縁体１０１Ｃのそれぞれの側面）、凹部１９６Ａ、凹部１９６Ｂに、絶縁体１０３が成膜される。

［０１４２］

絶縁体１０３は、セルトランジスタＣＴｒのトンネル絶縁膜として機能する。

［０１４３］

絶縁体１０３としては、例えば、酸化シリコン、又は酸化窒化シリコンを用いることが好ましい。

また、絶縁体１０３としては、例えば、酸化アルミニウム、酸化ハフニウム、又は、アルミニウム及びハフニウムを有する酸化物などを用いてもよい。また、絶縁体１０３としては、これらを積層した絶縁体としてもよい。

［０１４４］

また、半導体１５１が金属酸化物を含む材料である場合、絶縁体１０３としては、上述の材料に、絶縁体１０２に適用できる材料を積層した絶縁体とすることができる。特に、絶縁体１０３として、酸素、水、水素などの不純物の透過を抑制する機能を有する材料を用いることで、半導体１５１への水、又は水素の拡散、半導体１５１から酸素の脱離を防ぐことができる場合がある。

［０１４５］

次の工程では、図１５（Ｂ）に示すとおり、図１５（Ａ）に示すスリット１９２の側面、及び形成されている凹部に、絶縁体１１１が成膜される。つまり、絶縁体１０３の形成面に絶縁体１１１が形成される。

［０１４６］

特に、絶縁体１１１が形成された領域のうち、絶縁体１０３を介して、半導体１５１の領域１５１ａと重畳する領域は、セルトランジスタＣＴｒの電荷蓄積層として機能する。

［０１４７］

絶縁体１１１としては、例えば、窒化シリコンや、窒化酸化シリコンを用いることができる。ただし、絶縁体１１１に適用できる材料は、これらに限定されない。

［０１４８］

次の工程では、図１６（Ａ）に示すとおり、図１５（Ａ）に示すスリット１９２の側面、及び形成されている凹部に、絶縁体１０４が成膜される。つまり、絶縁体１１１の形成面に絶縁体１０４が形成される。

［０１４９］

絶縁体１０４は、セルトランジスタＣＴｒのゲート絶縁膜として機能する。

［０１５０］

絶縁体１０４としては、例えば、酸化シリコンや、酸化窒化シリコンを用いることが好ましい。また、絶縁体１０４としては、例えば、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを有する酸化物などを用いることができる。また、絶縁体１０４としては、これらを積層した絶縁体としてもよい。そして、絶縁体１０４は、絶縁体１０３よりも厚いことが好ましい。絶縁体１０４を絶縁体１０３よりも厚くすることで、半導体１５１から、絶縁体１０３を介して、絶縁体１１１に電荷の移動を行わせることができる。

［０１５１］

次の工程では、図１６（Ｂ）に示すとおり、図１６（Ａ）に示すスリット１９２の側面、及び形成されている凹部に、導電体１３６が成膜される。つまり、絶縁体１０４の形成面に導電体１３６が形成される。

［０１５２］

導電体１３６としては、例えば、前述した導電体１３４に適用できる材料を用いることができる。

［０１５３］

次の工程では、図１７（Ａ）に示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部のみに導電体１３６が残るように、スリット１９２に含まれる導電体１３６が除去され

る。これによって、導電体１３６ａ、導電体１３６ｂが形成される。なお、このとき、絶縁体１１１がスリット１９２に露出しない程度であれば、絶縁体１０４の一部が除去されていてもよい。

［０１５４］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０１５５］

ところで、導電体１３６ａ（導電体１３６ｂ）は、図１（Ａ）、（Ｂ）に示すセルトランジスタＣＴｒのゲート電極、及び配線ＷＬとして機能する。つまり、図１７（Ａ）に示す領域１８１Ａ（領域１８１Ｂ）において、セルトランジスタＣＴｒが形成されている。

［０１５６］

次の工程では、図１７（Ｂ）に示すとおり、スリット１９２が埋まるように絶縁体１０５が成膜される。

［０１５７］

絶縁体１０５としては、例えば、上述した絶縁体１０２に適用できる材料を用いることができる。

［０１５８］

以上のとおり、図８（Ａ）から図１７（Ｂ）までの工程を行うことにより、図１（Ａ）に示した半導体装置を作製することができる。

［０１５９］

図１８（Ａ）、（Ｂ）には、それぞれ図１７（Ｂ）に示す半導体装置の一点鎖線Ｂ１－Ｂ２、一点鎖線Ｂ３－Ｂ４における上面図を示している。また、図１９（Ａ）には、図６に示す構成例のように、複数の開口部１９１を設けた場合の半導体装置の上面図を示している。なお、当該上面図は、図１７（Ｂ）に示す半導体装置の一点鎖線Ｂ１－Ｂ２における上面図で、開口部１９１を複数設けた場合に展開した図となっている。図１９（Ａ）に示す半導体装置は、複数のスリット１９２を有し、隣り合うスリット１９２の間に開口部１９１が設けられている。なお、図１３に示す工程を説明した通り、スリット１９２でなく、代わりに開口部を形成してもよい。図１９（Ｂ）は、スリット１９２の代わりに開口部１９３を設けて、開口部１９３に絶縁体１０３乃至絶縁体１０５、絶縁体１１１を形成した構成となっている。なお、開口部１９３の位置は、図１９（Ａ）のスリット１９２のように一方向の列に沿って設けるのでなく、異なる二方向以上の列に沿って設けてもよい。又は、開口部１９３の位置は、上述のような規則性に依らずに形成してもよい。

［０１６０］

本発明の一態様は、図１７（Ｂ）に示した半導体装置の構成例に限定されない。本発明の一態様は、場合によって、状況に応じて、又は、必要に応じて、図１７（Ｂ）に示す半導体装置を適宜変更した構成とすることができる。

［０１６１］

例えば、本発明の一態様は、前述したとおり、図１（Ｂ）に示すようにセルトランジスタＣＴｒにバックゲートが設けられた半導体装置とすることもできる。図１（Ｂ）に示す半導体装置を作製する場合、図１（Ａ）を作製する過程において、図１１（Ａ）に示す工程の代わりに図１２に示す工程を行えばよい。図１１（Ａ）に示す工程の代わりに図１２に示す工程を行うことにより、図２０に示す半導体装置を構成することができる。

［０１６２］

なお、図２１（Ａ）、（Ｂ）には、それぞれ図２０に示す半導体装置の一点鎖線Ｂ１－Ｂ２、一点鎖

線Ｂ３－Ｂ４における上面図を示している。図２０に示す半導体装置は、導電体１３４を形成した構成例となっているため、図２１（Ａ）、（Ｂ）に示す上面図は、図１８（Ａ）（Ｂ）に示す絶縁体１０２の内側に導電体１３４を形成した構成となっている。

［０１６３］

また、例えば、本発明の一態様は、半導体１５１として金属酸化物を有する材料を用いた場合、図２２に示す半導体装置のように半導体１５１を３層構造とすることができる。図２２に示す半導体装置は半導体１５１を３層構造とした構成となっており、図１（Ａ）を作製する過程において、図１０（Ｂ）に示す工程で、半導体１５１として半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃを順に形成することによって構成することができる。

［０１６４］

なお、図２３（Ａ）（Ｂ）には、それぞれ図２２に示す半導体装置の一点鎖線Ｂ１－Ｂ２、一点鎖線Ｂ３－Ｂ４における上面図を示している。図２２に示す半導体装置は、半導体層が外側から半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃが順に成膜された３層構造の構成例となっているため、図２３（Ａ）（Ｂ）に示す上面図は、図１８（Ａ）（Ｂ）に示す半導体１５１を３層構造とした構成となっている。

［０１６５］

半導体１５２Ａは、絶縁体１０３、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）と接するように設けられるのが好ましく、半導体１５２Ｃは、絶縁体１０２と接するように設けられるのが好ましい。このとき、半導体１５２Ａ及び半導体１５２Ｃは、半導体１５２Ｂに対して、相対的にエネルギーギャップの広い酸化物を用いることが好ましい。ここで、エネルギーギャップの広い酸化物をワイドギャップ、エネルギーギャップの狭い酸化物をナローギャップと呼ぶことがある。

［０１６６］

半導体１５２Ａ及び半導体１５２Ｃをナローギャップとし、半導体１５２Ｂをワイドギャップとする場合、半導体１５２Ａ及び半導体１５２Ｃの伝導帯下端のエネルギーが、半導体１５２Ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、半導体１５２Ａ及び半導体１５２Ｃの電子親和力が、半導体１５２Ｂの電子親和力より小さくなることが好ましい。

［０１６７］

また、半導体１５２Ａ乃至半導体１５２Ｃは、各金属原子の原子数比が異なる組み合わせにすることが好ましい。具体的には、半導体１５２Ａ及び半導体１５２Ｃに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、半導体１５２Ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、半導体１５２Ａ及び半導体１５２Ｃに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、半導体１５２Ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、半導体１５２Ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、半導体１５２Ａ及び半導体１５２Ｃに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。

［０１６８］

半導体１５２Ａ及び半導体１５２Ｃには、例えばＩｎ：Ｇａ：Ｚｎ＝１：３：４、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２、またはＩｎ：Ｇａ：Ｚｎ＝１：１：１の組成およびその近傍の組成を有する金属酸化物を用いることができる。また、半導体１５２Ｂには、例えばＩｎ：Ｇａ：Ｚｎ＝４：２：３から４．１、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、またはＩｎ：Ｇａ：Ｚｎ＝５：１：６の組成およびその近

傍の組成を有する金属酸化物を用いることができる。これらの半導体１５２Ａ乃至半導体１５２Ｃを上記の原子数比の関係を満たして組み合わせることが好ましい。例えば、半導体１５２Ａ及び半導体１５２Ｃを、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４の組成およびその近傍の組成を有する金属酸化物、半導体１５２Ｂを、Ｉｎ：Ｇａ：Ｚｎ＝４：２：３から４．１の組成およびその近傍の組成を有する金属酸化物とするのが好ましい。なお、上記組成は、基体上に形成された酸化物中の原子数比、またはスパッターゲットにおける原子数比を示す。

［０１６９］

また、半導体１５２Ａとして、後述するＣＡＡＣ－ＯＳを用い、半導体１５２Ｂとして、ＣＡＣ－ＯＳを用いることが好ましい。半導体１５２Ａ及び半導体１５２Ｃとして、ＣＡＡＣ－ＯＳを用いる場合、ｃ軸は、図２２において、半導体１５２Ａ及び半導体１５２Ｃの形成面に対して垂直方向に向かうように配向することが好ましい。

［０１７０］

ここで、半導体１５２Ａ（半導体１５２Ｃ）と半導体１５２Ｂの接合部において、伝導帯下端はなだらかに変化する。換言すると、半導体１５２Ａ（半導体１５２Ｃ）と半導体１５２Ｂの接合部における伝導帯下端は、連続的に変化または連続接合するともいうことができる。このようにするためには、半導体１５２Ａ（半導体１５２Ｃ）と半導体１５２Ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０１７１］

具体的には、半導体１５２Ａ（半導体１５２Ｃ）と半導体１５２Ｂが、酸素以外に共通の元素を有する（主成分とする。）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、半導体１５２ＢがＩｎ－Ｇａ－Ｚｎ酸化物の場合、半導体１５２Ａ（半導体１５２Ｃ）として、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、酸化ガリウムなどを用いるとよい。これにより、半導体１５２Ａと半導体１５２Ｂとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、セルトランジスタは高いオン電流を得られる場合がある。

［０１７２］

なお、図２２に示す半導体装置は、図１７（Ｂ）における半導体１５１を３層構造としたが、２層構造、又は４層以上の構造としてもよい。

［０１７３］

また、例えば、図１７（Ｂ）に示す半導体装置では、全ての絶縁体１０３の形成面上に絶縁体１１１を有する構成としたが、本発明の一態様は、セルトランジスタＣＴｒが有する電荷蓄積層毎に絶縁体１１１を分割した構成とすることができる。図２４（Ａ）では、図１５（Ｂ）に示す工程の後に、レジストマスク形成とエッチング処理などを行って、前述した凹部１９６Ａ、凹部１９６Ｂの絶縁体１０３の形成面上のみに絶縁体１１１が残るように、スリット１９２に含まれる絶縁体１１１を除去する工程を示している。また、場合によって、又は、状況に応じて、絶縁体１１１の除去工程において、図２４（Ｂ）に示すとおり、スリット１９２に露出される絶縁体１０３の領域も除去してもよい。図２４（Ａ）の次の工程では、図１６（Ａ）から図１７（Ｂ）までと同様の工程を行うことによって、図２５（Ａ）に示す半導体装置を構成することができる。

［０１７４］

なお、図２５（Ｂ）には、図２５（Ａ）に示す半導体装置の一点鎖線Ｂ１－Ｂ２における上面図を示している。図２５（Ａ）に示す半導体装置は、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）

を介して、半導体１５１の領域１５１ａと重畳する領域において、絶縁体１１１が除去されている構成となっているため、図２５（Ｂ）に示す上面図は、図１８（Ｂ）に示す上面図において絶縁体１０３と絶縁体１０４の間の絶縁体１１１がない構成となっている。ところで、図２５（Ａ）に示す一点鎖線Ｂ３－Ｂ４における上面図は、図１８（Ｂ）とほぼ同様の構成となる場合がある。

［０１７５］

また、例えば、本発明の一態様は、セルトランジスタＣＴｒの信頼性を向上するためとして、セルトランジスタＣＴｒのゲート電極の構成を、図１７（Ｂ）に示す構成から変更してもよい。図２６（Ａ）（Ｂ）、図２７（Ａ）はその半導体装置の作製方法の一例を示している。図２６（Ａ）では、図１６（Ａ）において、スリット１９２の側面、及び凹部１９６Ａ、凹部１９６Ｂに成膜されている絶縁体１０４の形成面に、半導体１５３が成膜されている。

［０１７６］

半導体１５３としては、例えば、実施の形態３で説明する金属酸化物が含まれている材料を適用するものとする。但し、半導体１５３に適用できる材料は、これに限定されない。例えば、半導体１５３としては、金属酸化物以外の材料を適用できる場合がある。又は、例えば、半導体１５３の代替として、導電体、絶縁体などを適用できる場合がある。

［０１７７］

次の工程では、図２６（Ｂ）に示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部１９６Ａ、凹部１９６Ｂの一部に半導体１５３が残るように、凹部１９６Ａ、凹部１９６Ｂの残り一部の半導体１５３と、スリット１９２に含まれる半導体１５３と、が除去される。これによって、半導体１５３ａ、半導体１５３ｂが形成される。

［０１７８］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０１７９］

この後は、図１６（Ｂ）から図１７（Ｂ）までと同様の工程を行うことによって、図２７（Ａ）に示す半導体装置を構成することができる。

［０１８０］

なお、図２７（Ｂ）には、図２７（Ａ）に示す半導体装置の一点鎖線Ｂ３－Ｂ４における上面図を示している。図２７（Ａ）に示す半導体装置は、半導体１５１の領域１５１ａにおいて、導電体１３６ａ（導電体１３６ｂ）と絶縁体１０４との間に半導体１５３ａ（半導体１５３ｂ）が含まれている構成となっているため、図２７（Ｂ）に示す上面図は、導電体１３６ｂと絶縁体１０４との間に半導体１５３ｂが含まれている構成となっている。ところで、図２７（Ａ）に示す一点鎖線Ｂ１－Ｂ２における上面図は、図１８（Ａ）とほぼ同様の構成となる場合がある。

［０１８１］

半導体１５３ａ（半導体１５３ｂ）は絶縁体１０４に接することで、絶縁体１０４に含まれる水素、水などの不純物が半導体１５３ａ（半導体１５３ｂ）に拡散することがある。また、半導体１５３ａ（半導体１５３ｂ）は導電体１３６ａ（導電体１３６ｂ）に接することで、導電体１３６ａ（導電体１３６ｂ）に含まれる水素、水などの不純物が半導体１５３ａ（半導体１５３ｂ）に拡散することがある。つまり、半導体１５３ａ（半導体１５３ｂ）は、水素、水などの不純物を捕集する役割を有する場合がある。これにより、半導体１５３ａ（半導体１５３ｂ）が低抵抗化して、セルトランジスタＣＴｒのゲート電極として機能することができる。つまり、図２７（Ａ）に示す半導体装置は、半導

体１５３ａ（半導体１５３ｂ）によって、周辺の水素、水などの不純物を捕集するため、セルトランジスタＣＴｒの信頼性を高めることができる。

［０１８２］

また、例えば、本発明の一態様は、電荷蓄積層として適用している絶縁体１１１の代わりに浮遊ゲートを用いてもよい。図２８（Ａ）、（Ｂ）は、その作製方法の一例を示している。図２８（Ａ）では、図１５において、凹部１９６Ａ、凹部１９６Ｂの一部にそれぞれ導電体１３８ａ、導電体１３８ｂが形成されている。導電体１３８ａ、及び導電体１３８ｂの形成方法としては、スリット１９２、凹部１９６Ａ、凹部１９６Ｂに導電体１３８ａ、及び導電体１３８ｂとなる導電体材料を成膜し、次に、レジストマスク形成とエッチング処理などによって、凹部１９６Ａ、凹部１９６Ｂの一部にそれぞれ導電体１３８ａ、導電体１３８ｂが残るように、当該導電体材料を除去すればよい。その後、図１６（Ａ）に示す絶縁体１０４の成膜工程から図１７（Ｂ）に示す絶縁体１０５の成膜工程までと同様の工程を行うことで、図２８（Ｂ）に示す半導体装置を構成することができる。

［０１８３］

なお、図２９には、図２８（Ｂ）に示す半導体装置の一点鎖線Ｂ３－Ｂ４における上面図を示している。図２８（Ｂ）に示す半導体装置は、半導体１５１の領域１５１ａと重畳する領域において、絶縁体１０３と絶縁体１０４との間に導電体１３８ａ（導電体１３８ｂ）が含まれている構成となっているため、図２９に示す上面図は、絶縁体１０３と絶縁体１０４の間の導電体１３８ｂが含まれている構成となっている。ところで、図２８（Ｂ）に示す一点鎖線Ｂ１－Ｂ２における上面図は、図２５（Ｂ）とほぼ同様の構成となる場合がある。

［０１８４］

導電体１３８ａ、及び／又は導電体１３８ｂとしては、例えば、前述した導電体１３６に適用できる材料を用いることができる。但し、導電体１３８ａ、及び／又は導電体１３８ｂに適用できる材料は、これに限定されない。導電体１３８ａ、及び／又は導電体１３８ｂの代替として、絶縁体、半導体などを適用できる場合がある。

［０１８５］

また、例えば、本発明の一態様は、セルトランジスタＣＴｒのチャネル形成領域の膜厚を小さくした構成にすることができる。図３０（Ａ）（Ｂ）はその半導体装置の作製方法の一例を示している。図３０（Ａ）では、図１３（Ｂ）において、犠牲層１４１Ａ、犠牲層１４１Ｂの除去後に、更にエッチング処理などによって半導体１５１の表面が除去されている。これにより、領域１５１ａに含まれる半導体１５１の膜厚は、領域１５１ｂに含まれる半導体１５１の膜厚よりも薄くなる。この工程は、半導体１５１の表面に不純物領域が形成されている場合に有効であり、当該工程を行うことにより、不純物領域が除去されて、半導体１５１の領域１５１ａを高抵抗にすることができる。

［０１８６］

ところで、領域１５１ａにおける半導体１５１の除去する膜厚としては、例えば、成膜された半導体１５１の３０ｎｍ以上６０ｎｍ以下、又は、成膜された半導体１５１の膜厚の１／５以上１／２以下、又は、その後に成膜される絶縁体１０３の膜厚の１／５以上１／２以下、又は、導電体１３５ａ（導電体１３５ｂ、導電体１３５ｃ）の膜厚の１／５以上１／２以下としてもよい。なお、成膜された半導体１５１の膜厚は、少なくとも領域１５１ａにおける除去される半導体１５１の膜厚よりも大きいものとする。その後、図１５（Ａ）から図１７（Ｂ）までと同様の工程を行うことによって、図３０（Ｂ）に示す半導体装置を構成することができる。

［０１８７］

なお、図３１（Ａ）（Ｂ）には、それぞれ図３０（Ｂ）に示す半導体装置の一点鎖線Ｂ１－Ｂ２、一点鎖線Ｂ３－Ｂ４における上面図を示している。図３０（Ｂ）に示す半導体装置は、領域１５１ｂにおける半導体１５１の膜厚よりも領域１５１ａにおける半導体１５１の膜厚のほうが薄い構成となっているため、図３１（Ｂ）に示す上面図の半導体１５１は、図３１（Ａ）に示す上面図の半導体１５１よりも薄い構成となっている。

［０１８８］

また、例えば、本発明の一態様の半導体装置は、先述したとおり、導電体１３５の代替として、窒化シリコンなどの絶縁体を用いた構成にすることができる。図３２（Ａ）は、図８（Ａ）に示す絶縁体１０１Ａ乃至絶縁体１０１Ｃを、絶縁体１０７Ａ乃至絶縁体１０７Ｃに代替した積層体１００Ａを示している。絶縁体１０７Ａ乃至絶縁体１０７Ｃとしては、上述の通り、窒化シリコンなどを用いることができる。但し、絶縁体１０７Ａ乃至絶縁体１０７Ｃに適用できる材料は、これに限定されない。例えば、絶縁体１０７Ａ乃至絶縁体１０７Ｃに含まれる成分と半導体１５１に含まれる成分とが反応して、半導体１５１の領域１５１ｂにおいて低抵抗領域が形成されるのであれば、絶縁体１０７Ａ乃至絶縁体１０７Ｃに適用できる材料は、窒化シリコン以外であってもよい。

［０１８９］

積層体１００Ａに対して、図８（Ｂ）に示した工程と同様に、開口部１９１を形成する（図３２（Ｂ）参照）。次に、図１０（Ｂ）、図１１（Ａ）に示した工程と同様に、図３２（Ｂ）に示した開口部１９１の側面に対して半導体１５１を成膜し、半導体１５１の形成面に対して、開口部１９１を埋めるように絶縁体１０２を成膜する（図３３（Ａ）参照）。半導体１５１を金属酸化物としたとき、図３３（Ａ）に示した断面図において、半導体１５１は、絶縁体１０７Ａ（絶縁体１０７Ｂ、絶縁体１０７Ｃ）との界面、及び界面近傍において、絶縁体１０７Ａ（絶縁体１０７Ｂ、絶縁体１０７Ｃ）から拡散される窒素、窒化物、その他の成分などによって、化合物１６１Ａ（化合物１６１Ｂ、化合物１６１Ｃ）が形成される。これにより、半導体１５１の領域１５１ｂが低抵抗化される。つまり、隣り合うセルトランジスタＣＴｒの電気的接続において、抵抗を下げることができる場合がある。

［０１９０］

その後、図１３（Ａ）（Ｂ）、図１４から図１７（Ｂ）までと同様の工程を行うことによって、図３３（Ｂ）に示した半導体装置を構成することができる。つまり、図９（Ａ）から図１０（Ａ）までの導電体１３５ａ乃至導電体１３５ｃの形成を省略できるため、半導体装置の作製工程を短縮することができる。

［０１９１］

なお、図３４（Ａ）（Ｂ）には、それぞれ図３３（Ｂ）に示す半導体装置の一点鎖線Ｂ１－Ｂ２、一点鎖線Ｂ３－Ｂ４における上面図を示している。図３３（Ｂ）に示す半導体装置は、導電体１３５ａ乃至導電体１３５ｃの形成を省略した構成例となっているため、図３４（Ａ）（Ｂ）に示す上面図は、図１８（Ａ）（Ｂ）から導電体１３５ｃ（導電体１３５ａ、導電体１３５ｂ）が省略された構成となっている。

［０１９２］

＜＜作製方法例２＞＞

ここでは、本実施の形態の半導体装置として、作製方法例１とは異なる構造の例について、図３５乃至図４５を用いて説明する。

［０１９３］

図３５乃至図４５は、図８乃至図１９と同様に、図１（Ａ）に示す半導体装置の作製例を説明するための断面図、上面図、斜視図であり、特に、断面図は、セルトランジスタＣＴｒのチャネル長方向について示している。図３５乃至図４５は、図８乃至図１９と同様に、図の明瞭化のために一部の要素を省いて図示している。

［０１９４］

初めの工程については、作製方法例１で説明した図８（Ａ）から図８（Ｂ）までの説明の記載を参酌する。

［０１９５］

図３５（Ａ）に示す工程は、図８（Ｂ）に示す工程の続きを示したものである。図３５（Ａ）では、図８（Ｂ）に示した開口部１９１の側面（絶縁体１０１Ａ乃至絶縁体１０１Ｃ、犠牲層１４１Ａ、及び犠牲層１４１Ｂのそれぞれの側面）に、導電体１３７が成膜される。

［０１９６］

導電体１３７としては、作製方法例１で説明した導電体１３５の記載を参酌する。

［０１９７］

図３５（Ｂ）では、図３５（Ａ）に示した開口部１９１の側面、及び形成されている凹部に、半導体１５１が成膜される。つまり、導電体１３７の形成面に半導体１５１が形成される。

［０１９８］

半導体１５１としては、作製方法例１で説明した半導体１５１の記載を参酌する。

［０１９９］

このとき、半導体１５１は導電体１３７に接するため、半導体１５１の、導電体１３７との界面近傍において、低抵抗領域が形成される場合がある。なお、図３５（Ｂ）には、低抵抗領域として、領域１５１ｄを図示し、低抵抗領域よりも比較的抵抗が高い領域として、領域１５１ｅを図示している。なお、低抵抗領域が形成されない場合もある。

［０２００］

但し、このとき熱処理を加えると、半導体１５１の、導電体１３７との界面近傍において、半導体１５１に含まれる成分と導電体１３７に含まれる成分とに化合物が形成される場合がある。そのため、この工程以降は、特に断らない限りは、熱処理を行わないものとする。具体的には、所定の工程が完了するまでは熱処理を行わず、所定の工程以降に熱処理を行ってもよい。

［０２０１］

次の工程では、図３６（Ａ）に示すとおり、残りの開口部１９１が埋まるように、半導体１５１の形成面に絶縁体１０２が成膜される。

［０２０２］

絶縁体１０２としては、一例としては、酸素の透過する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体１０２に酸素をドーピングし、酸素を拡散させることにより、半導体１５１に酸素を供給することができる。その結果、半導体１５１の領域１５１ａの低抵抗化を防ぐことができる。

［０２０３］

また、絶縁体１０２を複数積層して用いてもよい。例えば、図３６に示すように、半導体１５１と接する絶縁体１０２Ａには、酸化シリコンを用い、絶縁体１０２Ａと接する絶縁体１０２Ｂには、酸

化アルミニウムや、酸化ハフニウムなどを用いてもよい。例えば、酸化アルミニウムをスパッタ法により成膜した場合、酸素が絶縁体１０２Ａに供給される。絶縁体１０２Ａに供給された酸素は、半導体１５１に供給される。その結果、半導体１５１の後に形成される領域１５１ａにおいて、低抵抗化を防ぐことができる。

［０２０４］

その他の絶縁体１０２に適用できる材料としては、作製方法例１で説明した絶縁体１０２の記載を参酌する。

［０２０５］

ところで、半導体装置が有するセルトランジスタにバックゲートを設ける場合、図３６（Ａ）（Ｂ）でなく、図３７に示す工程を行えばよい。図３７に示す工程では、半導体１５１の形成面に絶縁体１０２が成膜され、残りの開口部１９１が埋まるように導電体１３４が成膜される。

［０２０６］

なお、図３７に示す絶縁体１０２は、複数の絶縁体からなる積層の構成としてもよい（図示しない。）。複数の絶縁体からなる積層の構成としては、例えば、図３６（Ｂ）で述べた絶縁体１０２Ａ、絶縁体１０２Ｂの積層の構成としてもよい。

［０２０７］

このとき、導電体１３４は、図１（Ｂ）、図３に示す配線ＢＧＬとして機能する。

［０２０８］

導電体１３４に適用できる材料としては、作製方法例１で説明した導電体１３４の記載を参酌する。

［０２０９］

次の工程では、図３８（Ａ）に示すとおり、積層体１００に対して、レジストマスク形成とエッチング処理などによって、スリット１９２が形成される。なお、本工程では、スリットではなく、代わりに開口部を形成してもよい。

［０２１０］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０２１１］

そして、図３８（Ｂ）に示すとおり、エッチング処理などを用いて、スリット１９２の側面から犠牲層１４１Ａ、犠牲層１４１Ｂが除去されて、積層体１００に凹部１９７Ａ、凹部１９７Ｂが形成される。

［０２１２］

なお、凹部１９７Ａ、凹部１９７Ｂは、図３８（Ａ）に示す作製工程の段階で、スリット１９２と一括で形成できる場合がある。

［０２１３］

更に、図３９（Ａ）に示すとおり、エッチング処理などを用いて、凹部１９７Ａ、凹部１９７Ｂに有する導電体１３７が除去される。これにより、半導体１５１が露出し、導電体１３７ａ、導電体１３７ｂ、導電体１３７ｃが形成される。

［０２１４］

なお、図３９（Ａ）に示す作製工程は、図３８（Ａ）に示す作製工程の段階で、スリット１９２と一括で形成できる場合がある。

［０２１５］

次の工程では、図３９（Ｂ）に示すとおり、作製方法例１で説明した図１４（Ａ）の工程と同様に、半導体１５１に対して、スリット１９２から不純物や酸素などを供給する処理が行われる。図３９（Ｂ）では、不純物の供給処理１０を半導体１５１の領域１５１ａに対して行っている工程を示している。この工程により、半導体１５１の領域１５１ａがセルトランジスタＣＴｒのチャネル形成領域として機能するようになる。なお、この処理によって、領域１５１ａに存在した低抵抗領域である領域１５１ｄは消失する。

［０２１６］

また、図３９（Ｂ）の処理中、又は、処理後において、熱処理を行うことが好ましい。この熱処理により、半導体１５１の、導電体１３７との界面近傍において、半導体１５１に含まれる成分と導電体１３７に含まれる成分とに化合物１６１Ａ、化合物１６１Ｂ、化合物１６１Ｃが形成される。つまり、半導体１５１の領域１５１ｂにおいて、低抵抗領域が形成される。なお、化合物１６１Ａ、化合物１６１Ｂ、化合物１６１Ｃについては、作製方法例１に説明した、化合物１６１Ａ、化合物１６１Ｂ、化合物１６１Ｃの記載を参酌する。

［０２１７］

次の工程では、図４０に示すとおり、図３９（Ｂ）に示すスリット１９２の側面（絶縁体１０１Ａ乃至絶縁体１０１Ｃのそれぞれの側面）、及び形成されている凹部に、絶縁体１０３が成膜される。

［０２１８］

絶縁体１０３に適用できる材料としては、作製方法例１で説明した絶縁体１０３の記載を参酌する。

［０２１９］

次の工程では、図４１（Ａ）に示すとおり、図４０に示すスリット１９２の側面、及び形成されている凹部に、絶縁体１１１が成膜される。つまり、絶縁体１０３の形成面に絶縁体１１１が形成される。

［０２２０］

絶縁体１１１に適用できる材料としては、作製方法例１で説明した絶縁体１１１の記載を参酌する。

［０２２１］

次の工程では、図４１（Ｂ）に示すとおり、図４１（Ａ）に示すスリット１９２の側面、及び形成されている凹部に、絶縁体１０４が成膜される。つまり、絶縁体１１１の形成面に絶縁体１０４が形成される。

［０２２２］

絶縁体１０４に適用できる材料としては、作製方法例１で説明した絶縁体１０４の記載を参酌する。

［０２２３］

次の工程では、図４２（Ａ）に示すとおり、図４１（Ｂ）に示すスリット１９２の側面、及び形成されている凹部に、導電体１３６が成膜される。つまり、絶縁体１０４の形成面に導電体１３６が形成される。

［０２２４］

導電体１３６に適用できる材料としては、作製方法例１で説明した導電体１３６の記載を参酌する。

［０２２５］

次の工程では、図４２（Ｂ）に示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部のみに導電体１３６が残るように、スリット１９２に含まれる導電体１３６が除去される。これによって、導電体１３６ａ、導電体１３６ｂが形成される。なお、このとき、絶縁体１１１

がスリット１９２に露出しない程度であれば、絶縁体１０４の一部が除去されていてもよい。

［０２２６］

なお、レジストマスクの形成、エッチング処理などについては、図８（Ｂ）の説明を参酌する。

［０２２７］

ところで、導電体１３６ａ（導電体１３６ｂ）は、図１（Ａ）（Ｂ）に示すセルトランジスタＣＴｒのゲート電極、及び配線ＷＬとして機能する。つまり、図４２（Ｂ）に示す領域１８１Ａ（領域１８１Ｂ）において、セルトランジスタＣＴｒが形成されている。

［０２２８］

次の工程では、図４３に示すとおり、スリット１９２が埋まるように絶縁体１０５が成膜される。

［０２２９］

絶縁体１０５としては、上述した絶縁体１０２に適用できる材料を用いることができる。

［０２３０］

以上のとおり、図８（Ａ）（Ｂ）、図３５（Ａ）から図４３までの工程を行うことにより、図１（Ａ）に示した半導体装置を作製することができる。

［０２３１］

図４４（Ａ）（Ｂ）には、それぞれ図４３に示す半導体装置の一点鎖線Ｃ１－Ｃ２、一点鎖線Ｃ３－Ｃ４における上面図を示している。また、図４５（Ａ）には、図６に示す構成例のように、複数の開口部１９１を設けた場合の半導体装置の上面図を示している。なお、当該上面図は、図４３に示す半導体装置の一点鎖線Ｃ１－Ｃ２における上面図で、開口部１９１を複数設けた場合に展開した図となっている。図４５（Ａ）に示す半導体装置は、複数のスリット１９２を有し、隣り合うスリット１９２の間に開口部１９１が設けられている。なお、図３８で説明した通り、スリット１９２でなく、代わりに開口部を形成してもよい。図４５（Ｂ）は、スリット１９２の代わりに開口部１９３を設けて、開口部１９３に絶縁体１０３乃至絶縁体１０５、絶縁体１１１を形成した構成となっている。なお、開口部１９３の位置は、図４５（Ａ）のスリット１９２のように一方向の列に沿って設けるのでなく、異なる二方向以上の列に沿って設けてもよい。又は、開口部１９３の位置は、上述のような規則性に依らずに形成してもよい。

［０２３２］

本発明の一態様は、図４３に示した半導体装置の構成例に限定されない。本発明の一態様は、場合によって、状況に応じて、又は、必要に応じて、図４３に示す半導体装置を適宜変更した構成とすることができる。

［０２３３］

例えば、本発明の一態様は、前述したとおり、図１（Ｂ）に示すようにセルトランジスタＣＴｒにバックゲートが設けられた半導体装置とすることもできる。図１（Ｂ）に示す半導体装置を作製する場合、図１（Ａ）を作製する過程において、図３６（Ａ）に示す工程の代わりに図３７に示す工程を行えばよい。図３６（Ａ）に示す工程の代わりに図３７に示す工程を行うことにより、図４６に示す半導体装置を構成することができる。

［０２３４］

なお、図４７（Ａ）（Ｂ）には、それぞれ図４６に示す半導体装置の一点鎖線Ｃ１－Ｃ２、一点鎖線Ｃ３－Ｃ４における上面図を示している。図４６に示す半導体装置は、導電体１３４を形成した構成例となっているため、図４７（Ａ）（Ｂ）に示す上面図は、図４４（Ａ）（Ｂ）に示す絶縁体１０２

の内側に導電体１３４を形成した構成となっている。

［０２３５］

また、例えば、半導体１５１として金属酸化物を有する材料とした場合、図４８に示す半導体装置のように半導体１５１を３層構造とすることができる。図４８に示す半導体装置は半導体１５１を３層構造とした構成となっており、図１（Ａ）を作製する過程において、図３５（Ｂ）に示す工程で、半導体１５１として半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃを順に形成することによって構成することができる。

［０２３６］

なお、図４９（Ａ）（Ｂ）には、それぞれ図４８に示す半導体装置の一点鎖線Ｃ１－Ｃ２、一点鎖線Ｃ３－Ｃ４における上面図を示している。図４８に示す半導体装置は、半導体層が半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃが順に成膜された３層構造の構成例となっているため、図４９（Ａ）（Ｂ）に示す上面図は、図４４（Ａ）（Ｂ）に示す半導体１５１を３層構造とした構成となっている。

［０２３７］

なお、半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃについては、作製方法例１で説明した半導体１５２Ａ、半導体１５２Ｂ、半導体１５２Ｃの記載を参酌する。また、図４８に示した半導体装置を構成することによる効果についても、作製方法例１で説明した図２２の説明の記載を参酌する。

［０２３８］

また、例えば、図４３に示す半導体装置では、全ての絶縁体１０３の形成面上に絶縁体１１１を有する構成としたが、本発明の一態様は、セルトランジスタＣＴｒが有する電荷蓄積層毎に絶縁体１１１を分割した構成とすることができる。図５０（Ａ）では、図４１（Ａ）に示す工程の後に、レジストマスク形成とエッチング処理などを行って、前述した凹部１９６Ａ、凹部１９６Ｂの絶縁体１０３の形成面上のみに絶縁体１１１が残るように、スリット１９２に含まれる絶縁体１１１を除去する工程を示している。また、場合によって、又は、状況に応じて、絶縁体１１１の除去工程において、図５０（Ｂ）に示すとおり、スリット１９２に露出される絶縁体１０３の領域も除去してもよい。その後は、図４１（Ｂ）から図４３までと同様の工程を行うことによって、図５１（Ａ）に示す半導体装置を構成することができる。

［０２３９］

なお、図５１（Ｂ）には、図５１（Ａ）に示す半導体装置の一点鎖線Ｃ１－Ｃ２における上面図を示している。図５１（Ａ）に示す半導体装置は、導電体１３７ａ（導電体１３７ｂ、導電体１３７ｃ）を介して、半導体１５１の領域１５１ａと重畳する領域において、絶縁体１１１が除去されている構成となっているため、図５１（Ｂ）に示す上面図は、絶縁体１０３と絶縁体１０４の間の絶縁体１１１がない構成となっている。ところで、図５１（Ａ）に示す一点鎖線Ｂ３－Ｂ４における上面図は、図４４（Ｂ）とほぼ同様の構成となる場合がある。

［０２４０］

また、例えば、本発明の一態様は、セルトランジスタＣＴｒの信頼性を向上するためとして、セルトランジスタＣＴｒのゲート電極の構成を、図４３に示す構成から変更してもよい。図５２（Ａ）（Ｂ）、図５３（Ａ）はその半導体装置の作製方法の一例を示している。図５２（Ａ）では、図４１（Ｂ）において、スリット１９２の側面、及び凹部１９６Ａ、凹部１９６Ｂに成膜されている絶縁体１０４の形成面に、半導体１５３が成膜されている。

［０２４１］

半導体１５３としては、例えば、実施の形態３で説明する金属酸化物が含まれている材料を適用することができる。但し、半導体１５３に適用できる材料は、これに限定されない。例えば、半導体１５３としては、金属酸化物以外の材料を適用できる場合がある。又は、例えば、半導体１５３の代替として、導電体、絶縁体などを適用できる場合がある。

［０２４２］

次の工程では、図５２（Ｂ）に示すとおり、レジストマスク形成とエッチング処理などによって、前述した凹部１９６Ａ、凹部１９６Ｂの一部に半導体１５３が残るように、凹部１９６Ａ、凹部１９６Ｂの残り一部の半導体１５３と、スリット１９２に含まれる半導体１５３と、が除去される。これによって、半導体１５３ａ、半導体１５３ｂが形成される。

［０２４３］

この後は、図４２（Ａ）から図４３までと同様の工程を行うことによって、図５３（Ａ）に示す半導体装置を構成することができる。

［０２４４］

なお、図５３（Ｂ）には、図５３（Ａ）に示す半導体装置の一点鎖線Ｃ３－Ｃ４における上面図を示している。図５３（Ａ）に示す半導体装置は、半導体１５１の領域１５１ａにおいて、導電体１３６ａ（導電体１３６ｂ）と絶縁体１０４との間に半導体１５３ａ（半導体１５３ｂ）が含まれている構成となっているため、図５３（Ｂ）に示す上面図は、導電体１３６ｂと絶縁体１０４との間に半導体１５３ｂが含まれている構成となっている。ところで、図５３（Ａ）に示す一点鎖線Ｃ１－Ｃ２における上面図は、図４４（Ａ）とほぼ同様の構成となる場合がある。

［０２４５］

なお、図５３（Ａ）を構成することによる効果は、作製方法例１で説明した図２６（Ａ）（Ｂ）、図２７の説明の記載を参酌する。

［０２４６］

また、例えば、本発明の一態様は、電荷蓄積層として適用している絶縁体１１１の代わりに浮遊ゲートを用いてもよい。図５４（Ａ）（Ｂ）は、その作製方法の一例を示している。図５４（Ａ）では、図４０において、凹部１９７Ａ、凹部１９７Ｂの一部にそれぞれ導電体１３８ａ、導電体１３８ｂが形成されている。導電体１３８ａ、及び導電体１３８ｂの形成方法としては、スリット１９２、凹部１９７Ａ、凹部１９７Ｂに導電体１３８ａ、及び導電体１３８ｂとなる導電体材料を成膜し、次に、レジストマスク形成とエッチング処理などによって、凹部１９７Ａ、凹部１９７Ｂの一部にそれぞれ導電体１３８ａ、導電体１３８ｂが残るように、当該導電体材料を除去すればよい。その後、図４１（Ｂ）から図４３までと同様の工程を行うことで、図５４（Ｂ）に示す半導体装置を構成することができる。

［０２４７］

なお、図５５には、図５４（Ｂ）に示す半導体装置の一点鎖線Ｃ３－Ｃ４における上面図を示している。図５４（Ｂ）に示す半導体装置は、半導体１５１の領域１５１ａと重畳する領域において、絶縁体１０３と絶縁体１０４との間に導電体１３８ａ（導電体１３８ｂ）が含まれている構成となっているため、図５５に示す上面図は、絶縁体１０３と絶縁体１０４の間の導電体１３８ｂが含まれている構成となっている。ところで、図５４（Ｂ）に示す一点鎖線Ｃ１－Ｃ２における上面図は、図５１（Ｂ）とほぼ同様の構成となる場合がある。

［０２４８］

導電体１３８ａ、及び／又は導電体１３８ｂとしては、例えば、前述した導電体１３６に適用できる材料を用いることができる。但し、導電体１３８ａ、及び／又は導電体１３８ｂに適用できる材料は、これに限定されない。導電体１３８ａ、及び／又は導電体１３８ｂの代替として、絶縁体、半導体などを適用できる場合がある。

［０２４９］

また、例えば、本発明の一態様は、セルトランジスタＣＴｒのチャネル形成領域の膜厚を小さくした構成にすることができる。図５６（Ａ）（Ｂ）はその半導体装置の作製方法の一例を示している。図５６（Ａ）では、図３９（Ａ）において、犠牲層１４１Ａ、犠牲層１４１Ｂの除去後に、更にエッチング処理などによって半導体１５１の表面が除去されている。これにより、領域１５１ａに含まれる半導体１５１の膜厚は、領域１５１ｂに含まれる半導体１５１の膜厚よりも薄くなる。この工程は、半導体１５１の表面に不純物領域が形成されている場合に有効であり、当該工程を行うことにより、不純物領域が除去されて、半導体１５１の領域１５１ａを高抵抗にすることができる。

［０２５０］

ところで、領域１５１ａにおける半導体１５１の除去する膜厚としては、例えば、成膜された半導体１５１の３０ｎｍ以上６０ｎｍ以下、又は、成膜された半導体１５１の膜厚の１／５以上１／２以下、又は、その後に成膜される絶縁体１０３の膜厚の１／５以上１／２以下、又は、導電体１３７ａ（導電体１３７ｂ、導電体１３７ｃ）の膜厚の１／５以上１／２以下としてもよい。なお、成膜された半導体１５１の膜厚は、少なくとも領域１５１ａにおける除去される半導体１５１の膜厚よりも大きいものとする。その後、図３９（Ｂ）から図４３までと同様の工程を行うことによって、図５６（Ｂ）に示す半導体装置を構成することができる。

［０２５１］

なお、図５７（Ａ）（Ｂ）には、それぞれ図５６（Ｂ）に示す半導体装置の一点鎖線Ｃ１－Ｃ２、一点鎖線Ｃ３－Ｃ４における上面図を示している。図５６（Ｂ）に示す半導体装置は、領域１５１ｂにおける半導体１５１の膜厚よりも領域１５１ａにおける半導体１５１の膜厚のほうが薄い構成となっているため、図５７（Ｂ）に示す上面図の半導体１５１は、図５７（Ａ）に示す上面図の半導体１５１よりも薄い構成となっている。

［０２５２］

また、例えば、本発明の一態様の半導体装置の作製順は、上述した図８（Ａ）（Ｂ）、図３５（Ａ）から図３６（Ａ）まで、図３８（Ａ）から図４３までに示した工程順に限定せず、互いの工程を入れ替えて半導体装置を作製してもよい。図５８（Ａ）に示す工程は、図３６（Ａ）において、絶縁体１０２を形成する工程を行わず、先に犠牲層１４１Ａ、犠牲層１４１Ｂを除去した工程を示している。なお、この作製手順で半導体装置を作製する場合、開口部１９１を形成する大きさとしては、他の作製工程で形成する開口部１９１よりも小さくすることが好ましい。

［０２５３］

次の工程では、図５８（Ａ）に示す工程で、図３９（Ｂ）に示す工程と同様に、開口部１９１、及びスリット１９２から不純物や酸素などを供給する処理が行われる（図示しない）。これにより、露出した半導体１５１の表面、又は表面近傍に高抵抗領域を形成することができる。そして、スリット１９２の側面、形成された凹部、及び開口部１９１に絶縁体１０３を成膜することで、図５８（Ｂ）に示す構成となる。その後は、図４１（Ａ）から図４３までの工程と同様の工程を行うことによって、図１（Ａ）の半導体装置を構成することができる。

［０２５４］

上述した作製方法例１、又は作製方法例２によって、多くのデータを保持できる半導体装置を作製することができる。

［０２５５］

ここで、図１７（Ｂ）に示す半導体装置（図１（Ａ）の回路構成）の断面図を図２に示すセルアレイの構造とした場合の構成例を図５９に示す。また、同様に、図４３に示す半導体装置（図１（Ａ）の回路構成）の断面図をセルアレイの構造とした場合の構成例を図６０に示す。なお、領域ＳＤ１は、図６（Ａ）に図示している領域ＳＤ１に相当する。図５９、図６０に示す通り、配線ＷＬである導電体と、絶縁体と、を積層した構造体に対して、一括に開口部を設けて、上述した作製方法例１、又は作製方法例２に記載の通りに作製を行うことで、図１（Ａ）の回路構成を実現することができる。

［０２５６］

＜周辺回路との接続例＞

作製方法例１、又は作製方法例２に示した半導体装置は、その下層に読み出し回路、プリチャージ回路などのメモリセルアレイの周辺回路を形成してもよい。この場合、シリコン基板などの上にＳｉトランジスタを形成して当該周辺回路を構成し、その後、作製方法例１、又は作製方法例２で、当該周辺回路上に本発明の一態様の半導体装置を形成すればよい。図６１（Ａ）は、周辺回路をプレーナ型のＳｉトランジスタで構成して、その上層に本発明の一態様の半導体装置を形成した断面図である。また、図６２（Ａ）は、周辺回路をＦＩＮ型のＳｉトランジスタで構成して、その上層に本発明の一態様の半導体装置を形成した断面図である。なお、図６１（Ａ）、図６２（Ａ）に示す半導体装置は、一例として、図１７（Ｂ）の構成を適用している。

［０２５７］

図６１（Ａ）、図６２（Ａ）において、周辺回路を構成するＳｉトランジスタは、基板１７００上に形成される。素子分離層１７０１は、複数のＳｉトランジスタの間に形成される。Ｓｉトランジスタのソース及びドレインとして導電体１７１２が形成されている。導電体１７３０は、チャネル幅方向に延びて形成しており、他のＳｉトランジスタ、又は導電体１７１２に接続されている（図示しない）。

［０２５８］

基板１７００としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、ＳＯＩ基板などを用いることができる。

［０２５９］

また、基板１７００として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム、などを用いてもよい。また、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。図６１（Ａ）、図６２（Ａ）では、一例として、基板１７００に単結晶シリコンウエハを用いた例を示している。

［０２６０］

ここで、Ｓｉトランジスタの詳細について説明を行う。図６１（Ａ）に示すプレーナ型のＳｉトランジスタは、チャネル長方向の断面図を示し、図６１（Ｂ）に示すプレーナ型のＳｉトランジスタは、チャネル幅方向の断面図を示している。Ｓｉトランジスタは、ウェル１７９２に設けられたチャネル形成領域１７９３と、低濃度不純物領域１７９４及び高濃度不純物領域１７９５（これらを合わせて

単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた導電性領域１７９６と、チャネル形成領域１７９３上に設けられたゲート絶縁膜１７９７と、ゲート絶縁膜１７９７上に設けられたゲート電極１７９０と、ゲート電極１７９０の側面に設けられた側壁絶縁層１７９８、側壁絶縁層１７９９とを有する。なお、導電性領域１７９６には、金属シリサイド等を用いてもよい。

［０２６１］

また、図６２（Ａ）に示すＦＩＮ型のＳｉトランジスタは、チャネル長方向の断面図を示し、図６２（Ｂ）に示すＦＩＮ型のＳｉトランジスタは、チャネル幅方向の断面図を示している。図６２（Ａ）（Ｂ）に示すＳｉトランジスタは、チャネル形成領域１７９３が凸形状を有し、その側面及び上面に沿ってゲート絶縁膜１７９７及びゲート電極１７９０が設けられている。本実施の形態では、半導体基板の一部を加工して凸部を形成する場合を示したが、ＳＯＩ基板を加工して凸形状を有する半導体層を形成してもよい。

［０２６２］

基板１７００上にＳｉトランジスタ、導電体１７１２、導電体１７３０などによって形成された回路の上層には絶縁体２０１が形成されている。また、絶縁体２０１には、当該回路と電気的に接続するための導電体２１１が埋め込まれるように形成されている。ところで、セルトランジスタＣＴｒのチャネル形成領域に金属酸化物が含まれている場合、絶縁体２０１と導電体２１１としては、水素などに対するバリア性を有する絶縁体を用いることが好ましい。これは、絶縁体２０１、及び／又は導電体２１１を介して、Ｓｉトランジスタからセルトランジスタ ＣＴｒへの水素の拡散を抑制するためである。

［０２６３］

絶縁体２０１としては、上述した絶縁体１０１Ａ乃至絶縁体１０１Ｃに適用できる材料を用いることができる。

［０２６４］

導電体２１１としては、例えば、水素に対するバリア性を有する窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、Ｓｉトランジスタからの水素の拡散を抑制することができる。

［０２６５］

なお、図６２（Ａ）（Ｂ）に示す符号は、図６１（Ａ）（Ｂ）に示す符号と同一である。

［０２６６］

なお、本明細書等で開示された、絶縁体、導電体、半導体などは、ＰＶＤ（Ｐｈｉｓｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法により形成することができる。ＰＶＤ法としては、例えば、スパッタリング法、抵抗加熱蒸着法、電子ビーム蒸着法、ＰＬＤ（Ｐｕｌｓｅｄ Ｌａｓｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法などが挙げられる。また、ＣＶＤ法として、プラズマＣＶＤ法、熱ＣＶＤ法を用いて形成などが挙げられる。特に、熱ＣＶＤ法としては、例えば、ＭＯＣＶＤ（Ｍｅｔａｌ Ｏｒｇａｎｉｃ Ｃｈｅｍｉｃａｌ Ｖｅｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法やＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法などが挙げられる。

［０２６７］

熱ＣＶＤ法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

［０２６８］

熱ＣＶＤ法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

［０２６９］

また、ＡＬＤ法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ（高速バルブとも呼ぶ）を切り替えて２種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第１の原料ガスと同時またはその後に不活性ガス（アルゴン、或いは窒素など）などを導入し、第２の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第２の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第１の原料ガスを排出した後、第２の原料ガスを導入してもよい。第１の原料ガスが基板の表面に吸着して第１の薄い層を成膜し、後から導入される第２の原料ガスと反応して、第２の薄い層が第１の薄い層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なＦＥＴを作製する場合に適している。

［０２７０］

ＭＯＣＶＤ法やＡＬＤ法などの熱ＣＶＤ法は、これまでに記載した実施形態に開示された金属膜、半導体膜、無機絶縁膜など様々な膜を形成することができ、例えば、Ｉｎ－Ｇａ－Ｚｎ－Ｏ膜を成膜する場合には、トリメチルインジウム（$In(CH_3)_3$）、トリメチルガリウム（$Ga(CH_3)_3$）、及びジメチル亜鉛（$Zn(CH_3)_2$）を用いる。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム（$Ga(C_2H_5)_3$）を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛（$Zn(C_2H_5)_2$）を用いることもできる。

［０２７１］

例えば、ＡＬＤを利用する成膜装置により酸化ハフニウム膜を形成する場合には、溶媒とハフニウム前駆体化合物を含む液体（ハフニウムアルコキシドや、テトラキスジメチルアミドハフニウム（ＴＤＭＡＨ、$Hf[N(CH_3)_2]_4$）などのハフニウムアミド）を気化させた原料ガスと、酸化剤としてオゾン（O_3）の２種類のガスを用いる。また、他の材料としては、テトラキス（エチルメチルアミド）ハフニウムなどがある。

［０２７２］

例えば、ＡＬＤを利用する成膜装置により酸化アルミニウム膜を形成する場合には、溶媒とアルミニウム前駆体化合物を含む液体（トリメチルアルミニウム（ＴＭＡ、$Al(CH_3)_3$）など）を気化させた原料ガスと、酸化剤としてH_2Oの２種類のガスを用いる。また、他の材料としては、トリス（ジメチルアミド）アルミニウム、トリイソブチルアルミニウム、アルミニウムトリス（２，２，６，６－テトラメチル－３，５－ヘプタンジオナート）などがある。

［０２７３］

例えば、ＡＬＤを利用する成膜装置により酸化シリコン膜を形成する場合には、ヘキサクロロジシランを被成膜面に吸着させ、酸化性ガス（O_2、一酸化二窒素）のラジカルを供給して吸着物と反応させる。

［０２７４］

例えば、ＡＬＤを利用する成膜装置によりタングステン膜を成膜する場合には、WF_6ガスとB_2H_6ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF_6ガスとH_2ガスを順次繰り返し導入してタングステン膜を形成する。なお、B_2H_6ガスに代えてＳｉH_4ガスを用いてもよい。

［０２７５］

例えば、ＡＬＤを利用する成膜装置により酸化物半導体膜、例えばＩｎ－Ｇａ－Ｚｎ－Ｏ膜を成膜する場合には、Ｉｎ$(CH_3)_3$ガスとO_3ガスを順次繰り返し導入してＩｎ－Ｏ層を形成し、その後、Ｇａ$(CH_3)_3$ガスとO_3ガスを順次繰り返し導入してＧａＯ層を形成し、更にその後Ｚｎ$(CH_3)_2$ガスとO_3ガスを順次繰り返し導入してＺｎＯ層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを用いてＩｎ－Ｇａ－Ｏ層やＩｎ－Ｚｎ－Ｏ層、Ｇａ－Ｚｎ－Ｏ層などの混合酸化物層を形成しても良い。なお、O_3ガスに替えてＡｒ等の不活性ガスで水をバブリングして得られたH_2Oガスを用いても良いが、Ｈを含まないO_3ガスを用いる方が好ましい。また、Ｉｎ$(CH_3)_3$ガスにかえて、Ｉｎ$(C_2H_5)_3$ガスを用いても良い。また、Ｇａ$(CH_3)_3$ガスにかえて、Ｇａ$(C_2H_5)_3$ガスを用いても良い。また、Ｚｎ$(CH_3)_2$ガスを用いても良い。

［０２７６］

なお、本実施の形態で説明した半導体装置のそれぞれの構成例は、互いに適宜組み合わせることができる。

［０２７７］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０２７８］

（実施の形態２）

本実施の形態では、上記実施の形態で説明した半導体装置を有する記憶装置について説明する。

［０２７９］

図６３に記憶装置の構成の一例を示す。記憶装置２６００は、周辺回路２６０１、及びメモリセルアレイ２６１０（Ｍｅｍｏｒｙ　Ｃｅｌｌ　Ａｒｒａｙ）を有する。周辺回路２６０１は、ローデコーダ２６２１（Ｒｏｗ　Ｄｅｃｏｄｅｒ）、ワード線ドライバ回路２６２２（Ｗｏｒｄ　Ｌｉｎｅ　Ｄｒｉｖｅｒ　Ｃｉｒ.）、ビット線ドライバ回路２６３０（Ｂｉｔ　Ｌｉｎｅ　Ｄｒｉｖｅｒ　Ｃｉｒ.）、出力回路２６４０（Ｏｕｔｐｕｔ　Ｃｉｒ.）、コントロールロジック回路２６６０（Ｃｏｎｔｒｏｌ　Ｌｏｇｉｃ　Ｃｉｒ.）を有する。

［０２８０］

実施の形態１で説明した図１（Ａ）（Ｂ）に図示した半導体装置は、メモリセルアレイ２６１０に適用することができる。

［０２８１］

ビット線ドライバ回路２６３０は、カラムデコーダ２６３１（Ｃｏｌｕｍｎ　Ｄｅｃｏｄｅｒ）、プリチャージ回路２６３２（Ｐｒｅｃｈａｒｇｅ　Ｃｉｒ.）、センスアンプ２６３３（Ｓｅｎｓｅ　Ａｍｐ.）、及び書き込み回路２６３４（Ｗｒｉｔｅ　Ｃｉｒ.）を有する。プリチャージ回路２６３２は、実施の形態１で説明した配線ＳＬ、又は配線ＢＬ（図６３に図示していない）を所定の電位にプリチャージする機能を有する。センスアンプ２６３３は、メモリセルＭＣから読み出された電位（又は電流）をデータ信号として取得して、当該データ信号を増幅する機能を有する。増幅されたデータ

信号は、出力回路２６４０を介して、デジタルのデータ信号ＲＤＡＴＡとして記憶装置２６００の外部に出力される。

［０２８２］

また、記憶装置２６００には、外部から電源電圧として低電源電圧（ＶＳＳ）、周辺回路２６０１用の高電源電圧（ＶＤＤ）、メモリセルアレイ２６１０用の高電源電圧（ＶＩＬ）が供給される。

［０２８３］

また、記憶装置２６００には、制御信号（ＣＥ、ＷＥ、ＲＥ）、アドレス信号ＡＤＤＲ、データ信号ＷＤＡＴＡが外部から入力される。アドレス信号ＡＤＤＲは、ローデコーダ２６２１及びカラムデコーダ２６３１に入力され、データ信号ＷＤＡＴＡは書き込み回路２６３４に入力される。

［０２８４］

コントロールロジック回路２６６０は、外部からの入力信号（ＣＥ、ＷＥ、ＲＥ）を処理して、ローデコーダ２６２１、カラムデコーダ２６３１の制御信号を生成する。ＣＥは、チップイネーブル信号であり、ＷＥは、書き込みイネーブル信号であり、ＲＥは、読み出しイネーブル信号である。コントロールロジック回路２６６０が処理する信号は、これに限定されるものではなく、必要に応じて、他の制御信号を入力すればよい。

［０２８５］

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

［０２８６］

また、ｐチャネル型Ｓｉトランジスタと、後述する実施の形態の酸化物半導体（好ましくはＩｎ、Ｇａ、及びＺｎを含む酸化物）をチャネル形成領域に含むトランジスタを用い、記憶装置２６００に適用することで、小型の記憶装置２６００を提供できる。また、消費電力低減することが可能な記憶装置２６００を提供できる。また、動作速度を向上することが可能な記憶装置２６００を提供できる。特に、Ｓｉトランジスタはｐチャネル型のみとすることで、製造コストを低く抑えることができる。

［０２８７］

なお、本実施の形態の構成例は、図６３の構成に限定されない。例えば、周辺回路２６０１の一部、例えばプリチャージ回路２６３２又は／及びセンスアンプ２６３３をメモリセルアレイ２６１０の下層に設ける、などのように適宜構成を変更してもよい。

［０２８８］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０２８９］

（実施の形態３）

本実施の形態では、上記実施の形態で用いたＯＳトランジスタのチャネル形成領域に含まれる金属酸化物について説明を行う。

［０２９０］

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［０２９１］

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するＩｎ－Ｍ－Ｚｎ酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

［０２９２］

次に、図６４（Ａ）（Ｂ）（Ｃ）を用いて、本発明に係る金属酸化物が有するインジウム、元素Mおよび亜鉛の原子数比の好ましい範囲について説明する。なお、図６４（Ａ）（Ｂ）（Ｃ）には、酸素の原子数比については記載しない。また、金属酸化物が有するインジウム、元素M、および亜鉛の原子数比のそれぞれの項を［Ｉｎ］、[M]、および［Ｚｎ］とする。

［０２９３］

図６４（Ａ）（Ｂ）（Ｃ）において、破線は、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:１の原子数比（－１≦α≦１）となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:２の原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:３の原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:４の原子数比となるライン、および［Ｉｎ］:[M]:［Ｚｎ］＝（１＋α）:（１－α）:５の原子数比となるラインを表す。

［０２９４］

また、一点鎖線は、［Ｉｎ］:[M]:［Ｚｎ］＝５：１：βの原子数比（β≧０）となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝２：１：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：１：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：２：βの原子数比となるライン、［Ｉｎ］:[M]:［Ｚｎ］＝１：３：βの原子数比となるライン、および［Ｉｎ］:[M]:［Ｚｎ］＝１：４：βの原子数比となるラインを表す。

［０２９５］

また、図６４（Ａ）（Ｂ）（Ｃ）に示す、［Ｉｎ］:[M]:［Ｚｎ］＝０：２：１の原子数比、およびその近傍値の金属酸化物は、スピネル型の結晶構造をとりやすい。

［０２９６］

また、金属酸化物中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、原子数比が［Ｉｎ］:[M]:［Ｚｎ］＝０：２：１の近傍値である場合、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、原子数比が［Ｉｎ］:[M]:［Ｚｎ］＝１：０：０の近傍値である場合、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。金属酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

［０２９７］

図６４（Ａ）に示す領域Ａは、金属酸化物が有する、インジウム、元素M、および亜鉛の原子数比の好ましい範囲の一例について示している。

［０２９８］

金属酸化物は、インジウムの含有率を高くすることで、金属酸化物のキャリア移動度（電子移動度）を高くすることができる。従って、インジウムの含有率が高い金属酸化物はインジウムの含有率が低い金属酸化物と比較してキャリア移動度が高くなる。

［０２９９］

一方、金属酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、原子数比が［Ｉｎ］:［M］:［Ｚｎ］＝０：１：０、およびその近傍値である場合（例えば図６４（Ｃ）に示す領域Ｃ）は、絶縁性が高くなる。

［０３００］

従って、本発明の一態様の金属酸化物は、キャリア移動度が高く、かつ、結晶粒界が少ない層状構造となりやすい、図６４（Ａ）の領域Ａで示される原子数比を有することが好ましい。

［０３０１］

特に、図６４（Ｂ）に示す領域Ｂでは、領域Ａの中でも、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）－ＯＳとなりやすく、キャリア移動度も高い優れた金属酸化物が得られる。

［０３０２］

ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造である。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

［０３０３］

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

［０３０４］

ＣＡＡＣ－ＯＳは結晶性の高い金属酸化物である。一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。従って、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０３０５］

なお、領域Ｂは、［Ｉｎ］:［M］:［Ｚｎ］＝４：２：３から４．１、およびその近傍値を含む。近傍値には、例えば、［Ｉｎ］:［M］:［Ｚｎ］＝５：３：４が含まれる。また、領域Ｂは、［Ｉｎ］:［M］:［Ｚｎ］＝５：１：６、およびその近傍値、および［Ｉｎ］:［M］:［Ｚｎ］＝５：１：７、およびその近傍値を含む。

［０３０６］

なお、金属酸化物が有する性質は、原子数比によって一義的に定まらない。同じ原子数比であっても、形成条件により、金属酸化物の性質が異なる場合がある。例えば、金属酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。また、成膜時の基板温度によっては、ターゲットの［Ｚｎ］よりも、膜の［Ｚｎ］が小さくなる場合がある。従って、図示する領域は、金属酸化物が特定の特性を有する傾向がある原子数比を示す領域であり、領域

Ａ乃至領域Ｃの境界は厳密ではない。

［０３０７］

次に、ＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）－ＯＳの構成について説明する。

［０３０８］

なお、本明細書等において、ＣＡＣは機能、または材料の構成の一例を表し、前述したＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌ）は結晶構造の一例を表している。

［０３０９］

ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能（Ｏｎ／Ｏｆｆさせる機能）をＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅに付与することができる。ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

［０３１０］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

［０３１１］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅにおいて、導電性領域と、絶縁性領域とは、それぞれ０．５ｎｍ以上１０ｎｍ以下、好ましくは０．５ｎｍ以上３ｎｍ以下のサイズで材料中に分散している場合がある。

［０３１２］

また、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、異なるバンドギャップを有する成分により構成される。例えば、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅをトランジスタのチャネル領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

［０３１３］

すなわち、ＣＡＣ－ＯＳまたはＣＡＣ－ｍｅｔａｌ　ｏｘｉｄｅは、マトリックス複合材（ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）、または金属マトリックス複合材（ｍｅｔａｌ　ｍａｔｒｉｘ　ｃｏｍｐｏｓｉｔｅ）と呼称することもできる。

［０３１４］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３１５］

（実施の形態４）

本実施の形態では、上述の実施の形態で説明した半導体装置を記憶装置として電子部品に適用する例について、図６５を用いて説明する。

［０３１６］

図６５（Ａ）では上述の実施の形態で説明し半導体装置を記憶装置として電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はＩＣ用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

［０３１７］

上記実施の形態１に示すようなトランジスタで構成される半導体装置は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

［０３１８］

後工程については、図６５（Ａ）に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップＳＴＰ１）した後、基板の裏面を研削する（ステップＳＴＰ２）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

［０３１９］

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う（ステップＳＴＰ３）。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップＳＴＰ４）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

［０３２０］

なお、本実施の形態において、基板の一方の面に素子が形成されていたとき、基板の一方の面を表面とし、該基板の他方の面（該基板の素子が形成されていない側の面）を裏面とする。

［０３２１］

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電気的に接続する、ワイヤーボンディングを行う（ステップＳＴＰ５）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

［０３２２］

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止を行うモールド工程が施される（ステップＳＴＰ６）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。

［０３２３］

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステッ

プＳＴＰ７）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

［０３２４］

次いでパッケージの表面に印字処理（マーキング）を施す（ステップＳＴＰ８）。そして最終的な検査工程（ステップＳＴＰ９）を経て電子部品が完成する（ステップＳＴＰ１０）。

［０３２５］

以上説明した電子部品は、上述の実施の形態で説明した半導体装置を含む構成とすることができる。そのため、信頼性に優れた電子部品を実現することができる。

［０３２６］

また、完成した電子部品の斜視模式図を図６５（Ｂ）に示す。図６５（Ｂ）では、電子部品の一例として、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）の斜視模式図を示している。図６５（Ｂ）に示す電子部品４７００は、リード４７０１及び回路部４７０３を示している。図６５（Ｂ）に示す電子部品４７００は、例えばプリント基板４７０２に実装される。このような電子部品４７００が複数組み合わされて、それぞれがプリント基板４７０２上で電気的に接続されることで電子機器の内部に搭載することができる。完成した回路基板４７０４は、電子機器等の内部に設けられる。

［０３２７］

なお、本発明の一態様は、上記の電子部品４７００の形状に限定せず、ステップＳＴＰ１において作製された素子基板も含まれる。また、本発明の一態様である素子基板は、ステップＳＴＰ２の基板の裏面の研削作業まで行った素子基板も含まれる。また、本発明の一態様である素子基板は、ステップＳＴＰ３のダイシング工程まで行った素子基板も含まれる。例えば、図６５（Ｃ）に示す半導体ウェハ４８００などが該素子基板に相当する。半導体ウェハ４８００には、そのウェハ４８０１の上面に複数の回路部４８０２が形成されている。なお、ウェハ４８０１の上面において、回路部４８０２の無い部分は、スペーシング４８０３であり、スペーシング４８０３の一部はダイシング用の領域となる。

［０３２８］

ダイシングは、一点鎖線で示したスクライブラインＳＣＬ１及びスクライブラインＳＣＬ２（ダイシングライン、又は切断ラインと呼ぶ場合がある）に沿って行われる。なお、スペーシング４８０３は、ダイシング工程を容易に行うために、複数のスクライブラインＳＣＬ１が平行になるように設け、複数のスクライブラインＳＣＬ２が平行になるように設け、スクライブラインＳＣＬ１とスクライブラインＳＣＬ２が垂直になるように設けるのが好ましい。

［０３２９］

ダイシング工程を行うことにより、図６５（Ｄ）に示すようなチップ４８００ａを、半導体ウェハ４８００から切り出すことができる。チップ４８００ａは、ウェハ４８０１ａと、回路部４８０２と、スペーシング４８０３ａと、を有する。なお、スペーシング４８０３ａは、極力小さくなるようにするのが好ましい。この場合、隣り合う回路部４８０２の間のスペーシング４８０３の幅が、スクライブラインＳＣＬ１の切りしろと、又はスクライブラインＳＣＬ２の切りしろとほぼ同等の長さであればよい。

［０３３０］

なお、本発明の一態様の素子基板の形状は、図６５（Ｃ）に図示した半導体ウェハ４８００の形状に限定されない。例えば、図６５（Ｅ）に示す矩形の形状の半導体ウェハ４８１０あってもよい。素

子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

［０３３１］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３３２］

（実施の形態５）

本実施の形態では、上記実施の形態の半導体装置を備えることができるＣＰＵについて説明する。

［０３３３］

図６６は、実施の形態１で説明した半導体装置を一部に用いたＣＰＵの一例の構成を示すブロック図である。

［０３３４］

図６６に示すＣＰＵは、基板１１９０上に、ＡＬＵ１１９１（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ、演算回路）、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、タイミングコントローラ１１９５、レジスタ１１９６、レジスタコントローラ１１９７、バスインターフェース１１９８（Ｂｕｓ　Ｉ／Ｆ）、書き換え可能なＲＯＭ１１９９、及びＲＯＭインターフェース１１８９（ＲＯＭ　Ｉ／Ｆ）を有している。基板１１９０は、半導体基板、ＳＯＩ基板、ガラス基板などを用いる。ＲＯＭ１１９９及びＲＯＭインターフェース１１８９は、別チップに設けてもよい。もちろん、図６６に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。例えば、図６６に示すＣＰＵまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成、つまりＧＰＵのような構成としてもよい。また、ＣＰＵが内部演算回路やデータバスで扱えるビット数は、例えば８ビット、１６ビット、３２ビット、６４ビットなどとすることができる。

［０３３５］

バスインターフェース１１９８を介してＣＰＵに入力された命令は、インストラクションデコーダ１１９３に入力され、デコードされた後、ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５に入力される。

［０３３６］

ＡＬＵコントローラ１１９２、インタラプトコントローラ１１９４、レジスタコントローラ１１９７、タイミングコントローラ１１９５は、デコードされた命令に基づき、各種制御を行なう。具体的にＡＬＵコントローラ１１９２は、ＡＬＵ１１９１の動作を制御するための信号を生成する。また、インタラプトコントローラ１１９４は、ＣＰＵのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ１１９７は、レジスタ１１９６のアドレスを生成し、ＣＰＵの状態に応じてレジスタ１１９６の読み出しや書き込みを行なう。

［０３３７］

また、タイミングコントローラ１１９５は、ＡＬＵ１１９１、ＡＬＵコントローラ１１９２、インストラクションデコーダ１１９３、インタラプトコントローラ１１９４、及びレジスタコントローラ１１９７の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ１１９５は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロ

ック信号を上記各種回路に供給する。

［０３３８］

図６６に示すＣＰＵでは、レジスタ１１９６に、メモリセルが設けられている。レジスタ１１９６のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

［０３３９］

図６６に示すＣＰＵにおいて、レジスタコントローラ１１９７は、ＡＬＵ１１９１からの指示に従い、レジスタ１１９６における保持動作の選択を行う。すなわち、レジスタ１１９６が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ１１９６内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ１１９６内のメモリセルへの電源電圧の供給を停止することができる。

［０３４０］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３４１］

（実施の形態６）

上記実施の形態の記憶装置を備えることができるメモリカード（例えば、ＳＤカード）、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）メモリ、ＳＳＤ（Ｓｏｌｉｄ　Ｓｔａｔｅ　Ｄｒｉｖｅ）等の各種のリムーバブル記憶装置に適用することができる。本実施の形態では、リムーバブル記憶装置の幾つかの構成例について、図６７を用いて、説明する。

［０３４２］

図６７（Ａ）はＵＳＢメモリの模式図である。ＵＳＢメモリ５１００は、筐体５１０１、キャップ５１０２、ＵＳＢコネクタ５１０３及び基板５１０４を有する。基板５１０４は、筐体５１０１に収納されている。基板５１０４には、記憶装置及び該記憶装置を駆動する回路が設けられている。例えば、基板５１０４には、メモリチップ５１０５、コントローラチップ５１０６が取り付けられている。メモリチップ５１０５は、実施の形態２で説明したメモリセルアレイ２６１０、ワード線ドライバ回路２６２２、ローデコーダ２６２１、センスアンプ２６３３、プリチャージ回路２６３２、カラムデコーダ２６３１などが組み込まれている。コントローラチップ５１０６は、具体的にはプロセッサ、ワークメモリ、ＥＣＣ回路等が組み込まれている。なお、メモリチップ５１０５とコントローラチップ５１０６とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。例えば、ワード線ドライバ回路２６２２、ローデコーダ２６２１、センスアンプ２６３３、プリチャージ回路２６３２、カラムデコーダ２６３１をメモリチップ５１０５でなく、コントローラチップ５１０６に組み込んだ構成としてもよい。ＵＳＢコネクタ５１０３が外部装置と接続するためのインターフェースとして機能する。

［０３４３］

図６７（Ｂ）はＳＤカードの外観の模式図であり、図６７（Ｃ）は、ＳＤカードの内部構造の模式図である。ＳＤカード５１１０は、筐体５１１１、コネクタ５１１２及び基板５１１３を有する。コネクタ５１１２が外部装置と接続するためのインターフェースとして機能する。基板５１１３は筐体５１１１に収納されている。基板５１１３には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板５１１３には、メモリチップ５１１４、コントローラチップ５１１５が取り付け

られている。メモリチップ５１１４には、実施の形態２で説明したメモリセルアレイ２６１０、ワード線ドライバ回路２６２２、ローデコーダ２６２１、センスアンプ２６３３、プリチャージ回路２６３２、カラムデコーダ２６３１などが組み込まれている。コントローラチップ５１１５には、プロセッサ、ワークメモリ、ＥＣＣ回路等が組み込まれている。なお、メモリチップ５１１４とコントローラチップ５１１５とのそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更してもよい。例えば、ワード線ドライバ回路２６２２、ローデコーダ２６２１、センスアンプ２６３３、プリチャージ回路２６３２、カラムデコーダ２６３１をメモリチップ５１１４でなく、コントローラチップ５１１５に組み込んだ構成としてもよい。

［０３４４］

基板５１１３の裏面側にもメモリチップ５１１４を設けることで、ＳＤカード５１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板５１１３に設けてもよい。これによって、外部装置とＳＤカード５１１０との間で無線通信を行うことができ、メモリチップ５１１４のデータの読み出し、書き込みが可能となる。

［０３４５］

図６７（Ｄ）はＳＳＤの外観の模式図であり、図６７（Ｅ）は、ＳＳＤの内部構造の模式図である。ＳＳＤ５１５０は、筐体５１５１、コネクタ５１５２及び基板５１５３を有する。コネクタ５１５２が外部装置と接続するためのインターフェースとして機能する。基板５１５３は筐体５１５１に収納されている。基板５１５３には、記憶装置及び記憶装置を駆動する回路が設けられている。例えば、基板５１５３には、メモリチップ５１５４、メモリチップ５１５５、コントローラチップ５１５６が取り付けられている。メモリチップ５１５４には、実施の形態２で説明したメモリセルアレイ２６１０、ワード線ドライバ回路２６２２、ローデコーダ２６２１、センスアンプ２６３３、プリチャージ回路２６３２、カラムデコーダ２６３１などが組み込まれている。基板５１５３の裏面側にもメモリチップ５１５４を設けることで、ＳＳＤ５１５０の容量を増やすことができる。メモリチップ５１５５にはワークメモリが組み込まれている。例えば、メモリチップ５１５５には、ＤＲＡＭチップを用いればよい。コントローラチップ５１５６には、プロセッサ、ＥＣＣ回路などが組み込まれている。なお、メモリチップ５１５４と、メモリチップ５１５５と、コントローラチップ５１１５と、のそれぞれの回路構成は、上述の記載に限定せず、状況に応じて、又は場合によって、適宜回路構成を変更しても良い。例えば、コントローラチップ５１５６にも、ワークメモリとして機能するメモリを設けてもよい。

［０３４６］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３４７］

（実施の形態７）

本実施の形態では、上記実施の形態の半導体装置、又は記憶装置を適用することができる電子機器の一例について説明する。

［０３４８］

＜ノート型パーソナルコンピュータ＞

本発明の一態様の半導体装置、又は記憶装置は、ノート型パーソナルコンピュータに備えることができる。図６８（Ａ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。

［０３４９］

＜スマートウォッチ＞

本発明の一態様の半導体装置、又は記憶装置は、ウェアラブル端末に備えることができる。図６８（Ｂ）はウェアラブル端末の一種であるスマートウォッチであり、筐体５９０１、表示部５９０２、操作ボタン５９０３、操作子５９０４、バンド５９０５などを有する。また、表示部５９０２に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン５９０３にスマートウォッチを起動する電源スイッチ、スマートウォッチのアプリケーションを操作するボタン、音量調整ボタン、または表示部５９０２を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。また、図６８（Ｂ）に示したスマートウォッチでは、操作ボタン５９０３の数を２個示しているが、スマートウォッチの有する操作ボタンの数は、これに限定されない。また、操作子５９０４は、スマートウォッチの時刻合わせを行うリューズとして機能する。また、操作子５９０４は、時刻合わせ以外に、スマートウォッチのアプリケーションを操作する入力インターフェースとして、用いるようにしてもよい。なお、図６８（Ｂ）に示したスマートウォッチでは、操作子５９０４を有する構成となっているが、これに限定せず、操作子５９０４を有さない構成であってもよい。

［０３５０］

＜ビデオカメラ＞

本発明の一態様の半導体装置、又は記憶装置は、ビデオカメラに備えることができる。図６８（Ｃ）はビデオカメラであり、第１筐体５８０１、第２筐体５８０２、表示部５８０３、操作キー５８０４、レンズ５８０５、接続部５８０６等を有する。操作キー５８０４及びレンズ５８０５は第１筐体５８０１に設けられており、表示部５８０３は第２筐体５８０２に設けられている。そして、第１筐体５８０１と第２筐体５８０２とは、接続部５８０６により接続されており、第１筐体５８０１と第２筐体５８０２の間の角度は、接続部５８０６により変更が可能である。表示部５８０３における映像を、接続部５８０６における第１筐体５８０１と第２筐体５８０２との間の角度に従って切り替える構成としてもよい。

［０３５１］

＜携帯電話＞

本発明の一態様の半導体装置、又は記憶装置は、携帯電話に備えることができる。図６８（Ｄ）は、情報端末の機能を有する携帯電話であり、筐体５５０１、表示部５５０２、マイク５５０３、スピーカ５５０４、操作ボタン５５０５を有する。また、表示部５５０２に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。また、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。あるいは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。また、操作ボタン５５０５に携帯電話を起動する電源スイッチ、携帯電話のアプリケーションを操作するボタン、音量調整ボタン、または表示部５５０２を点灯、あるいは消灯するスイッチなどのいずれかを備えることができる。

［０３５２］

また、図６８（Ｄ）に示した携帯電話では、操作ボタン５５０５の数を２個示しているが、携帯電

話の有する操作ボタンの数は、これに限定されない。また、図示していないが、図６８（Ｄ）に示した携帯電話は、フラッシュライト、または照明の用途として発光装置を有する構成であってもよい。

［０３５３］

＜テレビジョン装置＞

本発明の一態様の半導体装置、又は記憶装置は、テレビジョン装置に適用することができる。図６８（Ｅ）は、テレビジョン装置を示す斜視図である。テレビジョン装置は、筐体９０００、表示部９００１、スピーカ９００３、操作キー９００５（電源スイッチ、または操作スイッチを含む）、接続端子９００６、センサ９００７（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）などを有する。本発明の一態様の記憶装置は、テレビジョン装置に備えることができる。テレビジョン装置は、例えば、５０インチ以上、または１００インチ以上の表示部９００１を組み込むことが可能である。

［０３５４］

＜移動体＞

本発明の一態様の半導体装置、又は記憶装置は、移動体である自動車の運転席周辺に適用することもできる。

［０３５５］

例えば、図６８（Ｆ）は、自動車の室内におけるフロントガラス周辺を表す図である。図６８（Ｆ）では、ダッシュボードに取り付けられた表示パネル５７０１、表示パネル５７０２、表示パネル５７０３の他、ピラーに取り付けられた表示パネル５７０４を図示している。

［０３５６］

表示パネル５７０１乃至表示パネル５７０３は、ナビゲーション情報、スピードメーターやタコメーター、走行距離、給油量、ギア状態、エアコンの設定など、その他様々な情報を提供することができる。また、表示パネルに表示される表示項目やレイアウトなどは、ユーザの好みに合わせて適宜変更することができ、デザイン性を高めることが可能である。表示パネル５７０１乃至表示パネル５７０３は、照明装置として用いることも可能である。

［０３５７］

表示パネル５７０４には、車体に設けられた撮像手段からの映像を映し出すことによって、ピラーで遮られた視界（死角）を補完することができる。すなわち、自動車の外側に設けられた撮像手段からの画像を表示することによって、死角を補い、安全性を高めることができる。また、見えない部分を補完する映像を映すことによって、より自然に違和感なく安全確認を行うことができる。表示パネル５７０４は、照明装置として用いることもできる。

［０３５８］

本発明の一態様の半導体装置、又は記憶装置は、例えば、表示パネル５７０１乃至表示パネル５７０４に画像を表示する際に用いられる、画像データを一時的に格納するフレームメモリや、移動体が有するシステムを駆動するプログラムを保存する記憶装置などに用いることができる。

［０３５９］

また、図示していないが、図６８（Ａ）（Ｂ）（Ｅ）（Ｆ）に示した電子機器は、マイク及びスピーカを有する構成であってもよい。この構成により、例えば、上述した電子機器に音声入力機能を付することができる。

［０３６０］

また、図示していないが、図６８（Ａ）（Ｂ）、（Ｄ）乃至（Ｆ）に示した電子機器は、カメラを有する構成であってもよい。

［０３６１］

また、図示していないが、図６８（Ａ）乃至（Ｆ）に示した電子機器は、筐体の内部にセンサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線などを測定する機能を含むもの）を有する構成であってもよい。特に、図６８（Ｄ）に示す携帯電話に、ジャイロ、加速度センサなどの傾きを検出するセンサを有する検出装置を設けることで、該携帯電話の向き（鉛直方向に対して該携帯電話がどの向きに向いているか）を判断して、表示部５５０２の画面表示を、該携帯電話の向きに応じて自動的に切り替えるようにすることができる。

［０３６２］

また、図示していないが、図６８（Ａ）乃至（Ｆ）に示した電子機器は、指紋、静脈、虹彩、又は声紋など生体情報を取得する装置を有する構成であってもよい。この構成を適用することによって、生体認証機能を有する電子機器を実現することができる。

［０３６３］

また、図６８（Ａ）乃至（Ｆ）に示した電子機器の表示部として、可撓性を有する基材を用いてもよい。具体的には、該表示部は、可撓性を有する基材上にトランジスタ、容量素子、及び表示素子などを設けた構成としてもよい。この構成を適用することによって、図６８（Ａ）乃至（Ｆ）に示した電子機器のように平らな面を有する筐体だけでなく、曲面を有するような筐体の電子機器を実現することができる。

［０３６４］

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

［０３６５］

（本明細書等の記載に関する付記）

以上の実施の形態における各構成の説明について、以下に付記する。

［０３６６］

＜実施の形態で述べた本発明の一態様に関する付記＞

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

［０３６７］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

［０３６８］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［０３６９］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［０３７０］

＜序数詞に関する付記＞

本明細書等において、「第１」、「第２」、「第３」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第２」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第１」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

［０３７１］

＜図面を説明する記載に関する付記＞

実施の形態について図面を参照しながら説明している。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

［０３７２］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。構成同士の位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書等で説明した記載に限定されず、状況に応じて適切に言い換えることができる。例えば、「導電体の上面に有する絶縁体」の表現では、示している図面の向きを１８０度回転することによって、「導電体の下面に有する絶縁体」と言い換えることができる。

［０３７３］

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層Ａ上の電極Ｂ」の表現であれば、絶縁層Ａの上に電極Ｂが直接接して形成されている必要はなく、絶縁層Ａと電極Ｂとの間に他の構成要素を含むものを除外しない。

［０３７４］

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

［０３７５］

また、図面において、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

［０３７６］

また、図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

［０３７７］

＜言い換え可能な記載に関する付記＞

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第１電極、又は第１端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第２電極、又は第２端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。また、本明細書等では、ゲート以外の２つの端子を第１端子、第２端子と呼ぶ場合や、第３端子、第４端子と呼ぶ場合がある。なお、本明細書等において、チャネル形成領域はチャネルが形成される領域を指し、ゲートに電位を印加することでこの領域が形成されて、ソース - ドレイン間に電流を流すことができる。

［０３７８］

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

［０３７９］

また、本明細書等に記載するトランジスタが２つ以上のゲートを有するとき（この構成をデュアルゲート構造という場合がある）、それらのゲートを第１ゲート、第２ゲートと呼ぶ場合や、フロントゲート、バックゲートと呼ぶ場合がある。特に、「フロントゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。また、「バックゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。なお、ボトムゲートとは、トランジスタの作製時において、チャネル形成領域よりも先に形成される端子のことをいい、「トップゲート」とは、トランジスタの作製時において、チャネル形成領域よりも後に形成される端子のことをいう。

［０３８０］

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

［０３８１］

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

［０３８２］

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更す

ることが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

［０３８３］

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

［０３８４］

＜語句の定義に関する付記＞

以下では、上記実施の形態中で言及した語句の定義について説明する。

［０３８５］

＜＜半導体の不純物について＞＞

半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にＤＯＳ（Ｄｅｎｓｉｔｙ　ｏｆ　Ｓｔａｔｅｓ）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第１族元素、第２族元素、第１３族元素、第１４族元素、第１５族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第１族元素、第２族元素、第１３族元素、第１５族元素などがある。

［０３８６］

＜＜スイッチについて＞＞

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

［０３８７］

一例としては、電気的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

［０３８８］

電気的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、ＭＯＳトラ

ンジスタなど)、ダイオード（例えば、ＰＮダイオード、ＰＩＮダイオード、ショットキーダイオード、ＭＩＭ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｍｅｔａｌ）ダイオード、ＭＩＳ（Ｍｅｔａｌ　Ｉｎｓｕｌａｔｏｒ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）ダイオード、ダイオード接続のトランジスタなど)、又はこれらを組み合わせた論理回路などがある。

［０３８９］

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電気的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

［０３９０］

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（ＤＭＤ）のように、ＭＥＭＳ（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

［０３９１］

＜＜接続について＞＞

本明細書等において、ＸとＹとが接続されている、と記載する場合は、ＸとＹとが電気的に接続されている場合と、ＸとＹとが機能的に接続されている場合と、ＸとＹとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

［０３９２］

ここで使用するＸ、Ｙなどは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［０３９３］

ＸとＹとが電気的に接続されている場合の一例としては、ＸとＹとの電気的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

［０３９４］

ＸとＹとが機能的に接続されている場合の一例としては、ＸとＹとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、ＮＡＮＤ回路、ＮＯＲ回路など）、信号変換回路（ＤＡ変換回路、ＡＤ変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、ＸとＹとの間に１個以上接続されることが可能である。なお、一例として、ＸとＹとの間に別の回路を挟んでいても、Ｘから出力された信号がＹへ伝達される場合は、ＸとＹとは機能的に接続されているものとする。

［０３９５］

なお、ＸとＹとが電気的に接続されている、と明示的に記載する場合は、ＸとＹとが電気的に接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟んで接続されている場合）と、ＸとＹとが機能的に接続されている場合（つまり、ＸとＹとの間に別の回路を挟んで機能的に接続されている場合）と、ＸとＹとが直接接続されている場合（つまり、ＸとＹとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電気的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

［０３９６］

なお、例えば、トランジスタのソース（又は第１の端子など）が、Ｚ１を介して（又は介さず）、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）が、Ｚ２を介して（又は介さず）、Ｙと電気的に接続されている場合や、トランジスタのソース（又は第１の端子など）が、Ｚ１の一部と直接的に接続され、Ｚ１の別の一部がＸと直接的に接続され、トランジスタのドレイン（又は第２の端子など）が、Ｚ２の一部と直接的に接続され、Ｚ２の別の一部がＹと直接的に接続されている場合では、以下のように表現することが出来る。

［０３９７］

例えば、「ＸとＹとトランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とは、互いに電気的に接続されており、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙの順序で電気的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第１の端子など）は、Ｘと電気的に接続され、トランジスタのドレイン（又は第２の端子など）はＹと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この順序で電気的に接続されている」と表現することができる。又は、「Ｘは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Ｙと電気的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙ、Ｚ１、Ｚ２は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

［０３９８］

なお、回路図上は独立している構成要素同士が電気的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電気的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

［０３９９］

＜＜平行、垂直について＞＞

本明細書において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。したがって、－５°以上５°以下の場合も含まれる。また、「略平行」とは、二つの直線が－３０°以上３０°以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線

が８０°以上１００°以下の角度で配置されている状態をいう。したがって、８５°以上９５°以下の場合も含まれる。また、「略垂直」とは、二つの直線が６０°以上１２０°以下の角度で配置されている状態をいう。

［符号の説明］

［０４００］

ＭＣ［１］：メモリセル、ＭＣ［２］：メモリセル、ＭＣ［ｎ］：メモリセル、ＭＣ［１，１］：メモリセル、ＭＣ［ｊ，１］：メモリセル、ＭＣ［ｎ，１］：メモリセル、ＭＣ［１，ｉ］：メモリセル、ＭＣ［ｊ，ｉ］：メモリセル、ＭＣ［ｎ，ｉ］：メモリセル、ＭＣ［１，ｍ］：メモリセル、ＭＣ［ｊ，ｍ］：メモリセル、ＭＣ［ｎ，ｍ］：メモリセル、ＷＬ：配線、ＷＬ［１］：配線、ＷＬ［ｉ］：配線、ＷＬ［ｎ］：配線、ＢＬ：配線、ＳＬ：配線、ＢＳＬ：配線、ＢＳＬ［１］：配線、ＢＳＬ［ｉ］：配線、ＢＳＬ［ｍ］：配線、ＳＳＬ：配線、ＳＳＬ［１］：配線、ＳＳＬ［ｉ］：配線、ＳＳＬ［ｍ］：配線、ＢＧＬ：配線、ＢＧＬ［１］：配線、ＢＧＬ［ｉ］：配線、ＢＧＬ［ｍ］：配線、ＣＴｒ：セルトランジスタ、ＢＴｒ：トランジスタ、ＳＴｒ：トランジスタ、ＰＧ：導電体、ＥＲ：配線、ＨＬ：領域、ＡＲ：領域、ＴＭ：領域、ＳＣＬ１：スクライブライン、ＳＣＬ２：スクライブライン、ＳＤ１：領域、ＳＤ２：領域、Ｔ１０：時刻、Ｔ１１：時刻、Ｔ１２：時刻、Ｔ１３：時刻、Ｔ２０：時刻、Ｔ２１：時刻、Ｔ２２：時刻、Ｔ２３：時刻、Ｔ２４：時刻、Ｔ２５：時刻、Ｔ３０：時刻、Ｔ３１：時刻、Ｔ３２：時刻、Ｔ３３：時刻、Ｔ４０：時刻、Ｔ４１：時刻、Ｔ４２：時刻、Ｔ４３：時刻、Ｔ４４：時刻、Ｔ４５：時刻、１０：供給処理、１００：積層体、１００Ａ：積層体、１０１Ａ：絶縁体、１０１Ｂ：絶縁体、１０１Ｃ：絶縁体、１０２：絶縁体、１０２Ａ：絶縁体、１０２Ｂ：絶縁体、１０３：絶縁体、１０４：絶縁体、１０５：絶縁体、１０７Ａ：絶縁体、１０７Ｂ：絶縁体、１０７Ｃ：絶縁体、１１１：絶縁体、１３４：導電体、１３５：導電体、１３５ａ：導電体、１３５ｂ：導電体、１３５ｃ：導電体、１３６：導電体、１３６ａ：導電体、１３６ｂ：導電体、１３７：導電体、１３７ａ：導電体、１３７ｂ：導電体、１３７ｃ：導電体、１３８ａ：導電体、１３８ｂ：導電体、１４１Ａ：犠牲層、１４１Ｂ：犠牲層、１５１：半導体、１５１ａ：領域、１５１ｂ：領域、１５１ｅ：領域、１５１ｄ：領域、１５２Ａ：半導体、１５２Ｂ：半導体、１５２Ｃ：半導体、１５３：半導体、１５３ａ：半導体、１５３ｂ：半導体、１６１Ａ：化合物、１６１Ｂ：化合物、１６１Ｃ：化合物、１８１Ａ：領域、１８１Ｂ：領域、１９１：開口部、１９２：スリット、１９３：開口部、１９５Ａ：凹部、１９５Ｂ：凹部、１９５Ｃ：凹部、１９６Ａ：凹部、１９６Ｂ：凹部、１９７Ａ：凹部、１９７Ｂ：凹部、２０１：絶縁体、２１１：導電体、１１８９：ＲＯＭインターフェース、１１９０：基板、１１９１：ＡＬＵ、１１９２：ＡＬＵコントローラ、１１９３：インストラクションデコーダ、１１９４：インタラプトコントローラ、１１９５：タイミングコントローラ、１１９６：レジスタ、１１９７：レジスタコントローラ、１１９８：バスインターフェース、１１９９：ＲＯＭ、１７００：基板、１７０１：素子分離層、１７１２：導電体、１７３０：導電体、１７９０：ゲート電極、１７９２：ウェル、１７９３：チャネル形成領域、１７９４：低濃度不純物領域、１７９５：高濃度不純物領域、１７９６：導電性領域、１７９７：ゲート絶縁膜、１７９８：側壁絶縁層、１７９９：側壁絶縁層、２６００：記憶装置、２６０１：周辺回路、２６１０：メモリセルアレイ、２６２１：ローデコーダ、２６２２：ワード線ドライバ回路、２６３０：ビット線ドライバ回路、２６３１：カラムデコーダ、２６３２：プリチャージ回路、２６３３：センスアンプ、２６３４：書き込み回路、２６４０：出力回路、２６６０：コントロールロジック回路、４７００：電子部品、４７０１：リード、４７０２：プリント基板、４７０３：回路部、４７０４：回路基板、４８００：半導体ウェ

ハ、４８００ａ：チップ、４８０１：ウェハ、４８０１ａ：ウェハ、４８０２：回路部、４８０３：スペーシング、４８０３ａ：スペーシング、４８１０：半導体ウェハ、５１００：ＵＳＢメモリ、５１０１：筐体、５１０２：キャップ、５１０３：ＵＳＢコネクタ、５１０４：基板、５１０５：メモリチップ、５１０６：コントローラチップ、５１１０：ＳＤカード、５１１１：筐体、５１１２：コネクタ、５１１３：基板、５１１４：メモリチップ、５１１５：コントローラチップ、５１５０：ＳＳＤ、５１５１：筐体、５１５２：コネクタ、５１５３：基板、５１５４：メモリチップ、５１５５：メモリチップ、５１５６：コントローラチップ、５４０１：筐体、５４０２：表示部、５４０３：キーボード、５４０４：ポインティングデバイス、５５０１：筐体、５５０２：表示部、５５０３：マイク、５５０４：スピーカ、５５０５：操作ボタン、５７０１：表示パネル、５７０２：表示パネル、５７０３：表示パネル、５７０４：表示パネル、５８０１：第１筐体、５８０２：第２筐体、５８０３：表示部、５８０４：操作キー、５８０５：レンズ、５８０６：接続部、５９０１：筐体、５９０２：表示部、５９０３：操作ボタン、５９０４：操作子、５９０５：バンド、９０００：筐体、９００１：表示部、９００３：スピーカ、９００５：操作キー、９００６：接続端子、９００７：センサ

請求の範囲

［請求項１］

第１乃至第４絶縁体と、第１導電体と、第２導電体と、第１半導体と、を有する半導体装置であり、

前記第１半導体は、第１面と、第２面と、を有し、

前記第１絶縁体の第１側面及び第２側面は、前記第１導電体を介して、前記第１半導体の前記第１面と重畳する領域に位置し、

前記第１導電体の第１側面は、前記第１半導体の前記第１面に位置し、

前記第１絶縁体の第１側面は、前記第１導電体の第２側面に位置し、

前記第２絶縁体は、前記第１絶縁体の第２側面と、前記第１絶縁体の上面と、前記第１導電体の上面と、前記第１半導体の前記第２面と、を含む領域に位置し、

前記第３絶縁体は、前記第２絶縁体が形成されている領域のうち、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第４絶縁体は、

前記第３絶縁体の形成面と、

前記第２絶縁体を介して前記第１半導体の前記第１面と重畳する領域と、に位置し、

前記第２導電体は、前記第４絶縁体が形成されている領域のうち、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第３絶縁体は、電荷を蓄積する機能を有し、

前記第２導電体に電位を与えることによって、前記第１半導体の前記第２面と前記第３絶縁体との間に、第２絶縁体を介して、トンネル電流を誘起させる半導体装置。

［請求項２］

第１乃至第４絶縁体と、第１導電体と、第２導電体と、第１半導体と、第２半導体と、を有する半導体装置であり、

前記第１半導体は、第１面と、第２面と、を有し、

前記第１絶縁体の第１側面及び第２側面は、前記第１導電体を介して、前記第１半導体の前記第１面と重畳する領域に位置し、

前記第１導電体の第１側面は、前記第１半導体の前記第１面に位置し、

前記第１絶縁体の第１側面は、前記第１導電体の第２側面に位置し、

前記第２絶縁体は、前記第１絶縁体の第２側面と、前記第１絶縁体の上面と、前記第１導電体の上面と、前記第１半導体の前記第２面と、を含む領域に位置し、

前記第３絶縁体は、前記第２絶縁体が形成されている領域のうち、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第４絶縁体は、

前記第３絶縁体の形成面と、

前記第２絶縁体を介して前記第１半導体の前記第１面と重畳する領域と、に位置し、

前記第２半導体は、前記第４絶縁体を介して、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第２導電体は、

前記第２半導体の形成面と、

前記第４絶縁体が形成されている領域のうち、前記第１半導体の前記第２面と重畳する領域に位

置し、

前記第３絶縁体は、電荷を蓄積する機能を有し、

前記第２導電体に電位を与えることによって、前記第１半導体の前記第２面と前記第３絶縁体との間に、第２絶縁体を介して、トンネル電流を誘起させる半導体装置。

［請求項３］

請求項１、又は請求項２において、

前記第３絶縁体は、

前記第２絶縁体が形成されている領域のうち、前記第１半導体の前記第１面と重畳する領域にも位置し、

且つ、前記第２絶縁体と前記第４絶縁体との間に重畳する領域に位置する半導体装置。

［請求項４］

第１絶縁体と、第２絶縁体と、第４絶縁体と、第１乃至第３導電体と、第１半導体と、を有する半導体装置であり、

前記第１半導体は、第１面と、第２面と、を有し、

前記第１絶縁体の第１側面及び第２側面は、前記第１導電体を介して、前記第１半導体の前記第１面と重畳する領域に位置し、

前記第１導電体の第１側面は、前記第１半導体の前記第１面に位置し、

前記第１絶縁体の第１側面は、前記第１導電体の第２側面に位置し、

前記第２絶縁体は、前記第１絶縁体の第２側面と、前記第１絶縁体の上面と、前記第１導電体の上面と、前記第１半導体の前記第２面と、を含む領域に位置し、

前記第３導電体は、前記第２絶縁体を介して、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第４絶縁体は、

前記第３導電体の形成面と、

前記第２絶縁体が形成された領域のうち、前記第３導電体を介して前記第１半導体の前記第２面と重畳する領域と、

前記第２絶縁体が形成された領域のうち、前記第２絶縁体を介して前記第１半導体の前記第１面と重畳する領域と、に位置し、

前記第２導電体は、前記第４絶縁体が形成されている領域のうち、前記第１半導体の前記第２面と重畳する領域に位置し、

前記第３導電体は、電荷を蓄積する機能を有し、

前記第２導電体に電位を与えることによって、前記第１半導体の前記第２面と前記第３導電体との間に、第２絶縁体を介して、トンネル電流を誘起させる半導体装置。

［請求項５］

請求項１において、

前記第１半導体の前記第２面における前記第１半導体の膜厚は、前記第１半導体の前記第１面における前記第１半導体の膜厚よりも、薄い半導体装置。

［請求項６］

請求項４において、

第５絶縁体と、第４導電体と、を有し、

前記第５絶縁体は、前記第１半導体の前記第１面、及び前記第２面と反対側の面に位置し、

前記第４導電体は、前記第５絶縁体を介して、前記半導体の前記第１面及び前記第２面と重畳する領域に位置する半導体装置。

［請求項７］

請求項１において、

前記第１半導体は、金属酸化物を有し、

前記第１半導体の前記第２面、及び前記第２面の近傍は、

前記第１半導体の前記第１面、及び前記第１面の近傍よりも、酸素濃度が高い半導体装置。

［請求項８］

請求項７において、

前記半導体の前記第１面、及び前記第１面の近傍は、前記第１導電体に含まれる元素と、前記半導体に含まれる元素と、によって構成される化合物を有する半導体装置。

［請求項９］

請求項１において、

前記半導体は、シリコンを有し、

前記半導体の前記第１面、及び前記第１面の近傍において、前記第１導電体に含まれる元素と、前記半導体に含まれる元素と、によって低抵抗領域が形成されている半導体装置。

［請求項１０］

請求項１において、

前記第１導電体の代わりとして、第６絶縁体が用いられ、

前記第６絶縁体は、窒化シリコンを有する半導体装置。

［請求項１１］

請求項１に記載の半導体装置を複数個有し、

ダイシング用の領域を有する半導体ウェハ。

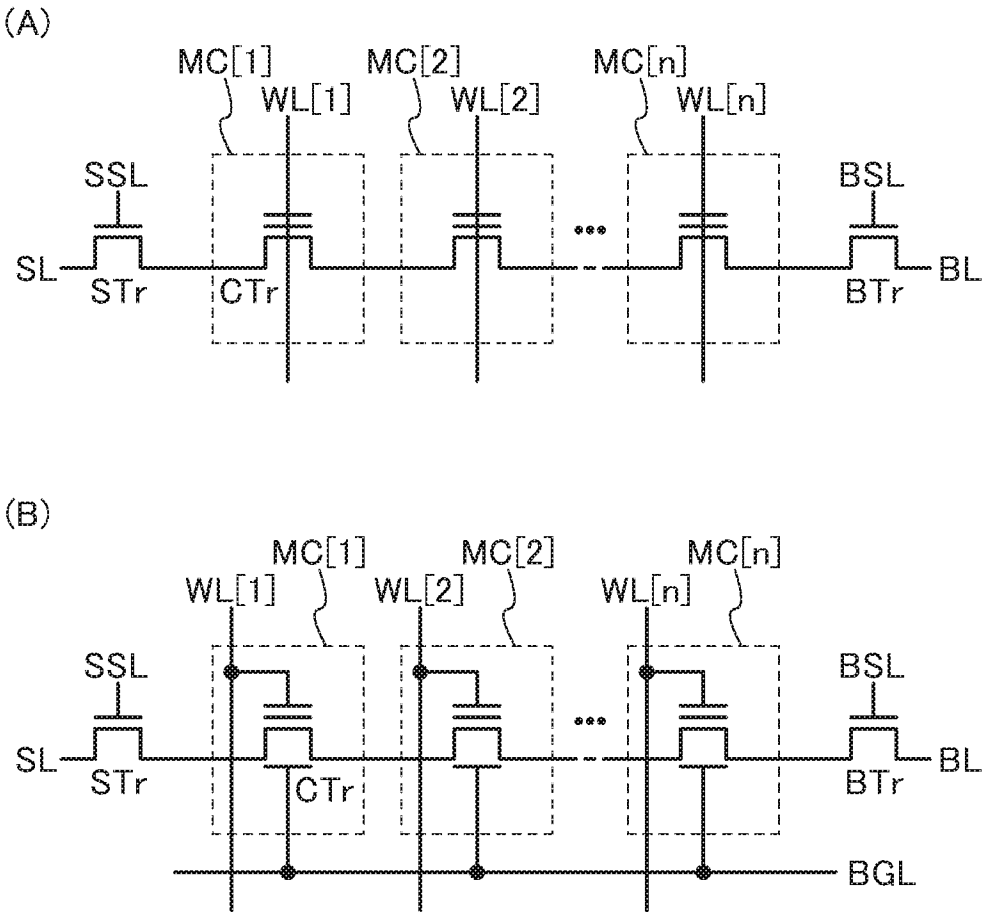
［請求項１２］

請求項１に記載の半導体装置と、周辺回路と、を有する記憶装置。

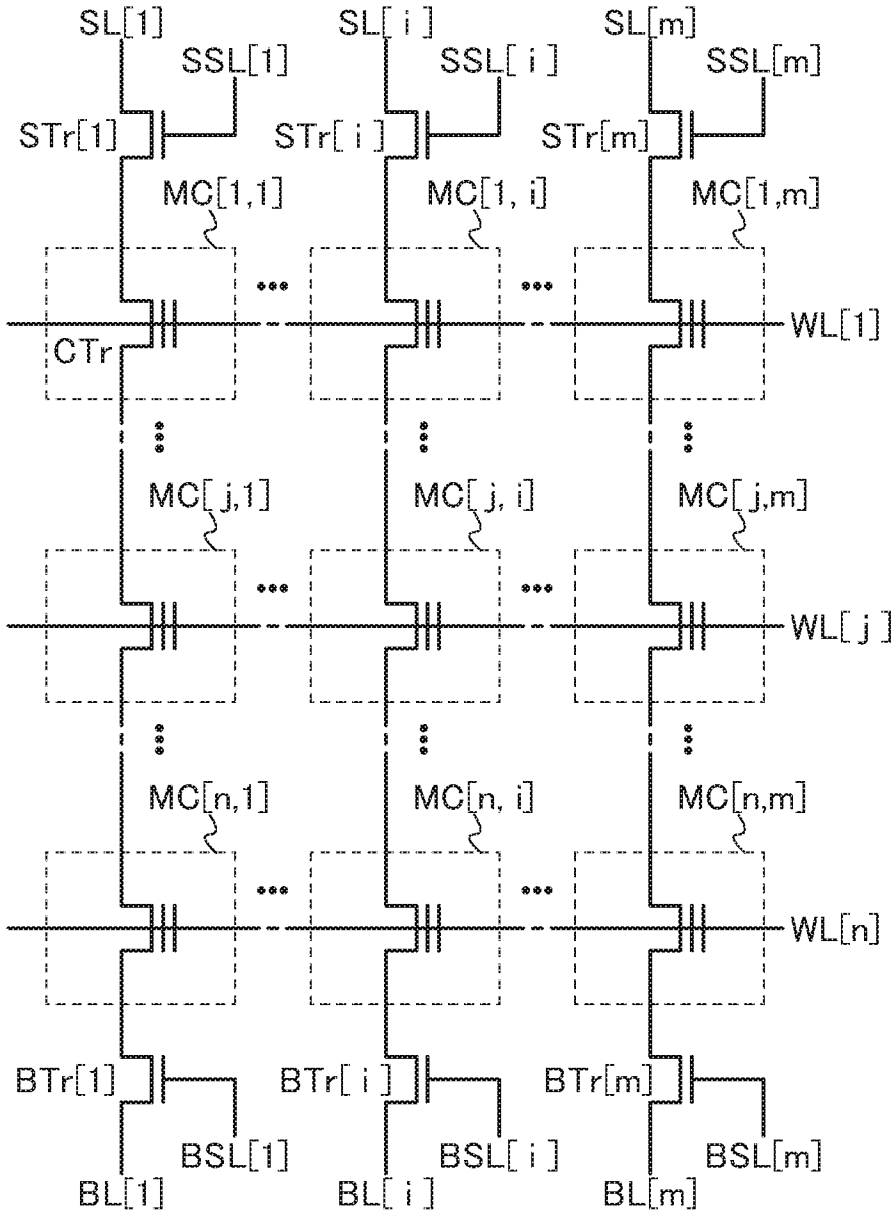
［請求項１３］

請求項１２に記載の記憶装置と、筐体と、を有する電子機器。

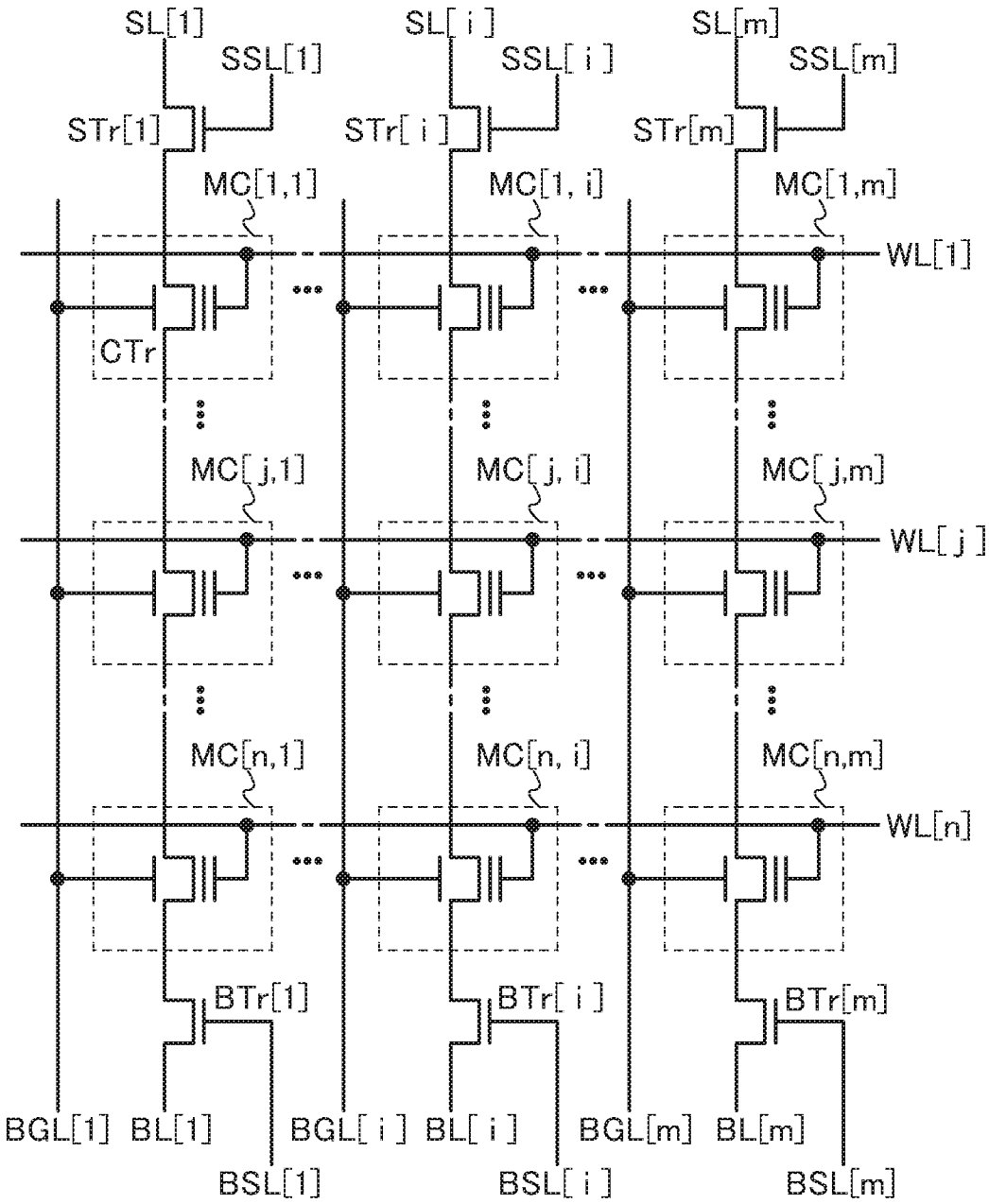
[図 1]


(A)
MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL
(B)
MC[1]
MC[2]
MC[n]
WL[1]
WL[2]
WL[n]
SSL
BSL
SL
STr
CTr
BTr
BL
BGL

[図 2]

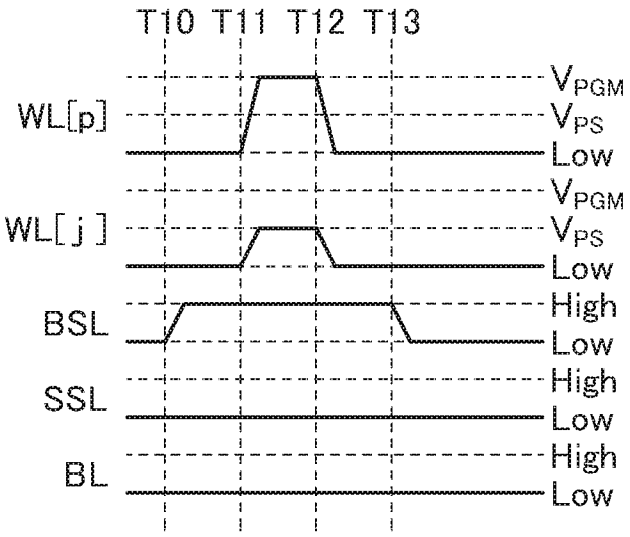

SL[1]
SL[i]
SL[m]
SSL[1]
SSL[i]
SSL[m]
STr[1]
STr[i]
STr[m]
MC[1,1]
MC[1, i]
MC[1,m]
CTr
WL[1]
MC[j,1]
MC[j, i]
MC[j,m]
WL[j]
MC[n,1]
MC[n, i]
MC[n,m]
WL[n]
BTr[1]
BTr[i]
BTr[m]
BSL[1]
BSL[i]
BSL[m]
BL[1]
BL[i]
BL[m]

[図 3]

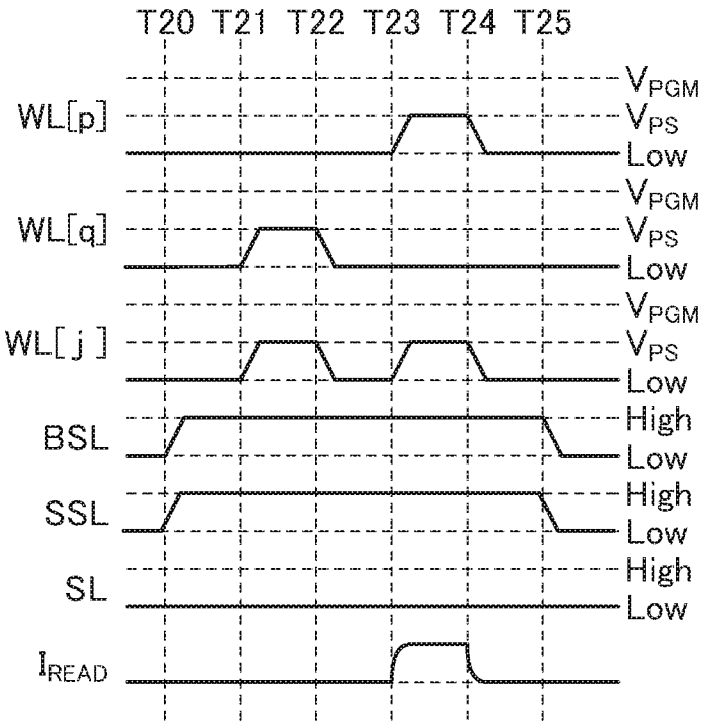

SL[1]
SL[i]
SL[m]
SSL[1]
SSL[i]
SSL[m]
STr[1]
STr[i]
STr[m]
MC[1,1]
MC[1, i]
MC[1,m]
WL[1]
CTr
MC[j,1]
MC[j, i]
MC[j,m]
WL[j]
MC[n,1]
MC[n, i]
MC[n,m]
WL[n]
BTr[1]
BTr[i]
BTr[m]
BGL[1]
BL[1]
BGL[i]
BL[i]
BGL[m]
BL[m]
BSL[1]
BSL[i]
BSL[m]

[図 4]

(A)

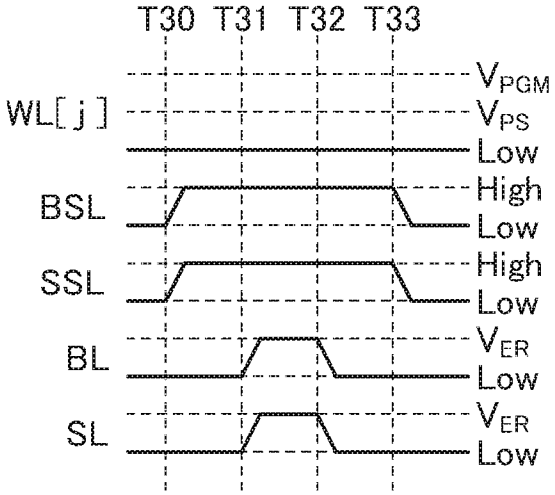

T10 T11 T12 T13
WL[p]
WL[j]
BSL
SSL
BL
V_{PGM}
V_{PS}
Low
High

(B)

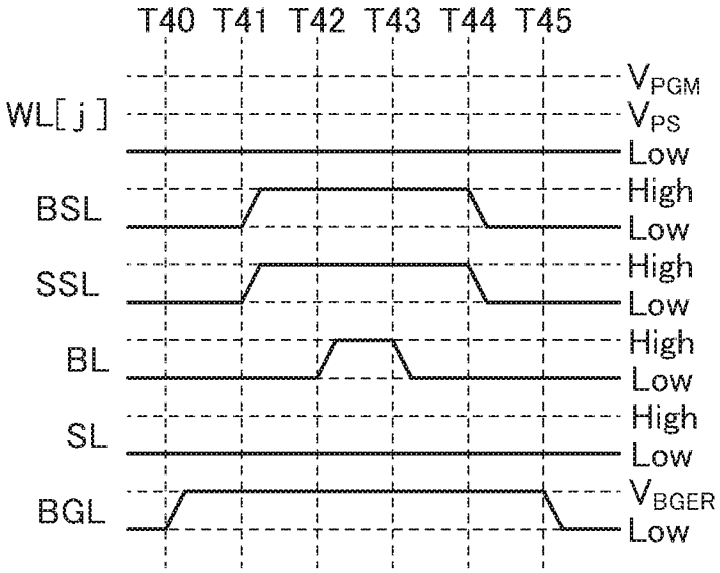

T20 T21 T22 T23 T24 T25
WL[p]
WL[q]
WL[j]
BSL
SSL
SL
I_{READ}
V_{PGM}
V_{PS}
Low
High

[図 5]

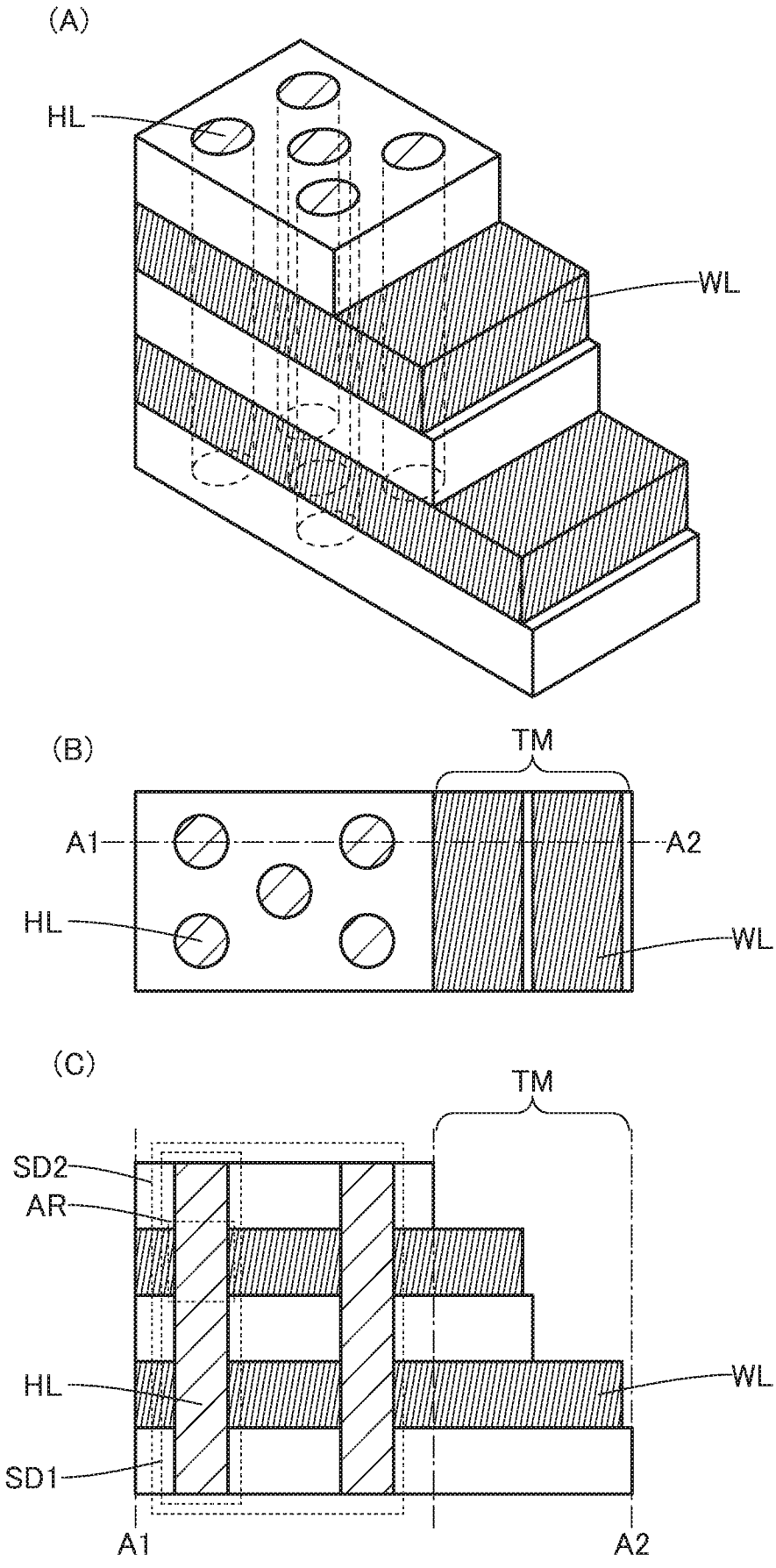
(A)


T30 T31 T32 T33
WL[j]
BSL
SSL
BL
SL
V_{PGM}
V_{PS}
Low
High
Low
High
Low
V_{ER}
Low
V_{ER}
Low

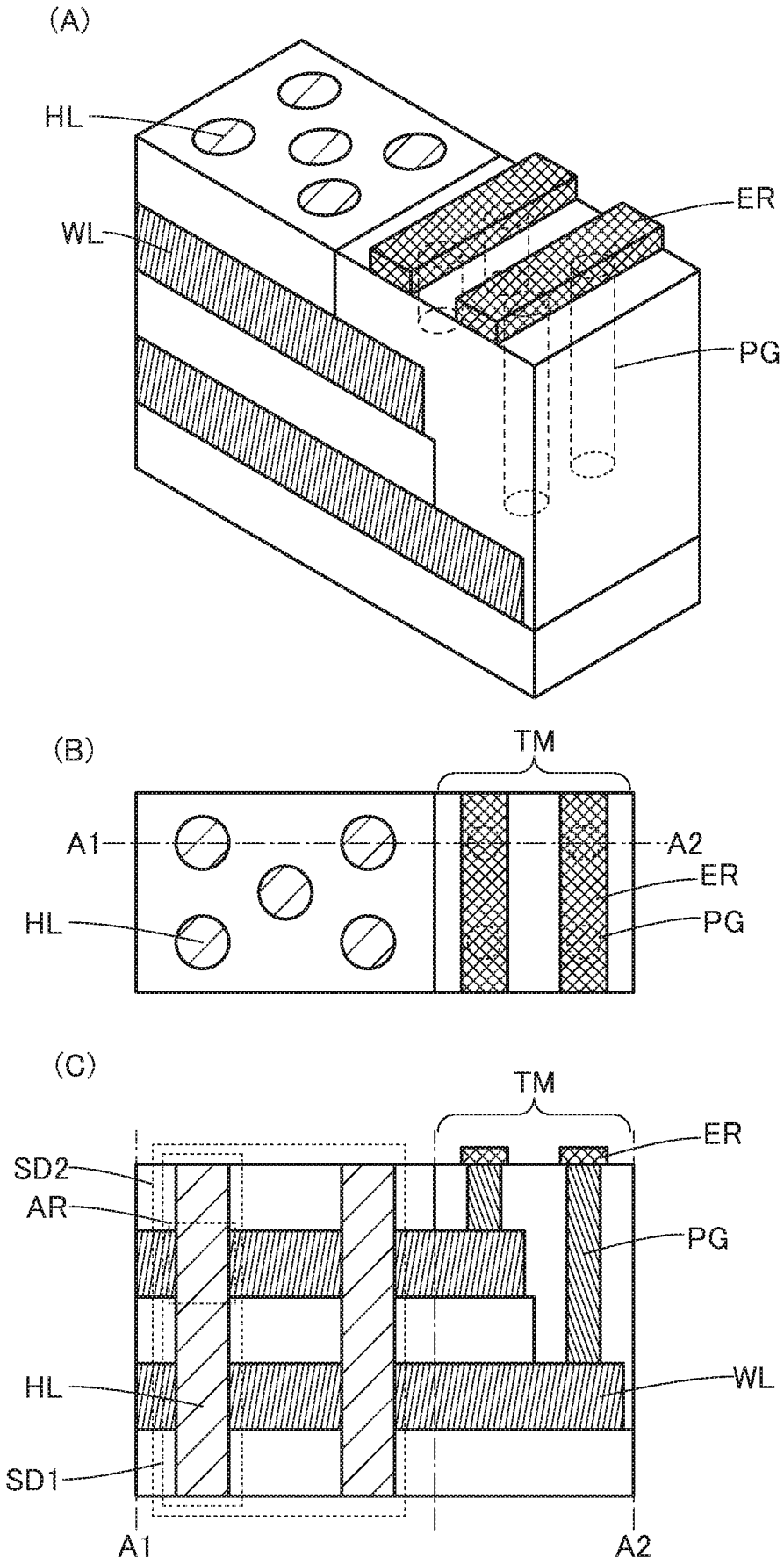
(B)


T40 T41 T42 T43 T44 T45
WL[j]
BSL
SSL
BL
SL
BGL
V_{PGM}
V_{PS}
Low
High
Low
High
Low
High
Low
High
Low
V_{BGER}
Low

[図 6]

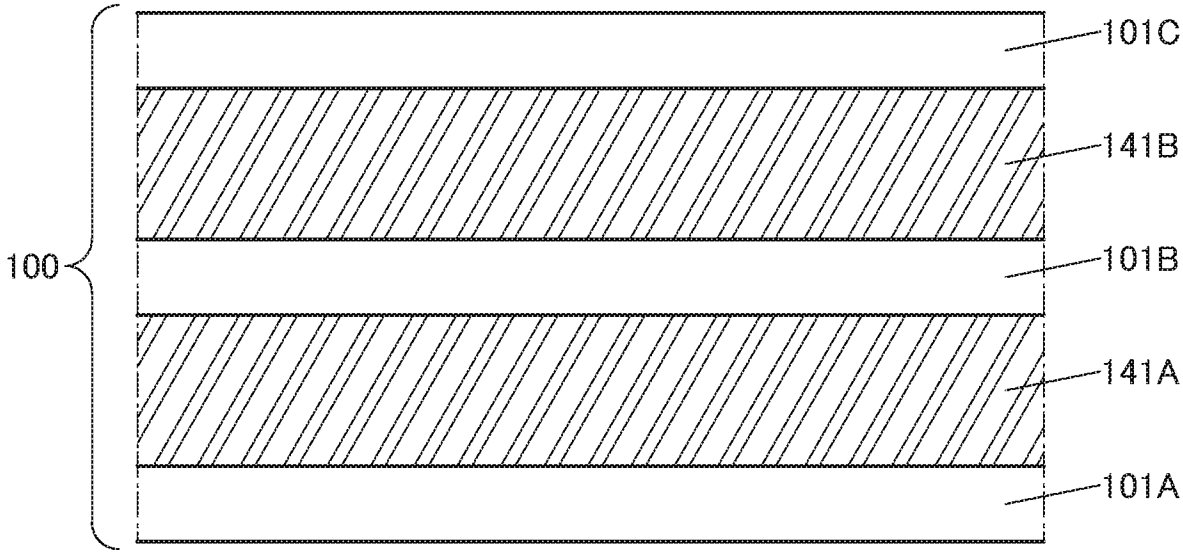


[図 7]

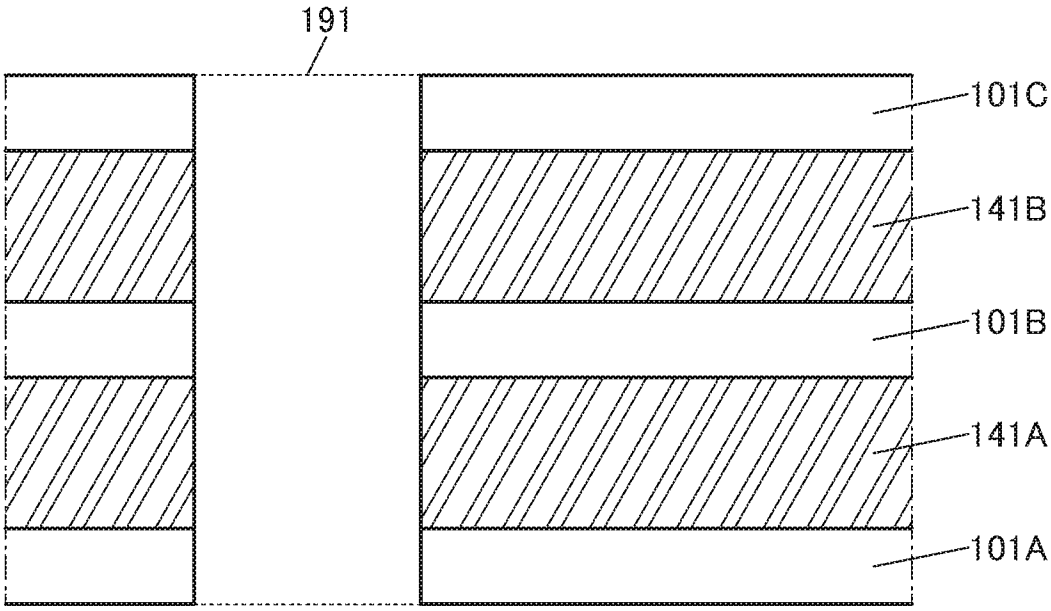


[図 8]

(A)

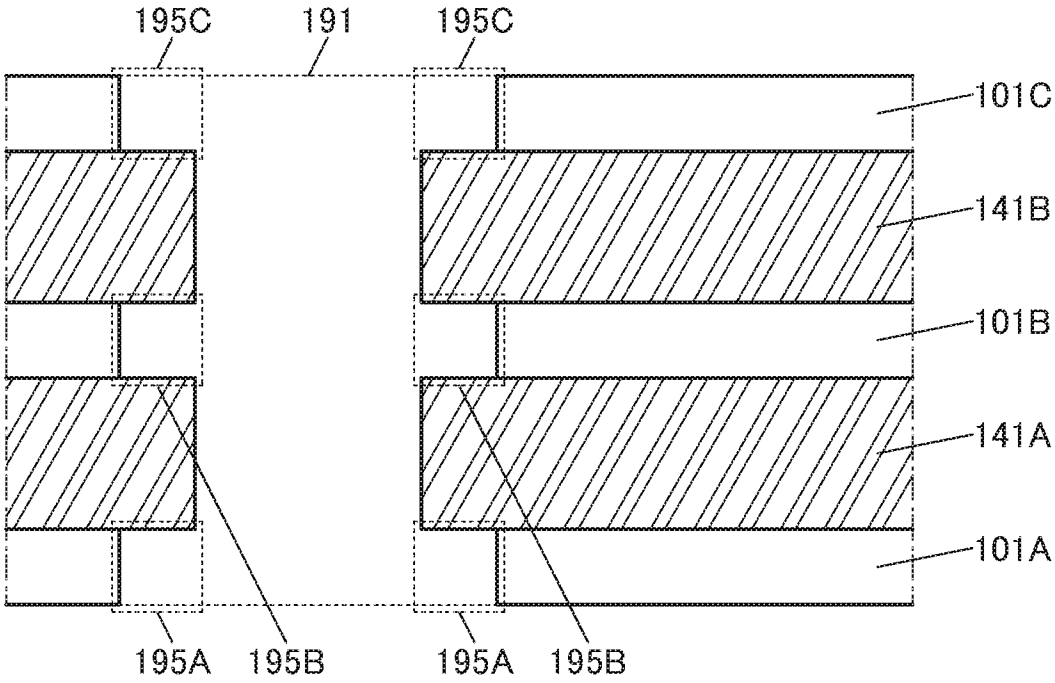


(B)

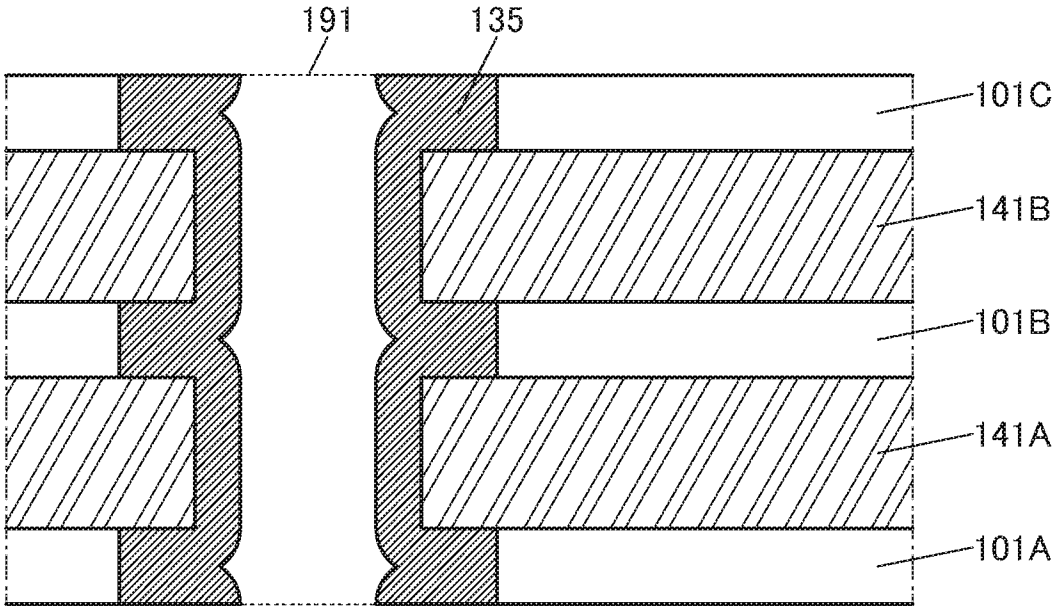


[図 9]

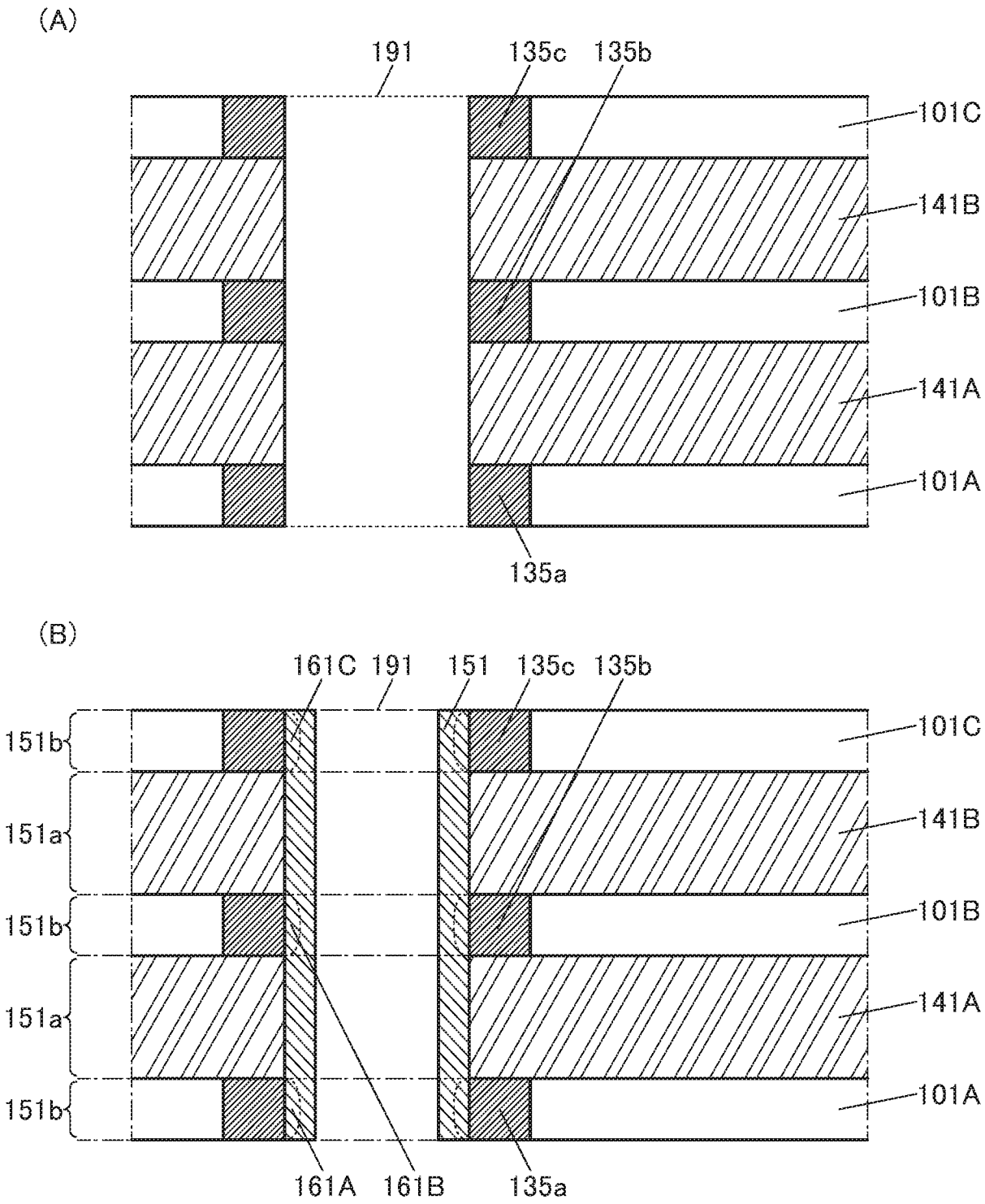
(A)


195C
191
195C
101C
141B
101B
141A
101A
195A
195B
195A
195B

(B)

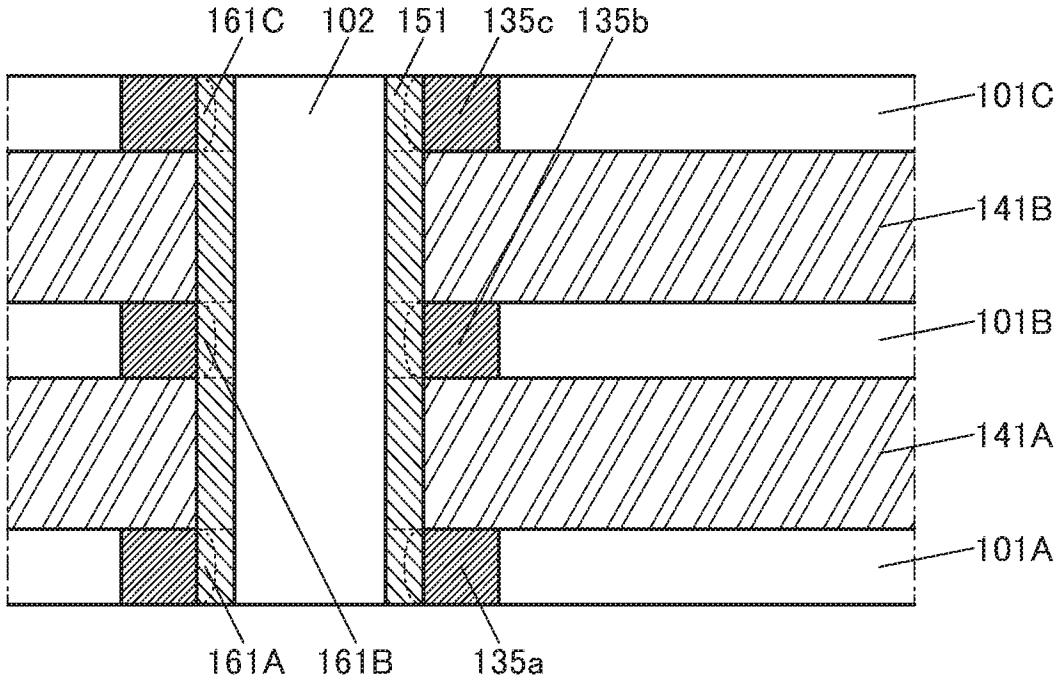

191
135
101C
141B
101B
141A
101A

[図10]

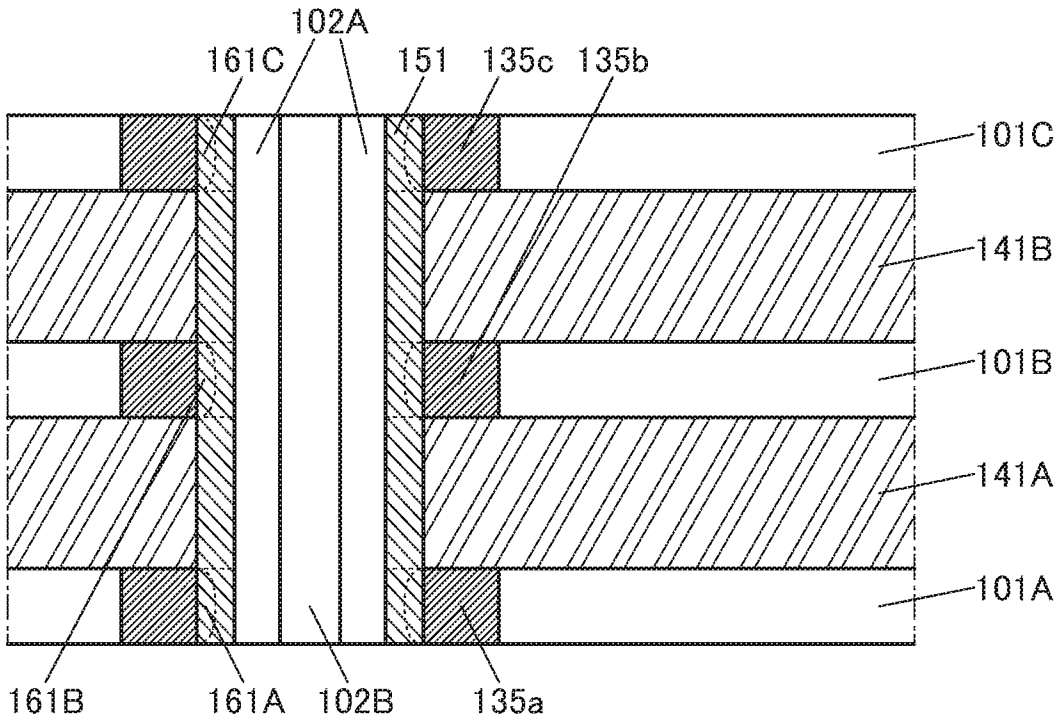

(A)
191
135c
135b
101C
141B
101B
141A
101A
135a
(B)
161C
191
151
135c
135b
151b
151a
151b
151a
151b
101C
141B
101B
141A
101A
161A
161B
135a

[図11]

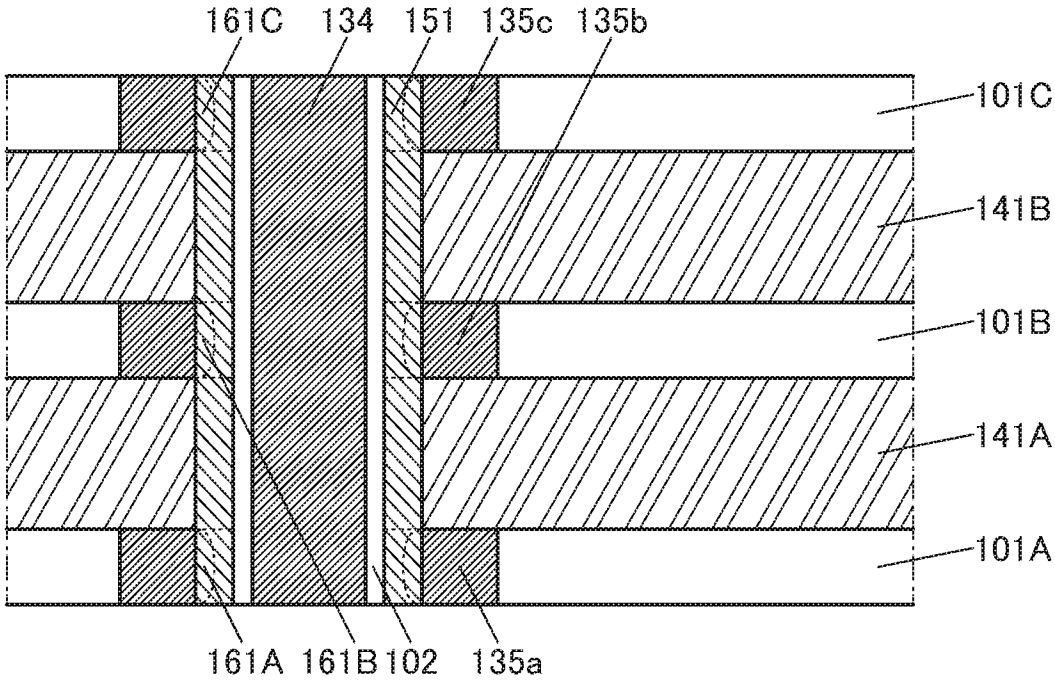
(A)


161C
102
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
135a

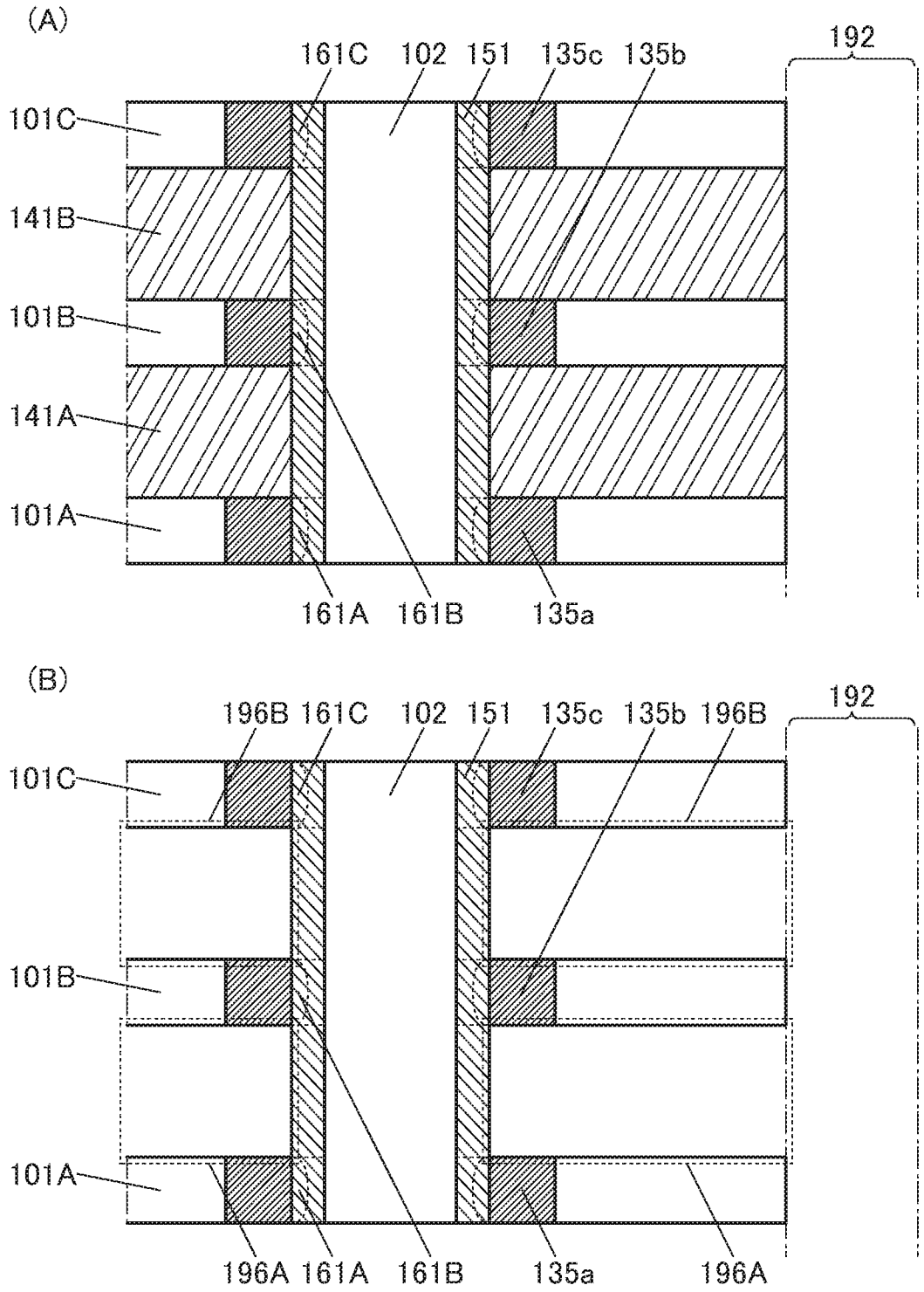
(B)


102A
161C
151
135c
135b
101C
141B
101B
141A
101A
161B
161A
102B
135a

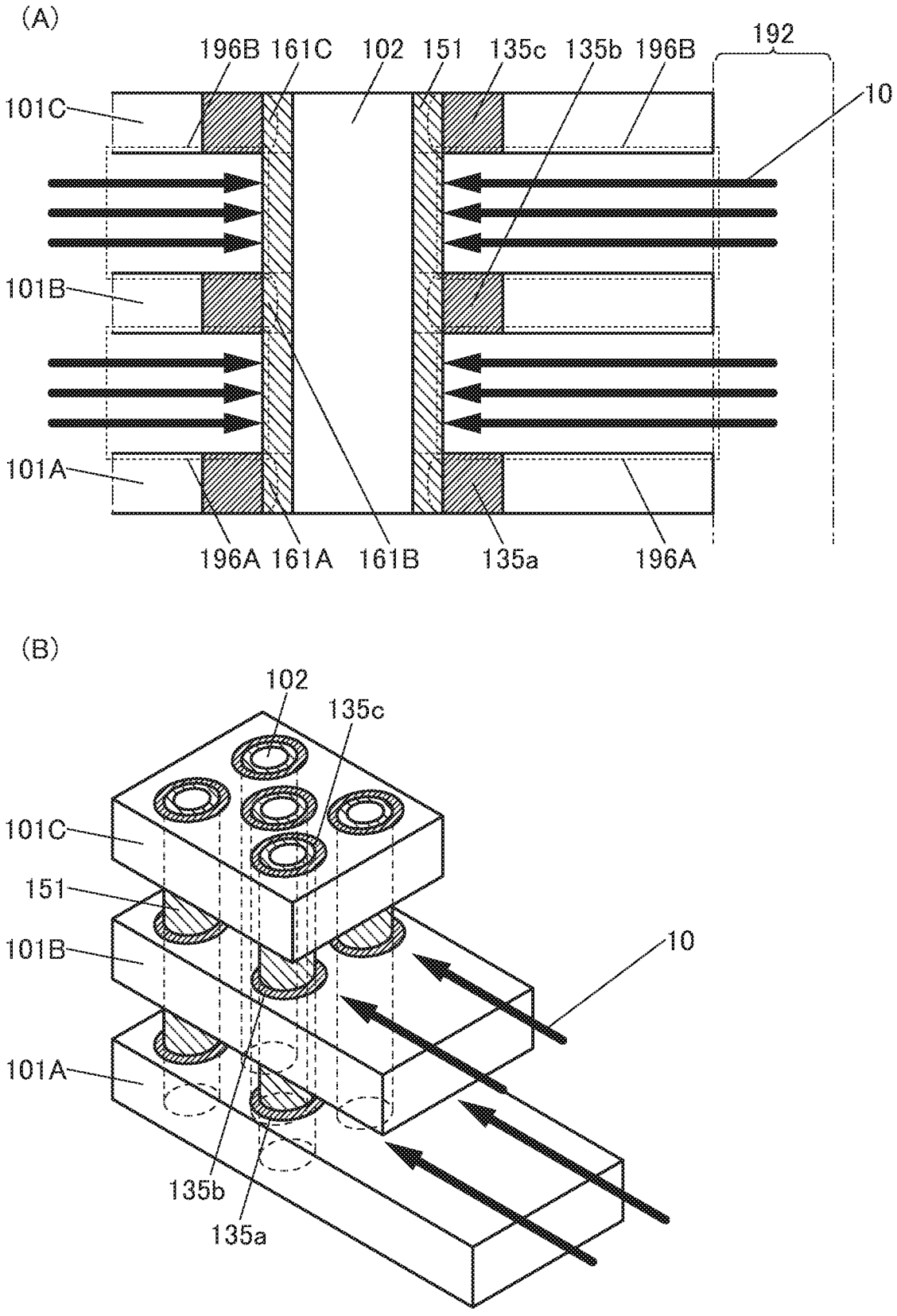
[図12]


161C
134
151
135c
135b
101C
141B
101B
141A
101A
161A
161B
102
135a

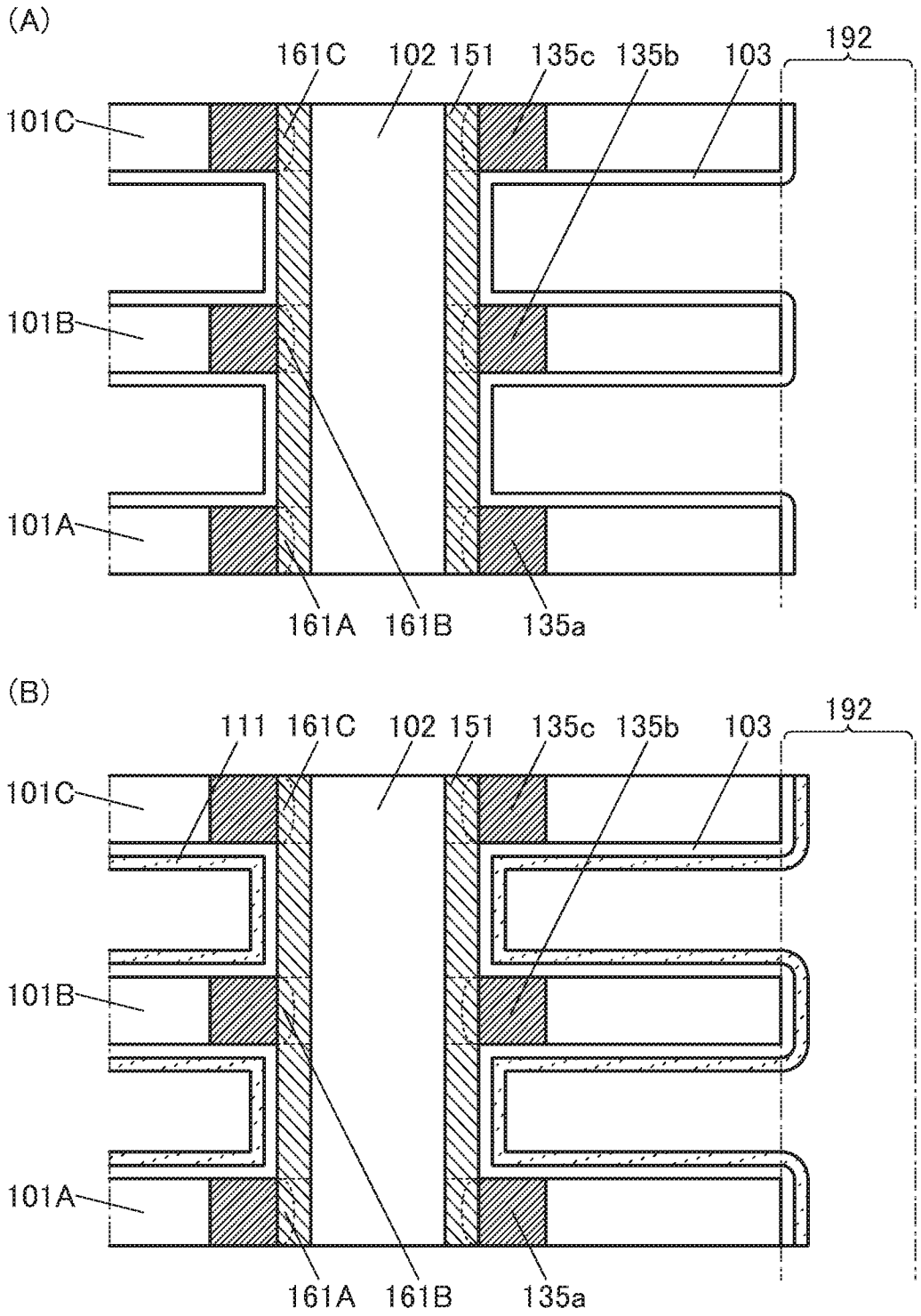
[図13]


(A)
161C
102
151
135c
135b
192
101C
141B
101B
141A
101A
161A
161B
135a
(B)
196B
161C
102
151
135c
135b
196B
192
101C
101B
101A
196A
161A
161B
135a
196A

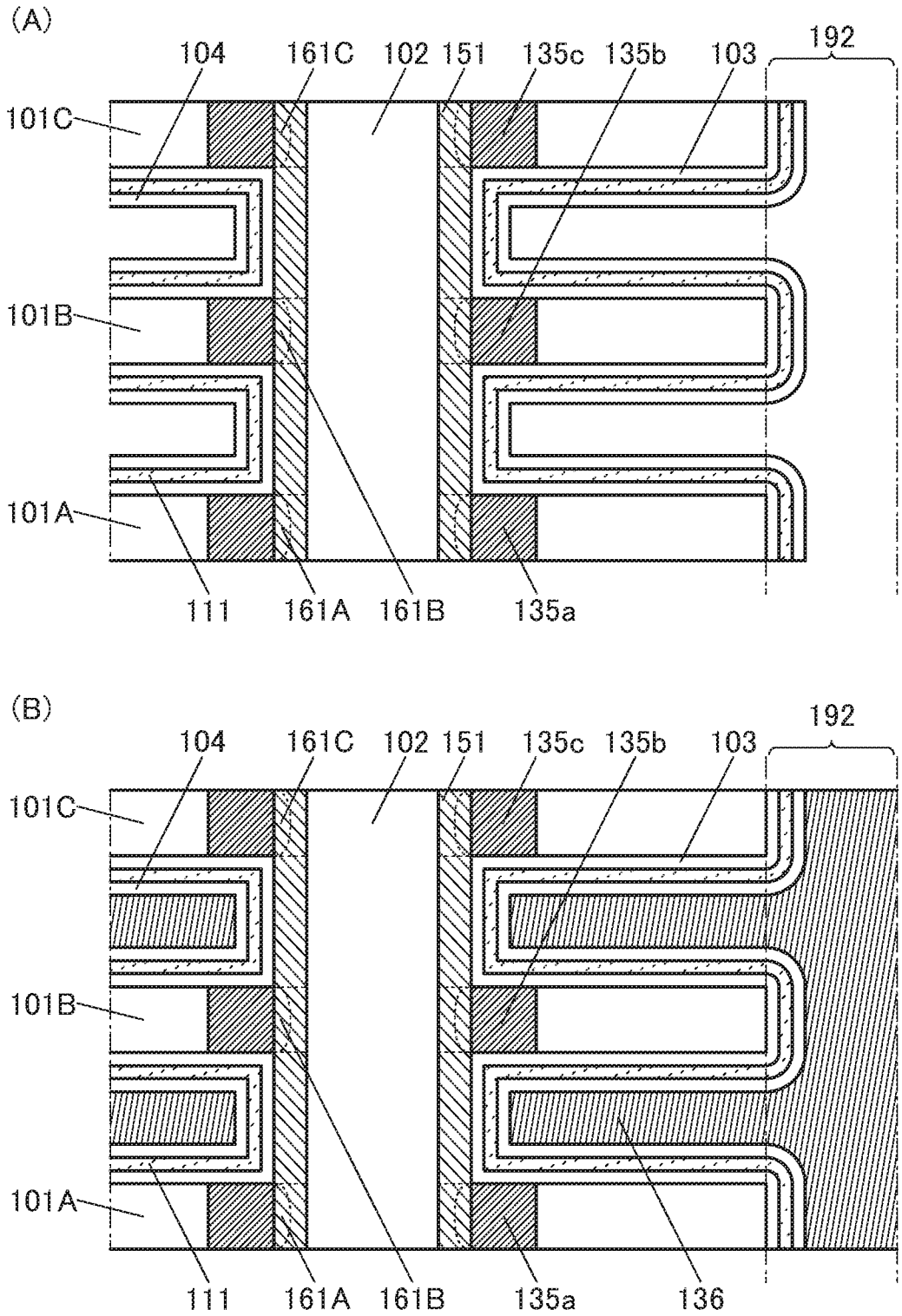
[図14]


(A)
196B
161C
102
151
135c
135b
196B
192
10
101C
101B
101A
196A
161A
161B
135a
196A
(B)
102
135c
101C
151
101B
10
101A
135b
135a

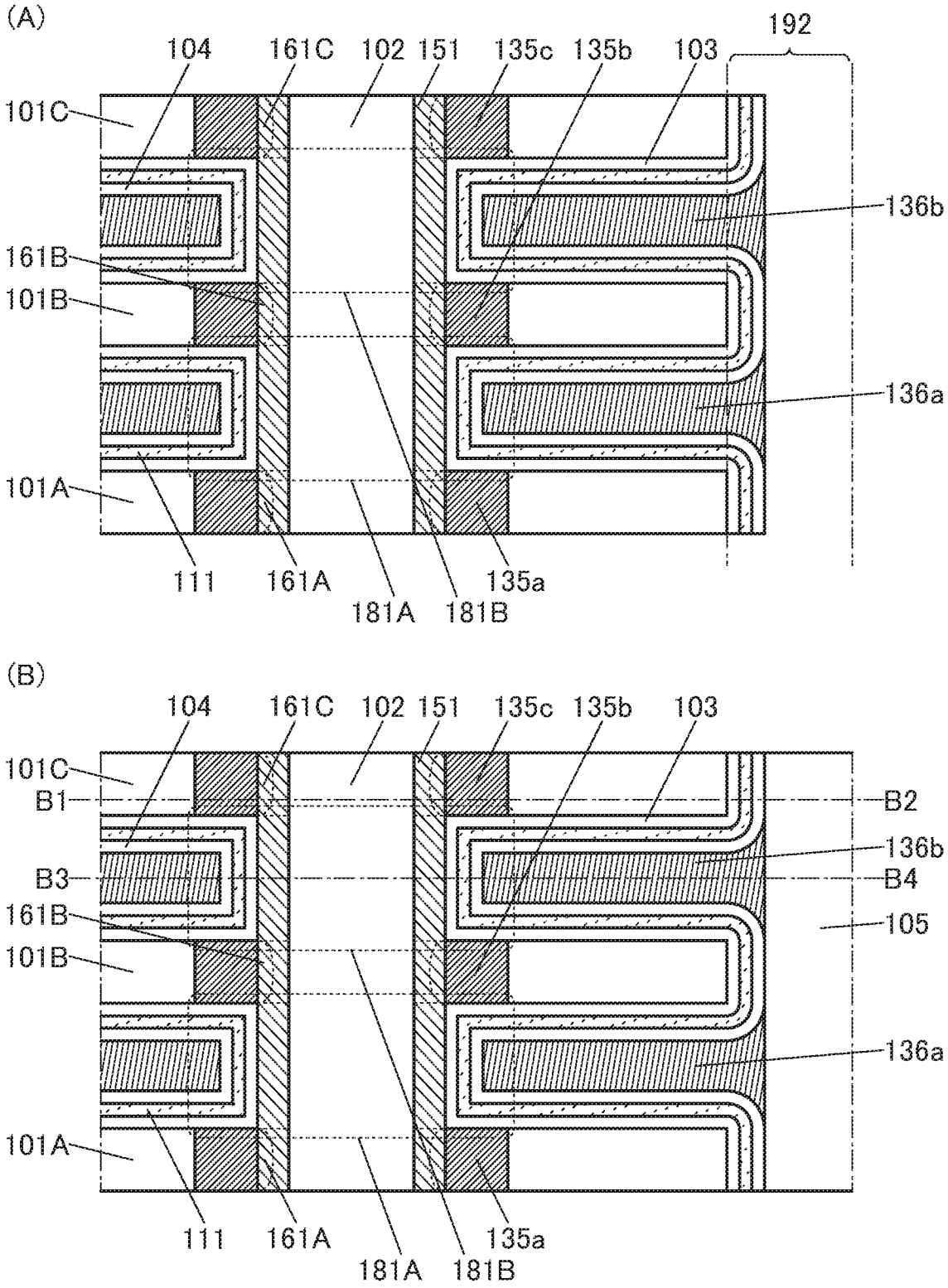
[図15]


(A)
161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a
(B)
111
161C
102
151
135c
135b
103
192
101C
101B
101A
161A
161B
135a

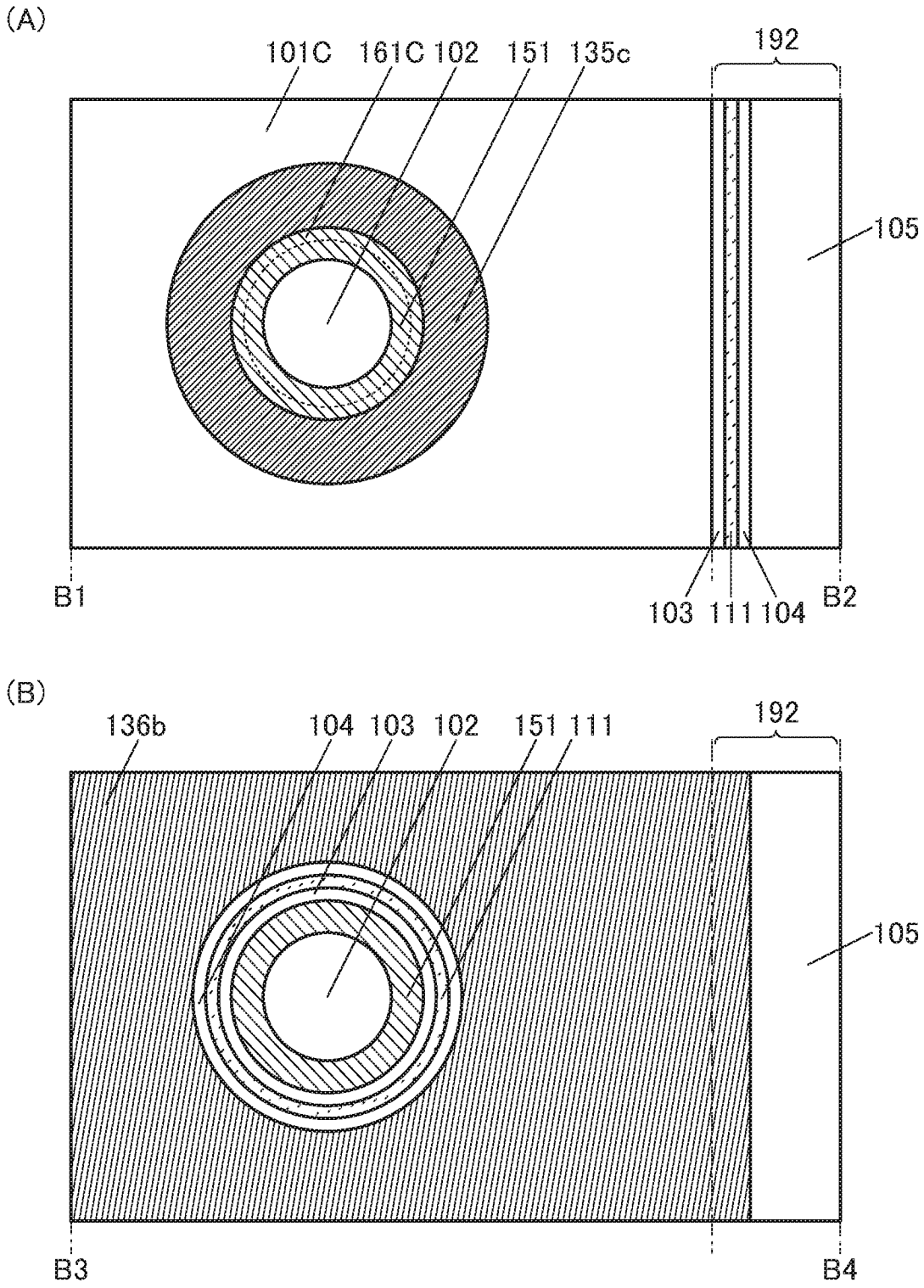
[図16]


(A)
104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
(B)
104
161C
102
151
135c
135b
103
192
101C
101B
101A
111
161A
161B
135a
136

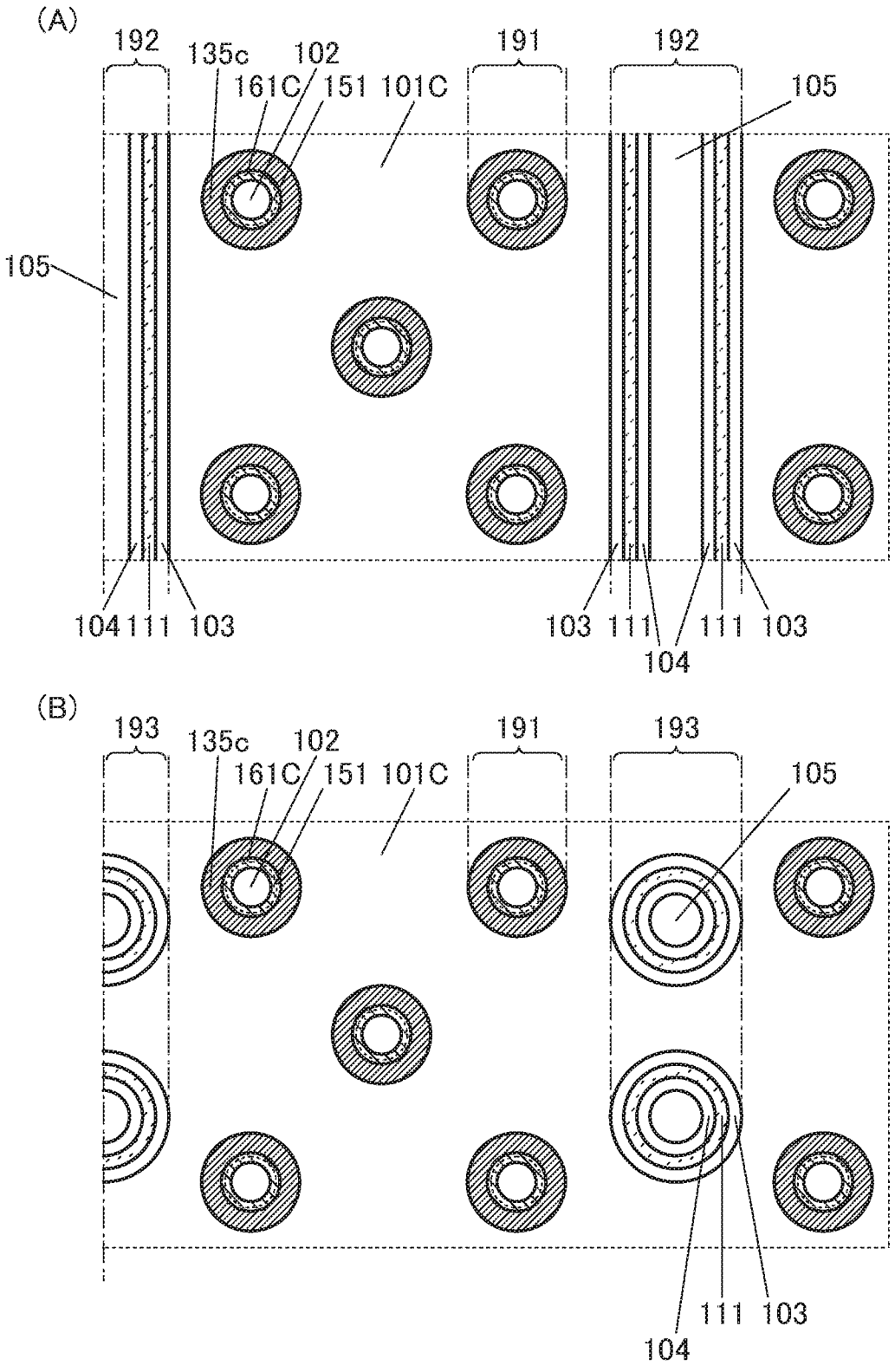
[図17]


(A)
104
161C
102
151
135c
135b
103
192
101C
136b
161B
101B
136a
101A
111
161A
181A
181B
135a
(B)
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a

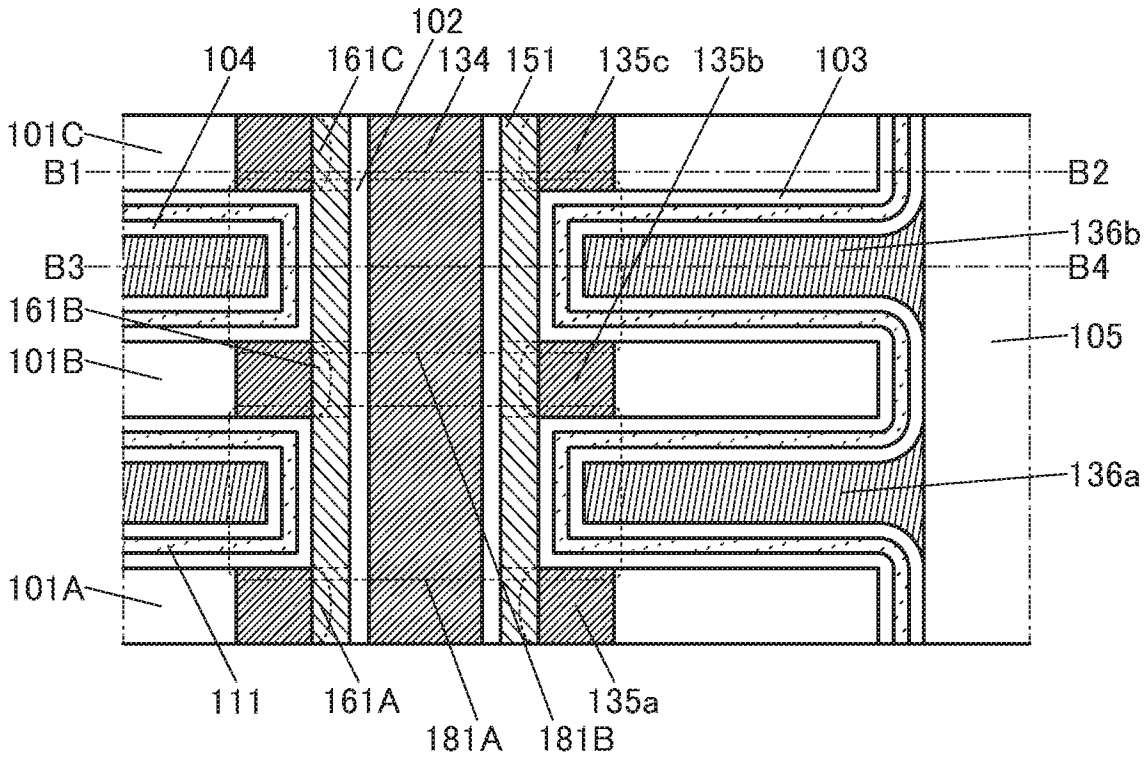
[図18]


(A)
101C
161C
102
151
135c
192
105
B1
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
B4

[図19]

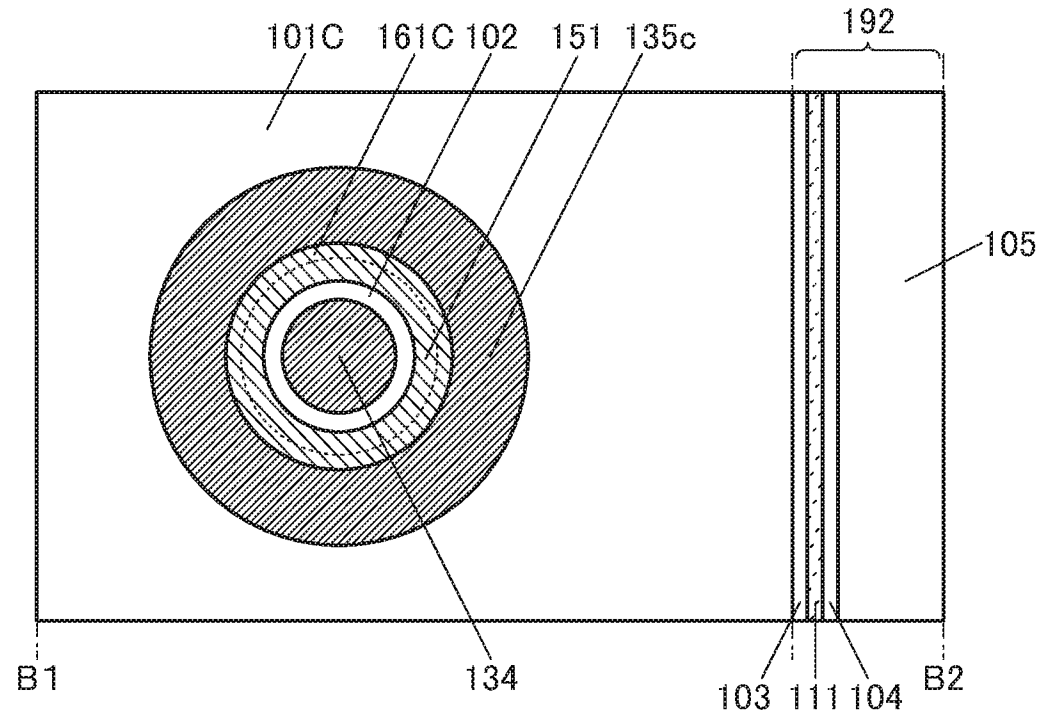

(A)
192
135c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
104
111
103
(B)
193
135c
102
161C
151
101C
191
193
105
104
111
103

[図20]

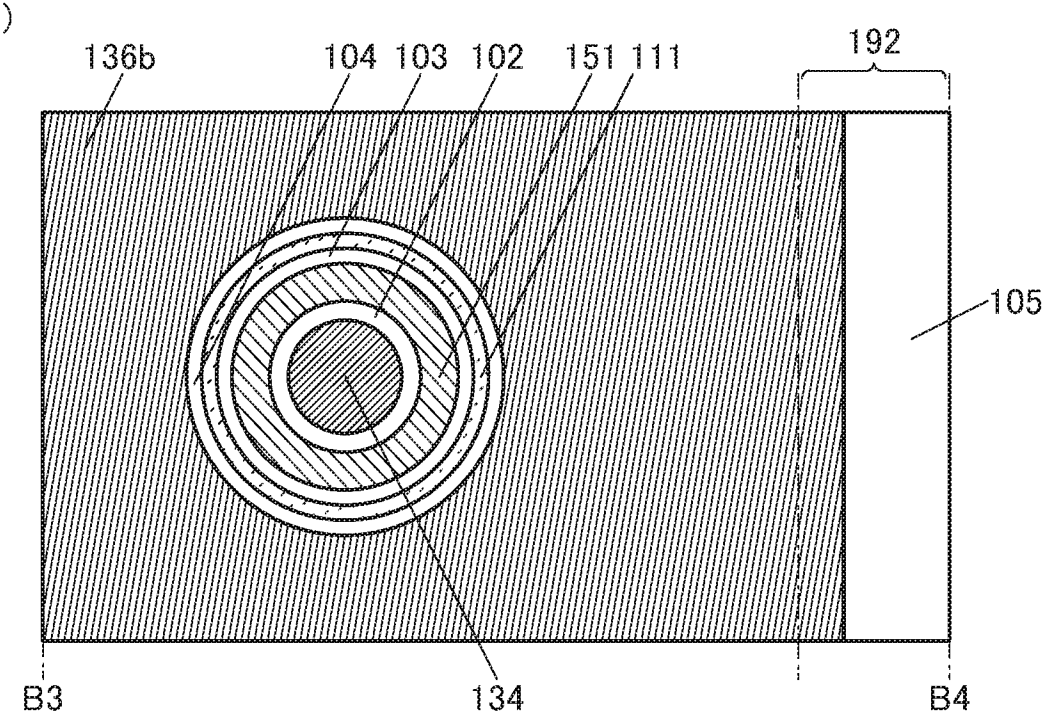

102
104
161C
134
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
111
161A
181A
181B
135a

[図21]

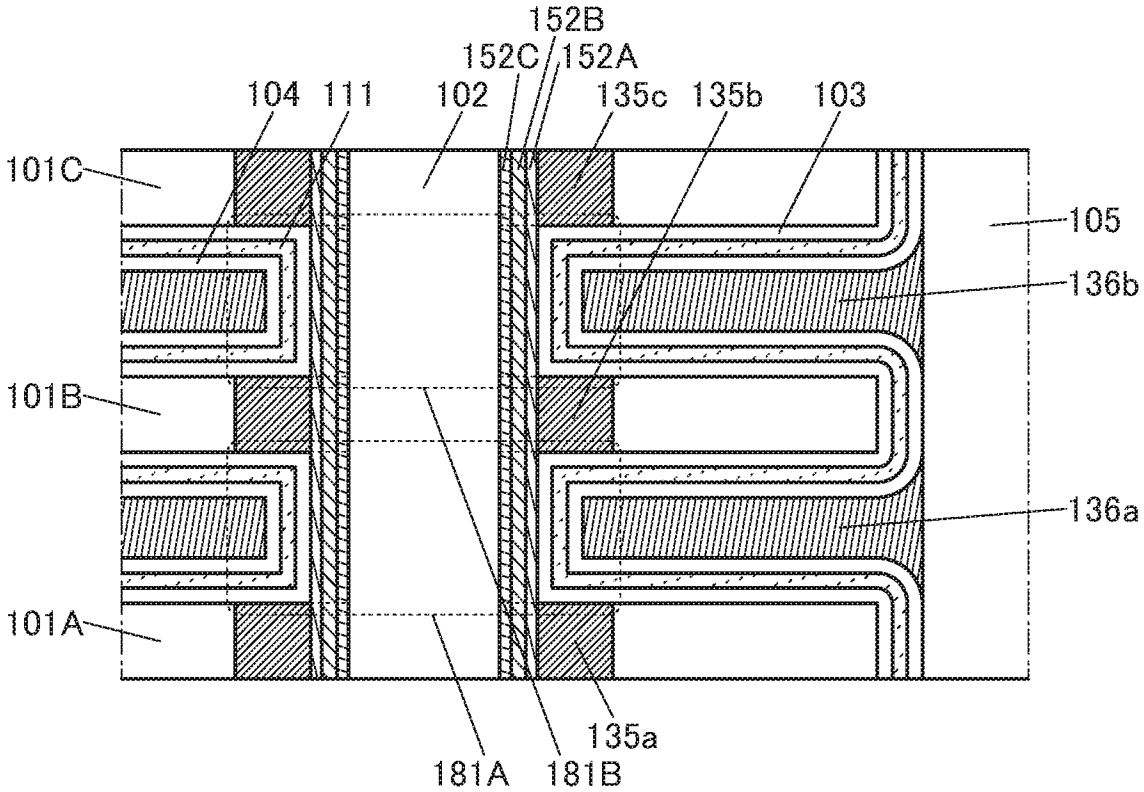
(A)


101C
161C
102
151
135c
192
105
B1
134
103
111
104
B2

(B)

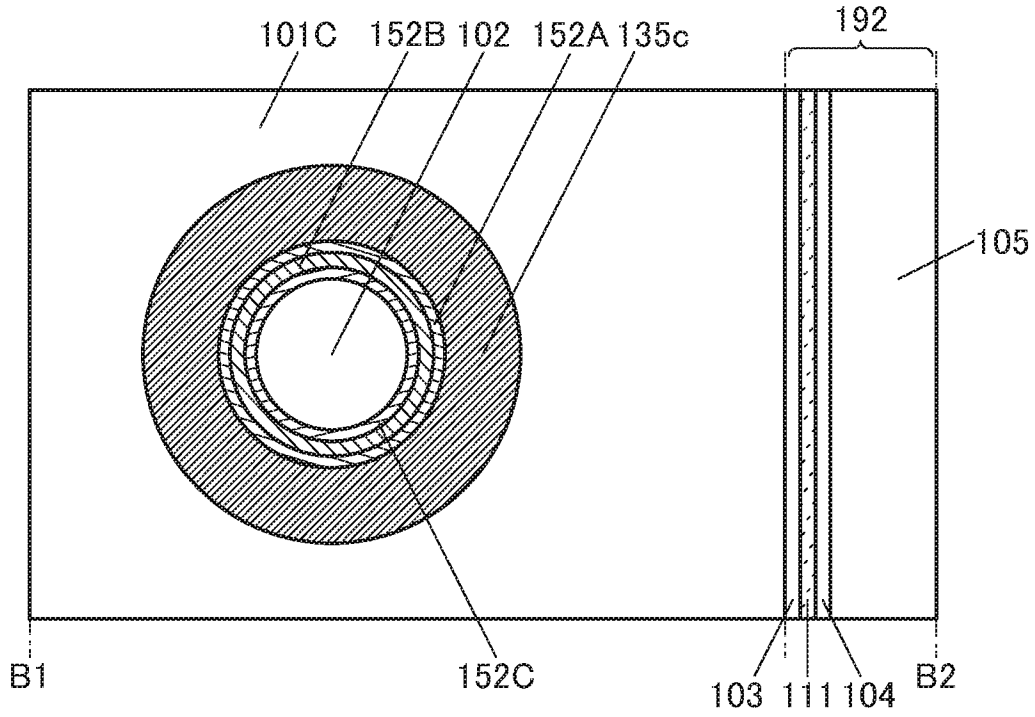

136b
104
103
102
151
111
192
105
B3
134
B4

[図22]

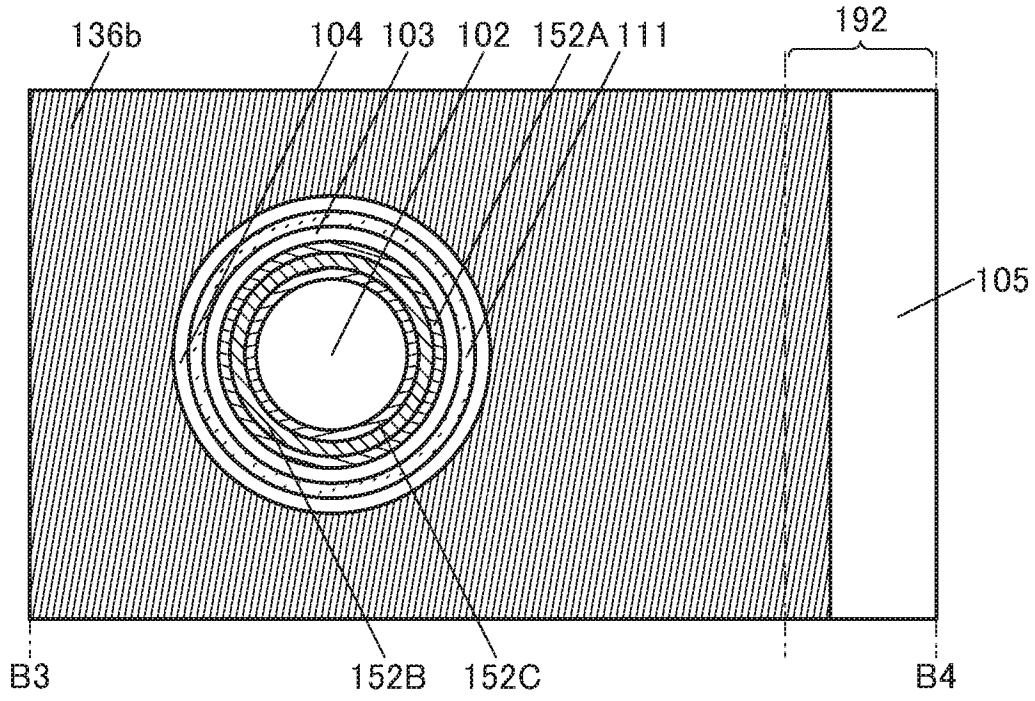

152B
152C
152A
104
111
102
135c
135b
103
101C
105
136b
101B
136a
101A
135a
181A
181B

[図23]

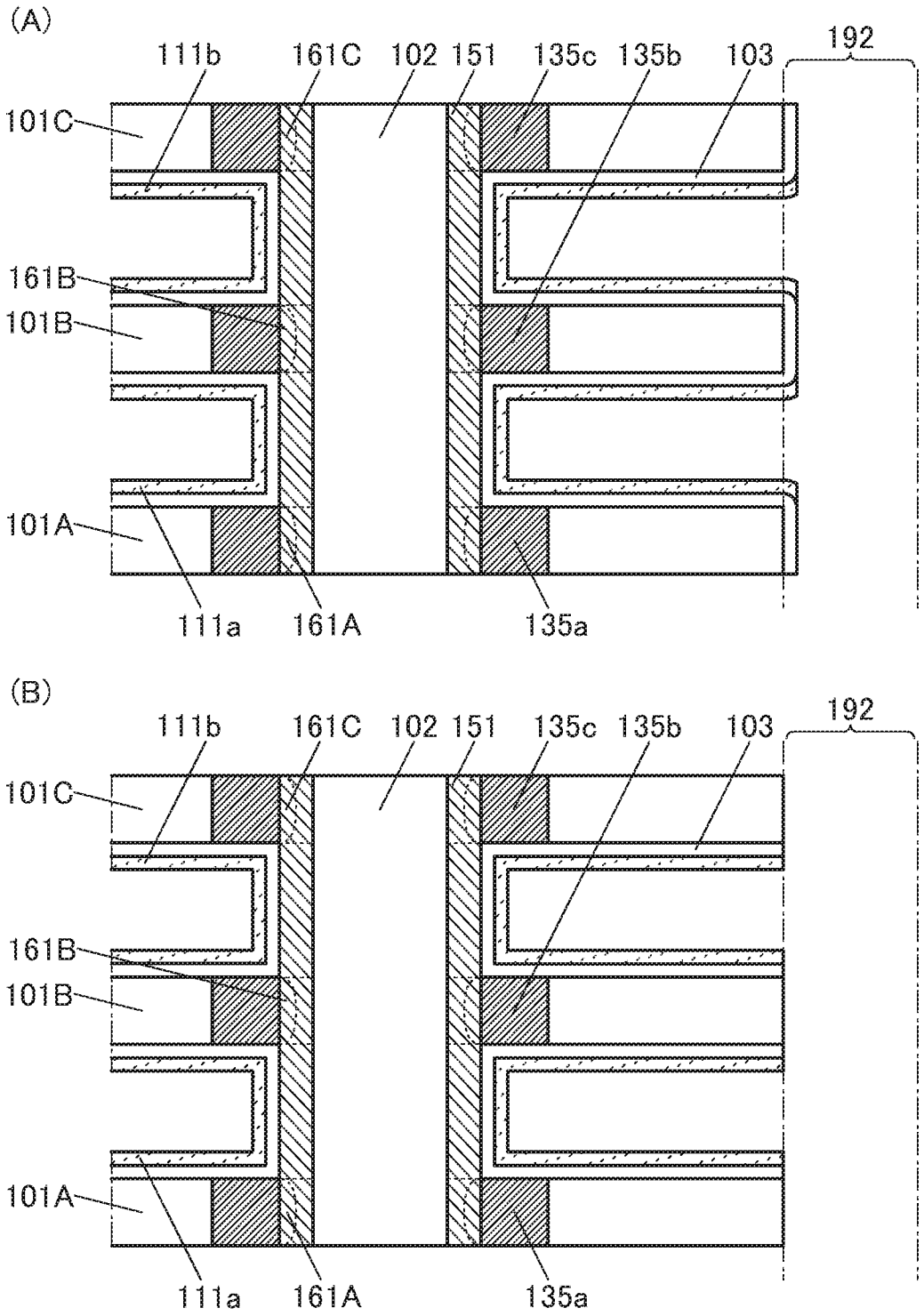
(A)


101C
152B
102
152A
135c
192
105
B1
152C
103
111
104
B2

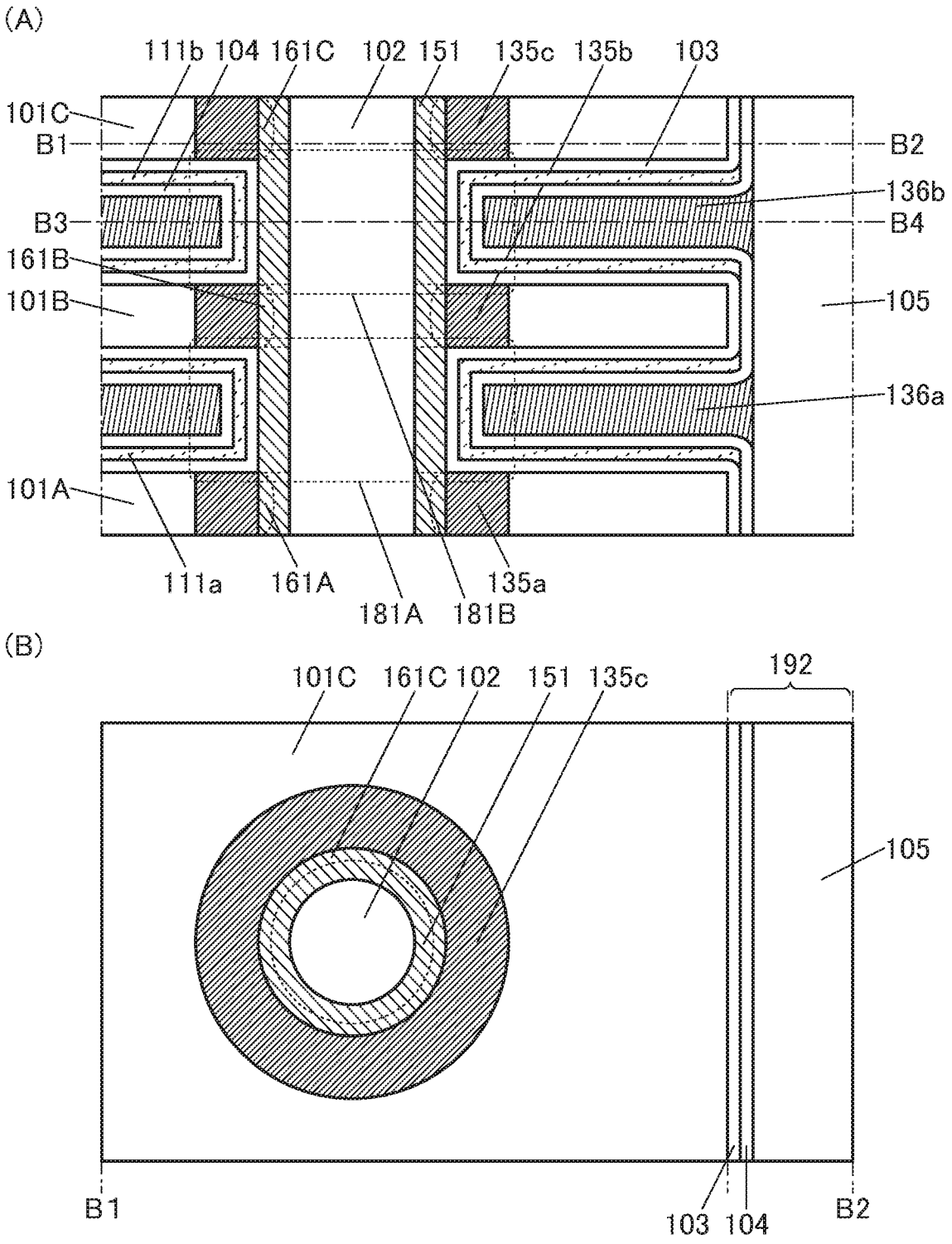
(B)


136b
104
103
102
152A
111
192
105
B3
152B
152C
B4

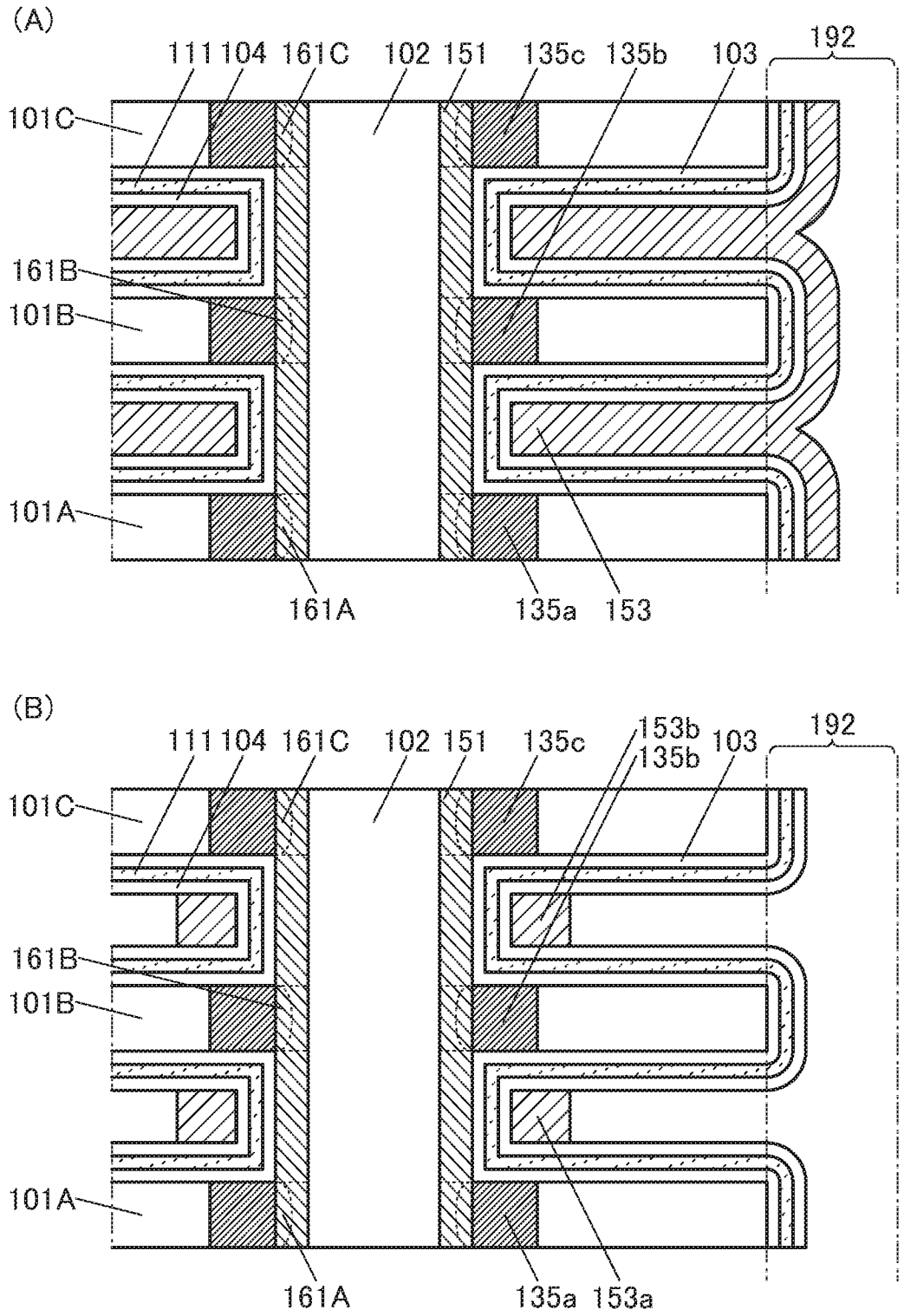
[図24]


(A)
111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a
(B)
111b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
111a
161A
135a

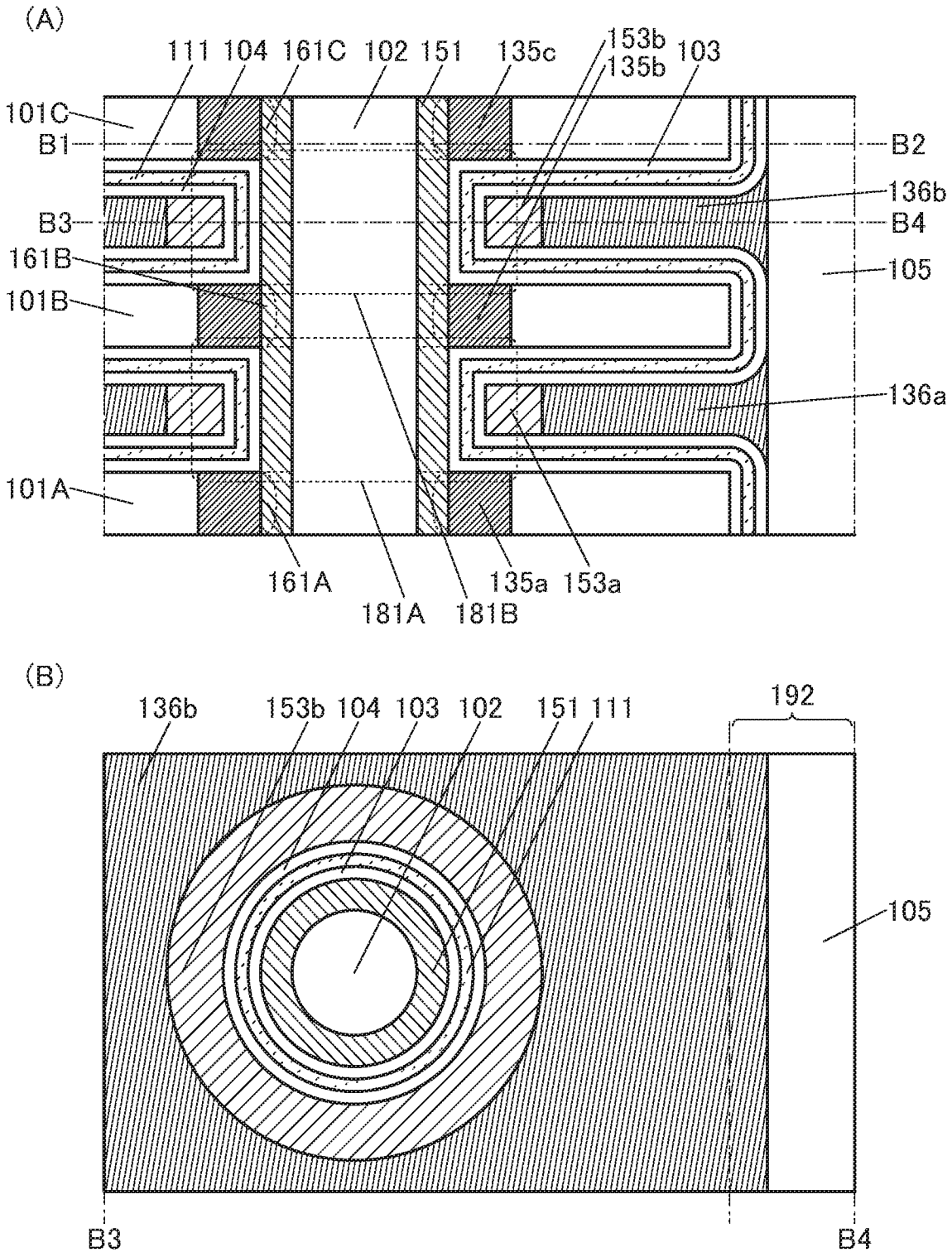
[図25]


(A)
111b
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
101B
105
136a
101A
111a
161A
181A
181B
135a
(B)
101C
161C
102
151
135c
192
105
B1
103
104
B2

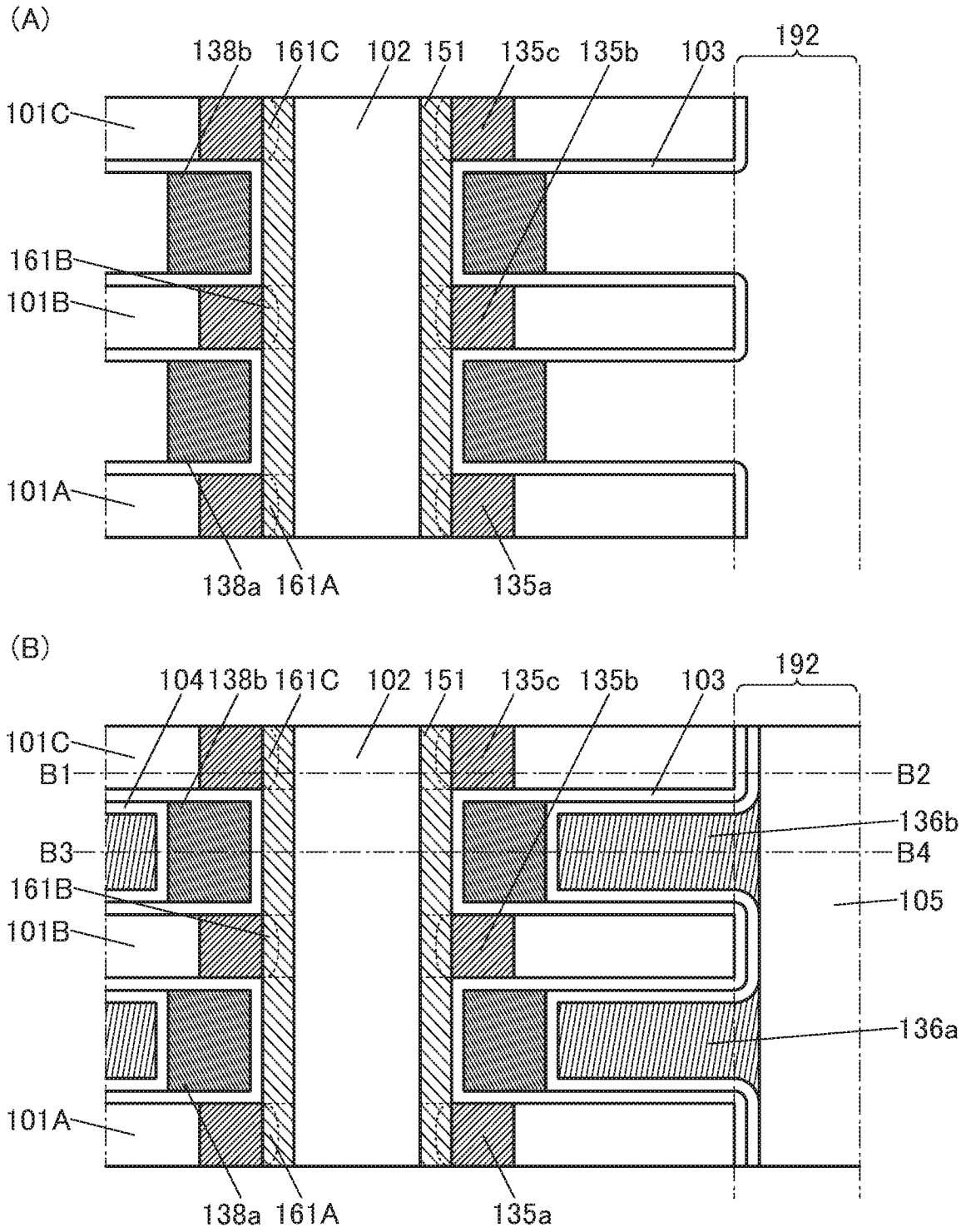
[図26]


(A)
111
104
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
161A
135a
153
(B)
111
104
161C
102
151
135c
153b
135b
103
192
101C
161B
101B
101A
161A
135a
153a

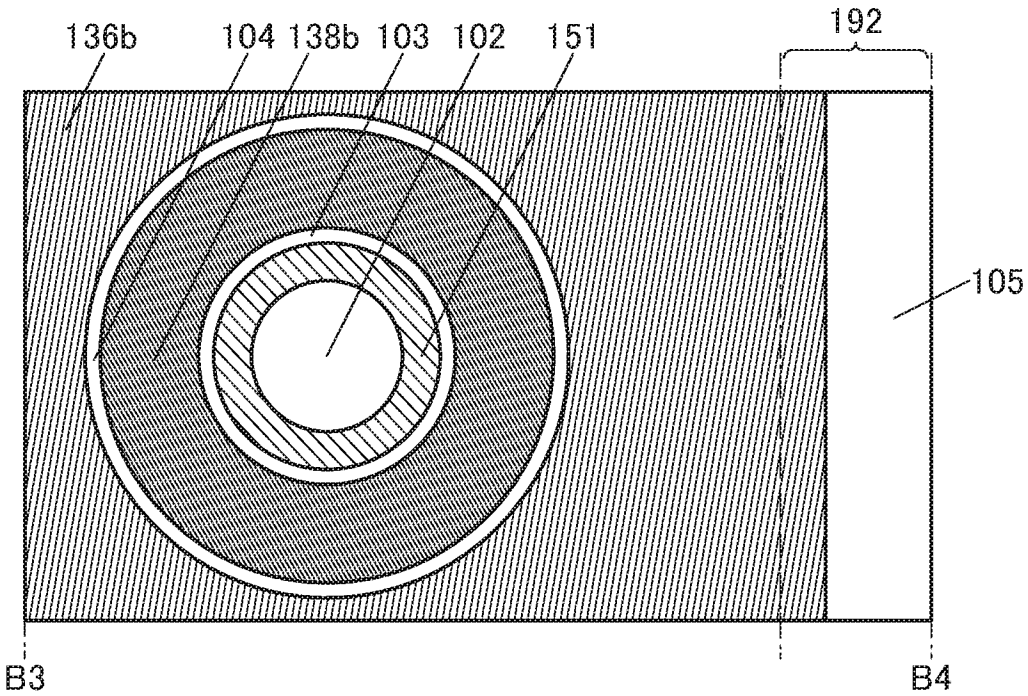
[図27]


(A)
111
104
161C
102
151
135c
153b
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
161A
181A
181B
135a
153a
(B)
136b
153b
104
103
102
151
111
192
105
B3
B4

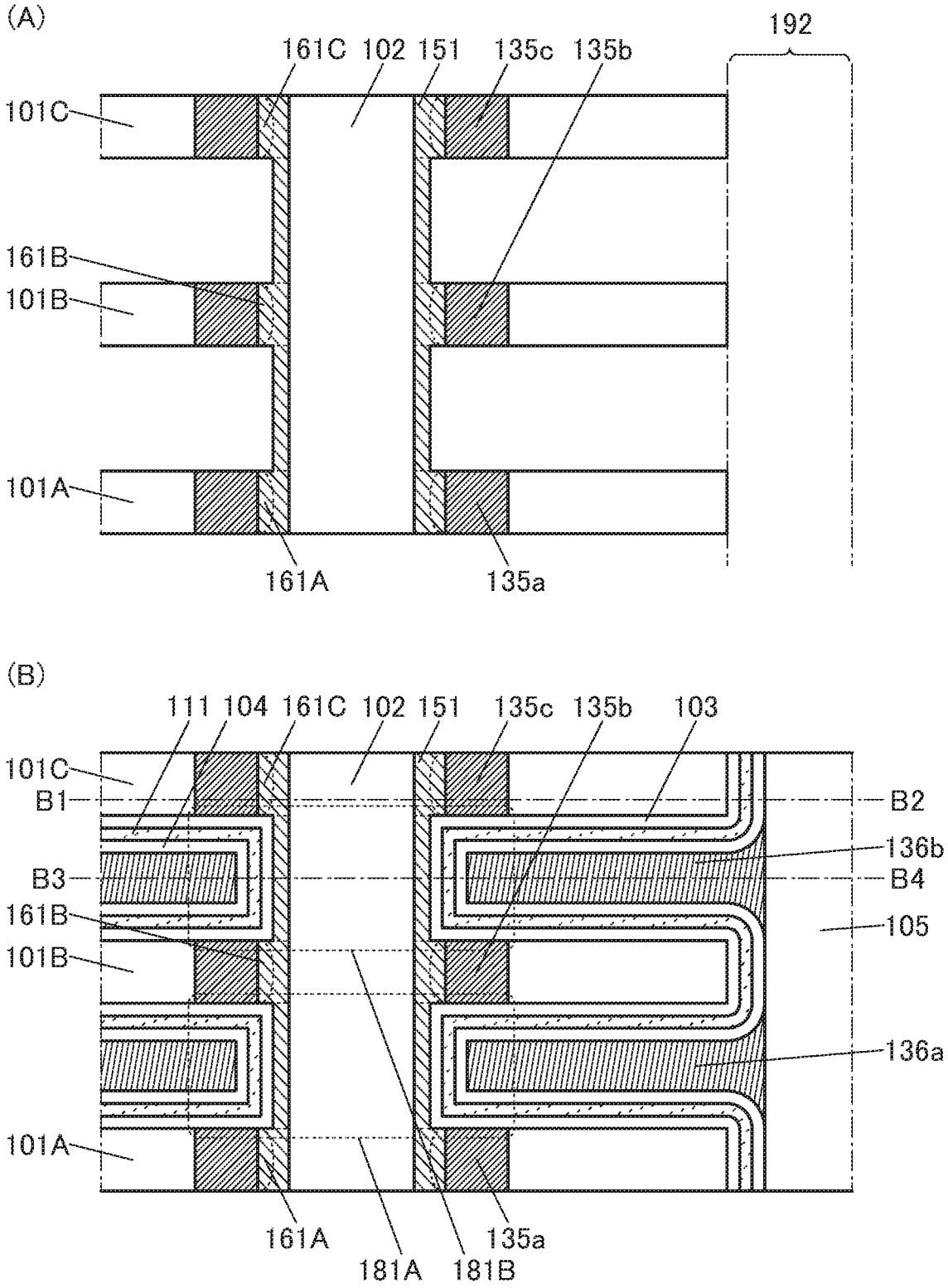
[図28]


(A)
138b
161C
102
151
135c
135b
103
192
101C
161B
101B
101A
138a
161A
135a
(B)
104
138b
161C
102
151
135c
135b
103
192
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
138a
161A
135a

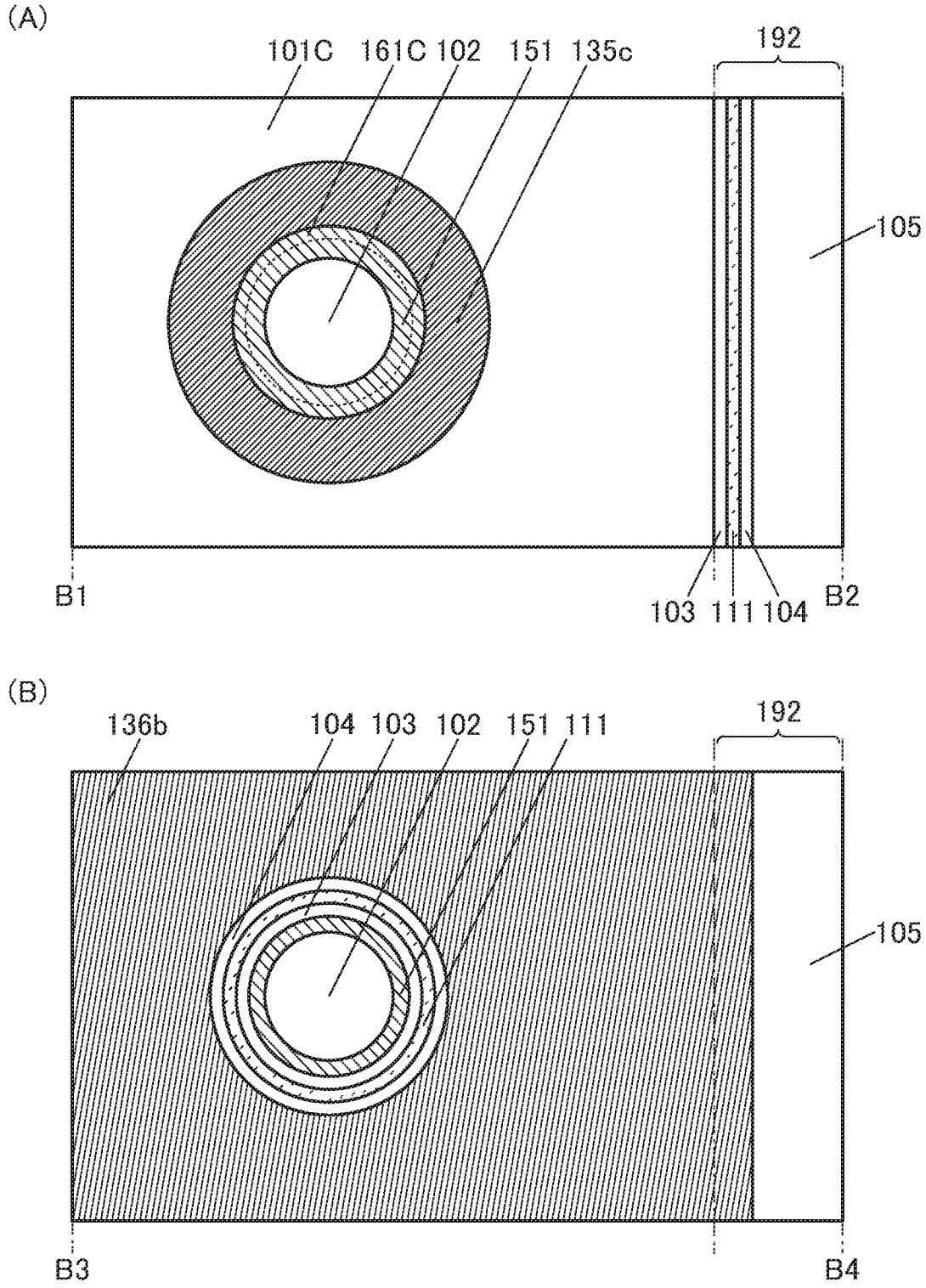
[図29]



[図30]

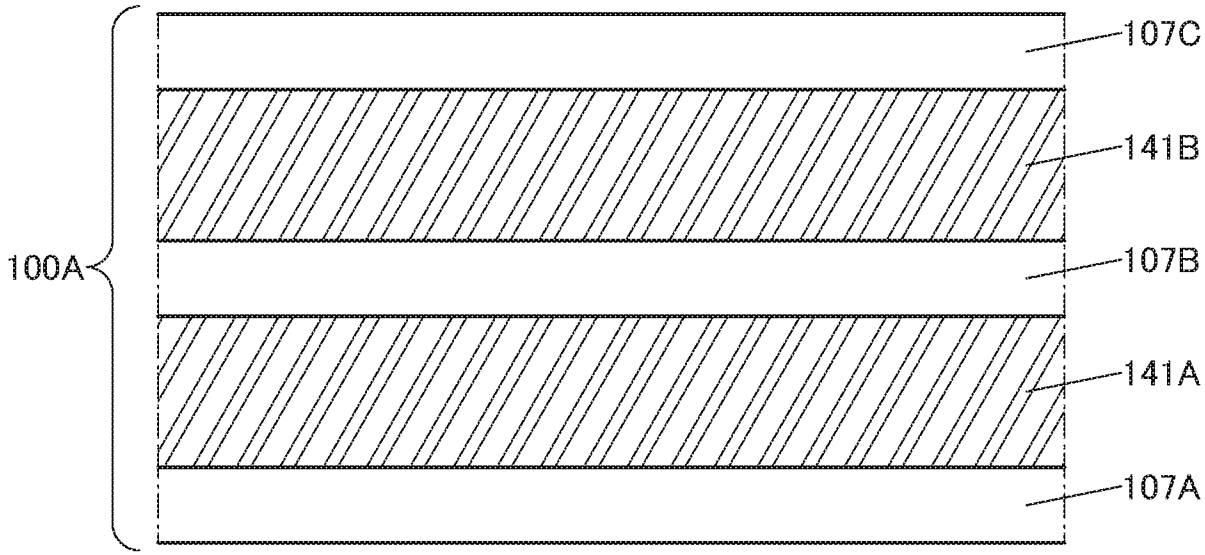

(A)
192
161C
102
151
135c
135b
101C
161B
101B
101A
161A
135a
(B)
111
104
161C
102
151
135c
135b
103
101C
B1
B2
136b
B3
B4
161B
105
101B
136a
101A
161A
181A
181B
135a

[図31]

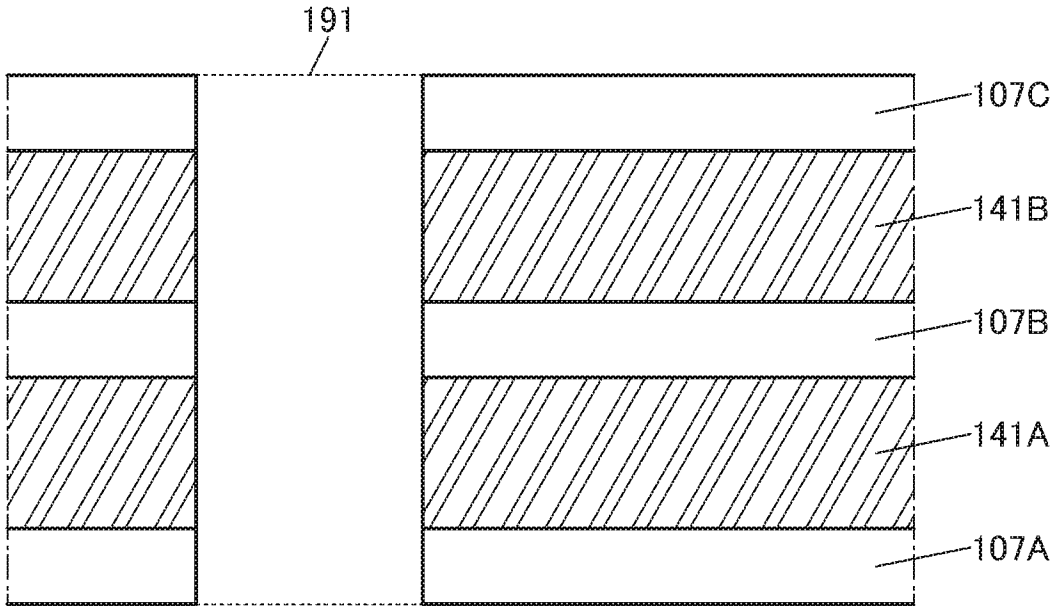

(A)
101C
161C
102
151
135c
192
105
B1
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
B4

[図32]

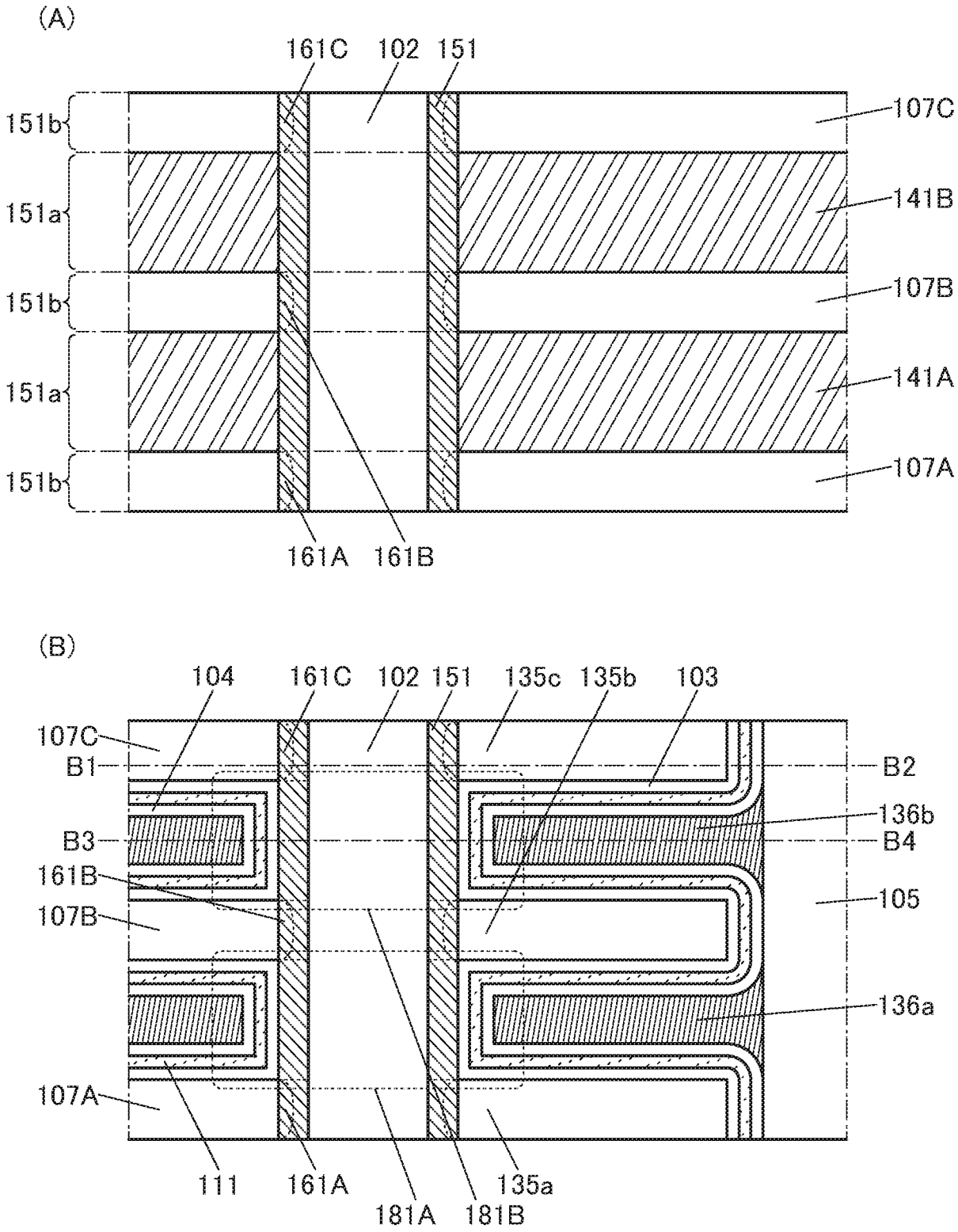
(A)



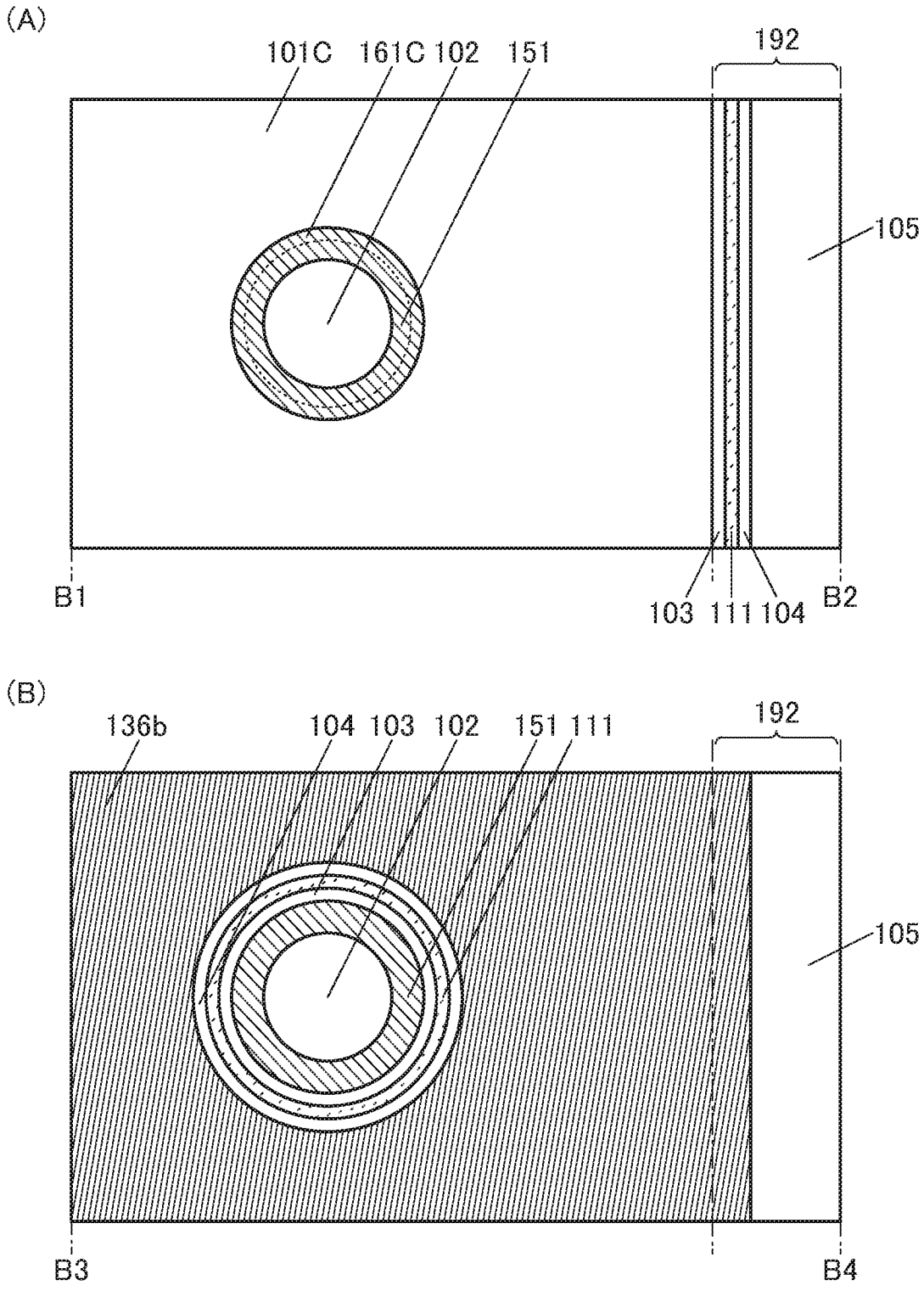
(B)



[図33]

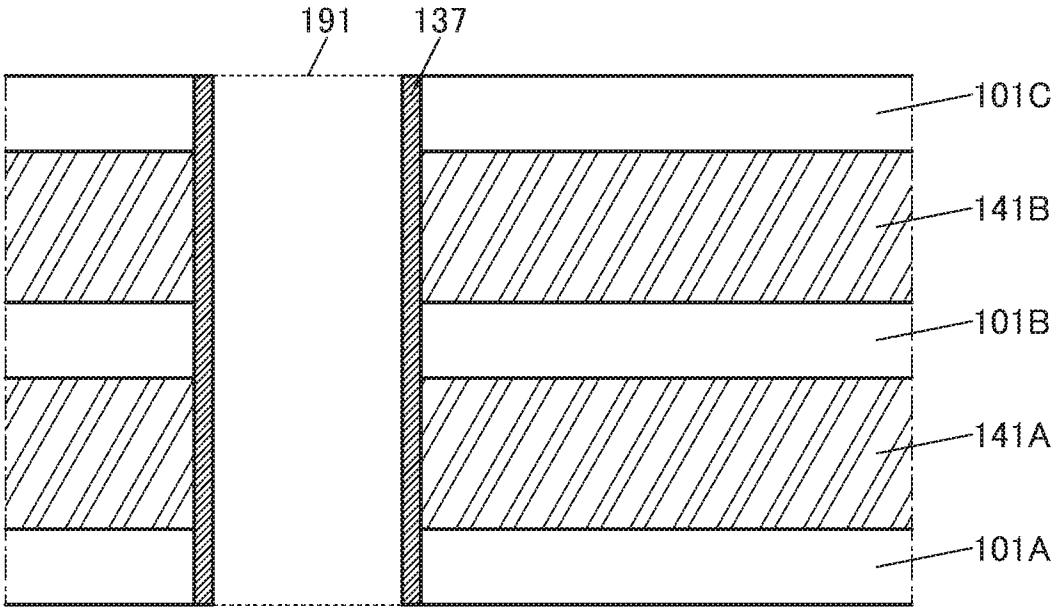

(A)
161C
102
151
151b
151a
151b
151a
151b
107C
141B
107B
141A
107A
161A
161B
(B)
104
161C
102
151
135c
135b
103
107C
B1
B2
B3
B4
161B
107B
136b
105
136a
107A
111
161A
181A
181B
135a

[図34]

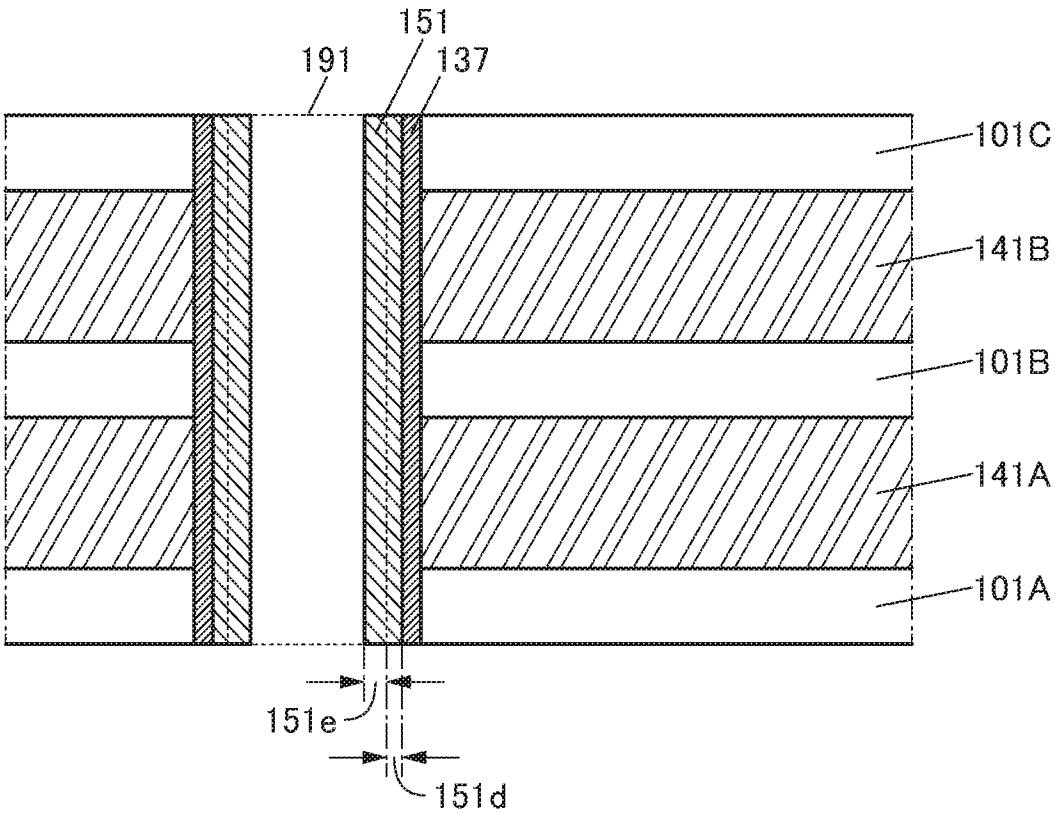

(A)
101C
161C
102
151
192
105
B1
103
111
104
B2
(B)
136b
104
103
102
151
111
192
105
B3
B4

[図35]

(A)

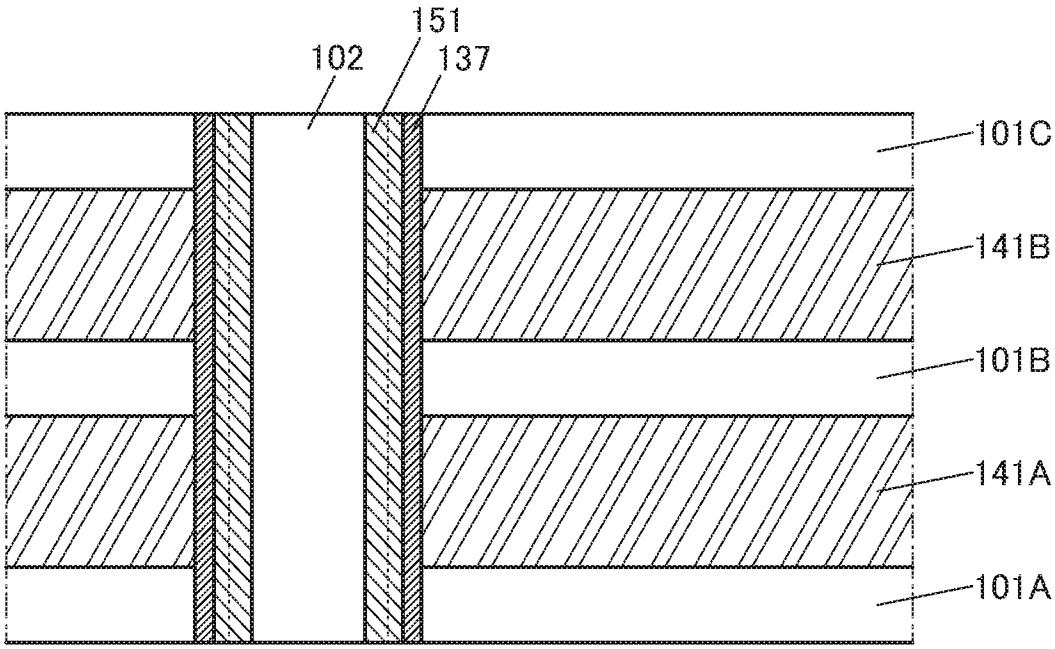

191
137
101C
141B
101B
141A
101A

(B)

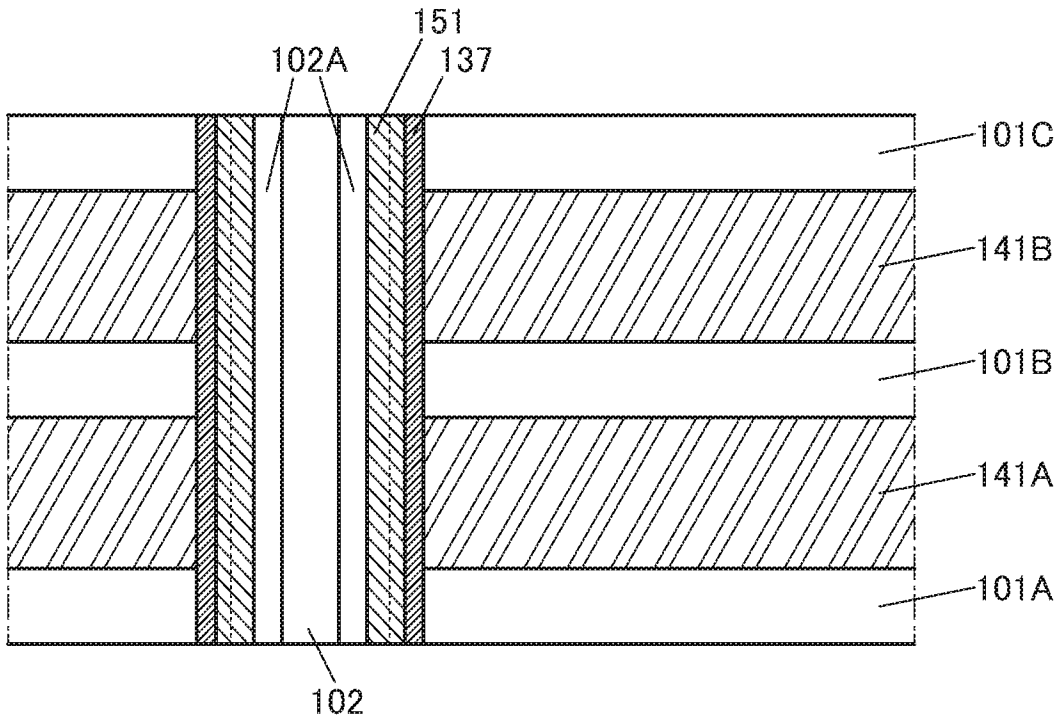

151
191
137
101C
141B
101B
141A
101A
151e
151d

[図36]

(A)

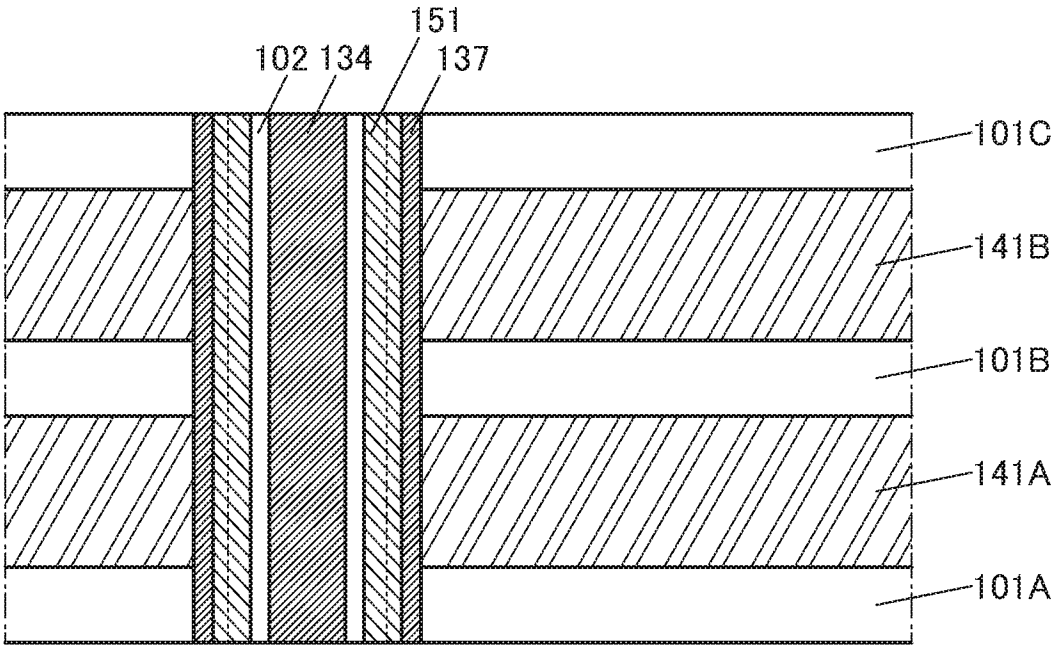

151
102
137
101C
141B
101B
141A
101A

(B)

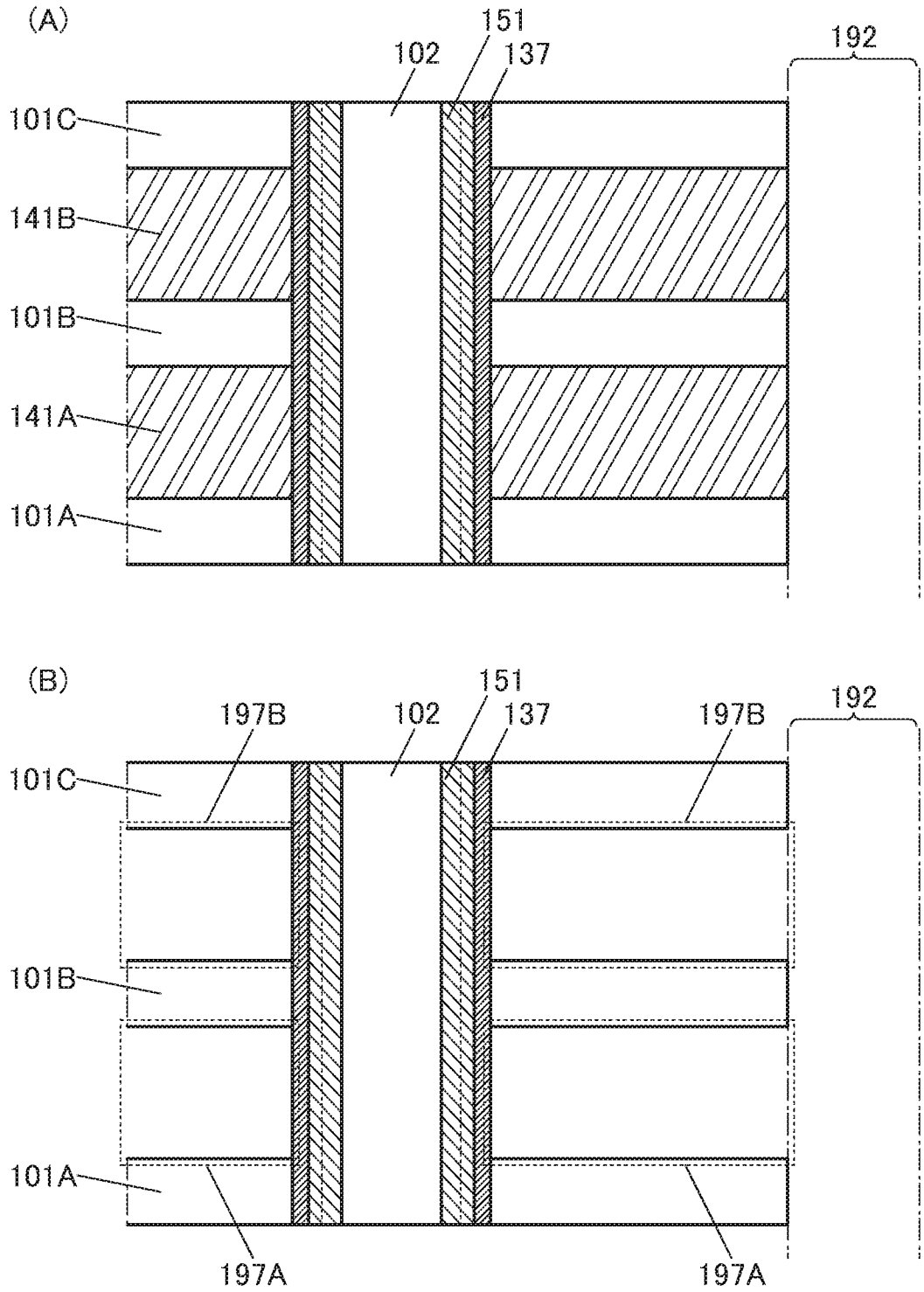

151
102A
137
101C
141B
101B
141A
101A
102

[図37]

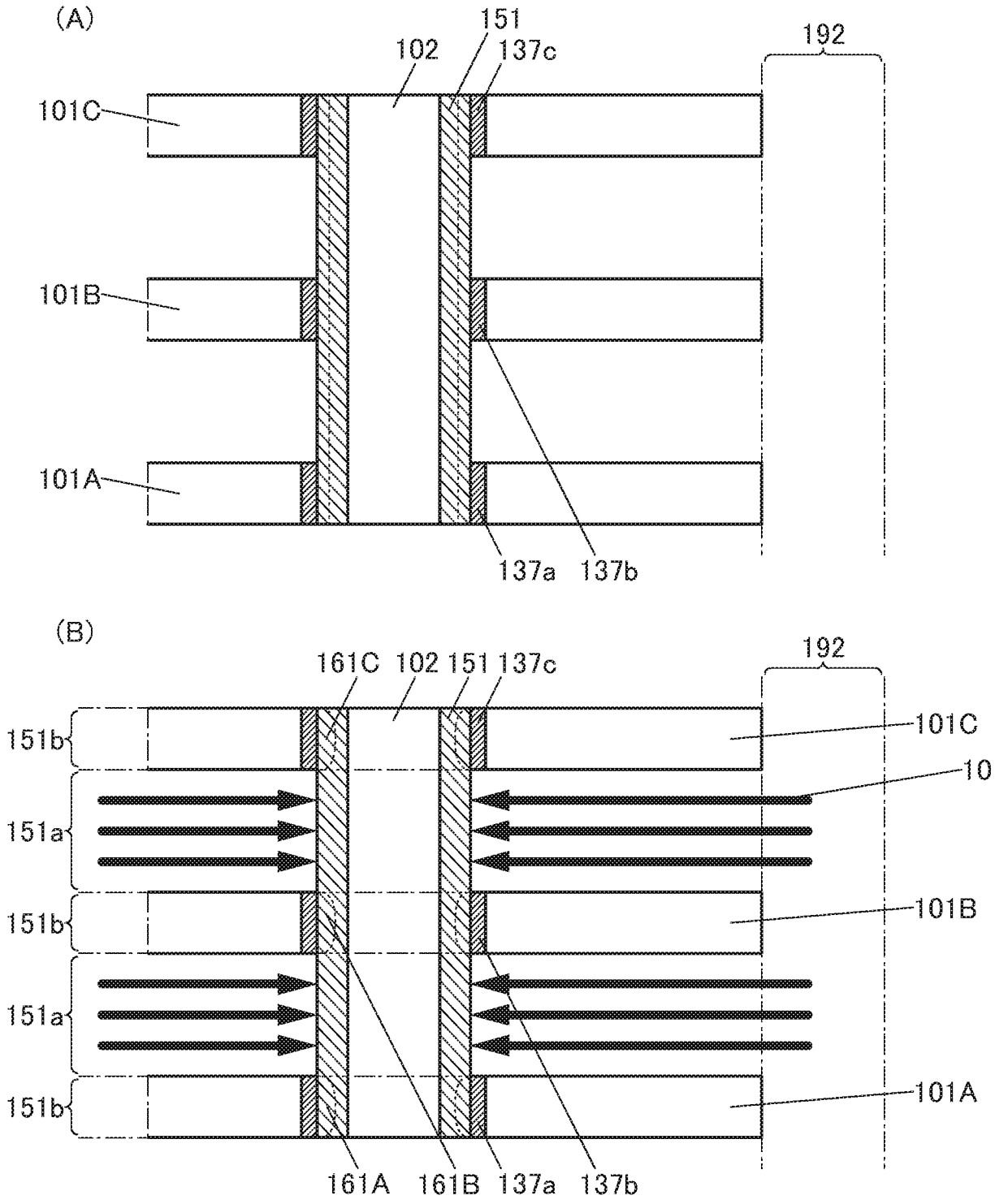
(A)



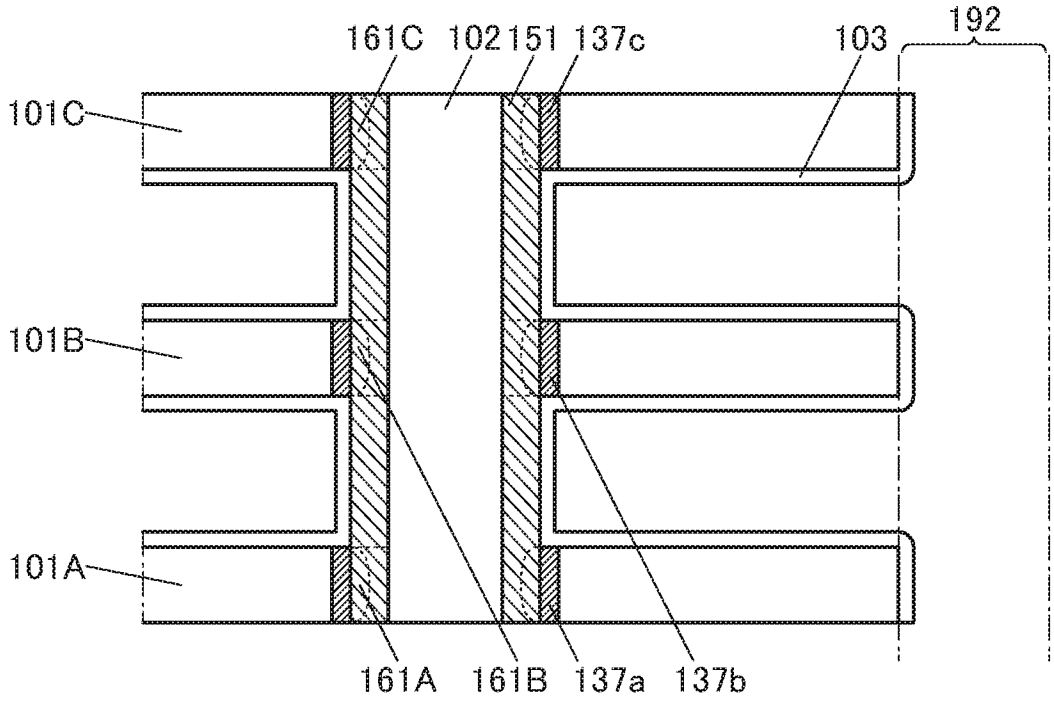
[図38]


(A)
151
102
137
192
101C
141B
101B
141A
101A
(B)
151
197B
102
137
197B
192
101C
101B
101A
197A
197A

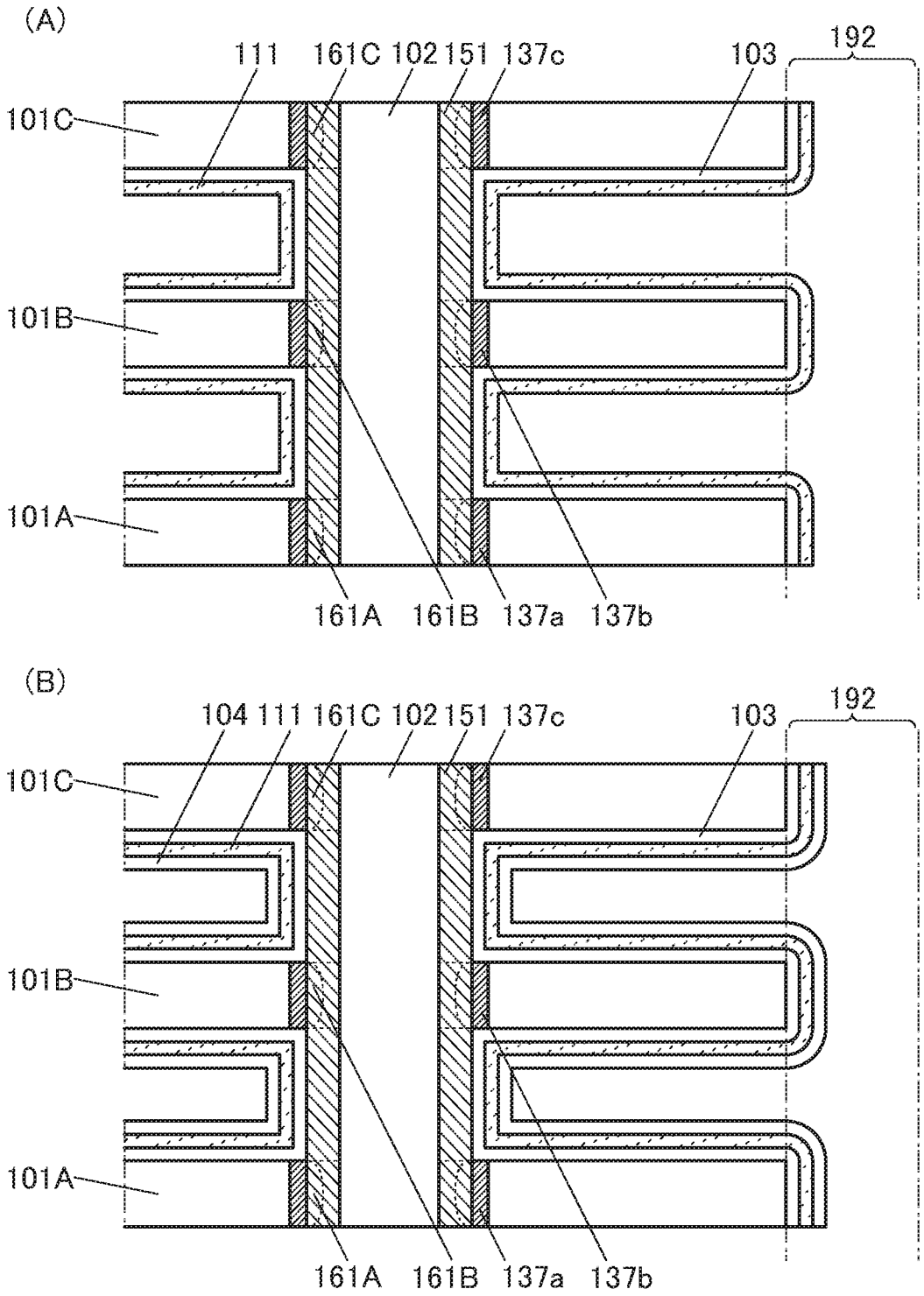
[図39]


(A)
151
102
137c
192
101C
101B
101A
137a
137b
(B)
161C
102
151
137c
192
151b
101C
10
151a
151b
101B
151a
151b
101A
161A
161B
137a
137b

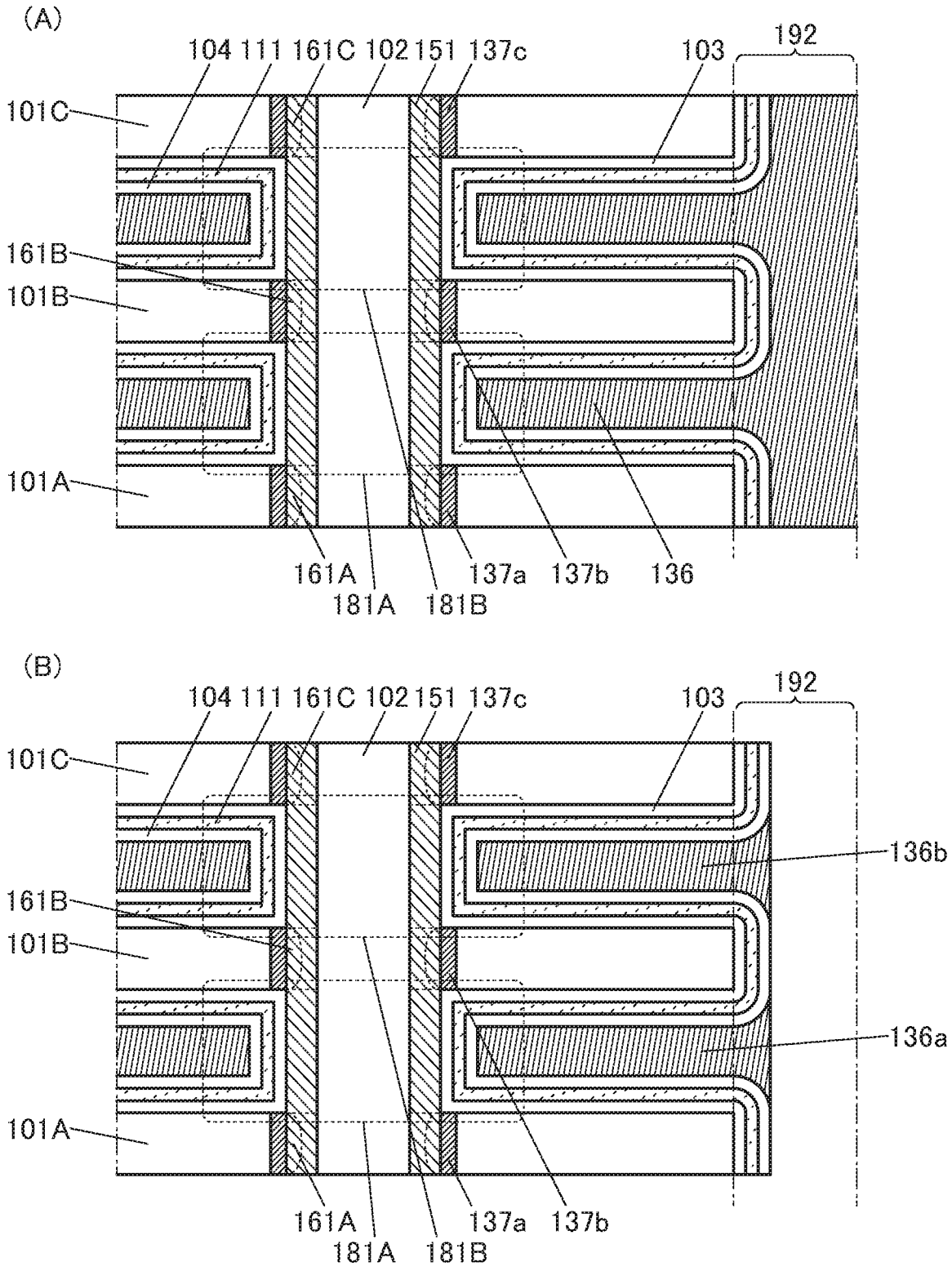
[図40]



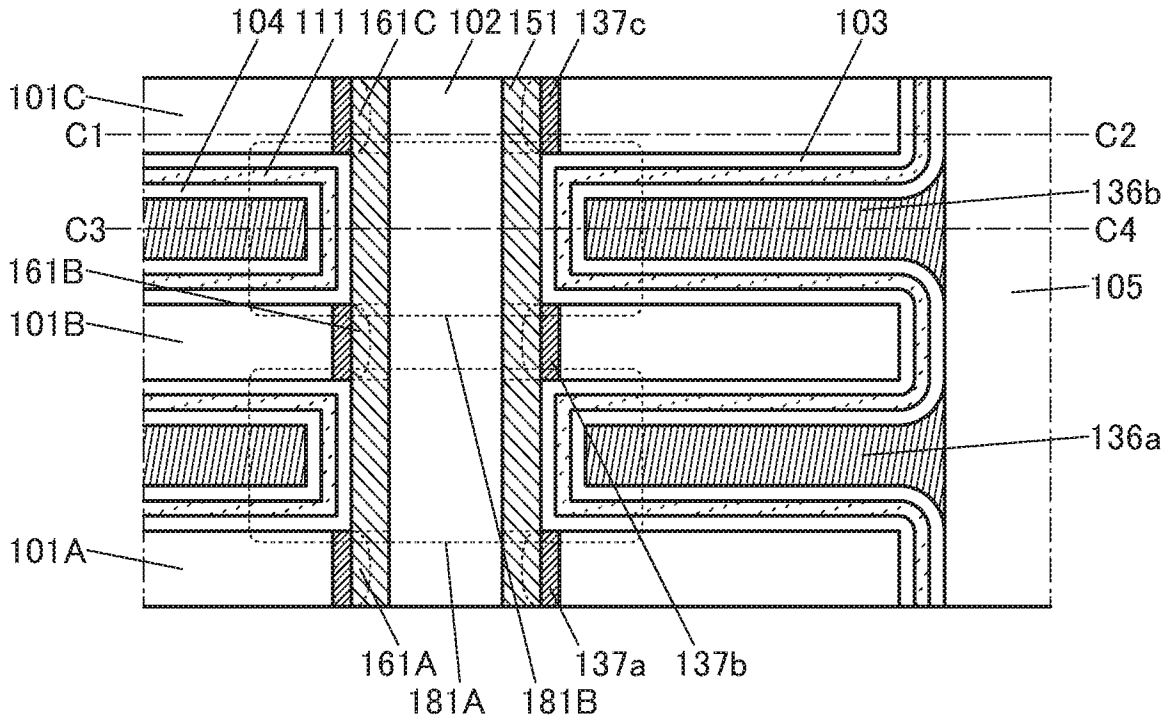
[図41]


(A)
111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b
(B)
104
111
161C
102
151
137c
103
192
101C
101B
101A
161A
161B
137a
137b

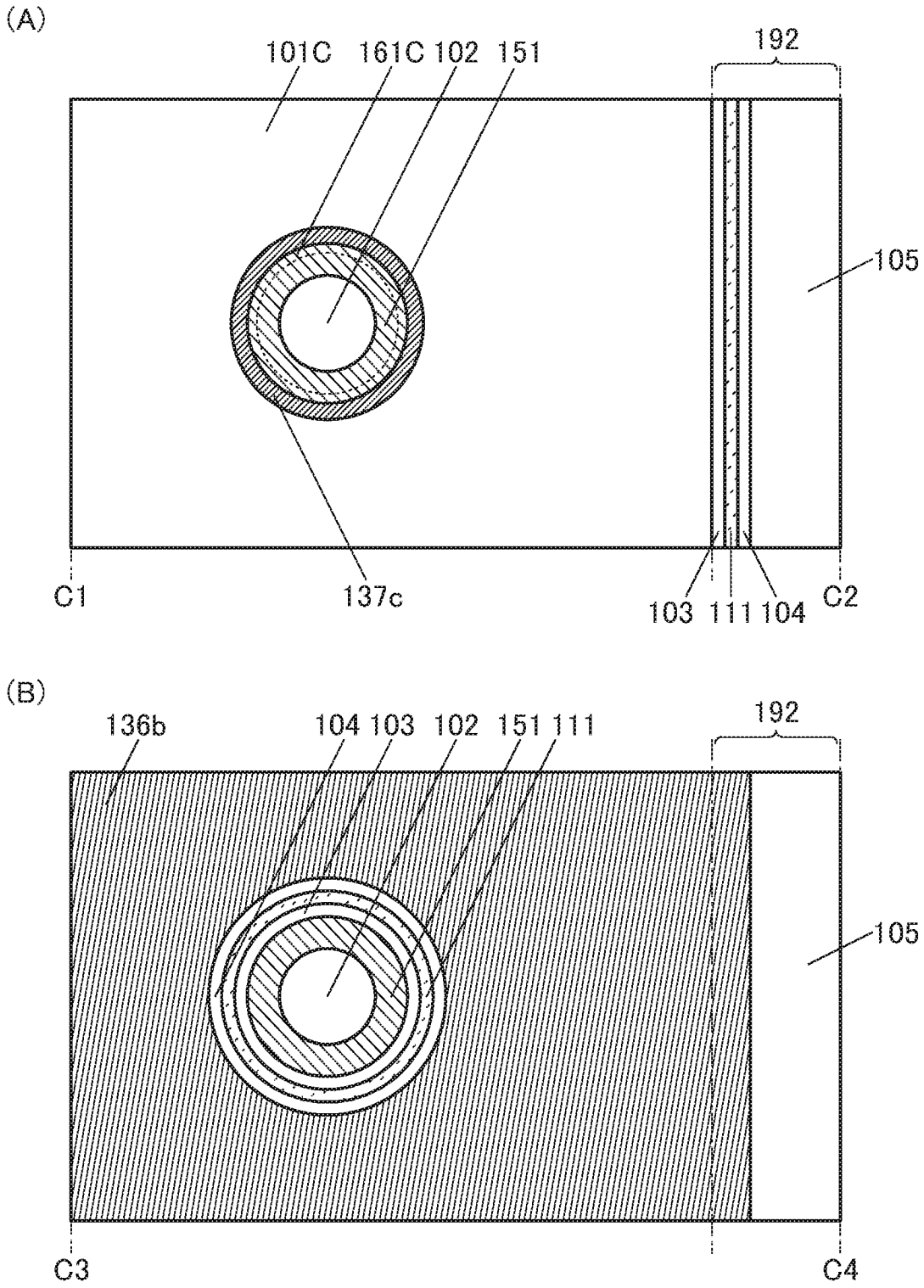
[図42]


(A)
104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
161A
181A
181B
137a
137b
136
(B)
104 111 161C 102 151 137c
103
192
101C
161B
101B
101A
136b
136a
161A
181A
181B
137a
137b

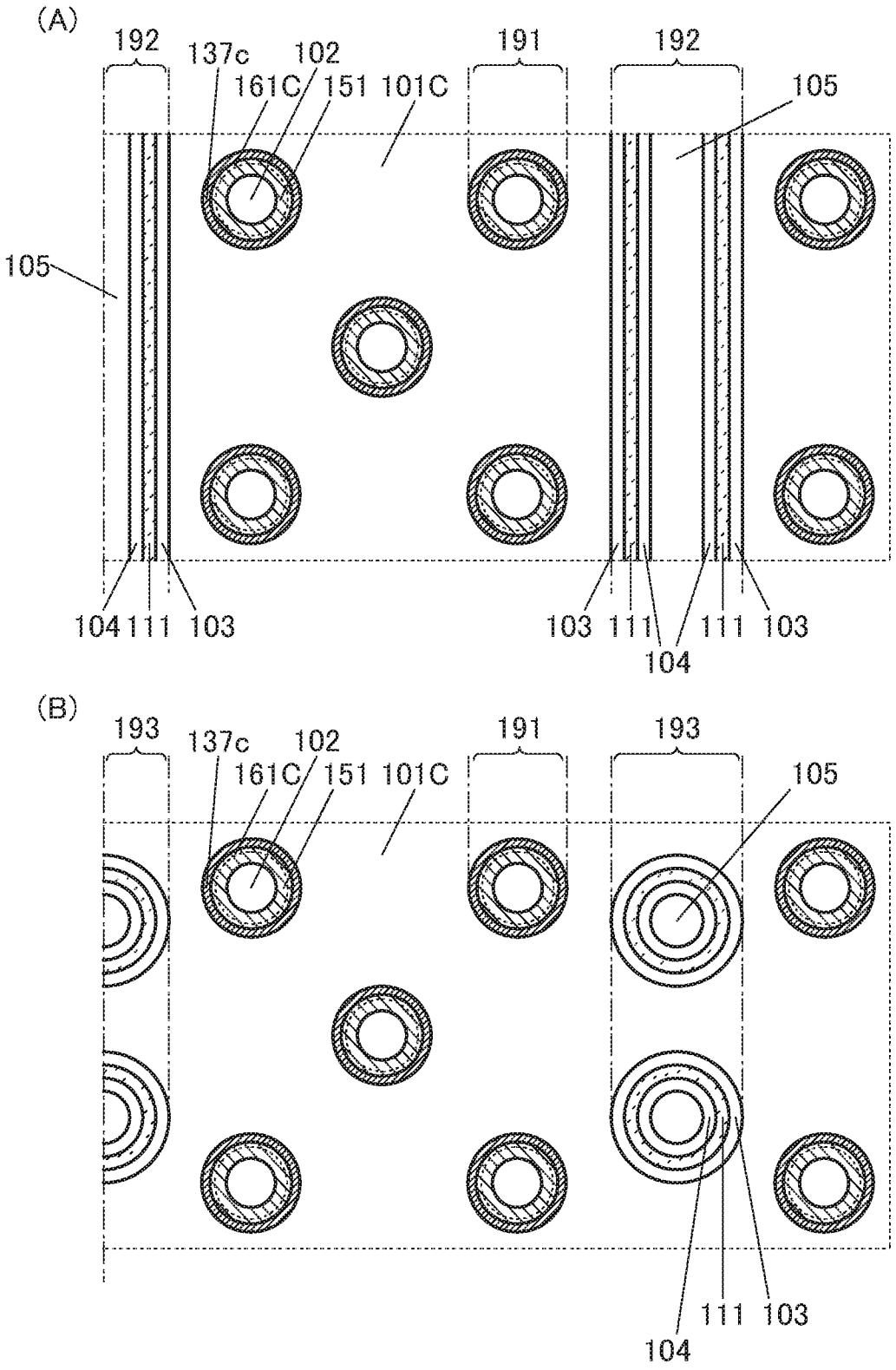
[図43]


104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b

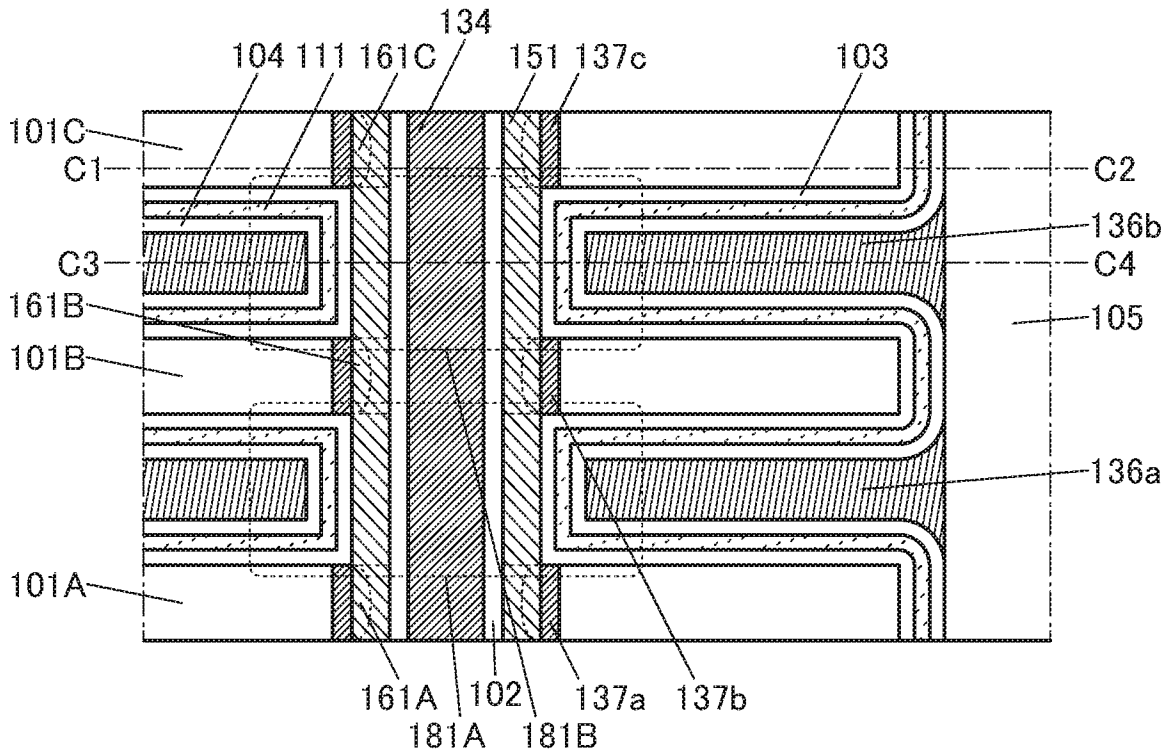
[図44]


(A)
101C
161C
102
151
192
105
C1
137c
103
111
104
C2
(B)
136b
104
103
102
151
111
192
105
C3
C4

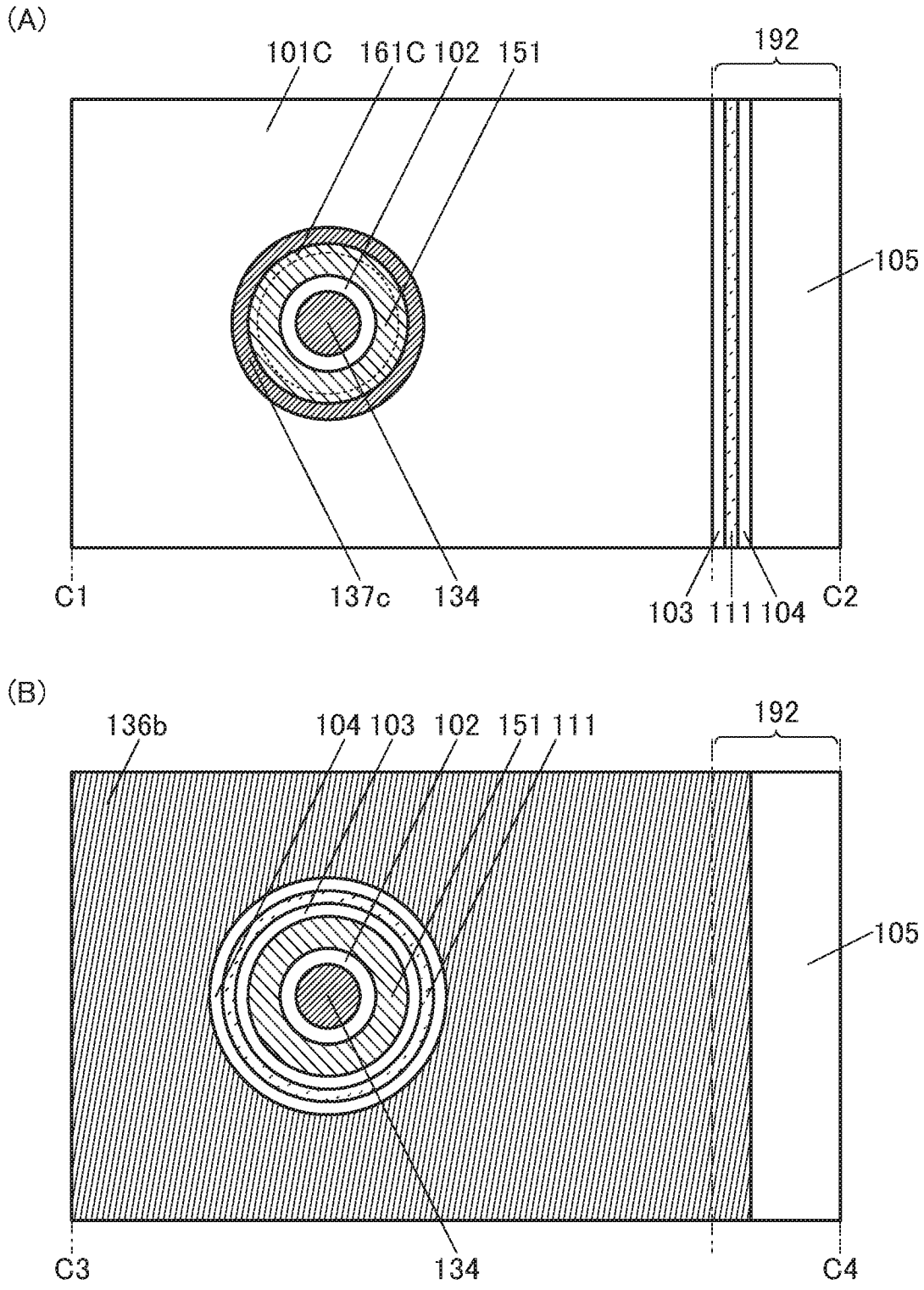
[図45]


(A)
192
137c
102
161C
151
101C
191
192
105
105
104
111
103
103
111
111
103
104
(B)
193
137c
102
161C
151
101C
191
193
105
104
111
103

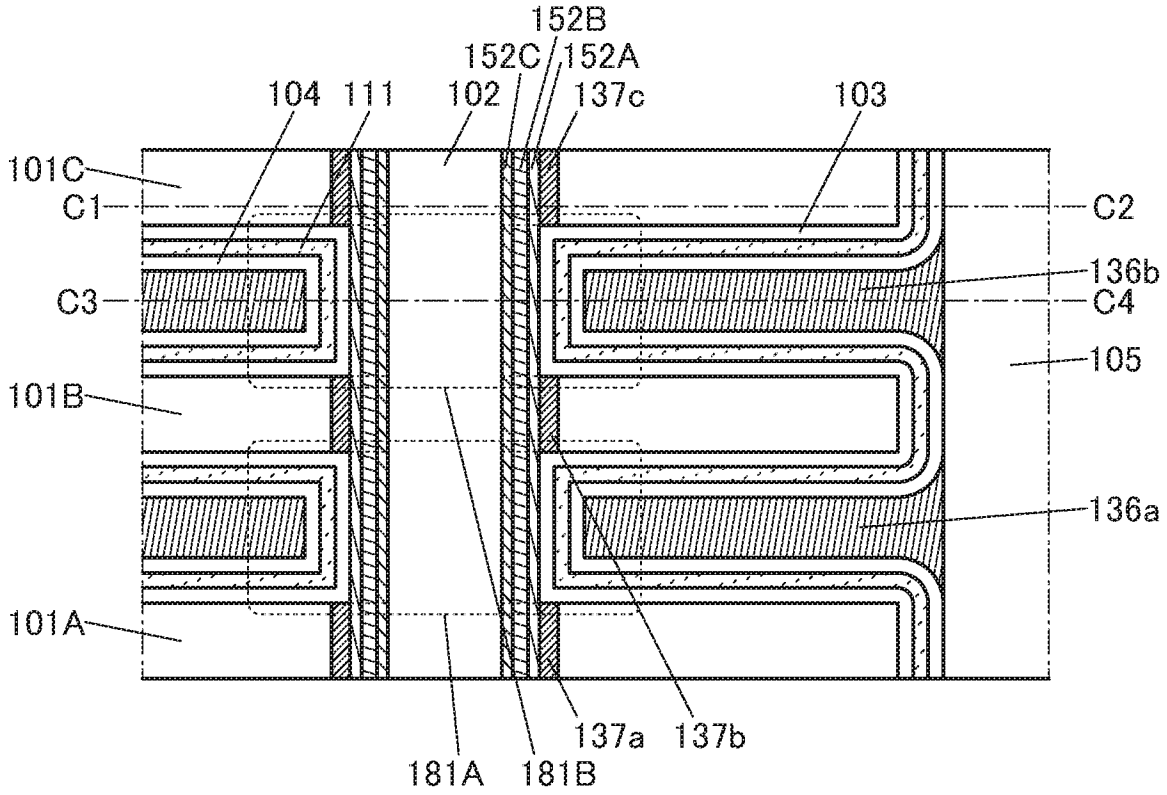
[図46]


134
104
111
161C
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
102
137a
137b
181A
181B

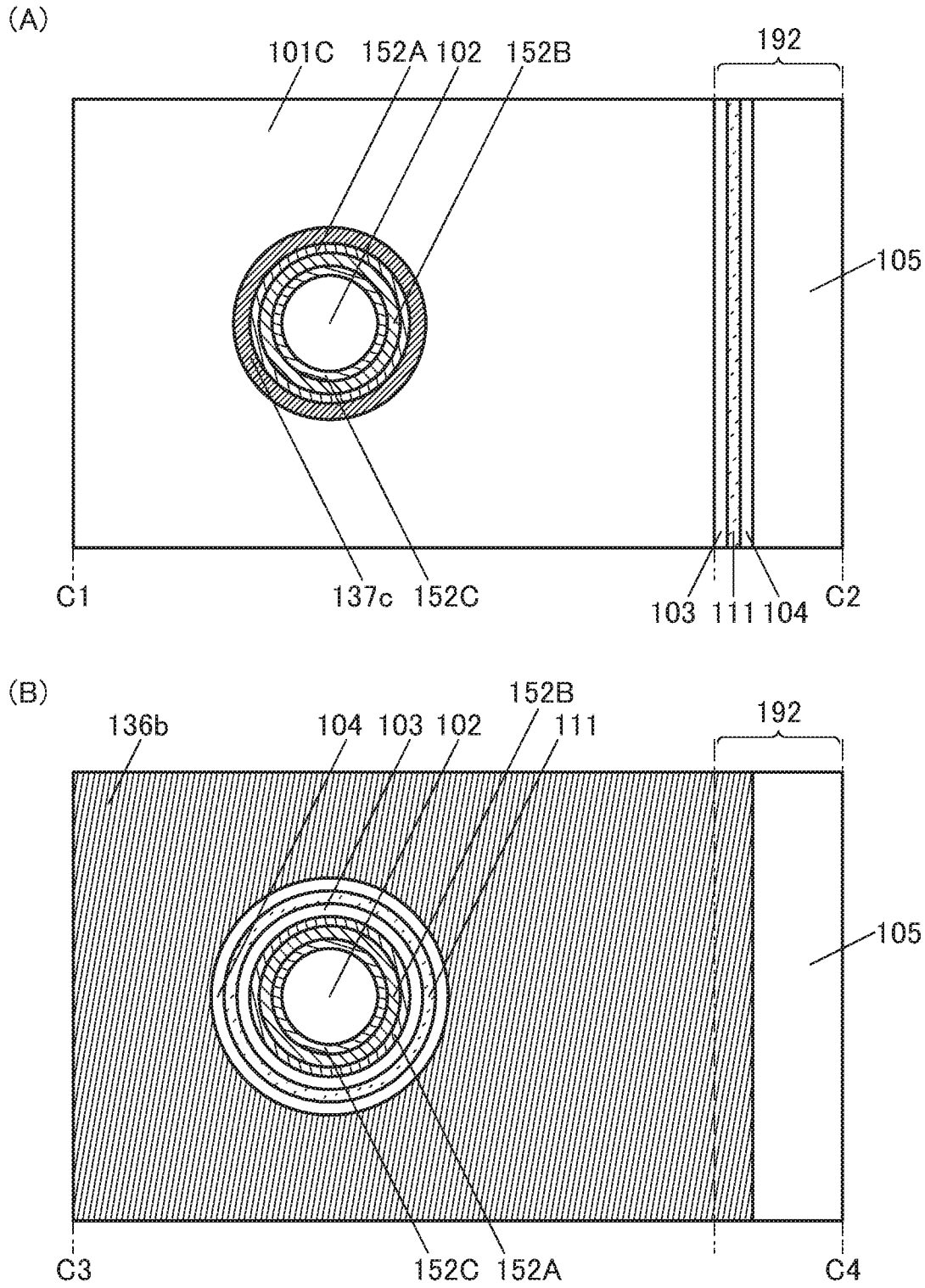
[図47]


(A)
101C
161C
102
151
192
105
C1
137c
134
103
111
104
C2
(B)
136b
104
103
102
151
111
192
105
C3
134
C4

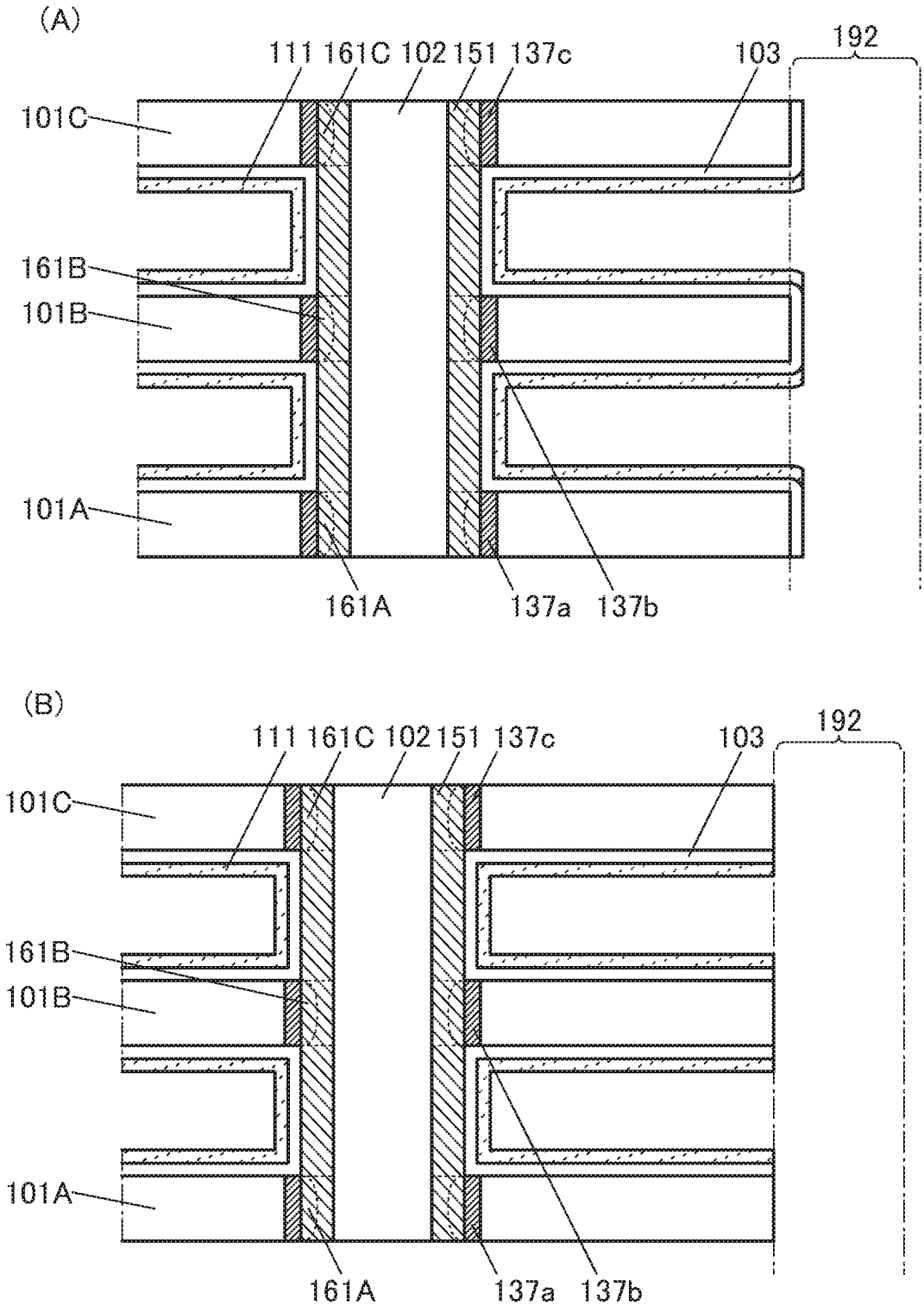
[図48]


152B
152C
152A
104
111
102
137c
103
101C
C1
C2
136b
C3
C4
105
101B
136a
101A
137a
137b
181A
181B

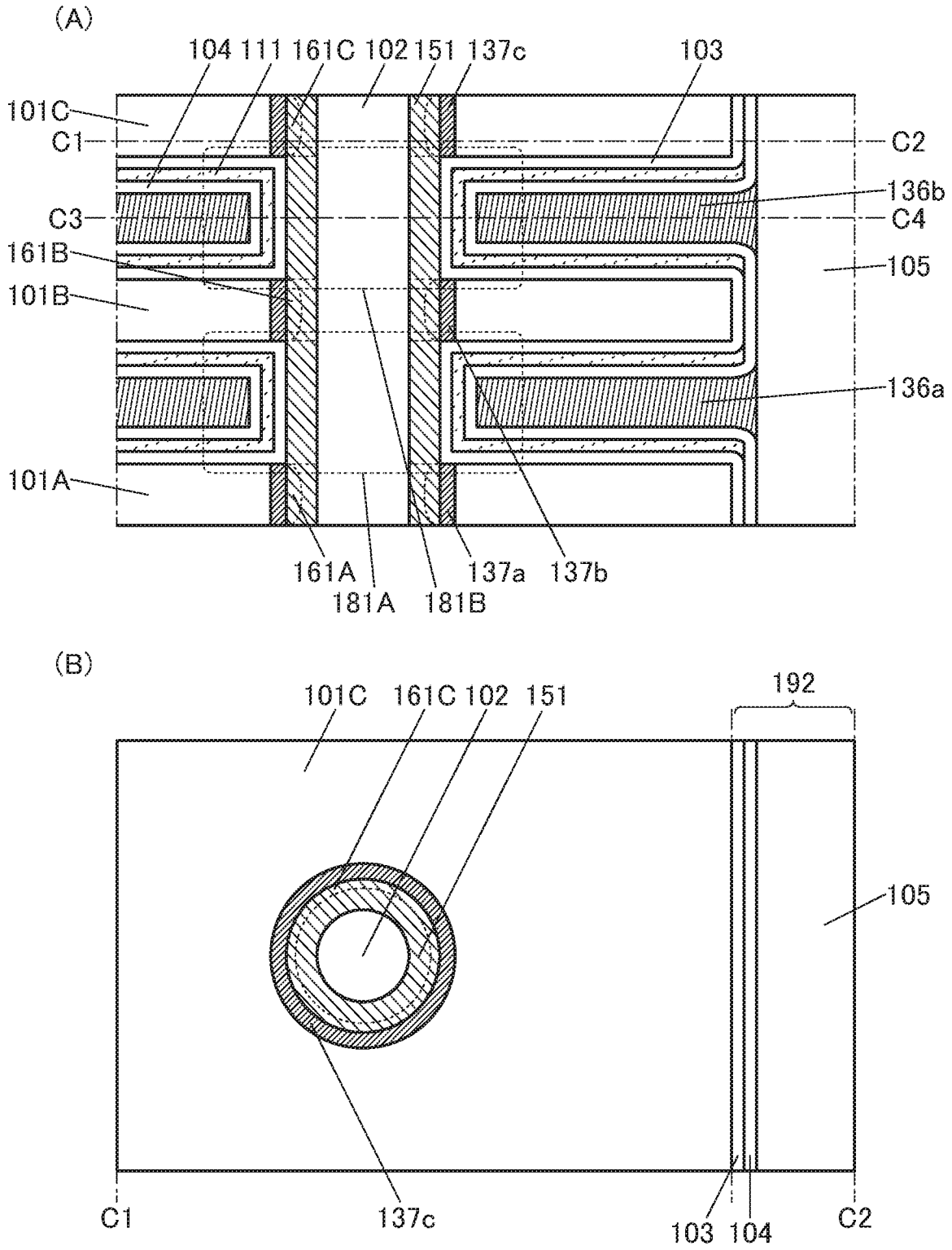
[図49]


(A)
101C
152A
102
152B
192
105
C1
137c
152C
103
111
104
C2
(B)
136b
104
103
102
152B
111
192
105
C3
152C
152A
C4

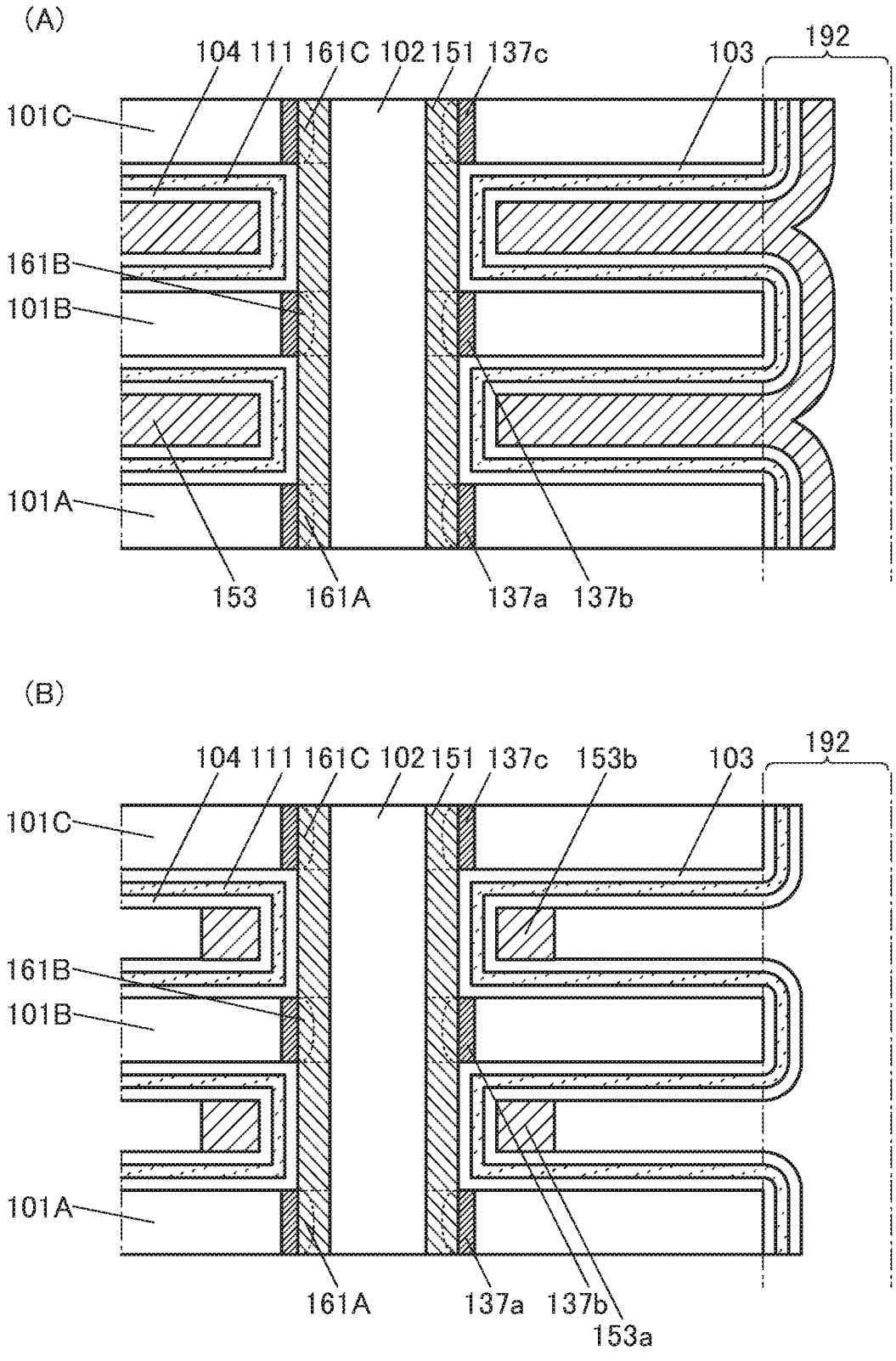
[図50]


(A)
111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b
(B)
111
161C
102
151
137c
103
192
101C
161B
101B
101A
161A
137a
137b

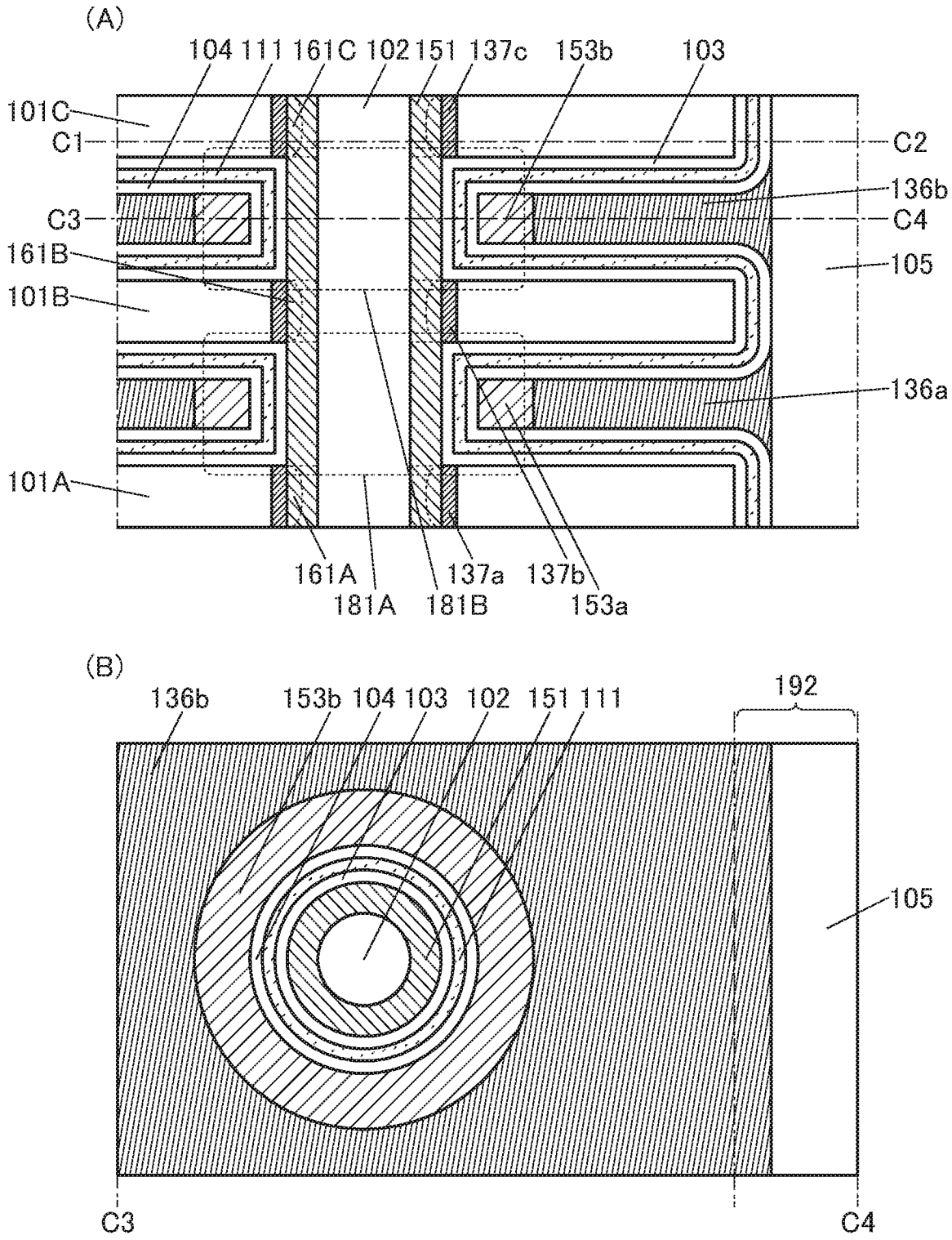
[図51]


(A)
104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b
(B)
101C
161C
102
151
192
105
C1
137c
103
104
C2

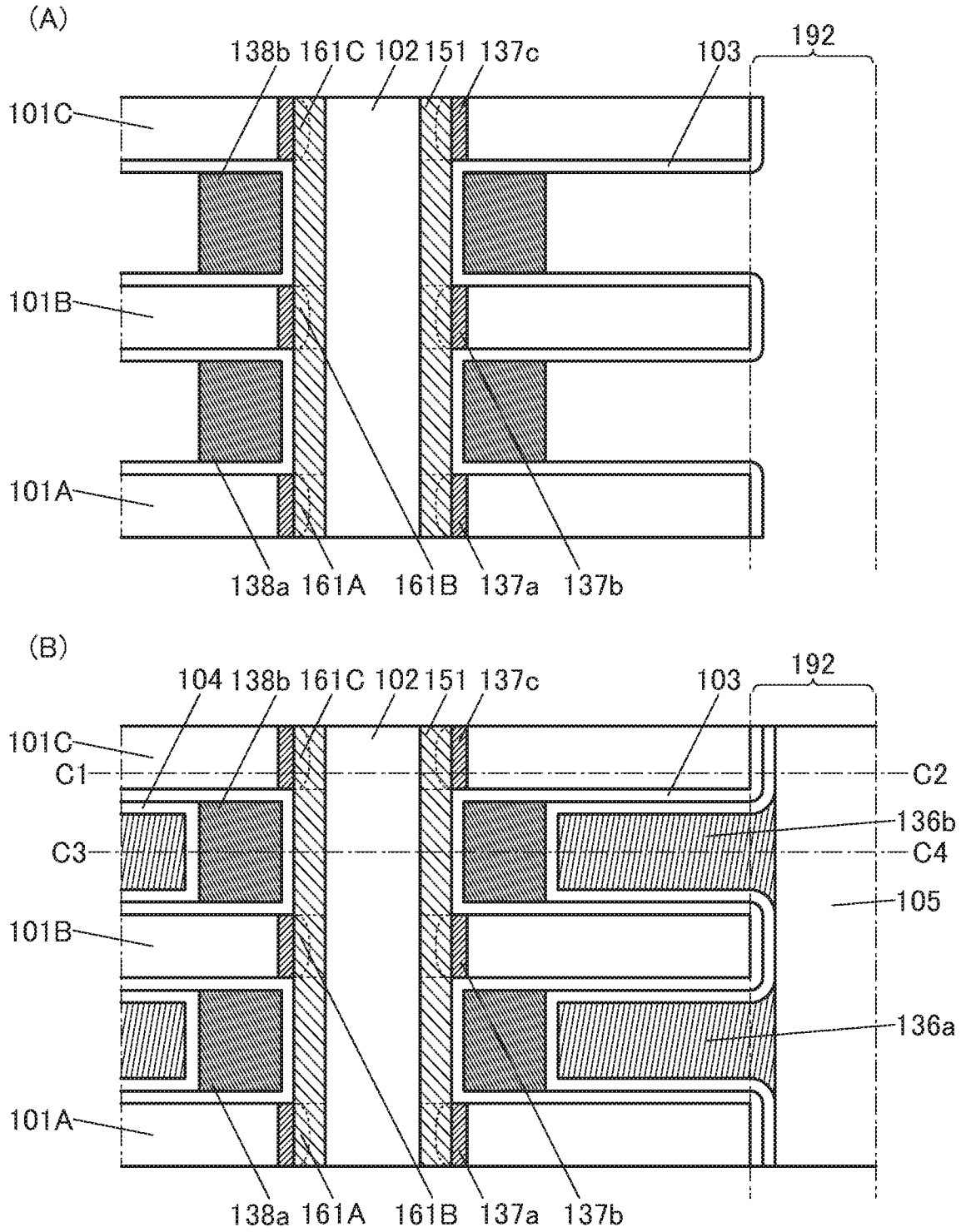
[図52]


(A)
104
111
161C
102
151
137c
103
192
101C
161B
101B
101A
153
161A
137a
137b
(B)
104
111
161C
102
151
137c
153b
103
192
101C
161B
101B
101A
161A
137a
137b
153a

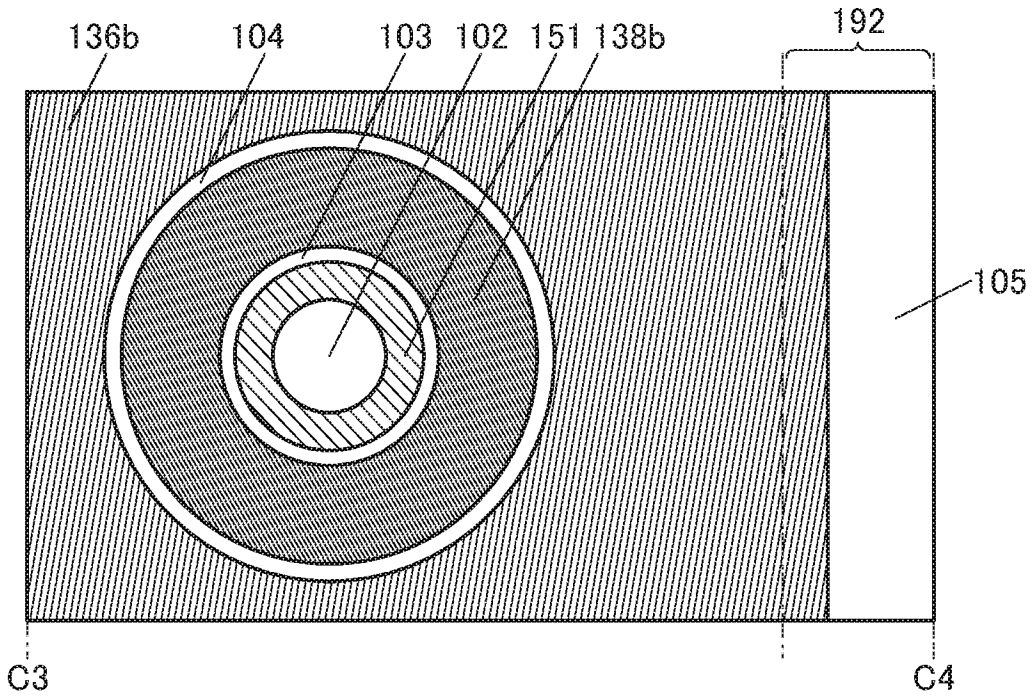
[図53]


(A)
104
111
161C
102
151
137c
153b
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
137a
181B
137b
153a
(B)
136b
153b
104
103
102
151
111
192
105
C3
C4

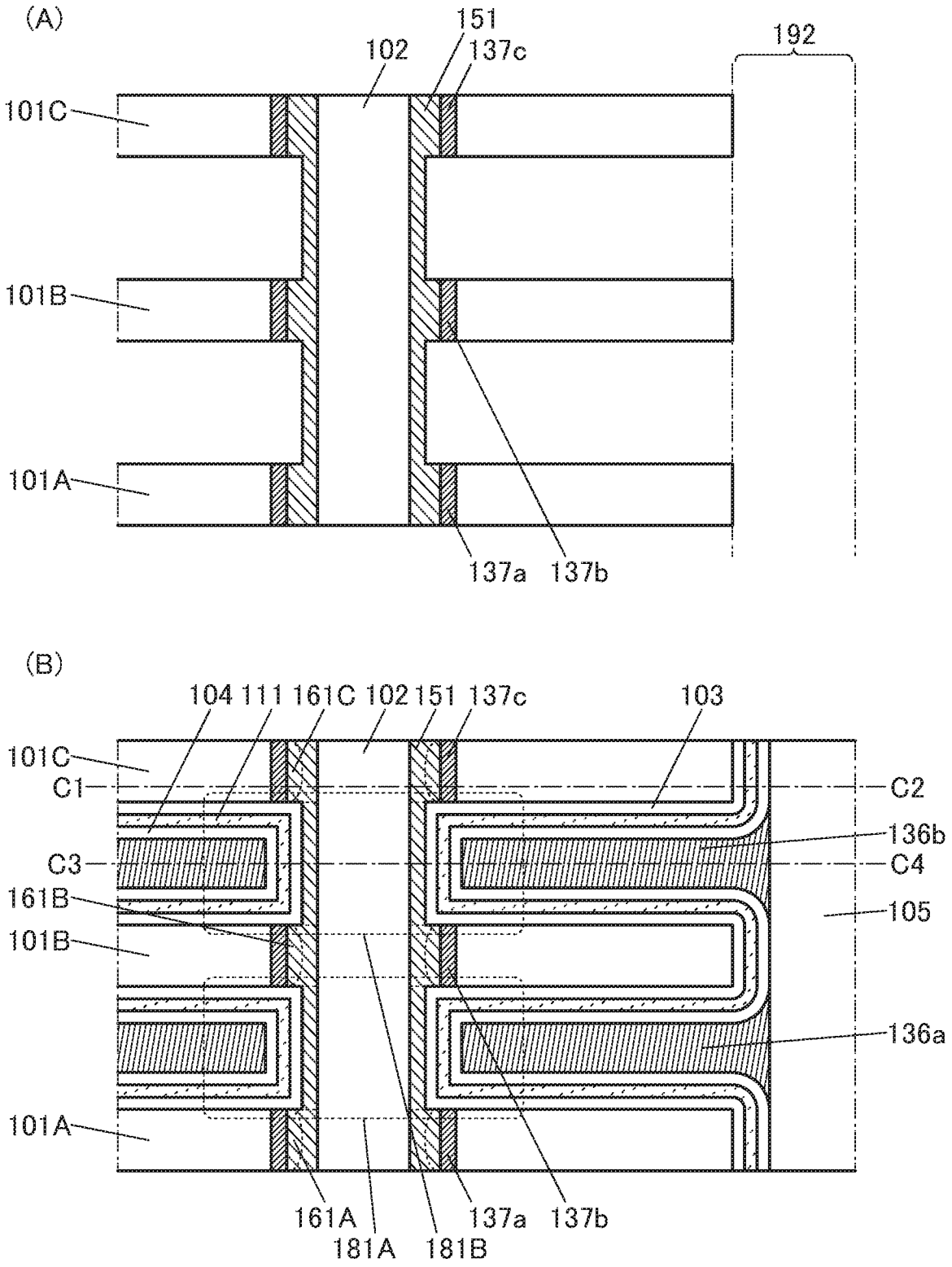
[図54]


(A)
138b 161C 102 151 137c
103
192
101C
101B
101A
138a 161A 161B 137a 137b
(B)
104 138b 161C 102 151 137c
103
192
101C
C1
C2
C3
C4
136b
105
101B
136a
101A
138a 161A 161B 137a 137b

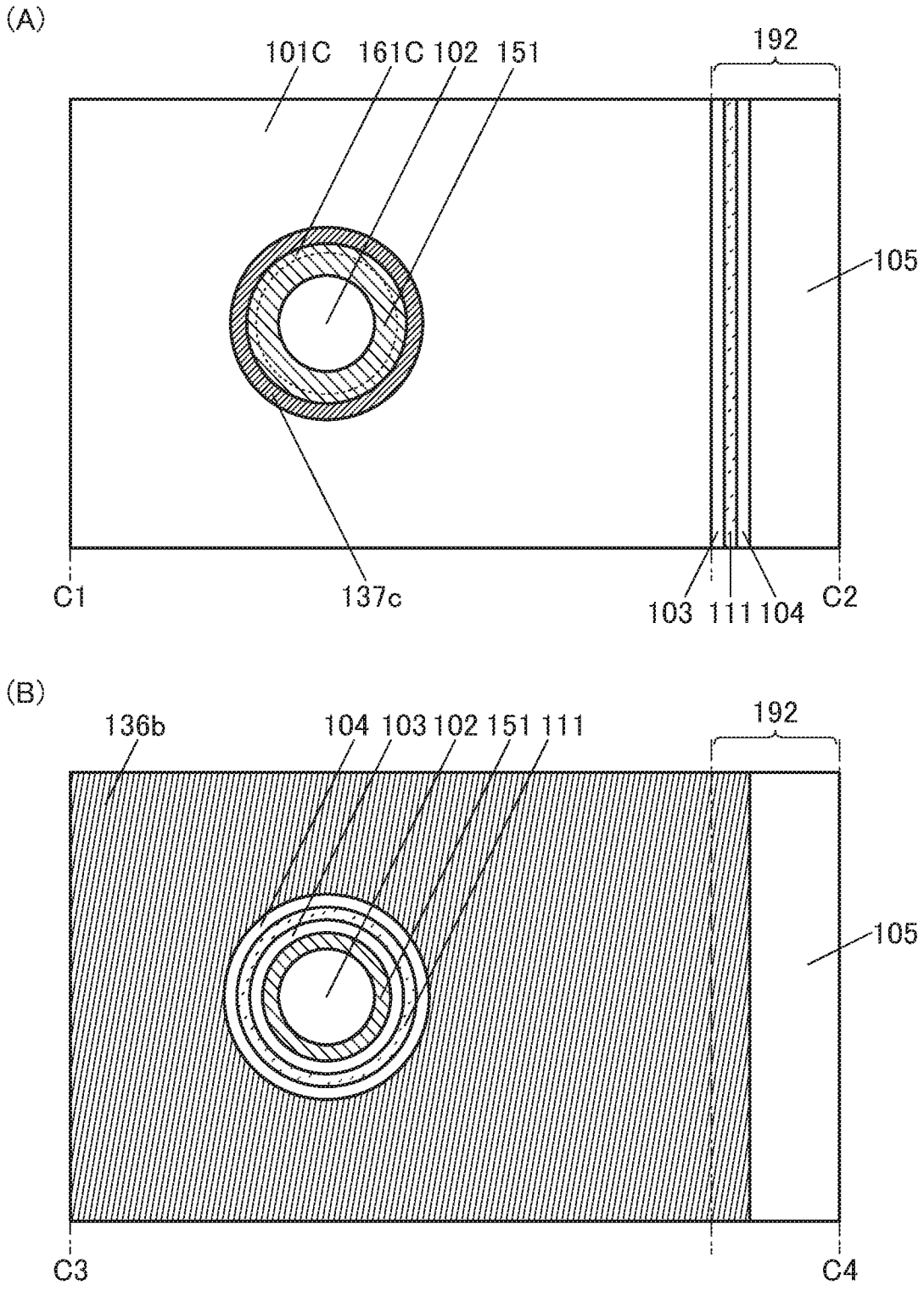
[図55]



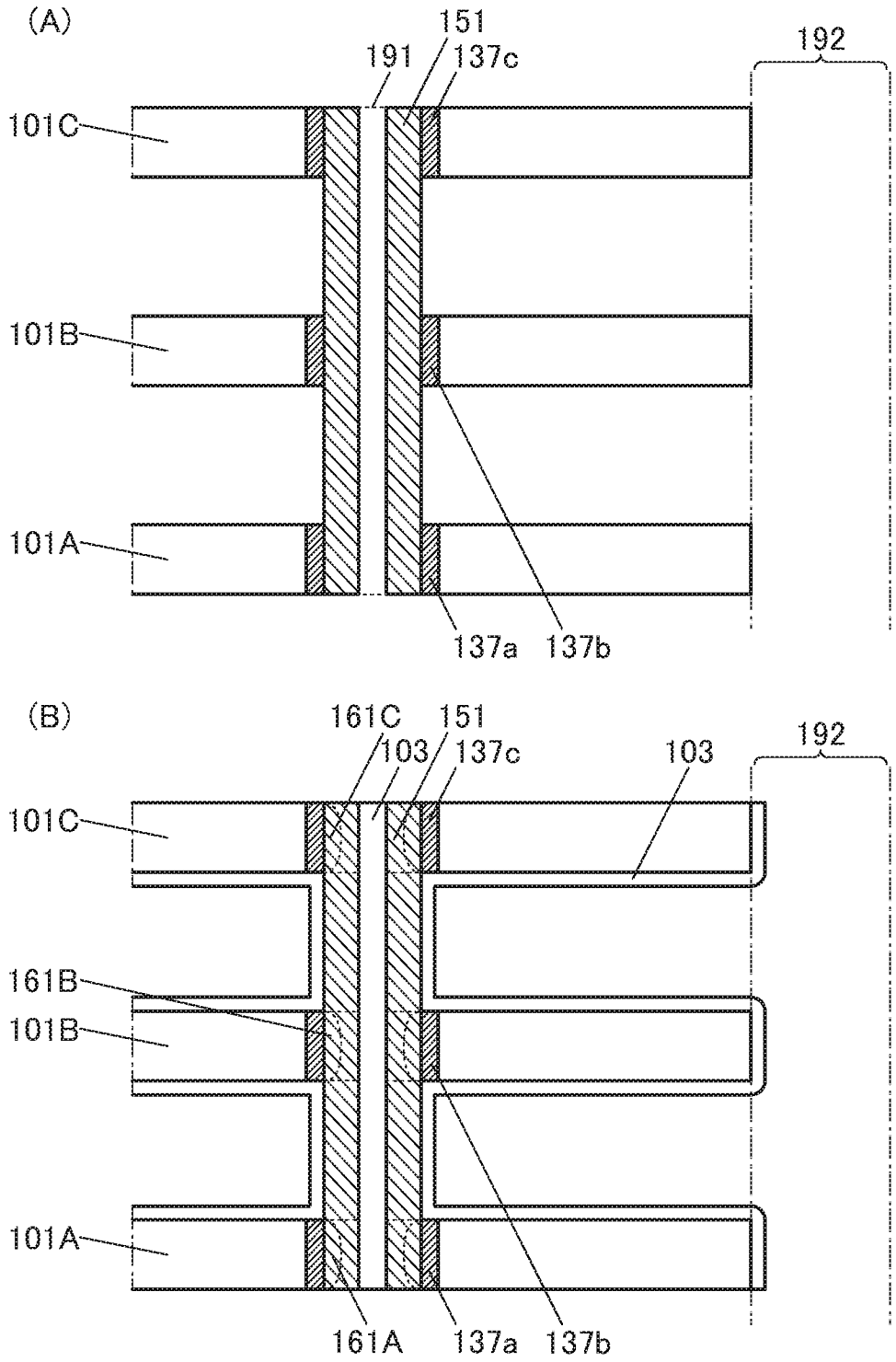
[図56]


(A)
151
102
137c
192
101C
101B
101A
137a
137b
(B)
104
111
161C
102
151
137c
103
101C
C1
C2
136b
C3
C4
161B
105
101B
136a
101A
161A
181A
181B
137a
137b

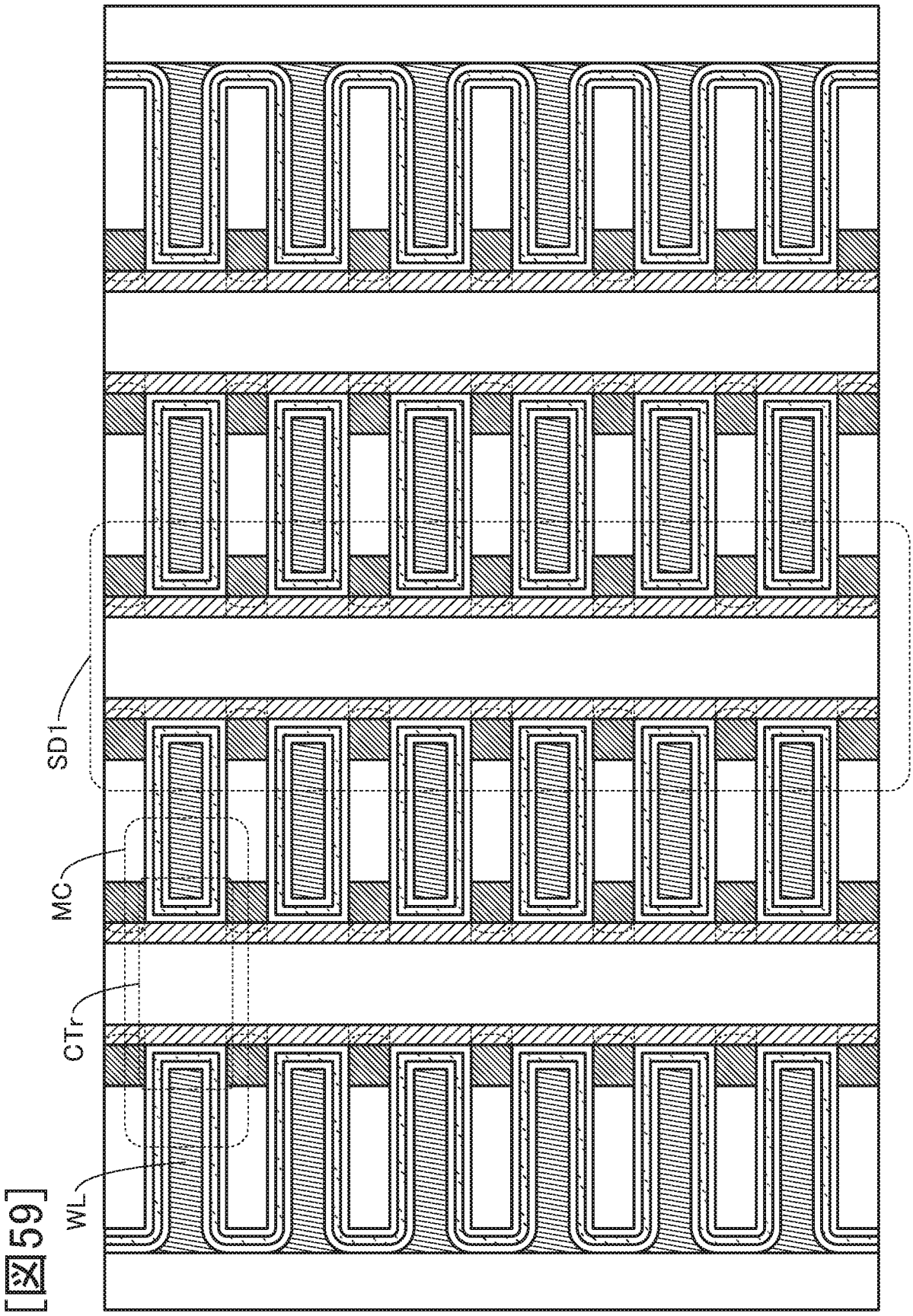
[図57]


(A)
101C
161C
102
151
192
105
C1
137c
103
111
104
C2
(B)
136b
104
103
102
151
111
192
105
C3
C4

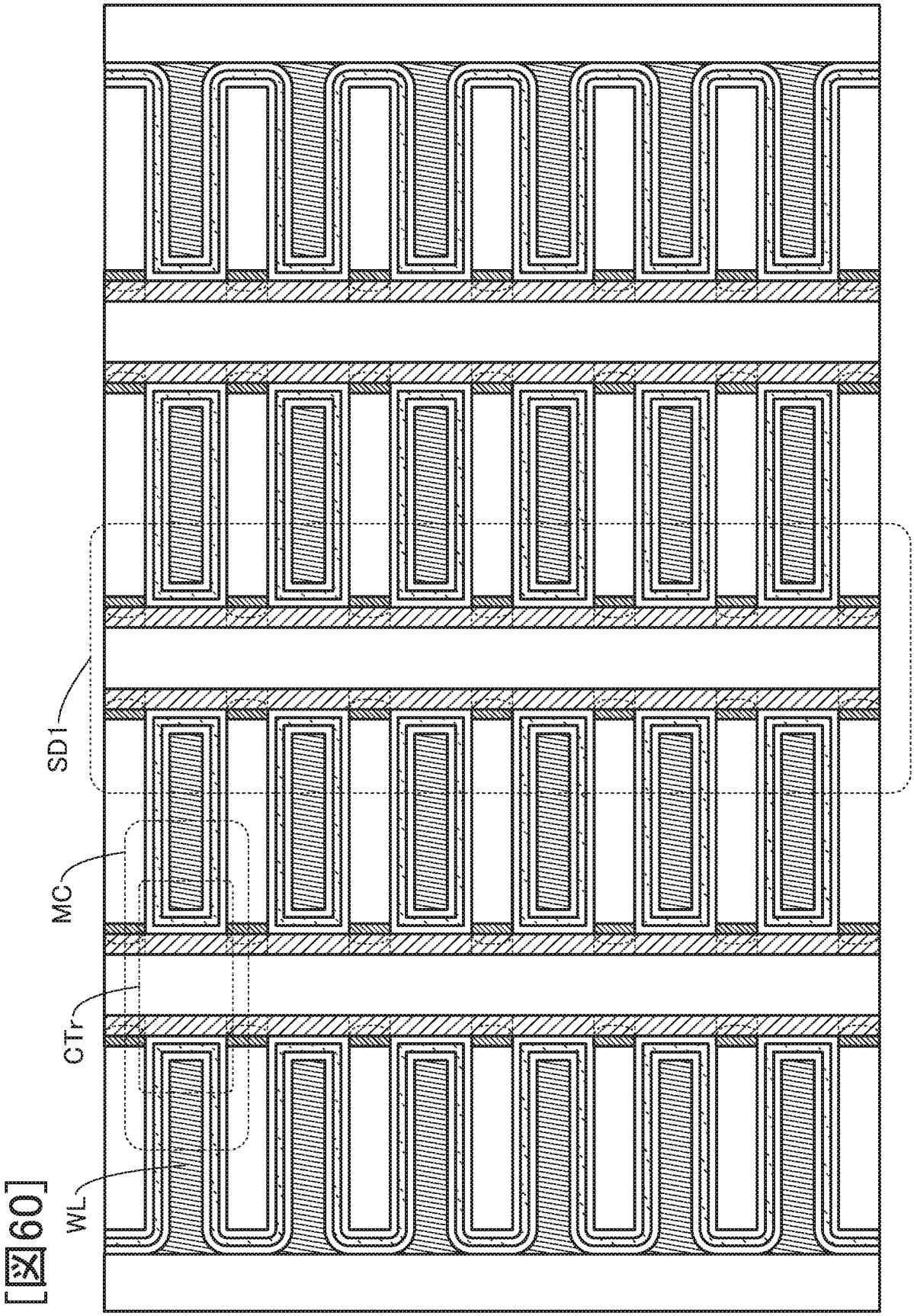
[図58]


(A)
151
191
137c
192
101C
101B
101A
137a
137b
(B)
161C
151
103
137c
103
192
101C
161B
101B
101A
161A
137a
137b

[図59]

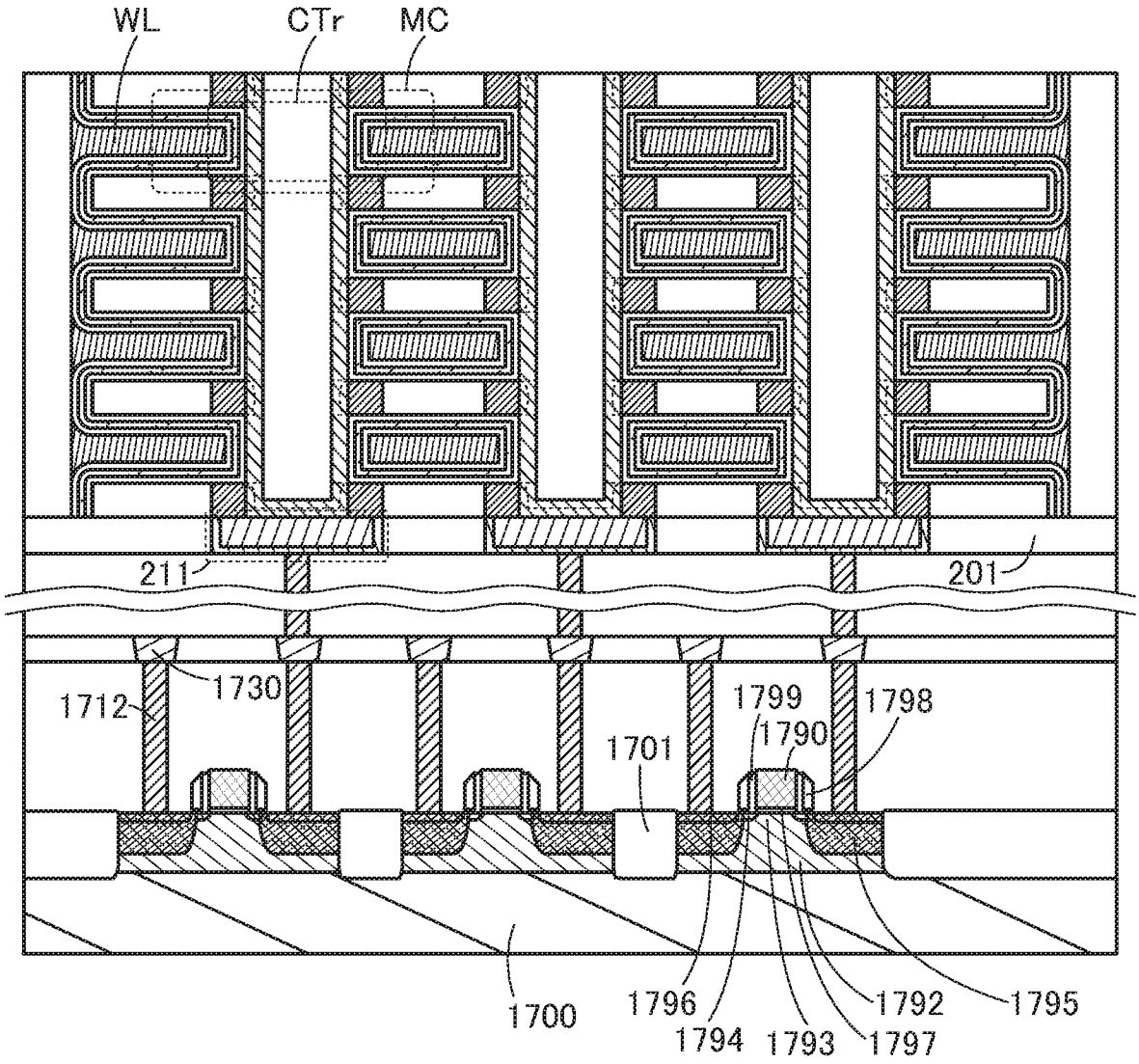


[図60]

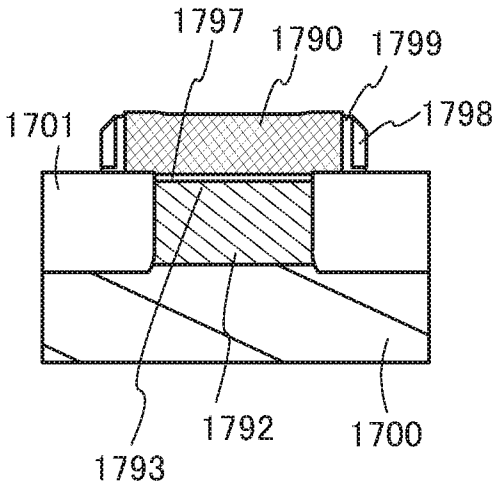


[図61]

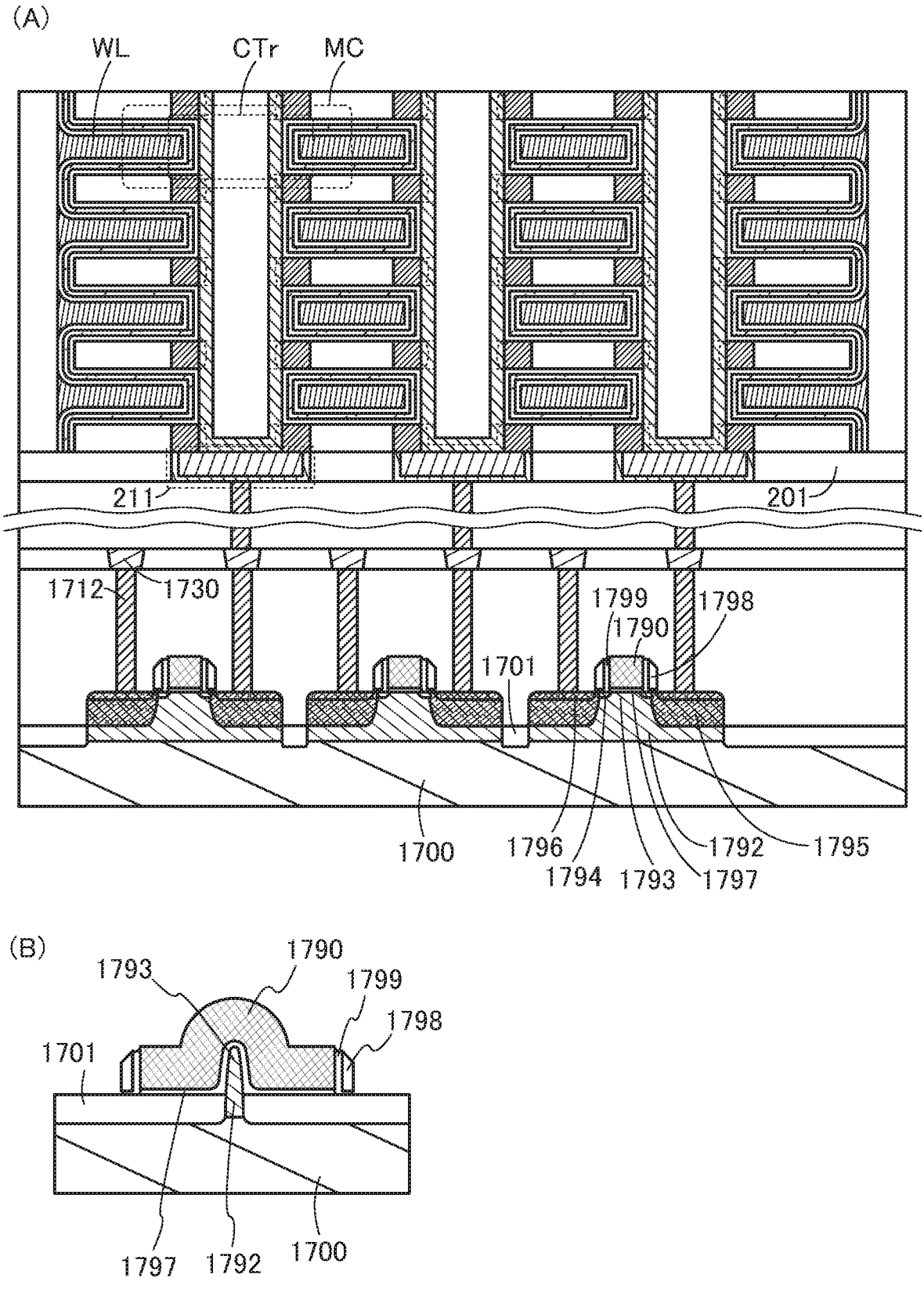
(A)


WL
CTr
MC
211
201
1712
1730
1799
1798
1790
1701
1700
1796
1794
1793
1792
1797
1795

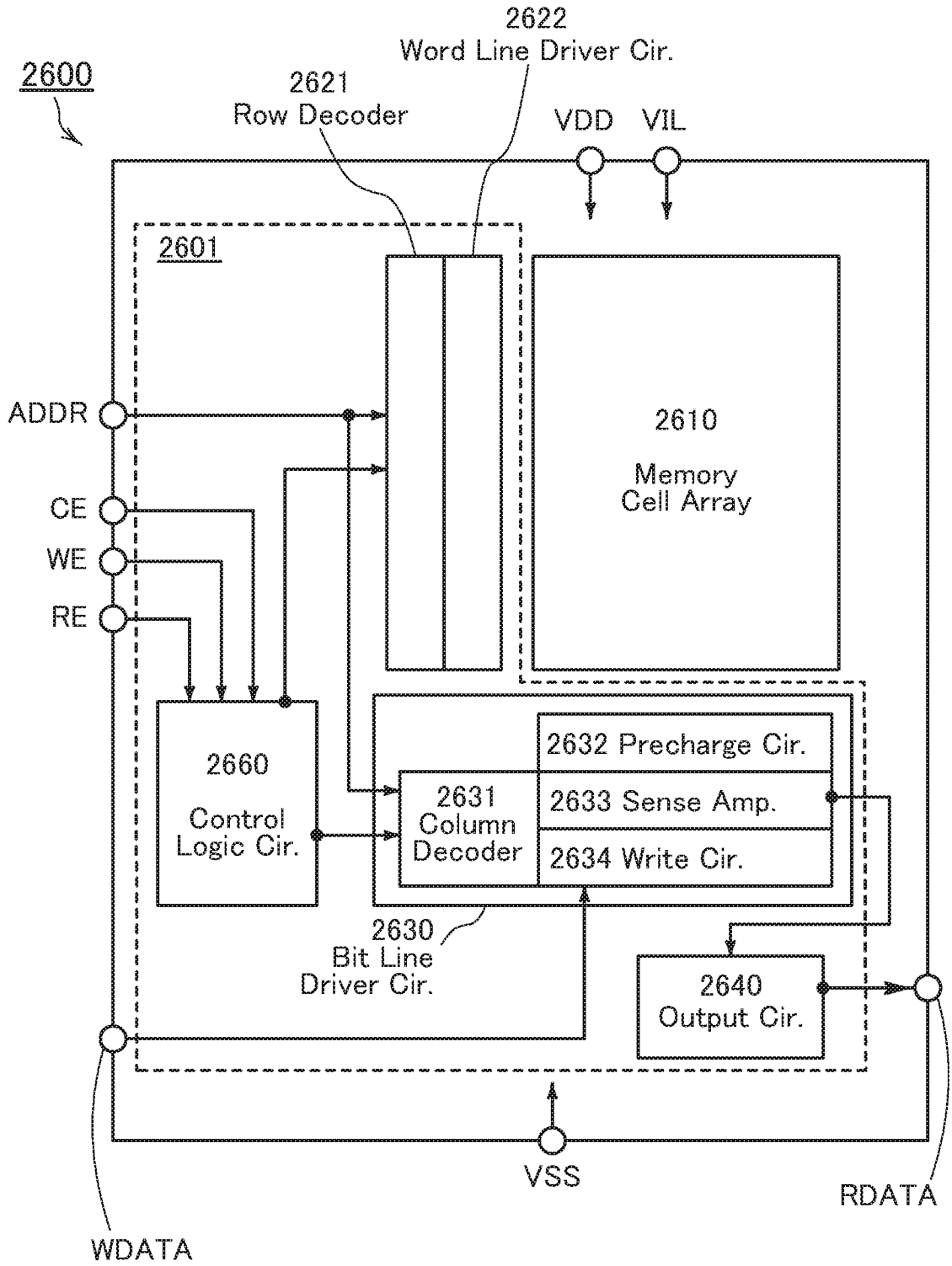
(B)


1797
1790
1799
1798
1701
1793
1792
1700

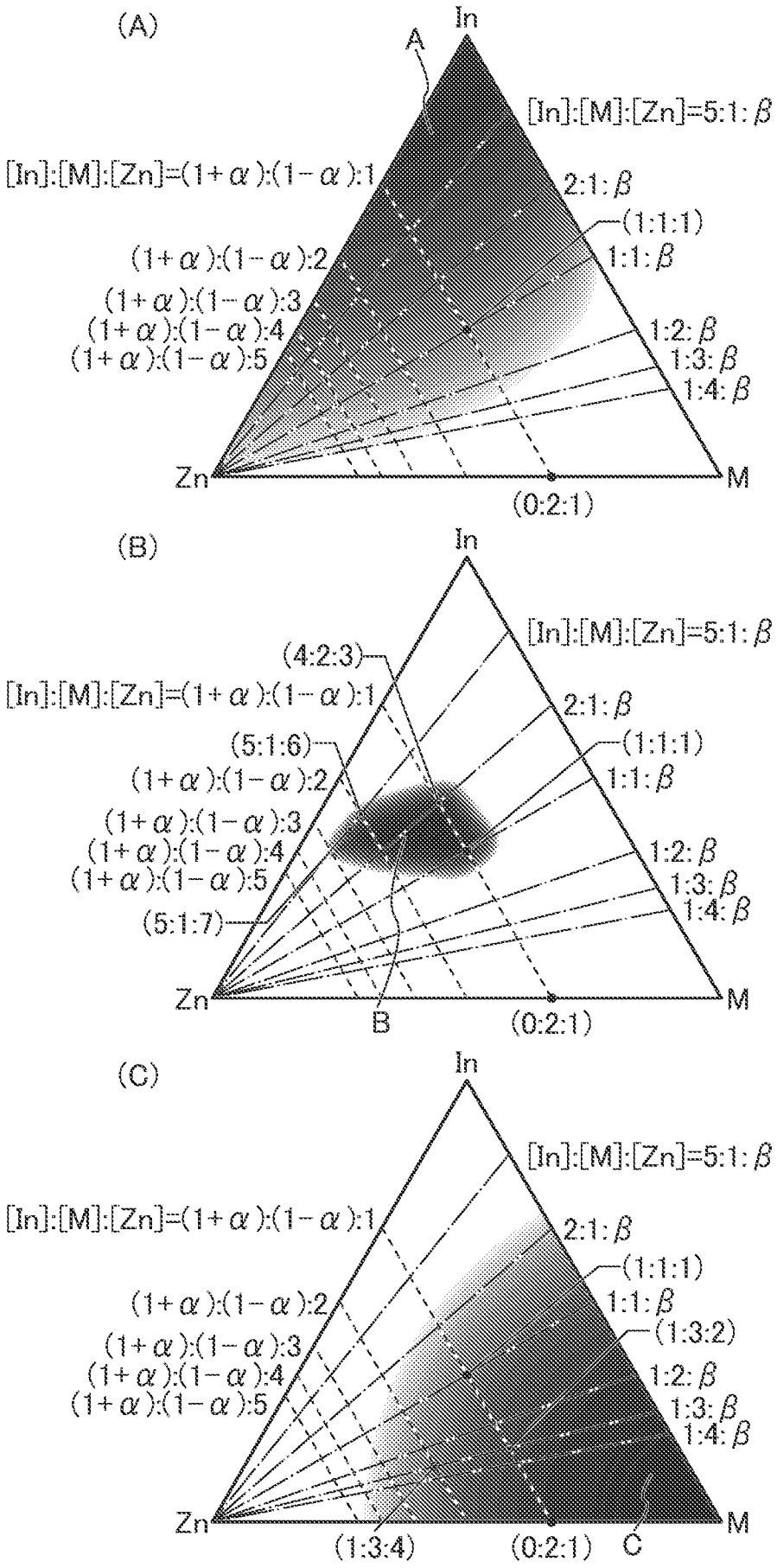
[図62]


(A)
WL
CTr
MC
211
201
1712
1730
1799
1790
1798
1701
1700
1796
1794
1793
1792
1797
1795
(B)
1793
1790
1799
1798
1701
1797
1792
1700

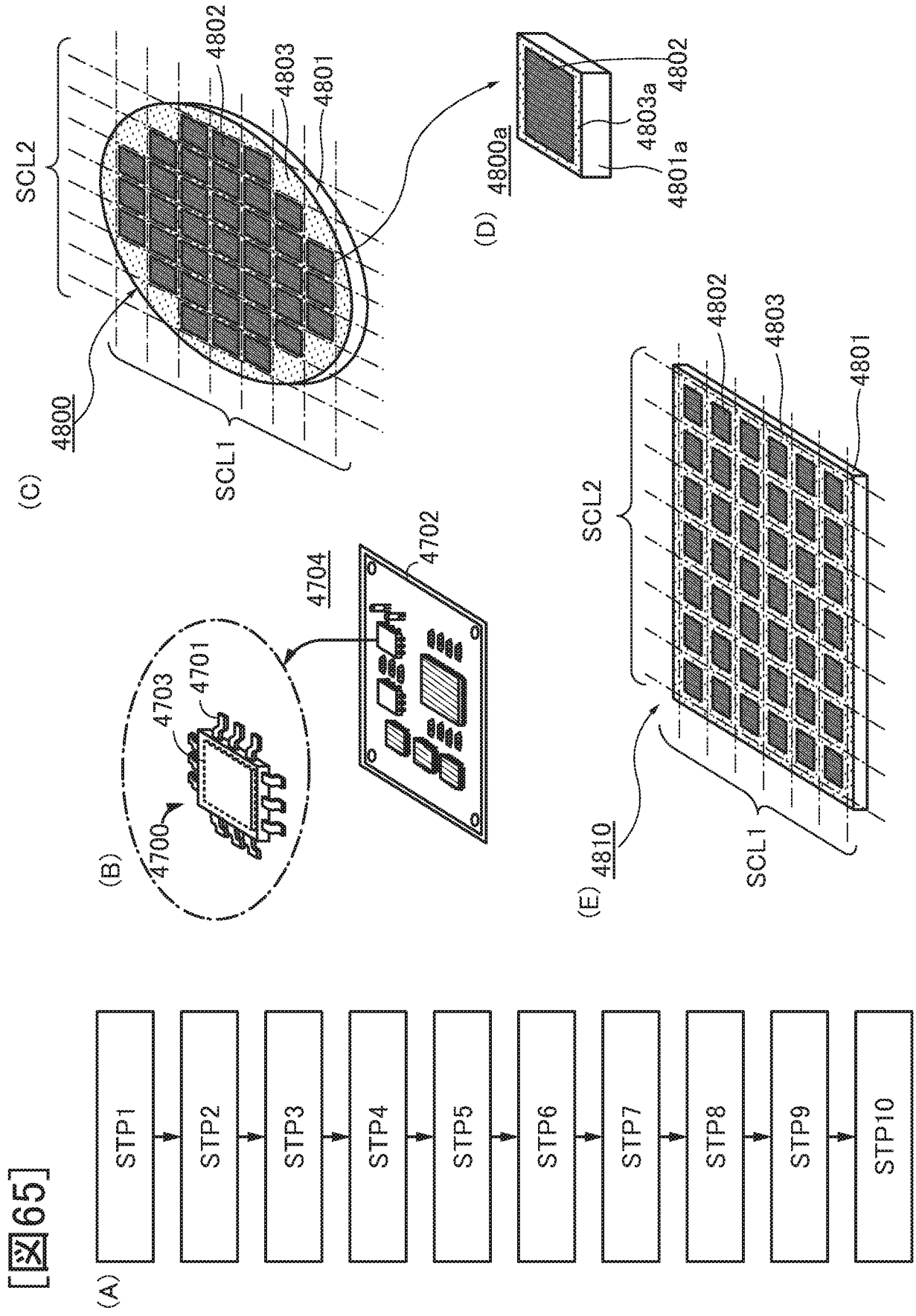
[図63]


2600
2621
Row Decoder
2622
Word Line Driver Cir.
VDD
VIL
2601
ADDR
CE
WE
RE
2610
Memory
Cell Array
2660
Control
Logic Cir.
2631
Column
Decoder
2632 Precharge Cir.
2633 Sense Amp.
2634 Write Cir.
2630
Bit Line
Driver Cir.
2640
Output Cir.
VSS
WDATA
RDATA

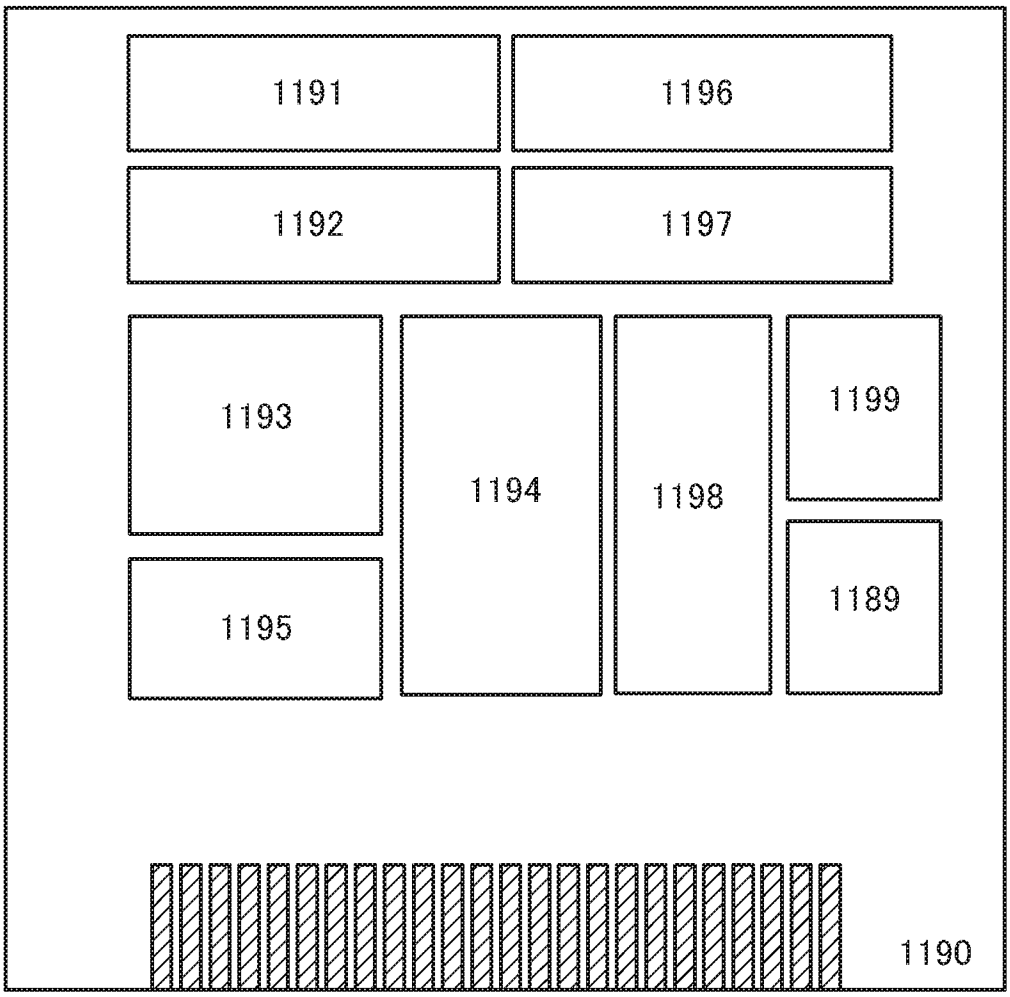
[図64]


(A)
In
A
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(0:2:1)
(B)
In
[In]:[M]:[Zn]=5:1:β
(4:2:3)
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(5:1:6)
(1:1:1)
(1+α):(1−α):2
1:1:β
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
(5:1:7)
Zn
B
M
(0:2:1)
(C)
In
[In]:[M]:[Zn]=5:1:β
[In]:[M]:[Zn]=(1+α):(1−α):1
2:1:β
(1:1:1)
(1+α):(1−α):2
1:1:β
(1:3:2)
(1+α):(1−α):3
(1+α):(1−α):4
(1+α):(1−α):5
1:2:β
1:3:β
1:4:β
Zn
M
(1:3:4)
(0:2:1)
C

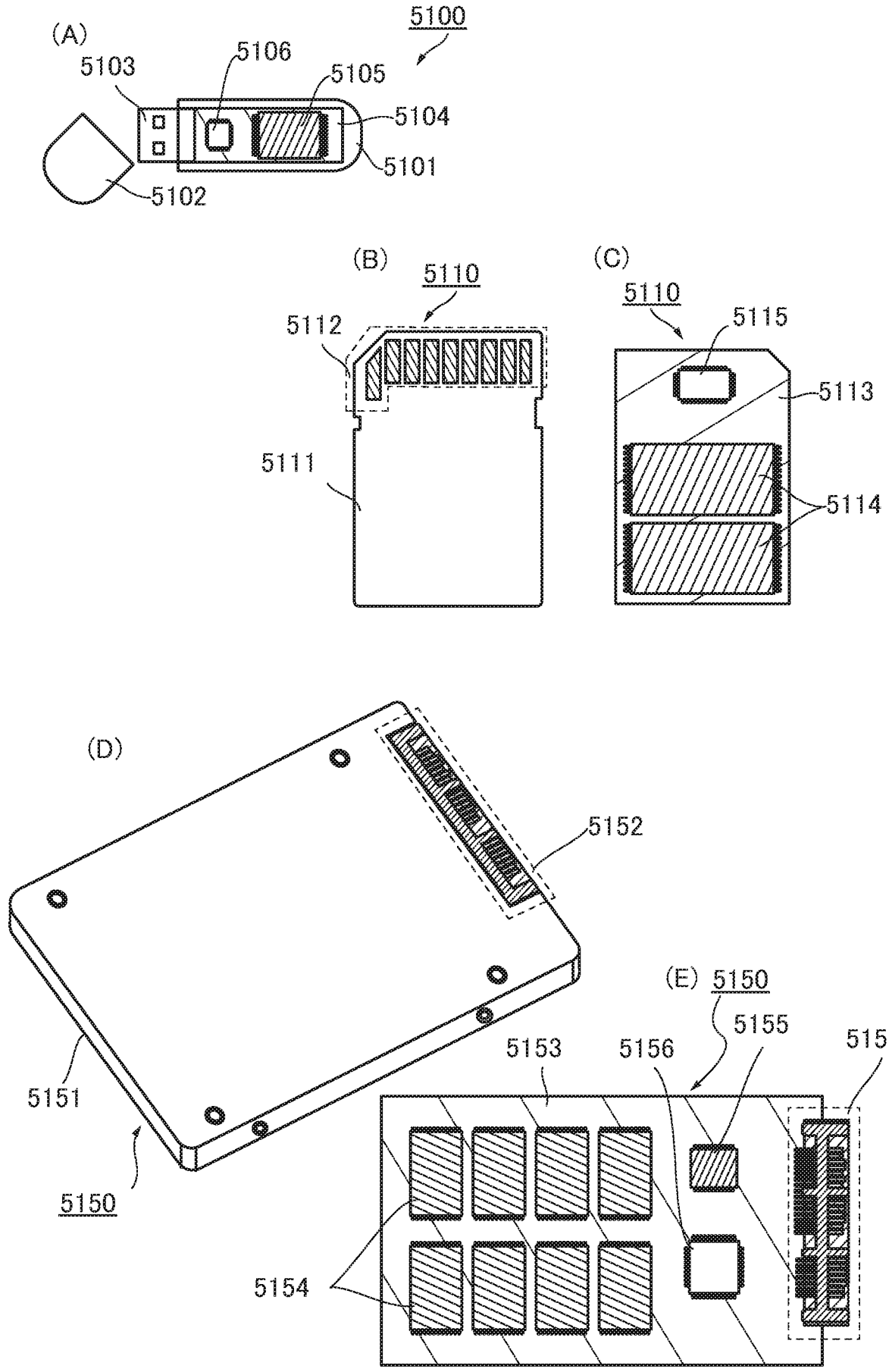
[図65]


(A)
STP1
STP2
STP3
STP4
STP5
STP6
STP7
STP8
STP9
STP10
(B)
4700
4703
4701
4704
4702
(C)
4800
SCL2
SCL1
4802
4803
4801
(D)
4800a
4802
4803a
4801a
(E)
4810
SCL2
SCL1
4802
4803
4801

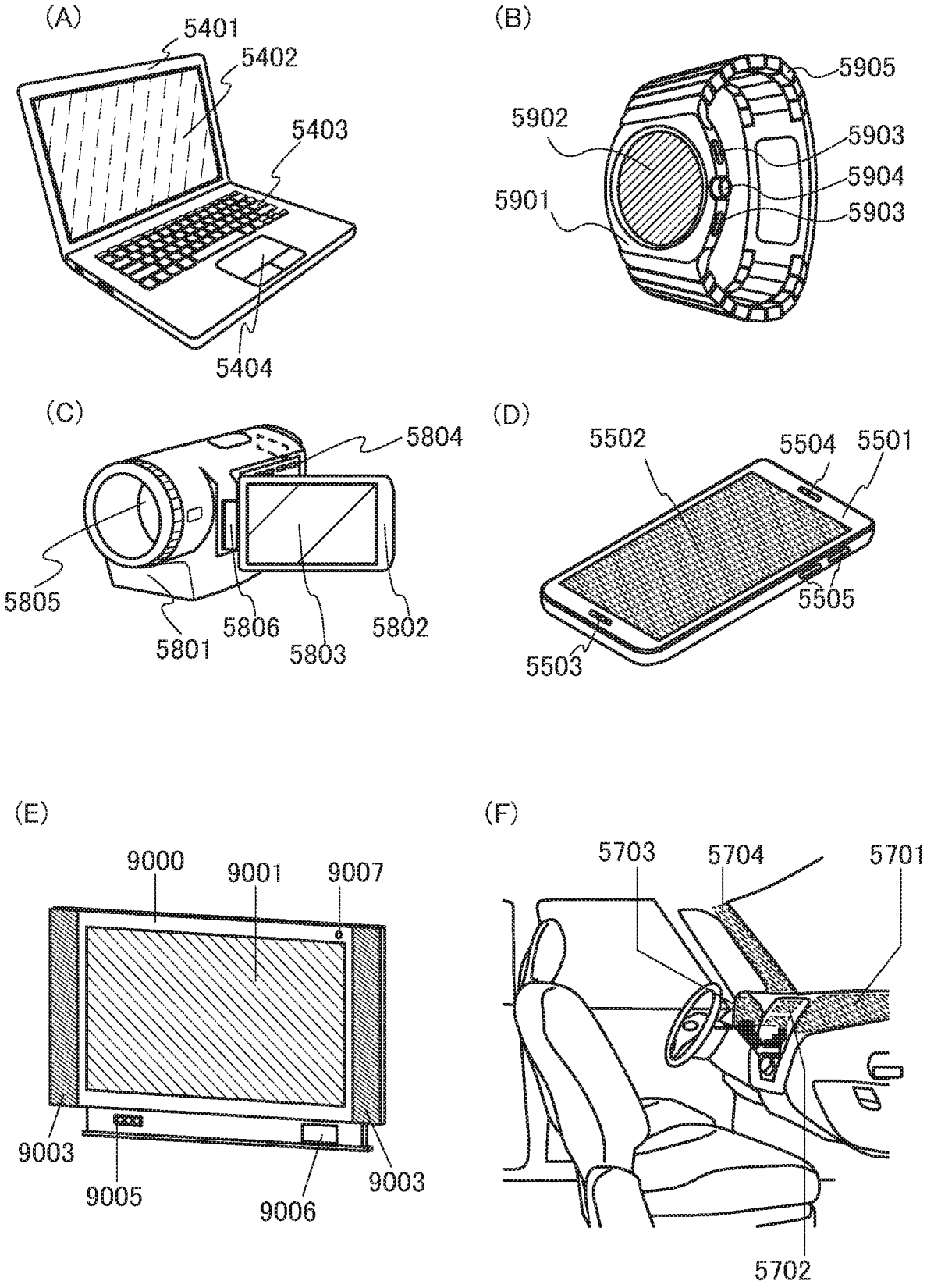
[図66]



[図67]


(A)
5100
5103
5106
5105
5104
5101
5102
(B)
5110
5112
5111
(C)
5110
5115
5113
5114
(D)
5152
5151
5150
(E)
5150
5155
5153
5156
5152
5154

[図68]


(A)
5401
5402
5403
5404
(B)
5905
5902
5903
5904
5901
5903
(C)
5804
5805
5801
5806
5803
5802
(D)
5502
5504
5501
5505
5503
(E)
9000
9001
9007
9003
9005
9006
9003
(F)
5703
5704
5701
5702

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2018/054566

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L27/11582(2017.01)i, H01L21/336(2006.01)i,
H01L21/8234(2006.01)i, H01L27/088(2006.01)i,
H01L27/11556(2017.01)i, H01L29/786(2006.01)i,
H01L29/788(2006.01)i, H01L29/792(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L27/11582, H01L21/336, H01L21/8234, H01L27/088, H01L27/11556,
H01L29/786, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-78714 A (SAMSUNG ELECTRONICS CO., LTD.) 01 May 2014, paragraphs [0026]-[0034], fig. 3, 4A & US 2014/0097484 A1, paragraphs [0043]-[0052], fig. 3, 4A & US 2014/0187029 A1 & US 2015/0054058 A1 & US 2015/0325586 A1 & US 2016/0071879 A1 & US 2016/0104721 A1 & US 2016/0247818 A1 & CN 103715176 A	1-13
A	JP 2015-170644 A (TOSHIBA CORP.) 28 September 2015, paragraphs [0015], [0030], [0031], fig. 2 & US 2015/0255485 A1, paragraphs [0017], [0033], [0034], fig. 2	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 September 2018 (19.09.2018)	02 October 2018 (02.10.2018)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2018/054566

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-109571 A (SAMSUNG ELECTRONICS CO., LTD.) 27 June 2012, entire text, all drawings & US 2012/0119287 A1, entire text, all drawings & US 2014/0038400 A1 & DE 102011086171 A1 & KR 10-2012-0053329 A & CN 102468282 A	1-13
A	JP 2016-225434 A (TOSHIBA CORP.) 28 December 2016, entire text, all drawings & US 9406694 B1, entire text, all drawings	1-13

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１８／０５４５６６

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/11582(2017.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/11556(2017.01)i, H01L29/786(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/11582, H01L21/336, H01L21/8234, H01L27/088, H01L27/11556, H01L29/786, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2014-78714 A (三星電子株式会社) 2014.05.01, 段落[0026] - [0034], 図3, 4A & US 2014/0097484 A1, 段落[0043] - [0052], 図3, 4A & US 2014/0187029 A1 & US 2015/0054058 A1 & US 2015/0325586 A1 & US 2016/0071879 A1 & US 2016/0104721 A1 & US 2016/0247818 A1 & CN 103715176 A	1-13
A	JP 2015-170644 A (株式会社東芝) 2015.09.28, 段落[0015], [0030], [0031], 図2 & US 2015/0255485 A1, 段落[0017], [0033], [0034], 図2	1-13

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １９．０９．２０１８	国際調査報告の発送日 ０２．１０．２０１８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｆ　６３１３ 宮本　博司 電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2012-109571 A (三星電子株式会社) 2012.06.07, 全文, 全図 & US 2012/0119287 A1, 全文, 全図 & US 2014/0038400 A1 & DE 102011086171 A1 & KR 10-2012-0053329 A & CN 102468282 A	1-13
A	JP 2016-225434 A (株式会社東芝) 2016.12.28, 全文, 全図 & US 9406694 B1, 全文, 全図	1-13