

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5606019号
(P5606019)

(45) 発行日 平成26年10月15日(2014.10.15)

(24) 登録日 平成26年9月5日(2014.9.5)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 H
HO 1 L 29/06 (2006.01)	HO 1 L 29/78	6 5 2 N
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 P
	HO 1 L 29/78	6 5 8 A
	HO 1 L 29/06	3 0 1 D
請求項の数 5 (全 13 頁) 最終頁に続く		

(21) 出願番号	特願2009-170450 (P2009-170450)	(73) 特許権者	000003078
(22) 出願日	平成21年7月21日(2009.7.21)		株式会社東芝
(65) 公開番号	特開2011-29233 (P2011-29233A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成23年2月10日(2011.2.10)	(74) 代理人	100108062
審査請求日	平成23年8月8日(2011.8.8)		弁理士 日向寺 雅彦
		(72) 発明者	大田 浩史
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	角 保人
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	木村 淑
			東京都港区芝浦一丁目1番1号 株式会社東芝内
最終頁に続く			

(54) 【発明の名称】 電力用半導体素子およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

素子部と、前記素子部を囲む終端部と、を有する第1導電型の半導体層と、
前記半導体層に接続されたドレイン電極と、を備え、
前記素子部および前記終端部において、前記半導体層は、前記ドレイン電極とは反対側に設けられ、前記ドレイン電極に接する面に平行な第1方向に並設された第2導電型の第1の半導体領域と、
前記第1方向において隣接する前記第1の半導体領域の間に設けられた第1導電型の第2の半導体領域と、
を有し、

前記終端部に位置する前記ドレイン電極と前記第1の半導体領域との間において、前記第1の半導体領域に接し、前記第1の半導体領域に接する部分よりも長い前記第1方向の長さを有するように第3の半導体領域が設けられ、

前記第3の半導体領域から前記半導体層に向かって変化する第2導電型の不純物の濃度プロファイルの傾きは、前記第1の半導体領域から前記第2の半導体領域に向かって変化する前記第2導電型の不純物の濃度プロファイルの傾きよりも緩やかに変化し、

前記第3の半導体領域と前記ドレイン電極との間隔は、前記素子部における前記第1の半導体領域と前記ドレイン電極との間隔よりも狭い電力用半導体素子。

【請求項2】

前記第1の半導体領域は、前記ドレイン電極に近づくほど前記第1方向の幅が狭くなる

請求項 1 記載の電力用半導体素子。

【請求項 3】

前記第 3 の半導体領域における前記第 2 導電型の不純物の濃度の最高値は、前記第 1 の半導体領域の前記第 2 導電型の不純物の濃度の最高値の 1.5 倍よりも高い請求項 1 または 2 に記載の電力用半導体素子。

【請求項 4】

前記終端部において、前記ドレイン電極に接する面に直交する方向に積み重ねられた複数の前記第 3 の半導体領域が、前記ドレイン電極と前記第 1 の半導体領域との間に設けられた請求項 1 ないし 3 に記載の電力用半導体素子。

【請求項 5】

素子部と、前記素子部を囲む終端部と、を有する第 1 導電型の第 1 の半導体層上において、前記終端部に第 2 導電型の不純物をドーブした複数の第 4 の半導体領域を並べて形成する不純物ドーブ工程と、

前記第 1 の半導体層上に、第 1 導電型の第 2 の半導体層をエピタキシャル成長し、前記第 4 の半導体領域にドーブされた前記第 2 導電型の不純物を再分布させて第 3 の半導体領域を形成する成長工程と、

前記素子部において前記第 1 の半導体層に連通し、前記終端部において前記第 3 の半導体領域に連通するトレンチ溝であって、前記複数の第 4 の半導体領域を並べた方向における前記第 3 の半導体領域に連通する部分の幅が、その方向における前記第 3 の半導体領域の幅よりも狭く、前記素子部における深さが、前記第 3 の領域の下端よりも浅いトレンチ溝を前記第 2 の半導体層に形成するエッチング工程と、

前記トレンチ溝を第 2 の導電型の半導体で埋め込んで第 1 の半導体領域を形成する埋め込み工程と、

を備え、

前記第 3 の半導体領域から前記第 1 の半導体層に向かって変化する第 2 導電型の不純物の濃度プロファイルの傾きが、前記第 1 の半導体領域から前記第 2 の半導体領域に向かって変化する前記第 2 導電型の不純物の濃度プロファイルの傾きよりも緩やかに変化するよう、前記第 3 の半導体領域の前記第 2 導電型の不純物を再分布させる電力用半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用半導体素子およびその製造方法に関し、特に、スーパージャンクション構造を備えた電力用半導体素子およびその製造方法に関する。

【背景技術】

【0002】

電力用半導体素子は、パワーロスを少なくするために、低消費電力であることが望まれる。例えば、電力用半導体素子の一つである縦形パワー MOSFET の消費電力は、オン抵抗を決める伝導層（ドリフト層）の電気抵抗に大きく依存する。そして、このドリフト層の電気抵抗を決定する不純物ドーブ量は、ベース層とドリフト層との間の p n 接合の耐圧に応じて限界以上には上げられない。このため、素子耐圧（アバランシェ耐量）とオン抵抗にはトレードオフが存在し、このトレードオフ関係の下でデバイスの最適設計が行われてきた。一方、このトレードオフ関係には、素子材料および構造に依存する固有の限界があり、この限界を越える技術を開発することが、既存の電力用半導体素子を凌駕する低消費電力素子を実現する道である。

【0003】

例えば、上記のトレードオフを改善した電力用半導体素子として、ドリフト層に p 型ピラーと n 型ピラーとを周期的に埋め込んだスーパージャンクション構造（S J 構造：Super Junction structure）を有する MOSFET が知られている。S J 構造は、p 型ピラーと n 型ピラーとに含まれるチャージ量（不純物量）を同量とすることで、擬似的にノンド

10

20

30

40

50

ープ領域を作り出して高耐圧を保持し、さらに、高ドーピングされたn型ピラーを通して電流を流すことで、材料限界に迫る低オン抵抗を実現する。

【0004】

ドリフト層にSJ構造を形成する方法として、イオン注入法を用いて不純物を選択的にドーピングしたエピタキシャル成長層を積層し、p型ピラーおよびn型ピラーを半導体層中に形成する方法、および、n型半導体層にトレンチ溝を形成した後、p型半導体でトレンチ溝を埋め込んでp型ピラーとする方法が知られている。前者は、技術的な難易度は低いが、複数回のイオン注入およびエピタキシャル成長を繰り返す必要があり、プロセスコストが高いという問題がある。一方、後者は、アスペクト比の大きいトレンチ溝中に良質の半導体結晶を成長させる必要があり、技術面での難易度は高いが、プロセスコストを大幅に削減できる点で有望な方法として期待されている。

10

【0005】

一方、電力用半導体素子を安定して動作させるためには、高い耐圧を有することが望ましい。特に、構造の対称性が崩れる素子周辺の終端部において、高い耐圧を確保することが重要である。例えば、特許文献1には、MOSFETの終端部のp型ピラーを長くして素子耐圧を向上させた半導体装置が記載されている。しかしながら、トレンチ溝を埋め込んでSJ構造を形成する方法を用いる場合、終端部のみp型ピラーの長さを変えて耐圧を向上させることは難しいという問題があった。

【先行技術文献】

【特許文献】

20

【0006】

【特許文献1】特開2008-78282号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、トレンチ溝を埋め込んで形成されるSJ構造有し、終端部の耐圧を向上させた電力用半導体素子およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様によれば、素子部と、前記素子部を囲む終端部と、を有する第1導電型の半導体層と、前記半導体層に接続されたドレイン電極と、を備え、前記素子部および前記終端部において、前記半導体層は、前記ドレイン電極とは反対側に設けられ、前記ドレイン電極に接する面に平行な第1方向に並設された第2導電型の第1の半導体領域と、前記第1方向において隣接する前記第1の半導体領域の間に設けられた第1導電型の第2の半導体領域と、を有し、前記終端部に位置する前記ドレイン電極と前記第1の半導体領域との間において、前記第1の半導体領域に接し、前記第1の半導体領域に接する部分よりも長い前記第1方向の長さを有するように第3の半導体領域が設けられ、前記第3の半導体領域から前記半導体層に向かって変化する第2導電型の不純物の濃度プロファイルの傾きは、前記第1の半導体領域から前記第2の半導体領域に向かって変化する前記第2導電型の不純物の濃度プロファイルの傾きよりも緩やかに変化し、前記第3の半導体領域と、前記ドレイン電極と、の間隔は、前記素子部における前記第1の半導体領域と、前記ドレイン電極と、の間隔よりも狭い電力用半導体素子が提供される。

30

40

【0009】

また、本発明の別の態様によれば、素子部と、前記素子部を囲む終端部と、を有する第1導電型の第1の半導体層上において、前記終端部に第2導電型の不純物をドーピングした複数の第4の半導体領域を並べて形成する不純物ドーピング工程と、前記第1の半導体層上に、第1導電型の第2の半導体層をエピタキシャル成長し、前記第4の半導体領域にドーピングされた前記第2導電型の不純物を再分布させて第3の半導体領域を形成する成長工程と、前記素子部において前記第1の半導体層に連通し、前記終端部において前記第3の半導体領域に連通するトレンチ溝であって、前記複数の第4の半導体領域を並べた方向における

50

前記第3の半導体領域に連通する部分の幅が、その方向における前記第3の半導体領域の幅よりも狭く、前記素子部における深さが、前記第3の領域の下端よりも浅いトレンチ溝を前記第2の半導体層に形成するエッチング工程と、前記トレンチ溝を第2の導電型の半導体で埋め込んで第1の半導体領域を形成する埋め込み工程と、を備え、前記第3の半導体領域から前記第1の半導体層に向かって変化する第2導電型の不純物の濃度プロファイルの傾きが、前記第1の半導体領域から前記第2の半導体領域に向かって変化する前記第2導電型の不純物の濃度プロファイルの傾きよりも緩やかに変化するように、前記第3の半導体領域の前記第2導電型の不純物を再分布させる電力用半導体素子の製造方法が提供される。

【発明の効果】

10

【0010】

本発明によれば、トレンチ溝を埋め込んで形成されるS J構造有し、終端部の耐圧を向上させた電力用半導体素子およびその製造方法を実現することができる。

【図面の簡単な説明】

【0011】

【図1】本発明の第1の実施形態に係る電力用半導体素子を模式的に示す平面図である。

【図2】第1の実施形態に係る電力用半導体素子のII - II断面を示す模式図である。

【図3】第1の実施形態に係る電力用半導体素子のIII - III断面を示す模式図である。

【図4】第1の実施形態に係る電力用半導体素子の製造工程を模式的に示す断面図である。

20

【図5】第1の実施形態に係る電力用半導体素子の製造工程を模式的に示す断面図である。

【図6】第1の実施形態に係るS J構造を模式的に示す断面図である。

【図7】第1の実施形態に係るS J構造の電界分布を模式的に示す説明図である。

【図8】本発明の第2の実施形態に係るウェーハの断面を示す模式図である。

【図9】本発明の第3の実施形態に係る電力用半導体素子のユニットセルの断面を示す模式図である。

【発明を実施するための形態】

【0012】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の説明では、電力用半導体素子の一つであるPOWER MOSFETを例に挙げる。各図において同様の要素には同一番号を付し、また、一例として、第1導電型をn型、第2導電型をp型としている。

30

【0013】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るPOWER MOSFETチップ20を模式的に示す平面図である。

チップ20の中心部に設けられたソース電極12の下には、MOSFETの素子部が配置されている。一方、素子部の周囲、すなわちソース電極12の周辺に沿って設けられたゲートパッド15と、チップ20の周辺端部に設けられたフィールドストップ電極16と、の間には、終端部が設けられている。

40

【0014】

本実施形態では、ストライプ状のp型ピラー3とn型ピラー4とが、チップ面に沿って周期的に配置されている。また、ソース電極12の下部に配置された素子部のp型ピラー3およびn型ピラー4は、図1の終端部に図示されたp型ピラー3およびn型ピラー4に連続して、同じ周期に設けられている。

【0015】

図2および図3は、図1中に示すII - IIおよびIII - IIIのラインに沿った終端部の断面構造を示す模式図である。以下、第1の実施形態に係るPOWER MOSFETの終端部の構造について説明する。

50

【0016】

図2は、図1中のII-IIに沿った断面構造を示す模式図である。II-IIは、ストライプ状に形成されたp型ピラー3とn型ピラー4とが周期的に配列されたSJ構造を、ストライプに直交する方向に切断した断面を示している。

【0017】

第1の半導体層であるn⁺ドレイン層9上に、第2の半導体層であるn型ドリフト層2が設けられており、n型ドリフト層2中には、第1の半導体領域であるp型ピラー3aおよび3bと、第2の半導体領域であるn型ピラー4と、が、横方向に周期性をもって設けられている。また、ソース電極12下の素子部には、p型ピラー3aとn型ピラー4とが、横方向に周期性を持って設けられ、p型ピラー3aの上部にはp型ベース7が、ゲート電極14の両側にp型ピラー3aと同じ周期で配置されている。

10

【0018】

一方、素子部の周りに設けられた終端部には、p型ベース層22に接続したp型ピラー3bと、フィールド酸化膜17を介してフィールドプレート18の下に配置されるp型ピラー3bと、が設けられている。さらに、チップの周辺端部には、フィールドストップ電極16が設けられており、p型フィールドストップ領域7bおよびn型フィールドストップ領域8bに電氣的に接続されている。これらフィールドストップ領域は、ドレイン電極11とソース電極12との間に印加された電圧によって生じる電界がチップ周辺まで広がった場合に、結晶欠陥の密度が高い周辺端部でリーク電流が発生しないように設けられている。

20

【0019】

また、終端部では、p型ピラー3bが、横方向に周期性をもって設けられた第3の半導体領域であるp型領域5に連通して設けられている。したがって、終端部のp型ピラー3bは、p型領域5が設けられていない素子部のp型ピラー3aに比べて、n⁺ドレイン層9方向の長さが実質的に長くなり、終端部のSJ構造を厚くしている。これにより、終端部では、SJ構造の厚みの増分に対応して耐圧が高くなっている。すなわち、p型ガードリング領域22とフィールドプレート18の組み合わせで構成する終端構造に加えて、SJ構造を厚くすることにより終端部の耐圧を向上させ、MOSFETの安定した動作を実現する構成となっている。

【0020】

図3は、図1および図2に示すIII-IIIに沿った断面構造を示す模式図であり、p型ピラー3のストライプ方向に切断した断面を示している。この方向の終端部では、p型ベース7が素子部からフィールドプレート18の近傍まで延在し、p型ピラー3aもゲートパッド15とフィールドストップ電極16の中間位置まで延在して設けられている。また、フィールドプレート18は、ゲートパッド15に接続されており、ドレイン電極11との間に高電圧が印加される構成となっている。これにより、空乏領域が素子部から終端部側へ広がり易くなり、アバランシェ耐量を高くすることができる。

30

【0021】

また、素子部に連通したp型ピラー3aのドレイン電極11側には、素子部と終端部との境界から終端部側において、p型領域5bが設けられている。これにより、素子部に比べて終端部のSJ構造の厚さが増し、終端部の耐圧をさらに高くすることができる。

40

【0022】

このように、第1の実施形態では、p型領域5を終端部のp型ピラー3bに連通するように形成し、さらに、終端部において、p型領域5bがp型ピラー3aに連通するように形成することにより、素子部より終端部のSJ構造を厚くして耐圧差を大きくする構成としている。このような構造は、例えば、p型不純物をイオン注入する不純物ドーピング工程(図4(a)参照)において、p型領域5、5bを形成する終端部にのみ注入マスク23の開口を設けることにより、容易に形成することができる。したがって、トレンチ埋め込みを用いて形成するSJ構造においても、p型ピラー3の長さを部分的に変更することが容易となる。

50

【0023】

本実施形態では、終端部の構造としてp型ベース層22およびフィールドプレート18と、p型領域5とを組み合わせた構成としているが、本発明は、これに限定される訳ではなく、リサーフ構造など他の終端構造と組み合わせて実施できることは言うまでもない。また、他の終端構造の有無に関わらず、終端部にp型領域5を設けるだけで素子部との耐圧差を確保することも可能である。

【0024】

次に、図4および図5を参照しながら、本実施形態に係るS J構造の製造工程を説明する。図4(a)は、p型不純物であるボロン(B)をイオン注入する不純物ドーブ工程を模式的に示すウェーハ断面図である。

10

【0025】

本実施形態では、n⁺ドレイン層9上に形成されたn型ドリフト層1に、p型不純物であるボロン(B)をイオン注入して第4の半導体領域であるp型ドーブ領域6を形成する。例えば、ボロンイオン(B⁺)を選択的にイオン注入する際の注入マスク23として、終端部のp型領域5に対応する位置に開口が形成されたフォトリジストを用いることにより実施することができる。

【0026】

B⁺の注入量は、S J構造のチャージバランスをとるために、n型ドリフト層1の不純物濃度に基づいて決定する。すなわち、p型ドーブ領域6にドーブされたボロンが再拡散して形成されるp型領域5が空乏化した場合に、n型ドリフト層1の空乏領域のn型不純物量とバランスする量のB⁺を注入する。また、注入エネルギーは、例えば、50keV~150keVとし、n型ドリフト層1中に注入層を形成する。

20

【0027】

n型ドリフト層1は、図4(a)中に示す単層に限定される訳ではなく、複数のn型層が積層された構成でもよい。さらに、p型ピラーとn⁺ドレイン層9がつながったS J構造とする場合に、n型ドリフト層1を含まない構成とし、n⁺ドレイン層9の表面に、直接イオン注入してp型ドーブ領域6を形成してもよい。また、p型ドーブ領域6の形成方法は、イオン注入に限られる訳ではなく、気相拡散法や固相拡散法などを用いることも可能である。さらに、p型ドーブ領域6は、注入マスクまたは拡散マスクの開口位置および形状を変えることにより、素子の任意の位置に形成することができる。したがって、チップ面に沿ってマスク開口の長さを変えることにより、p型ピラー3bに連通するp型領域5およびp型ピラー3aに連通するp型領域5bを容易に形成することができる。

30

【0028】

図4(b)は、n型ドリフト層1上に、第2の半導体層であるn型ドリフト層2をエピタキシャル成長(以下、エピ成長)した状態を模式的に示す断面図である。

n型ドリフト層2をエピ成長する成長工程では、ウェーハ10を成長温度まで加熱してエピ成長を行う。この際、p型ドーブ領域6にイオン注入されたボロンは、活性化されてp型不純物となり、また、n型ドリフト層1およびエピ成長されたn型ドリフト層2中に再分布する。これにより、図4(b)に示すように、n型ドリフト層1とn型ドリフト層2との境界に、横方向に周期性をもってp型領域5が形成される。

40

【0029】

例えば、ソース-ドレイン間の耐圧が600VのパワーMOSFETの場合、n型ドリフト層2は、30~50μmの厚さにエピ成長される。また、n型の不純物濃度が 10^{15} cm^{-3} のオーダーとなるように、ヒ素(As)やリン(P)などのn型不純物がドーピングされる。

【0030】

図5(a)は、トレンチ溝25をn型ドリフト層2中に形成するエッチング工程を模式的に示す断面図である。

トレンチ溝25は、反応性イオンエッチング法(RIE: Reactive Ion Etching)を用いてn型ドリフト層2中に形成される。図5(a)中に示すように、数μmの幅の開口を

50

所定の周期で有するエッチングマスク 24 を n 型ドリフト層 2 の表面に形成し、トレンチ溝 25 をエッチングする。この際、終端部のトレンチ溝 25 は、p 型領域 5 に連通する位置に形成される。これにより、n 型ドリフト層 2 が分離され、複数の n 型ピラー 4 が形成される。

【0031】

図 5 (b) は、トレンチ溝 25 を p 型半導体で埋め込んで p 型ピラー 3 を形成した状態を模式的に示す断面図である。本実施形態では、p 型半導体は、p 型不純物を含むシリコンである。

埋め込み工程では、p 型不純物としてボロンをドーピングした p 型シリコンを、トレンチ溝 25 中にエピ成長させて埋め込み領域を形成し、p 型ピラー 3 とする。エピ成長は、トレンチ溝 25 のみに p 型シリコンを成長させる選択成長であっても良いし、ウェーハ 10 の表面全体に p 型シリコンを成長させてトレンチ溝 25 を埋め込む方法を用いても良い。また、p 型シリコンをエピ成長してトレンチ溝 25 を埋め込んだ後に、表面を研磨して平坦にすることが望ましい。

【0032】

図 6 は、終端部の S J 構造の断面と p 型ピラー 3 の不純物濃度のプロファイルを示す模式図である。

図 6 (a) に示すように、p 型シリコンが埋め込まれた p 型ピラー 3 と、トレンチ溝 25 によって分離された n 型ピラー 4 と、が、横方向 (図中に示す X 方向) に周期的に設けられている。さらに、n⁺ドレイン層 1 側の p 型ピラー 3 の先端には、p 型領域 5 が設けられている。また、p 型ピラー 3 は、n⁺ドレイン層 9 側に向かって幅が狭くなるテーパ形状に形成されている。これにより、S J 構造を有するドリフト層からキャリア (電子およびホール) をスムーズに排出させることができるので、M O S F E T のパルス応答特性を良くすることができる。

【0033】

図 6 (b)、(c) 中に示す不純物濃度のプロファイルは、それぞれ p 型ピラー 3 の E - E 断面、および p 型領域 5 の D - D 断面のボロンの分布を示している。

S J 構造では、n 型ピラー 4 および p 型ピラー 3 の全体が空乏化した時に、イオン化した n 型不純物の総量と p 型不純物の総量とがバランスして、実質的にチャージ量が 0 となるように不純物量が制御される。したがって、イオン注入の際にドーピングされるボロンの量と、p 型シリコンをトレンチ溝 25 に埋め込む際にドーピングされるボロンの量と、を合わせた総量が、n 型ピラー 4 の n 型不純物の総量とバランスするように形成される。例えば、n 型ピラー 4 と p 型ピラー 3 の体積が同じである場合には、p 型ピラー 3 にドーピングされるボロンの濃度は、n 型ピラー 4 の n 型不純物濃度と等しくなるようにドーピングされる。

【0034】

しかしながら、トレンチ溝 25 を埋め込んで p 型ピラー 3 を形成する方法では、n 型ピラー 4 となる n 型ドリフト層 1 および 2 は、エピ成長の段階で n 型不純物がドーピングされている。このため、p 型領域 5 では、n 型不純物がドーピングされた n 型ドリフト層 1 および n 型ドリフト層 2 の中に拡散したボロンが p 型領域を形成する。したがって、予めドーピングされた n 型不純物を中和した上で、さらに p 型に反転させる量のボロンをドーピングする必要がある。すなわち、n 型ピラー 4 と同じ濃度の p 型領域を形成するためには、n 型ピラー 4 の n 型不純物濃度の 2 倍に相当する量のボロンを注入する必要がある。例えば、p 型ピラー 3 と p 型領域 5 との p 型キャリア濃度 (p 型不純物濃度から n 型不純物濃度を差し引いた濃度) を同じにする場合、p 型領域 5 のボロン濃度が p 型ピラー 3 のボロン濃度の 2 倍となるように注入量を決定する。

【0035】

図 6 (b) に示すように、埋め込み成長で形成される p 型ピラー 3 中のボロンの濃度プロファイル (E - E) は、略台形状となる。一方、図 6 (c) に示すように、p 型領域 5 の濃度プロファイル (D - D) は、イオン注入によってドーピングされたボロンが再分布して形成されたため、周辺部が p 型ピラー 3 より緩やかに傾斜した略楕円形となる。

10

20

30

40

50

【 0 0 3 6 】

p型領域5のボロンの濃度プロファイルは、注入後の理論分布と熱拡散による再分布のシミュレーションにより算出することが可能である。本実施形態では、算出した濃度プロファイルに基づいて、p型領域5のn型不純物量の2倍となるようにボロンの注入量を決定する。この場合、p型領域5(D-D)のボロン濃度の最高値は、p型ピラー3(E-E)のボロン濃度の最高値のおおよそ1.5倍となる。従って、p型領域5のp型不純物の濃度の最高値は、少なくとも、p型ピラー3のp型不純物濃度の最高値の1.5倍より高くすることが望ましい。これにより、p型領域5のp型キャリア濃度は、p型ピラー3のp型キャリア濃度より実質的に高くなり、p型領域5を設けたS J構造のアバランシェ耐量を高くすることができる。

10

【 0 0 3 7 】

また、図5(b)および図6中に示すように、p型ピラー3は、n⁺ドレイン層9側に向かって幅が狭くなるテーパ形状に形成されている。このため、n⁺ドレイン層9側でp型ピラー3のボロンの量が少なくなり、n型ピラー4との間でチャージのアンバランスが起り易いという問題がある。したがって、チャージバランスを補償してアバランシェ耐量を向上させるためにも、p型領域5にドーブされるボロンの量を多くすることが望ましい。

【 0 0 3 8 】

図7は、S J構造の耐压保持時における電界分布を示す説明図である。図7(a)は、S J構造の断面を示す模式図である。図7(b)は、図7(a)中に示したH-Hに沿った電界分布を示す模式図であり、図7(c)は、K-Kに沿った電界分布を示す模式図である。

20

【 0 0 3 9 】

ウェーハ表面からn⁺ドレイン層9側へ向かうp型ピラー3の長さは、n型ドリフト層のエピ厚にほぼ等しく、例えば、ソース-ドレイン耐压が600VのパワーMOSFETでは、30~50μmである。一方、p型ピラー3の横幅は、トレンチ溝25の幅に等しく数μmである。したがって、p型ピラー3は、アスペクト比が10以上のテーパ形状を有しており、表面側およびn⁺ドレイン層9側でチャージのアンバランスが生じる。例えば、図7(a)中にH-Hで示したp型ピラー3に電圧が印加されると、チャージ量がバランスしている中央部Lから空乏化し、表面側およびn⁺ドレイン層9側へ向かって空乏層が広がってゆく。このため、中央部Lで電界集中が起こり易くなって、図7(b)に示すような電界分布となる。

30

【 0 0 4 0 】

一方、図7(a)中にK-Kで示すp型ピラー3では、n⁺ドレイン層9側にp型領域5が設けられている。このため、p型領域5が設けられたピラー下部Mでもチャージ量がバランスして電界の集中が起こることになる。その結果、図7(c)に示すように、中央部Lおよびピラー下部Mにピークを有する電界分布が生じる。図7(b)および(c)に示す電界分布では、いずれも中央部Lにおいて電界値が最大となるが、ピラー下部Mにもう一つのピークを有する図7(c)の最大電界値の方が、図7(b)の最大電界値より小さくなる。すなわち、本実施形態に従ってp型領域5を設けることによりピラー下部の電界が上昇し、中央部の電界集中が緩和され、リーク電流の低減や局所的なアバランシェ降伏を防ぐ効果が得られる。

40

【 0 0 4 1 】

(第2の実施形態)

図8は、本発明の第2の実施の形態に係るウェーハの断面を模式的に示す断面図である。

本実施形態では、終端部において、2つのp型領域5aおよび5bが、n⁺ドレイン層9の主面に垂直な方向に積み重ねられた構成となっている。これにより、第1の実施形態(図5(b)参照)に比べて、n⁺ドレイン層9に向かう方向のp型領域5の長さが長くなり、終端部のS J構造の耐压をさらに高くすることができる。

50

【 0 0 4 2 】

図 8 に示す断面構造のウェーハは、図 4 (a) に示す不純物ドーブ工程と、図 4 (b) に示すエピ成長工程と、を繰り返すことによって容易に製作することができる。また、エピ成長するドレイン層 1 a および 1 b は、n 型不純物をドーブしないアンドープ層とすることができ、ドレイン層 1 a、1 b の p 型領域 5 a、5 b を形成しない部分に n 型不純物をイオン注入することにより n 型ピラー 4 を形成しても良い。この方法によれば、p 型領域 5 a、5 b と、n 型ピラー 4 と、のチャージバランスを容易に得ることができる利点がある。

【 0 0 4 3 】

また、p 型領域 5 は、n⁺ ドレイン層 9 の主面に垂直な方向に 2 以上積み重ねることが可能であり、さらに素子部と終端部の p 型ピラー 3 の長さには差をつけることができる。ただし、積み重ねる p 型領域 5 の数が多くなると、トレンチ溝を埋め込んで p 型ピラーを形成する方法のコスト的な利点が小さくなることは言うまでもない。したがって、素子部と終端部との間に必要な耐圧差を考慮して、好適な数の p 型領域 5 を積み重ねた構成とすることが望ましい。

【 0 0 4 4 】

(第 3 の実施形態)

図 9 は、本発明の第 3 の実施の形態に係る P O W E R M O S F E T のユニットセルを模式的に示す断面図である。

n⁺ ドレイン層 9 上に、横方向に周期性をもって設けられた p 型領域 5 に、トレンチ溝 2 5 を埋め込んだ p 型ピラー 3 が連通して設けられている。また、横方向に周期性を持って p 型ピラー 3 と n 型ピラー 4 とが設けられ、p 型ピラー 3 の表面には、p 型ベース 7 が設けられている。さらに、p 型ベース 7 の表面には、n 型ソース 8 と p 型コンタクト領域 2 7 が、選択的に設けられている。すなわち、本実施形態に係る M O S F E T は、素子部においても、p 型領域 5 を有する構造となっている。

【 0 0 4 5 】

また、n⁺ ドレイン層 9 に電氣的に接続されたドレイン電極 1 1 と、n 型ピラー 4 と p 型ベース 7 と n 型ソース 8 との上に設けられたゲート絶縁膜 1 3 と、ゲート絶縁膜 1 3 を介して、n 型ピラー 4 と p 型ベース 7 と n 型ソース 8 との上に設けられたゲート電極 1 4 と、p 型コンタクト領域 2 7 と n 型ソース 6 との表面に接合された第 2 の主電極であるソース電極 1 2 と、をさらに備えている。

【 0 0 4 6 】

図 9 中に示すように、n 型ピラー 4 と p 型ピラー 3 が交互に配置された S J 構造を有し、さらに、p 型ピラー 3 のドレイン電極 1 1 側に、p 型領域 5 を設けたことにより、p 型領域 5 と p 型ピラー 3 とにドーブされた p 型不純物の濃度を、それぞれ独立に変えることが可能となる。これにより、トレンチ溝 2 5 を埋め込んで製作される S J 構造においても、p 型ピラーの不純物濃度を容易に変化させることができる。例えば、p 型領域 5 の不純物濃度を p 型ピラー 3 の不純物濃度より高くして、アバランシェ耐量を向上させることができる。

【 0 0 4 7 】

以上、本発明の第 1 ないし第 3 の実施形態について説明したが、本発明は、上記実施形態に限定されるものではない。例えば、第 1 の導電型を n 型、第 2 の導電型を p 型として説明をしたが、第 1 の導電型を p 型、第 2 の導電型を n 型としても実施可能である。

【 0 0 4 8 】

また、p 型ピラー 3 は、n⁺ ドレイン層 9 に接しない構成としたが、n⁺ ドレイン層 9 に接する形態でも実施可能である。さらに、p 型ピラー 3 と n⁺ ドレイン層 9 の間に n 型ピラー 4 よりも濃度が低い n⁻ 層が形成されていても実施可能である。

【 0 0 4 9 】

また、半導体材料としてシリコン (S i) を用いた M O S F E T を説明したが、例えばシリコンカーバイド (S i C) や窒化ガリウム (G a N) 等の化合物半導体やダイヤモンド

10

20

30

40

50

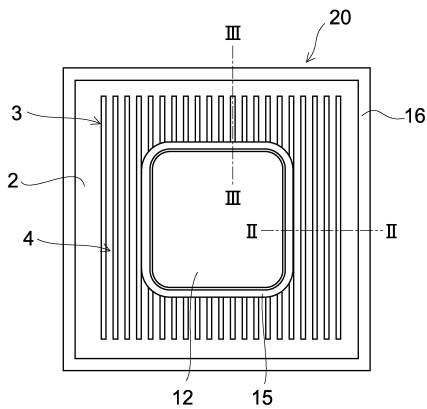
ドなどのワイドバンドギャップ半導体を用いることができる。さらに、MOSFET以外にも、MOSFETとSBD (Schottky Barrier Diode) との混載素子、IGBT (Insulated Gate Bipolar Transistor) などのSJ構造を有する素子でも適用可能である。

【符号の説明】

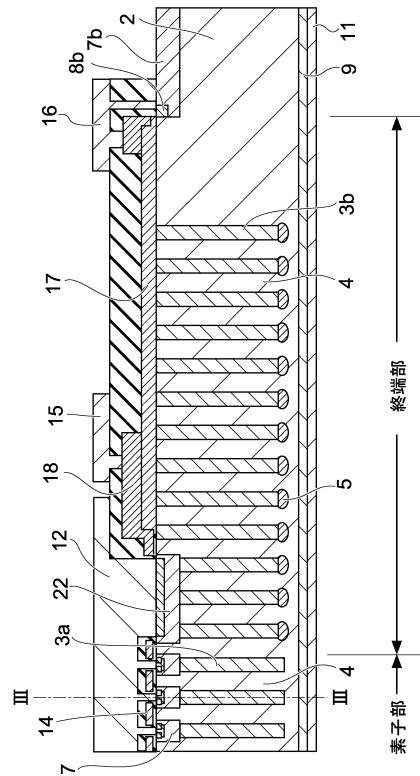
【0050】

- 1、2 n型ドリフト層
- 3 p型ピラー
- 4 n型ピラー
- 5 p型領域
- 6 p型ドーピング領域
- 7 p型ベース
- 8 n型ソース
- 9 n⁺ドレイン層
- 10 ウェーハ
- 11 ドレイン電極
- 12 ソース電極
- 14 ゲート電極
- 25 トレンチ溝

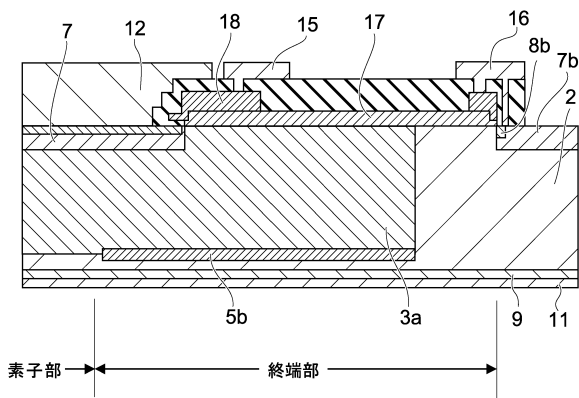
【図1】



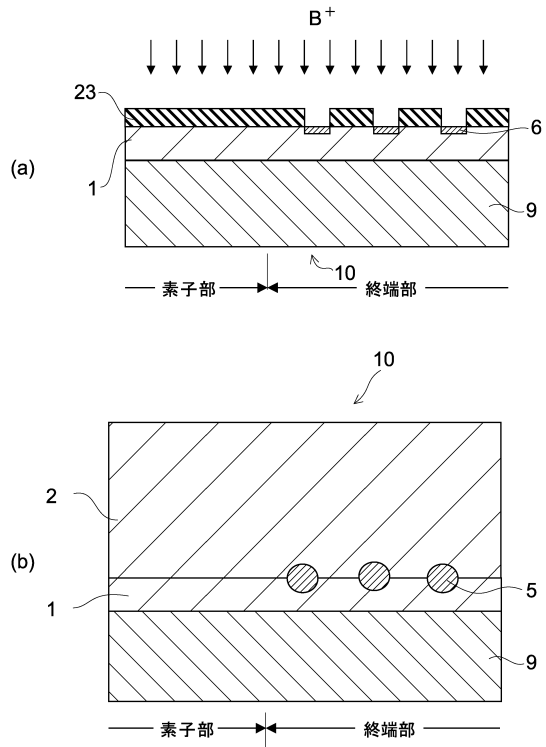
【図2】



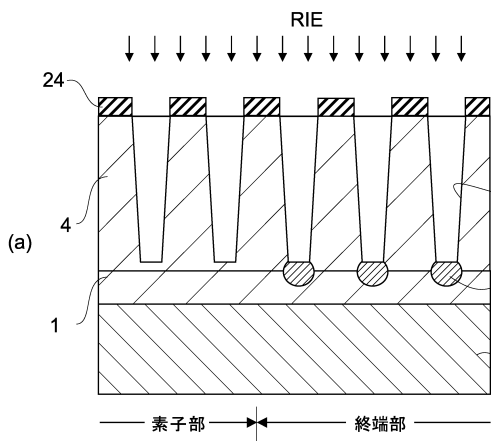
【図3】



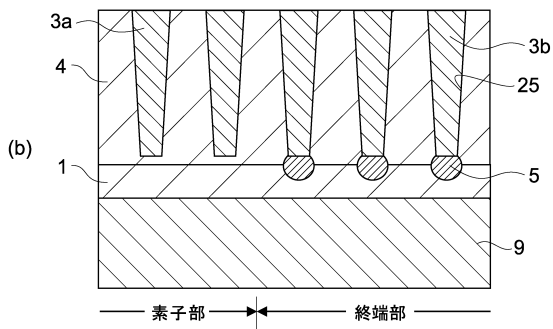
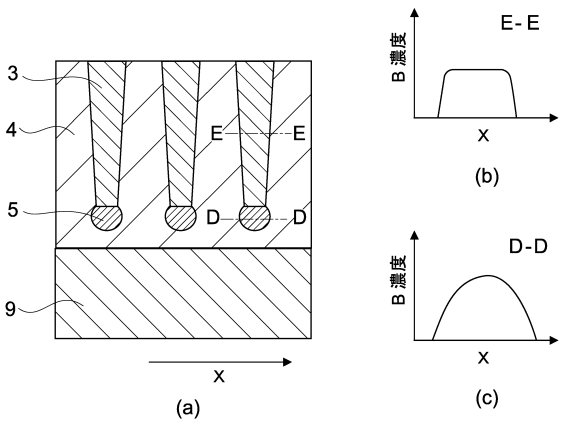
【図4】



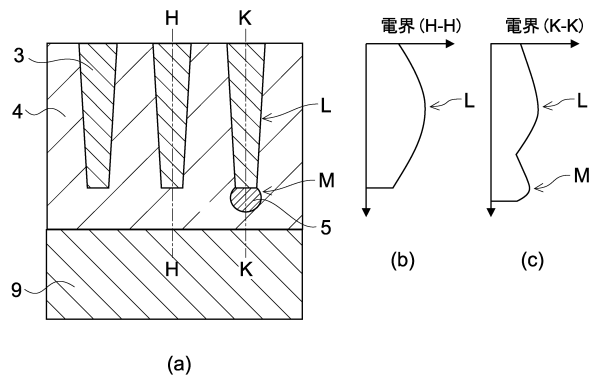
【図5】



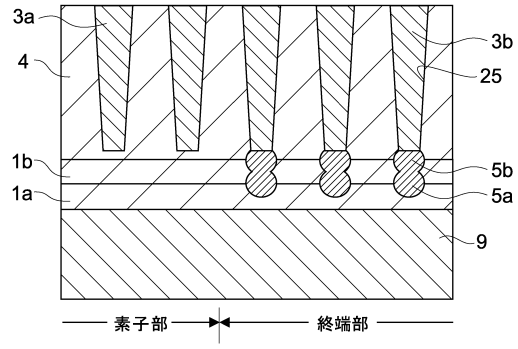
【図6】



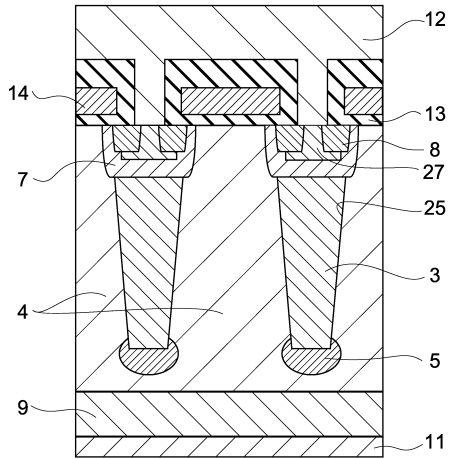
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 V

- (72)発明者 関根 渉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 齋藤 渉
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小野 昇太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 藪崎 宗久
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 羽田野 菜名
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 渡辺 美穂
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 工藤 一光

- (56)参考文献 特開2006-186108(JP,A)
特開2002-299622(JP,A)
特開2006-196518(JP,A)
特開2006-5275(JP,A)
特開2007-173418(JP,A)
特開2008-78282(JP,A)
特開2008-258442(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 7 8 - 2 9 / 7 9 2