

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2017년 8월 10일 (10.08.2017)



(10) 국제공개번호
WO 2017/135767 A1

- (51) 국제특허분류:
H01L 43/02 (2006.01) G11C 11/16 (2006.01)
H01L 43/08 (2006.01) H01L 43/12 (2006.01)
H01L 43/10 (2006.01)
- (21) 국제출원번호: PCT/KR2017/001234
- (22) 국제출원일: 2017년 2월 3일 (03.02.2017)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2016-0015139 2016년 2월 5일 (05.02.2016) KR
10-2016-0015176 2016년 2월 5일 (05.02.2016) KR
10-2016-0015086 2016년 2월 5일 (05.02.2016) KR
10-2016-0015154 2016년 2월 5일 (05.02.2016) KR
- (71) 출원인: 한양대학교 산학협력단 (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY) [KR/KR]; 04763 서울시 성동구 왕십리로 222 (한양대학교내), Seoul (KR).
- (72) 발명자: 박재근 (PARK, Jea Gun); 13623 경기도 성남시 분당구 구미로 115, 1003 동 1901 호, Gyeonggi-do (KR). 이두영 (LEE, Du Yeong); 04707 서울시 성동구 무학로 6길 18-1 405 호, Seoul (KR). 이승은 (LEE,

Seung Eun); 07024 서울시 동작구 남부순환로 267 가길 10 302 호, Seoul (KR).

(74) 대리인: 김연권 (KIM, Youn Gwon); 06046 서울시 강남구 논현로 131 길 7 4 층, Seoul (KR).

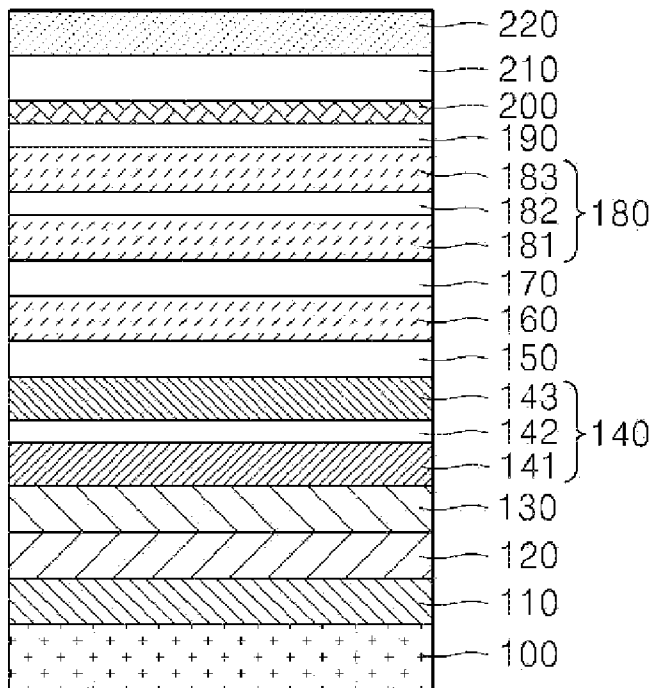
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: MEMORY DEVICE

(54) 발명의 명칭 : 메모리 소자



(57) Abstract: Disclosed is a memory device in which a lower electrode, a seed layer, a synthetic exchange diamagnetic layer, a separation layer, a magnetic tunnel junction, a capping layer, and an upper electrode are stacked on a substrate, and a diffusion barrier is formed between the magnetic tunnel junction and the capping layer. Disclosed is a memory device in which a lower electrode, a seed layer, a synthetic exchange diamagnetic layer, a separation layer, a magnetic tunnel junction, a capping layer, and an upper electrode are stacked on a substrate, and the seed layer is formed of a material that allows the synthetic exchange diamagnetic layer to grow in the fcc(111) direction. Disclosed is a memory device in which a seed layer, a synthetic exchange diamagnetic layer, a separation layer, a magnetic tunnel junction, and a capping layer are stacked between two electrodes, the magnetic tunnel junction includes an insertion layer formed between two free layers, and at least one of the separation layer, the insertion layer, and the capping layer is formed of a material having the bcc structure. Disclosed is a memory device in which a seed layer, a synthetic exchange diamagnetic layer, a separation layer, a magnetic tunnel junction, and a capping layer are stacked between two electrodes, and the synthetic exchange diamagnetic layer includes one magnetic layer and one non-magnetic layer.

(57) 요약서:

[다음 쪽 계속]

WO 2017/135767 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, **공개:**
ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된 메모리 소자를 제시한다. 또한, 본 발명은 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 시드층은 합성 교환 반자성층이 fcc(111) 방향으로 성장되도록 하는 물질로 형성된 메모리 소자를 제시한다. 또한, 본 발명은 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며, 자기 터널 접합은 두개의 자유층 사이에 형성된 삽입층을 포함하고, 분리층, 삽입층 및 캐핑층의 적어도 하나는 bcc 구조의 물질로 형성된 메모리 소자를 제시한다. 또한, 본 발명은 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며, 합성 교환 반자성층은 각각 하나의 자성층 및 비자성층을 구비하는 메모리 소자를 제시한다.

명세서

발명의 명칭: 메모리 소자

기술분야

- [1] 본 발명은 메모리 소자에 관한 것으로, 특히 자기 터널 접합(Magnetic Tunnel Junction; MTJ)을 이용하는 자기 메모리 소자에 관한 것이다.

배경기술

- [2] 플래쉬 메모리 소자에 비해 소비 전력이 적고 집적도가 높은 차세대 비휘발성 메모리 소자에 대한 연구가 진행되고 있다. 이러한 차세대 비휘발성 메모리 소자로는 칼코게나이드 합금(chalcogenide alloy)과 같은 상변화 물질의 상태 변화를 이용하는 상변화 메모리(Phase change RAM; PRAM), 강자성체의 자화 상태에 따른 자기 터널 접합(Magnetic Tunnel Junction; MTJ)의 저항 변화를 이용하는 자기 메모리(Magnetic RAM; MRAM), 강유전체 물질의 분극 현상을 이용하는 강유전체 메모리(Ferroelectric RAM), 가변 저항 물질의 저항 변화를 이용하는 저항 변화 메모리(Resistance change RAM; ReRAM) 등이 있다.
- [3] 자기 메모리로서 전자 주입에 의한 스핀 전달 토크(Spin-Transfer Torque; STT) 현상을 이용하여 자화를 반전시키고, 자화 반전 전후의 저항차를 판별하는 STT-MRAM(Spin-Transfer Torque Magnetic Random Access Memory) 소자가 있다. STT-MRAM 소자는 각각 강자성체로 형성된 고정층(pinned layer) 및 자유층(free layer)과, 이들 사이에 터널 배리어(tunnel barrier)가 형성된 자기 터널 접합을 포함한다. 자기 터널 접합은 자유층과 고정층의 자화 방향이 동일(즉 평행(parallel))하면 전류 흐름이 용이하여 저저항 상태를 갖고, 자화 방향이 다르면(즉 반평행(anti parallel)) 전류가 감소하여 고저항 상태를 나타낸다. 또한, 자기 터널 접합은 자화 방향이 기판에 수직 방향으로만 변화하여야 하기 때문에 자유층 및 고정층이 수직 자화값을 가져야 한다. 자기장의 세기 및 방향에 따라 수직 자화값이 0을 기준으로 대칭이 되고 스퀘어니스(squareness; S)의 모양이 뚜렷이 나오게 되면($S=1$) 수직 자기 이방성(perpendicular magnetic anisotropy; PMA)이 우수하다고 할 수 있다. 이러한 STT-MRAM 소자는 이론적으로 10^{15} 이상의 사이클링(cycling)이 가능하고, 나노초(ns) 정도의 빠른 속도로 스위칭이 가능하다. 특히, 수직 자화형 STT-MRAM 소자는 이론상 스케일링 한계(Scaling Limit)가 없고, 스케일링이 진행될수록 구동 전류의 전류 밀도를 낮출 수 있다는 장점으로 인해 DRAM 소자를 대체할 수 있는 차세대 메모리 소자로 연구가 활발하게 진행되고 있다. 한편, STT-MRAM 소자의 예가 한국등록특허 제10-1040163호에 제시되어 있다.
- [4] 또한, STT-MRAM 소자는 자유층 하부에 시드층이 형성되고, 고정층 상부에 분리층이 형성되며, 분리층 상부에 합성 교환 반자성층 및 상부 전극이 형성된다. 그리고, STT-MRAM 소자는 실리콘 기판 상에 실리콘 산화막이

형성된 후 그 상부에 시드층 및 자기 터널 접합이 형성된다. 또한, 실리콘 기판 상에는 트랜지스터 등의 선택 소자가 형성될 수 있고, 실리콘 산화막은 선택 소자를 덮도록 형성될 수 있다. 따라서, STT-MRAM 소자는 선택 소자가 형성된 실리콘 기판 상에 실리콘 산화막, 시드층, 자유층, 터널 배리어, 고정층, 분리층, 합성 교환 반자성층 및 상부 전극의 적층 구조를 갖는다. 여기서, 분리층 및 캐핑층은 탄탈륨(Ta)를 이용하여 형성하고, 합성 교환 반자성층은 자성 금속과 비자성 금속이 교대로 적층된 하부 자성층 및 상부 자성층과, 이들 사이에 비자성층이 형성된 구조를 갖는다. 즉, 기판을 중심으로 자기 터널 접합이 하측에 형성되고 합성 교환 반자성층이 상측에 형성된다.

- [5] 그런데, bcc(100) 방향으로 텍스처링되는 자기 터널 접합 상측에 fcc(111)의 합성 교환 반자성층이 형성되므로 합성 교환 반자성층을 형성할 때 fcc(111) 구조가 자기 터널 접합으로 확산되어 bcc(100) 결정을 악화시킬 수 있다. 즉, 합성 교환 반자성층을 형성할 때 그 물질의 일부가 자기 터널 접합으로 확산되어 자기 터널 접합의 결정성을 악화시킬 수 있다. 따라서, 자기 터널 접합의 자화 방향이 급격하게 변화될 수 없어 메모리의 동작 속도가 저하되거나 동작하지 않는 문제가 발생할 수 있다.
- [6] 이러한 문제를 해결하기 위해 기판 상에 합성 교환 반자성층을 먼저 형성한 후 그 상부에 자기 터널 접합을 형성할 수 있다. 이때, 시드층 상에 합성 교환 반자성층을 형성하는데, 시드층은 Ru, Hf 및 Ta 중 어느 하나를 이용하여 형성한다. 이렇게 합성 교환 반자성층 상에 자기 터널 접합이 형성되는 경우 자기 터널 접합의 고정층을 수직 방향으로 고정시키기 위해 합성 교환 반자성층은 fcc(111) 방향으로 성장되어야 한다. 그러나, 일반적으로 시드층으로 이용되는 Ru, Hf 및 Ta는 합성 교환 반자성층의 fcc(111) 방향으로의 성장에 적합하지 않아 자기 터널 접합이 높은 자기 저항(Magnetic Resistance; MR)비를 구현하기 어렵다.
- [7] 또한, 이렇게 메모리 소자를 형성한 후 패시베이션 공정 및 금속 배선 공정 등을 실시하는데, 이러한 공정은 약 400°C의 온도에서 실시된다. 그런데, 분리층 및 캐핑층으로 형성된 Ta가 자기 터널 접합으로 확산되어 자기 터널 접합의 수직 자기 이방성이 저하되고, 그에 따라 높은 자기 저항비를 구현하기 어렵다.
- [8] 또한, 합성 교환 반자성층은 다층 구조의 제 1 자성층과, 비자성층, 그리고 다층 구조의 제 2 자성층을 적층한 구조가 주로 이용된다. 예를 들어 제 1 자성층은 Co 및 Pt를 적어도 6회 반복하여 적층하고 제 2 자성층은 Co 및 Pt를 적어도 3회 반복 적층하여 형성한다. 이렇게 제 1 및 제 2 자성층이 각각 다층 구조로 형성되기 때문에 메모리 소자의 두께가 두꺼워진다. 또한, 제 1 및 제 2 자성층으로 희토류(rare-earth)를 많이 이용하므로 공정 단가도 높아지게 된다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명은 기판 상에 합성 교환 반자성층 및 자기 터널 접합이 적층된 메모리 소자를 제공한다. 또한, 본 발명은 자기 터널 접합 상에 형성된 캐핑층 물질의 확산을 방지할 수 있는 메모리 소자를 제공한다.
- [10] 본 발명은 합성 교환 반자성층 상에 자기 터널 접합이 형성된 메모리 소자를 제공한다. 또한, 본 발명은 자기 저항비를 향상시킬 수 있는 메모리 소자를 제공한다. 또한, 본 발명은 합성 교환 반자성층이 fcc(111) 방향으로 성장되어 자기 터널 접합의 고정층의 자화가 수직 방향으로 고정되도록 하는 메모리 소자를 제공한다.
- [11] 본 발명은 자기 터널 접합의 결정성을 향상시킬 수 있는 메모리 소자를 제공한다. 또한, 본 발명은 합성 교환 반자성층 물질의 자기 터널 접합으로의 확산을 방지하여 자기 터널 접합의 결정성을 향상시킬 수 있는 메모리 소자를 제공한다. 또한, 본 발명은 분리층 및 캐핑층 물질의 자기 터널 접합으로의 확산을 방지하여 자기 터널 접합의 결정성을 향상시킬 수 있는 메모리 소자를 제공한다.
- [12] 본 발명은 합성 교환 반자성층 물질의 자기 터널 접합으로의 확산을 방지하여 자기 터널 접합의 결정성을 향상시킬 수 있는 메모리 소자를 제공한다. 또한, 본 발명은 합성 교환 반자성층의 두께를 줄여 공정 단가를 줄이고 전체적인 두께를 줄일 수 있는 메모리 소자를 제공한다.

과제 해결 수단

- [13] 본 발명의 일 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된다.
- [14] 상기 자기 터널 접합과 상기 확산 배리어 사이에 형성된 산화물층을 더 포함한다.
- [15] 상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층이 적층되고, 상기 자유층은 제 1 자화층, 자화를 갖지 않는 삽입층 및 제 2 자화층을 포함한다.
- [16] 상기 자유층은 수직 자기 이방성을 가진다.
- [17] 상기 캐핑층은 bcc 구조를 갖는 물질로 형성되며, W를 포함하는 물질로 형성된다.
- [18] 상기 확산 배리어는 상기 캐핑층 물질보다 원자 사이즈가 작은 물질로 형성된다.
- [19] 상기 확산 배리어는 Fe, Cr, Mo, V 중 적어도 하나로 형성된다.
- [20] 상기 확산 배리어는 0.1nm 내지 0.7nm의 두께로 형성된다.
- [21] 본 발명의 다른 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합은 이중 자유층을 포함하고, 상기 자기 터널 접합과 상부 전극 사이에 산화물층, 확산 배리어 및 캐핑층이 적층 형성되며, 상기 확산 배리어가 상기

- 캐핑층 물질의 적어도 상기 산화물층으로의 확산을 방지한다.
- [22] 상기 산화물층은 MgO를 포함하고, 상기 확산 배리어는 Fe를 포함하며, 상기 캐핑층은 W를 포함한다.
- [23] 상기 Fe는 0.1nm 내지 0.7nm의 두께로 형성된다.
- [24]
- [25] 본 발명의 또 다른 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 상기 시드층은 상기 합성 교환 반자성층이 fcc(111) 방향으로 성장되도록 하는 물질로 형성된다.
- [26] 상기 시드층은 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함한다.
- [27] 상기 시드층은 2nm 내지 6nm 두께의 백금(Pt)으로 형성된다.
- [28] 상기 백금의 두께에 따라 자기 저항비가 60% 내지 140%이다.
- [29] 상기 자기 터널 접합은 고정층, 터널 배리어, 자유층을 포함하고, 상기 자유층은 제 1 및 제 2 자유층 사이에 삽입층이 형성된 구조를 갖는다.
- [30] 상기 자기 터널 접합과 캐핑층 사이에 형성된 산화물층을 더 포함한다.
- [31] 상기 분리층, 삽입층 및 캐핑층의 적어도 어느 하나는 bcc 구조를 갖는 물질로 형성된다.
- [32] 본 발명의 또 다른 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 상기 시드층은 2nm 내지 6nm 두께로 형성된 백금(Pt)을 포함한다.
- [33]
- [34] 본 발명의 또 다른 양태에 따른 메모리 소자는 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며, 상기 자기 터널 접합은 두개의 자유층 사이에 형성된 삽입층을 포함하고, 상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 bcc 구조의 물질로 형성된다.
- [35] 상기 합성 교환 반자성층 상에 자기 터널 접합이 형성된다.
- [36] 상기 자기 터널 접합과 캐핑층 사이에 형성된 산화물층을 더 포함한다.
- [37] 상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 격자 상수가 330pm 미만의 물질로 형성된다.
- [38] 상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 텅스텐, 바나듐, 크롬, 몰리브덴 중 적어도 하나로 형성된다.
- [39] 상기 캐핑층은 상기 분리층 및 삽입층보다 두껍게 형성되고 상기 분리층 및 삽입층은 서로 같거나 다른 두께로 형성된다.
- [40] 상기 캐핑층은 1nm 내지 6nm의 두께로 형성되고, 상기 분리층 및 삽입층은 0.2nm 내지 0.5nm의 두께로 형성된다.
- [41] 본 발명의 또 다른 양태에 따른 메모리 소자는 기판 상에 하부 전극, 시드층,

합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며, 상기 자기 터널 접합은 두개의 자유층 사이에 형성된 삽입층을 포함하고, 상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 격자 상수가 330pm 미만의 bcc 구조의 물질로 형성된다.

- [42] 상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 텅스텐, 바나듐, 크롬, 폴리브덴 중 적어도 하나로 형성된다.
- [43]
- [44] 본 발명의 또 다른 양태에 따른 메모리 소자는 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며, 상기 합성 교환 반자성층은 각각 하나의 자성층 및 비자성층을 구비한다.
- [45] 상기 합성 교환 반자성층 상에 자기 터널 접합이 형성된다.
- [46] 상기 합성 교환 반자성층과 상기 분리층 사이에 마련된 버퍼층을 더 포함한다.
- [47] 상기 버퍼층은 단일층이 자성 물질로 형성되며, 상기 합성 교환 반자성층의 상기 자성층보다 얇게 형성된다.
- [48] 상기 자기 터널 접합과 캐핑층 사이에 형성된 산화물층을 더 포함한다.
- [49] 본 발명의 또 다른 양태에 따른 메모리 소자는 상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층을 포함하고, 상기 자유층은 제 1 및 제 2 자유층과, 이들 사이에 형성된 삽입층을 포함한다.
- [50] 상기 제 1 및 제 2 자유층은 CoFeB를 포함하는 물질로 형성되며, 상기 제 1 자유층이 제 2 자유층보다 얇거나 같은 두께로 형성된다.
- [51] 상기 분리층은 bcc 구조의 물질로 형성되며, 0.1nm 내지 0.5nm의 두께로 형성된다.

발명의 효과

- [52] 본 발명은 하부 전극을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다.
- [53] 또한, 본 발명은 자기 터널 접합과 캐핑층 사이에 확산 배리어를 형성함으로써 캐핑층 물질의 자기 터널 접합으로의 확산을 방지할 수 있다. 따라서, 자기 터널 접합의 정상 동작을 확보할 수 있어 메모리 소자의 동작 신뢰성을 향상시킬 수 있다.
- [54] 또한, 본 발명은 시드층을 백금(Pt)을 포함하는 물질로 형성함으로써 합성 교환 반자성층이 fcc(111) 방향으로 잘 성장되도록 하고, 그에 따라 고정층의 자화를 수직 방향으로 고정시킬 수 있다. 따라서, 종래보다 높은 자기 저항비를 구현할 수 있다.
- [55] 또한, 본 발명은 합성 교환 반자성층과 자기 터널 접합 사이의 분리층, 이중

자유층 사이의 삽입층, 그리고 자기 터널 접합 상부의 캐핑층 중 적어도 하나를 텅스텐 등의 bcc 구조의 물질을 이용하여 형성함으로써 약 400°C의 온도에서도 자기 터널 접합이 수직 자기 이방성을 유지할 수 있다.

- [56] 또한, 본 발명은 합성 교환 반자성층을 각각 하나의 자성층 및 비자성층을 구비하도록 형성함으로써 합성 교환 반자성층의 두께를 줄일 수 있어 전체 메모리 소자의 두께를 줄일 수 있다. 그리고, 합성 교환 반자성층을 형성하기 위한 재료의 사용량을 줄여 공정 단가를 줄일 수 있다.

도면의 간단한 설명

- [57] 도 1은 본 발명의 일 실시 예에 따른 메모리 소자의 단면도.
- [58] 도 2는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 확산 배리어의 두께에 따른 터널 자기 저항비를 도시한 도면.
- [59] 도 3a, 도 3b, 도 4a 및 도 4b는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 자성 특성을 도시한 도면.
- [60] 도 5 및 도 6은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진.
- [61] 도 7 및 도 8은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 이온 확산 분포를 도시한 도면.
- [62] 도 9는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도.
- [63] 도 10은 시드층의 두께에 따른 비교 예와 본 발명의 실시 예의 자기 저항비를 도시한 도면.
- [64] 도 11은 본 발명의 실시 예에 따른 시드층 두께에 따른 시드층의 표면 거칠기와 합성 교환 반자성층의 수직 자화율값을 도시한 도면.
- [65] 도 12는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도.
- [66] 도 13은 비교 예와 본 발명의 실시 예에 따른 이중 자유층을 갖는 자기 터널 접합의 격자 상수를 도시한 개략도.
- [67] 도 14 및 도 15는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 400°C 열처리 후의 수직 자기 이방성 특성을 도시한 도면.
- [68] 도 16 및 도 17은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 400°C 열처리 후의 이중 자유층의 수직 자기 이방성 특성을 나타낸 도면.
- [69] 도 18은 비교 예 및 본 발명의 실시 예에 따른 이중 자유층 사이의 삽입층의 두께 변화에 따른 MR비를 나타낸 도면.
- [70]
- [71] 도 19는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도.
- [72] 도 20은 분리층 두께에 따른 비교 예 및 본 발명의 실시 예의 자기 저항비를 도시한 도면.
- [73] 도 21은 본 발명의 실시 예들의 합성 교환 반자성층의 위치와 분리층의 두께에 따른 터널 자기 저항비를 나타낸 도면.

발명의 실시를 위한 형태

- [74] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예를 상세히 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시 예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- [75] 도 1은 본 발명의 일 실시 예에 따른 메모리 소자의 단면도로서, STT-MRAM 소자의 단면도이다.
- [76] 도 1을 참조하면, 본 발명의 일 실시 예에 따른 메모리 소자는 기판(100) 상에 형성된 하부 전극(110), 제 1 버퍼층(120), 시드층(130), 합성 교환 반자성층(140), 분리층(150), 고정층(160), 터널 배리어(170), 자유층(180), 제 2 버퍼층(190), 확산 배리어(200), 캐핑층(210) 및 상부 전극(220)을 포함한다. 여기서, 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)의 적층 구조로 형성되며, 고정층(160), 터널 배리어(170) 및 자유층(180)은 자기 터널 접합을 이룬다. 즉, 기판(100) 상에 하부 전극(110)으로부터 상부 전극(220)이 순서대로 적층 형성되며, 본 발명의 일 실시 예는 기판(100) 상에 합성 교환 반자성층(140)이 먼저 형성된 후 자기 터널 접합이 형성된다.
- [77] 기판(100)은 반도체 기판을 이용할 수 있다. 예를 들어, 기판(100)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 실리콘 산화막 기판 등을 이용할 수 있는데, 본 실시 예에서는 실리콘 기판을 이용한다. 또한, 기판(100) 상에는 트랜지스터를 포함하는 선택 소자가 형성될 수 있다. 한편, 기판(100) 상에는 절연층(미도시)이 형성될 수 있다. 즉, 절연층은 선택 소자 등의 소정의 구조물을 덮도록 형성될 수 있고, 절연층에는 선택 소자의 적어도 일부를 노출시키는 콘택홀이 형성될 수 있다. 이러한 절연층은 비정질 구조의 실리콘 산화막(SiO_2) 등을 이용하여 형성할 수 있다.
- [78] 하부 전극(110)은 기판(100) 상에 형성된다. 이러한 하부 전극(110)은 금속, 금속 질화물 등의 도전 물질을 이용하여 형성될 수 있다. 또한, 본 발명의 하부 전극(110)은 적어도 하나의 층으로 형성될 수 있다. 즉, 하부 전극(110)은 단일층으로 형성될 수도 있고, 둘 이상의 복수의 층으로 형성될 수도 있다. 하부 전극(110)이 단일층으로 형성되는 경우 예를 들어 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다. 또한, 하부 전극(110)은 예를 들어 제 1 및 제 2 하부 전극의 이중 구조로 형성될 수 있다. 여기서, 제 1 하부 전극은 기판(100) 상에 형성될 수 있고, 제 2 하부 전극은 제 1 하부 전극 상에 형성될 수 있다. 한편, 기판(100) 상에 절연층이 형성되는 경우 제 1 하부 전극은 절연층 상에 형성될 수 있고, 절연층 내부에 형성될 수 있으며, 그에 따라 기판(100) 상에 형성된 선택 소자와 연결될 수도 있다. 이러한 하부 전극(110)은 다결정(polycrystal)의 도전 물질로 형성될 수 있다. 즉, 제 1 및 제 2 하부 전극은 bcc 구조의 도전 물질로 형성될 수 있다. 예를 들어, 제 1 하부 전극은 텅스텐(W) 등의 금속으로 형성될 수 있고, 제 2 하부 전극은 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다.

- [79] 제 1 버퍼층(120)은 하부 전극(110) 상부에 형성된다. 제 1 버퍼층(120)은 하부 전극(110)과 시드층(130)의 격자 상수 불일치를 해소하기 위해 하부 전극(110)과 정합성이 우수한 물질로 형성할 수 있다. 예를 들어, 하부 전극(110) 또는 제 2 하부 전극이 TiN으로 형성되는 경우 제 1 버퍼층(120)은 TiN과 격자 정합성이 우수한 탄탈륨(Ta)을 이용하여 형성할 수 있다. 여기서, Ta는 비정질이지만, 하부 전극(110)이 다결정이기 때문에 비정질의 제 1 버퍼층(120)은 다결정의 하부 전극(110)의 결정 방향을 따라 성장될 수 있고, 이후 열처리에 의해 결정성이 향상될 수 있다. 한편, 제 1 버퍼층(120)은 예를 들어 2nm~10nm의 두께로 형성될 수 있다.
- [80] 시드층(130)은 제 1 버퍼층(120) 상에 형성된다. 시드층(130)은 합성 교환 반자성층(140)이 결정 성장할 수 있도록 하는 물질로 형성될 수 있다. 즉, 시드층(130)은 합성 교환 반자성층(140)의 제 1 및 제 2 자성층(141, 143)이 원하는 결정 방향으로 성장할 수 있도록 한다. 예를 들어, 면심 입방 격자(Face Centered Cubic: FCC)의 (111) 방향 또는 육방 밀집 구조(Hexagonal Close-Packed Structure: HCP)의 (001) 방향으로 결정의 성장을 용이하게 하는 금속으로 형성될 수 있다. 이러한 시드층(130)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함할 수 있다. 바람직하게, 시드층(130)은 백금(Pt)으로 형성할 수 있고, 1nm~3nm의 두께로 형성할 수 있다.
- [81] 합성 교환 반자성층(140)은 시드층(130) 상에 형성된다. 합성 교환 반자성층(140)은 고정층(160)의 자화를 고정시키는 역할을 한다. 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)을 포함한다. 즉, 합성 교환 반자성층(140)은 제 1 자성층(141)과 제 2 자성층(143)이 비자성층(142)을 매개로 반강자성적으로 결합된다. 이때, 제 1 자성층(141)과 제 2 자성층(143)은 FCC(111) 방향 또는 HCP(001) 방향의 결정을 가질 수 있다. 또한, 제 1 및 제 2 자성층(141, 143)의 자화 방향은 반평행하게 배열되는데, 예를 들어 제 1 자성층(141)은 상측 방향(즉, 상부 전극(220) 방향)으로 자화되고, 제 2 자성층(143)은 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 이와 반대로, 제 1 자성층(141)은 하측 방향으로 자화되고, 제 2 자성층(143)은 상측 방향으로 자화될 수도 있다. 제 1 자성층(141) 및 제 2 자성층(143)은 자성 금속과 비자성 금속이 교대로 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 제 1 자성층(141) 및 제 2 자성층(143)은 $[Co/Pd]_n$, $[Co/Pt]_n$ 또는 $[CoFe/Pt]_n$ (여기서, n 은 1 이상의 정수)로 형성될 수 있다. 이때, 제 1 자성층(141)이 제 2 자성층(143)보다 두껍게 형성될 수 있다. 또한, 제 1 자성층(141)은 복수의 층으로

형성되고, 제 2 자성층(143)은 단일층으로 형성될 수 있다. 즉, 제 1 자성층(141)은 자성 금속과 비자성 금속이 복수회 반복 적층된 구조로 형성될 수 있고, 제 2 자성층(143)은 자성 금속과 비자성 금속이 한번 적층된, 즉 단일 적층 구조로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자성층(141, 143)이 동일 물질이 동일 두께로 복수 적층될 수 있는데, 제 1 자성층(141)이 제 2 자성층(143)보다 많은 적층 수로 형성될 수 있다. 예를 들어, 제 1 자성층(141)은 Co 및 Pt가 6회 반복 적층된 [Co/Pt]6으로 형성될 수 있고, 제 2 자성층(143)은 Co 및 Pt가 3회 반복 적층된 [Co/Pt]3으로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 또한, 제 1 자성층(141)은 반복 적층된 Co/Pt, 즉 [Co/Pt]6 상에 Co가 더 형성될 수 있다. 즉, 제 1 자성층(141)은 Co가 Pt보다 한층 더 형성될 수 있고, 최상층의 Co는 그 하층의 Co보다 두껍게 형성될 수 있는데, 예를 들어, 0.5nm~0.7nm의 두께로 형성될 수 있다. 그리고, 제 2 자성층(143)은 [Co/Pt]3 하층에 Co 및 Pt가 더 형성되고, 상층 Co가 더 형성될 수 있다. 즉, 비자성층(142) 상에 Co, Pt, [Co/Pt]3 및 Co가 적층되어 제 2 자성층(143)이 형성될 수 있다. 이때, [Co/Pt]3 하층의 Co는 [Co/Pt]3의 Co보다 같거나 두꺼운 두께, 예를 들어 0.5nm~0.7nm의 두께로 형성될 수 있고, [Co/Pt]3 하층의 Pt는 [Co/Pt]3의 Pt와 동일 두께로 형성될 수 있으며, 상층의 Co는 [Co/Pt]3의 Co와 동일 두께로 형성될 수 있다. 비자성층(142)은 제 1 자성층(141)과 제 1 자성층(143)의 사이에 형성되며, 제 1 자성층(141) 및 제 2 자성층(143)이 반자성 결합을 할 수 있도록 하는 비자성 물질로 형성된다. 예를 들어, 비자성층(142)은 루테튬(Ru), 로듐(Rh), 오스뮴(Os), 레늄(Re) 및 크롬(Cr)으로 이루어진 군으로부터 선택된 단독 또는 이들의 합금으로 형성될 수 있는데, 바람직하게는 루테튬(Ru)으로 형성될 수 있다. 한편, 제 2 자성층(143)이 단일 적층 구조, 즉 단일층으로 형성될 경우 제 1 자성층(141)의 두께도 줄일 수 있고, 그에 따라 전체적인 메모리 소자의 두께를 줄일 수 있다. 즉, 비자성층(142)을 중심으로 제 1 자성층(183)의 자화값과 제 2 자성층(143) 및 고정층(160)의 자화값의 합이 동일해야 한다. 그런데, 제 2 자성층(143)을 복수 적층 구조로 형성하는 경우 제 2 자성층(143) 및 고정층(160)의 자화값의 합과 제 1 자성층(141)의 자화값이 동일하도록 하기 위해 제 1 자성층(141)은 제 2 자성층(143)보다 반복 회수를 더 증가시켜 형성한다. 그러나, 본 발명은 제 2 자성층(143)을 단일 구조로 형성함으로써 제 1 자성층(141)의 적층 회수를 종래보다 줄일 수 있고, 그에 따라 메모리 소자의 전체적인 두께를 줄일 수 있다.

- [82] 분리층(150)은 합성 교환 반자성층(140) 상부에 형성된다. 분리층(150)이 형성됨으로써 합성 교환 반자성층(140)과 고정층(160)의 자화는 서로 독립적으로 발생된다. 또한, 분리층(150)은 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있는 물질로 형성된다. 이를 위해 분리층(150)은 다결정 물질, 예를 들어 bcc 구조의 도전

물질로 형성될 수 있는데, 텅스텐(W)으로 형성될 수 있다. 이렇게 분리층(150)이 다결정 물질로 형성됨으로써 그 상부에 형성되는 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, 다결정의 분리층(150)이 형성되면 그 상부에 형성되는 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 이후 수직 자기 이방성을 위해 열처리를 하게 되면 자기 터널 접합이 결정성이 종래보다 향상될 수 있다. 특히, W를 분리층(150)으로 이용하게 되면 400°C 이상, 예를 들어 400°C~500°C의 고온 열처리 후에 결정화됨으로써 터널 배리어(170) 안으로의 이종 물질의 확산을 억제하고 더 나아가 고정층(160) 및 자유층(180)을 결정화시켜 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다. 즉, 자기 터널 접합의 결정성이 향상되면 자기장을 인가했을 때 자화가 더 크게 발생되고, 평행 상태에서 자기 터널 접합을 통해 흐르는 전류가 더 많아진다. 따라서, 이러한 자기 터널 접합을 메모리 소자에 적용하면 소자의 동작 속도 및 신뢰성을 향상시킬 수 있다. 한편, 분리층(150)은 예를 들어 0.2nm~0.5nm의 두께로 형성될 수 있다. 여기서, 합성 교환 반자성층(140)의 제 2 자성층(143)과 고정층(160)이 페로커플링(ferro coupling)되어야 고정층(160)의 자화 방향이 고정되지만, W를 이용한 분리층(150)이 0.5nm를 초과하는 두께로 형성되면 분리층(150)의 두께 증가로 인하여 고정층(160)의 자화 방향이 고정되지 않고 자유층(180)과 동일한 자화 방향을 가져 MRAM 소자에서 필요한 동일 자화 방향 및 다른 자화 방향이 발생하지 않아 메모리로 동작하지 않는다.

- [83] 고정층(160)은 분리층(150) 상에 형성되고, 강자성체 물질로 형성된다. 고정층(160)은 소정 범위 내의 자기장에서 자화가 한 방향으로 고정되며, 강자성체 물질로 형성될 수 있다. 예를 들어, 상부에서 하부로 향하는 방향으로 자화가 고정될 수 있다. 이러한 고정층(160)은 예를 들어 풀-호이스러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속(ferromagnetic metal)과 비자성 금속(nonmagnetic metal)이 교대로 적층된 다층 박막, L10형 결정 구조를 갖는 합금 또는 코발트계 합금 등의 강자성체 물질을 이용하여 형성할 수 있다. 풀-호이스러 반금속 계열의 합금으로는 CoFeAl, CoFeAlSi 등이 있고, 비정질계 희토류 원소 합금으로는 TbFe, TbCo, TbFeCo, DyTbFeCo, GdTbCo 등의 합금이 있다. 또한, 비자성 금속과 자성 금속이 교대로 적층된 다층 박막으로는 Co/Pt, Co/Pd, CoCr/Pt, Co/Ru, Co/Os, Co/Au, Ni/Cu, CoFeAl/Pd, CoFeAl/Pt, CoFeB/Pd, CoFeB/Pt 등이 있다. 그리고, L10형 결정 구조를 갖는 합금으로는 Fe50Pt50, Fe50Pd50, Co50Pt50, Fe30Ni20Pt50, Co30Ni20Pt50 등이 있다. 또한, 코발트계 합금으로는 CoCr, CoPt, CoCrPt, CoCrTa, CoCrPtTa, CoCrNb, CoFeB 등이 있다. 이러한 물질들 중에서 CoFeB 단일층은 CoFeB와 Co/Pt 또는 Co/Pd의 다층 구조에 비해 두껍게 형성될 수 있어 자기 저항비를 증가시킬 수 있다. 또한, CoFeB는 Pt 또는 Pd 등과 같은 금속보다 식각이 용이하므로 CoFeB 단일층은 Pt 또는 Pd 등이 함유된 다층 구조에 비해

제조 공정이 용이하다. 뿐만 아니라 CoFeB는 두께를 조절함으로써 수직 자화 뿐만 아니라 수평 자화를 가질 수 있다. 따라서, 본 발명의 실시 예는 CoFeB 단일층을 이용하여 고정층(160)을 형성하며, CoFeB는 비정질로 형성된 후 열처리에 의해 BCC(100)으로 텍스처링(texturing)된다. 한편, 고정층(160)은 예를 들어 0.5nm~1.5nm의 두께로 형성될 수 있다.

- [84] 터널 배리어(170)는 고정층(160) 상에 형성되어 고정층(160)과 자유층(180)을 분리한다. 터널 배리어(170)는 고정층(160)과 자유층(180) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다. 이러한 터널 배리어(170)는 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5), 실리콘 질화물(SiN_x) 또는 알루미늄 질화물(AlN_x) 등으로 형성될 수 있다. 본 발명의 실시 예에서는 터널 배리어(170)로 다결정의 마그네슘 산화물을 이용한다. 마그네슘 산화물은 이후 열처리에 의해 BCC(100)으로 텍스처링된다. 한편, 터널 배리어(170)는 고정층(160)과 동일하거나 두껍게 형성될 수 있는데, 예를 들어 0.5nm~1.5nm의 두께로 형성될 수 있다.

- [85] 자유층(180)은 터널 배리어(170) 상에 형성된다. 이러한 자유층(180)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 즉, 자유층(180)은 고정층(160)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다. 자기 터널 접합은 자유층(180)과 고정층(160)의 자화 배열에 따라 변하는 저항값에 '0' 또는 '1'의 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다. 예를 들어, 자유층(180)의 자화 방향이 고정층(160)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0'이라 규정할 수 있다. 또한, 자유층(180)의 자화 방향이 고정층(160)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다. 이러한 자유층(180)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속과 비자성 금속이 교대로 적층된 다층 박막 또는 L10형 결정 구조를 갖는 합금 등의 강자성체 물질로 형성될 수 있다. 한편, 자유층(180)은 제 1 자유층(181), 삽입층(182) 및 제 2 자유층(183)의 적층 구조로 형성될 수 있다. 즉, 자유층(180)은 삽입층(182)에 의해 상하 분리된 제 1 및 제 2 자유층(181, 183)의 구조로 형성될 수 있다. 여기서, 제 1 및 제 2 자유층(181, 183)은 동일 방향의 자화를 가질 수 있고, 서로 다른 방향의 자화를 가질 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 수직 자화를 각각 가질 수 있고, 제 1 자유층(181)이 수직 자화를 갖고 제 2 자유층(183)이 수평 자화를 가질 수 있다. 또한, 삽입층(182)은 자화를 갖지 않는 bcc 구조의 물질로 형성할 수 있다. 즉, 제 1 자유층(181)이 수직으로 자화되고, 삽입층(182)이 자화되지 않으며, 제 2 자유층(183)이 수직 또는 수평으로 자화될 수 있다. 이때, 제 1 및 제 2 자유층(181, 183)은 각각 CoFeB로 형성되며, 제 1 자유층(181)이 제 2 자유층(183)보다 얇거나 같은 두께로 형성될 수 있다. 또한, 삽입층(182)은 제 1

및 제 2 자유층(183)보다 얇은 두께로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 CoFeB를 이용하여 0.5nm~1.5nm의 두께로 형성하고, 삽입층(182)은 bcc 구조의 물질, 예를 들어 W을 0.2nm~0.5nm의 두께로 형성할 수 있다. 여기서, 제 1 및 제 2 자유층(181, 182)은 고정층(160)과 동일하거나 얇은 두께로 형성될 수 있고, 자유층(180) 전체 두께는 고정층(160)의 두께보다 두꺼울 수 있다. 한편, 제 1 자유층(181)은 수직 자화를 더 증대시키기 위해 Fe를 더 포함하여 형성될 수 있다. 즉, 제 1 자유층(181)은 Fe 및 CoFeB가 적층되어 형성될 수 있다. 이때, Fe는 CoFeB보다 얇은 두께로 형성될 수 있는데, 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있다.

[86] 제 2 버퍼층(190)은 자유층(180) 상에 형성된다. 이러한 제 2 버퍼층(190)은 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5) 등으로 형성될 수 있다. 즉, 제 2 버퍼층(190)은 산화물로 형성될 수 있다. 본 발명의 실시 예에서는 제 2 버퍼층(190)로 다결정의 마그네슘 산화물을 이용한다. 이러한 제 2 버퍼층(190)은 자유층(180)이 수직 자기 특성을 갖도록 하기 위해 형성된다. 즉, 제 2 버퍼층(190)의 산소가 자유층(180)으로 확산하여 자유층(180) 내의 물질과 결합함으로써 자유층(180)이 수직 자기 특성을 갖도록 한다. 한편, 제 2 버퍼층(190)은 예를 들어, 0.8nm~1.2nm의 두께로 형성할 수 있다.

[87] 확산 배리어(200)는 제 2 버퍼층(190) 상에 형성된다. 이러한 확산 배리어(200)는 확산 배리어(200) 상에 형성되는 캐핑층(210) 구성 물질의 확산을 방지하기 위해 형성된다. 즉, 패시베이션 공정 및 배선 공정 등의 후속 공정을 실시할 때 캐핑층(210), 예를 들어 텅스텐이 하층의 자기 터널 접합으로 확산할 수 있다. 텅스텐이 자기 터널 접합으로 확산되면 자기 터널 접합의 수직 자기 특성에 문제를 발생시켜 소자의 특성을 열화시키게 된다. 이러한 캐핑층(210) 물질의 확산을 방지하기 위해 제 2 버퍼층(190)과 캐핑층(210) 사이에 확산 배리어(200)를 형성한다. 확산 배리어(200)는 텅스텐보다 원자 사이즈가 작은 물질로 형성될 수 있다. 예를 들어 확산 배리어(200)는 Fe, Cr, Mo, V 등의 물질로 형성될 수 있고, 바람직하게는 Fe로 형성될 수 있다. 또한, 확산 배리어(200)는 예를 들어 0.1nm~0.7nm의 두께로 형성될 수 있다. 그런데, 확산 배리어(200), 예를 들어 Fe를 0.7nm를 초과하여 두껍게 형성할 경우 Fe가 자기 특성을 갖기 때문에 수평 자기 특성을 나타낸다. 즉, Fe가 두껍게 형성되면 자기 터널 접합의 자유층(180)이 수직 자기 특성을 갖지 않고 수평 자기 특성을 가질 수 있다. 또한, 확산 배리어(200)를 얇게 형성할 경우 캐핑층(210) 물질의 확산 방지 효과가 크지 않을 수 있다. 따라서, 확산 배리어(200)는 캐핑층(210)의 확산을 방지하고 자기 터널 접합이 수평 자기 특성이 나타나지 않을 정도의 두께로 형성할 수 있는데, 예를 들어 0.1nm~0.7nm로 형성할 수 있다.

[88] 캐핑층(210)은 확산 배리어(200) 상에 형성된다. 이러한 캐핑층(210)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성된다. 예를 들어, 캐핑층(210)은

텅스텐(W)으로 형성될 수 있다. 이렇게 캐핑층(210)이 다결정 물질로 형성됨으로써 그 하부의 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, bcc 구조의 분리층(150) 상에 비정질의 자기 터널 접합이 형성되면 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 자기 터널 접합 상에 bcc 구조의 캐핑층(210)이 형성되어 이후 열처리를 하게 되면 자기 터널 접합의 결정성이 더욱 향상될 수 있다. 또한, 캐핑층(210)은 상부 전극(220)의 확산을 방지하는 역할을 한다. 이러한 캐핑층(210)은 예를 들어 1nm~4nm의 두께로 형성될 수 있다.

[89] 상부 전극(220)은 캐핑층(210) 상에 형성된다. 이러한 상부 전극(220)은 도전 물질을 이용하여 형성할 수 있는데, 금속, 금속 산화물, 금속 질화물 등으로 형성될 수 있다. 예를 들어, 상부 전극(220)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg) 및 알루미늄(Al)으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금으로 형성될 수 있다.

[90] 상기한 바와 같이 본 발명의 실시 예들에 따른 메모리 소자는 하부 전극(110)을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층(140)을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층(140)의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다. 또한, 자기 터널 접합 상의 제 2 버퍼층(190)과 캐핑층(210) 사이에 확산 배리어(200)를 형성함으로써 캐핑층(210)의 확산을 방지할 수 있다. 즉, 자기 터널 접합과 캐핑층(210) 사이에 확산 배리어(200)가 형성됨으로써 후속 공정에서 캐핑층(210)의 구성 물질이 자기 터널 접합 측으로 확산되는 것을 방지할 수 있고, 그에 따라 자기 터널 접합의 정상 동작을 확보할 수 있어 메모리 소자의 동작 신뢰성을 향상시킬 수 있다.

[91] 도 2는 확산 배리어의 두께에 따른 자기 저항(Tunnel Magnetic Resistance; TMR)비를 도시한 도면이다. 즉, 도 2는 확산 배리어를 형성하지 않은 비교 예의 메모리 소자와, 확산 배리어를 0.2nm~0.7nm의 두께로 형성한 본 발명의 실시 예에 따른 메모리 소자의 자기 저항비를 측정한 그래프이다. 이때, 종래 예 및 본 발명의 실시 예는 구조 및 두께를 동일하게 형성하고 본 발명의 실시 예는 종래 예에 비해 확산 배리어를 더 형성하였다. 도 2에 도시된 바와 같이 확산 배리어를 형성하고 확산 배리어의 두께가 0.3nm까지는 자기 저항비가 상승하다가 0.3nm를 초과하여 0.7nm까지는 감소하였다. 자기 저항비는 확산 배리어가 0.3nm일 때 153%으로 최대인 것을 확인할 수 있다. 그러나, 확산 배리어의 두께가 0.2nm 이상 0.3nm 미만인 경우나 0.3nm 초과 0.7nm 이하인 경우에도 자기 저항비가 확산 배리어를 형성하지 않은 비교 예에 비해 증가하게 된다. 한편, 터널 자기 저항비는 CiPT(current in plane tunneling method) 방식의 장비를 통해 측정되었다. CiPT 측정 방식은 얇은 상부 전극 위에 두개의 프로브를 접합시켜 수 μm 씩

간격을 차별화하여 측정하게 되며, 이때 수 μm 간격씩 측정된 얇은 상부 전극과 두꺼운 하부 전극 사이의 저항들을 피팅하여 장비 자체에서 터널 자기 저항비를 산출하게 된다.

- [92] 도 3a, 도 3b, 도 4a 및 도 4b는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 자성 특성을 도시한 도면이다. 즉, 도 3a 및 도 4a는 확산 배리어를 형성하지 않은 비교 예의 자기 터널 접합 및 자유층의 자성 특성을 도시한 도면이고, 도 3b 및 도 4b는 확산 배리어를 형성한 본 발명의 일 실시 예에 따른 자기 터널 접합 및 자유층의 자성 특성을 도시한 도면이다. 여기서, 도 3a 및 도 4a 내의 화살표는 하측으로부터 상측으로 합성 교환 반자성층의 제 1 자성층 및 제 2 자성층, 고정층 및 자유층의 자기 방향을 나타내며, 도 3b 및 도 4b는 수직 자기 이방성과 수평 자기 이방성을 나타낸다. 도 4a에 도시된 바와 같이 본 발명의 실시 예는 도 3a에 도시된 비교 예와 마찬가지로 자유층이 보자력과 스쿼어니스를 잘 유지함을 알 수 있다. 또한, 도 3b에 도시된 바와 같이 비교 예의 자유층은 수직 자화도가 $165\mu\text{emu}$ 이며 수평 자화도는 $73\mu\text{emu}$ 로서 수직 및 수평 자기 이방성이 모두 나타난다. 그러나, 도 4b에 도시된 바와 같이 본 발명의 실시 예의 자유층은 수직 자화도가 $217\mu\text{emu}$ 이며 수평 자화도는 수평 자기 이방성이 없이 자화도만 $29\mu\text{emu}$ 를 가지고 있다. 따라서, Fe를 이용하여 확산 배리어를 형성하면 수직 자기 이방성이 향상되며 수직 자기 이방성의 방해가 되는 수평 자기 이방성이 사라진 것을 확인할 수 있다.
- [93] 도 5 및 도 6은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진이다. 즉, 도 5는 확산 배리어를 형성하지 않은 비교 예에 따른 메모리 소자의 TEM 사진이고, 도 6은 0.3nm 의 확산 배리어를 형성한 본 발명의 실시 예에 따른 메모리 소자의 TEM 사진이다. 도 5의 비교 예에 따른 메모리 소자는 하측으로부터 상측으로 합성 교환 반자성층(SyAF), W 분리층, CoFeB 고정층, MgO 터널 배리어, CoFeB 제 1 자유층, W 삽입층, CoFeB 제 2 자유층, MgO 버퍼층 및 W 캐핑층이 적층 형성되고, 도 6의 본 발명의 실시 예에 따른 메모리 소자는 도 5의 메모리 소자에 MgO 버퍼층과 W 캐핑층 사이에 Fe 확산 배리어가 더 형성된다. 도 5에 도시된 바와 같이 Fe 확산 배리어를 형성하지 않은 비교 예의 경우 MgO 버퍼층이 비정질화되어 있는 것을 확인할 수 있다. 그러나, 도 6에 도시된 바와 같이 0.3nm 의 Fe가 확산 배리어로 형성된 경우 MgO 버퍼층이 고르게 결정화된 것을 확인할 수 있다.
- [94] 도 7 및 도 8은 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 이온 확산 분포를 각각 도시한 SIMS(Secondary ion mass spectroscopy) 결과이다. 도 7에 도시된 바와 같이 확산 배리어를 형성하지 않은 경우 캐핑층의 W 원자가 자기 터널 접합까지 확산된 것을 확인할 수 있고, 도 8에 도시된 바와 같이 Fe 확산 배리어를 형성한 경우 캐핑층의 W가 자기 터널 접합으로 확산되는 것을 확산 배리어가 방지하는 것을 확인할 수 있다. 따라서, 본 발명의 메모리 소자는 비교 예의 메모리 소자에 비해 캐핑층 형성 물질의 확산을 방지할 수 있고, 그에 따라

터널 자기 저항비를 향상시킬 수 있다.

- [95] 이하에서는 도 9 내지 도 11을 참조하여 본 발명의 다른 실시 예에 따른 메모리 소자를 설명한다.
- [96] 도 9는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도로서, STT-MRAM 소자의 단면도이다.
- [97] 도 9를 참조하면, 본 발명의 일 실시 예에 따른 메모리 소자는 기판(100) 상에 형성된 하부 전극(110), 시드층(120), 합성 교환 반자성층(130), 분리층(140), 고정층(150), 터널 배리어(160), 자유층(170), 버퍼층(180), 캐핑층(190) 및 상부 전극(200)을 포함한다. 여기서, 합성 교환 반자성층(130)은 제 1 자성층(131), 비자성층(132) 및 제 2 자성층(133)의 적층 구조로 형성되며, 고정층(150), 터널 배리어(160) 및 자유층(170)은 자기 터널 접합을 이룬다. 즉, 본 발명에 따른 메모리 소자는 기판(100) 상에 합성 교환 반자성층(130)이 먼저 형성되고 그 상부에 자기 터널 접합이 형성된다.
- [98] 기판(100)은 반도체 기판을 이용할 수 있다. 예를 들어, 기판(100)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 실리콘 산화막 기판 등을 이용할 수 있는데, 본 실시 예에서는 실리콘 기판을 이용한다. 또한, 기판(100) 상에는 트랜지스터를 포함하는 선택 소자가 형성될 수 있다. 한편, 기판(100) 상에는 절연층(미도시)이 형성될 수 있다. 즉, 절연층은 선택 소자 등의 소정의 구조물을 덮도록 형성될 수 있고, 절연층에는 선택 소자의 적어도 일부를 노출시키는 콘택홀이 형성될 수 있다. 이러한 절연층은 비정질 구조의 실리콘 산화막(SiO_2) 등을 이용하여 형성할 수 있다.
- [99] 하부 전극(110)은 기판(100) 상에 형성된다. 이러한 하부 전극(110)은 금속, 금속 질화물 등의 도전 물질을 이용하여 형성될 수 있다. 또한, 본 발명의 하부 전극(110)은 적어도 하나의 층으로 형성될 수 있다. 즉, 하부 전극(110)은 단일층으로 형성될 수도 있고, 둘 이상의 복수의 층으로 형성될 수도 있다. 하부 전극(110)이 단일층으로 형성되는 경우 예를 들어 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다. 또한, 하부 전극(110)은 예를 들어 제 1 및 제 2 하부 전극의 이중 구조로 형성될 수 있다. 여기서, 제 1 하부 전극은 기판(100) 상에 형성될 수 있고, 제 2 하부 전극은 제 1 하부 전극 상에 형성될 수 있다. 한편, 기판(100) 상에 절연층이 형성되는 경우 제 1 하부 전극은 절연층 상에 형성될 수 있고, 절연층 내부에 형성될 수 있으며, 그에 따라 기판(100) 상에 형성된 선택 소자와 연결될 수도 있다. 이러한 하부 전극(110)은 다결정(polycrystal)의 도전 물질로 형성될 수 있다. 즉, 제 1 및 제 2 하부 전극은 bcc 구조의 도전 물질로 형성될 수 있다. 예를 들어, 제 1 하부 전극은 텅스텐(W) 등의 금속으로 형성될 수 있고, 제 2 하부 전극은 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다. 한편, 하부 전극(110) 상에 하부 전극(110)과 시드층(120)의 격자 상부 불일치를 해소하기 위한 버퍼층(미도시)이 형성될 수 있다. 버퍼층은 하부 전극(110)과 정합성이 우수한 물질로 형성할 수 있다. 예를 들어, 하부 전극(110) 또는 제 2

하부 전극이 TiN으로 형성되는 경우 버퍼층은 TiN과 격자 정합성이 우수한 탄탈륨(Ta)을 이용하여 형성할 수 있다. 여기서, Ta는 비정질이지만, 하부 전극(110)이 다결정이기 때문에 비정질의 버퍼층은 다결정의 하부 전극(110)의 결정 방향을 따라 성장될 수 있고, 이후 열처리에 의해 결정성이 향상될 수 있다.

- [100] 시드층(120)은 하부 전극(110) 상에 형성된다. 이때, 하부 전극(110) 상에 버퍼층이 형성된 경우 시드층(120)은 버퍼층(120) 상에 형성된다. 시드층(120)은 합성 교환 반자성층(130)이 결정 성장할 수 있도록 하는 물질로 형성될 수 있다. 즉, 시드층(120)은 합성 교환 반자성층(130)의 제 1 및 제 2 자성층(131, 133)이 원하는 결정 방향으로 성장할 수 있도록 한다. 예를 들어, 면심 입방 격자(Face Centered Cubic: fcc)의 (111) 방향 또는 육방 밀집 구조(Hexagonal Close-Packed Structure: hcp)의 (001) 방향으로 결정의 성장을 용이하게 하는 금속으로 형성될 수 있다. 이러한 시드층(120)은 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함할 수 있다. 바람직하게, 시드층(120)은 백금(Pt)으로 형성할 수 있고, 1nm~8nm의 두께로 형성할 수 있다. 이렇게 백금을 시드층(120)으로 이용하는 경우 60%~140%의 자기 저항비를 유지할 수 있다. 바람직하게는, 백금을 시드층(120)으로 이용하고, 3nm~5nm의 두께로 형성하는 경우 120%~140%의 자기 저항비를 유지할 수 있다.

- [101] 합성 교환 반자성층(130)은 시드층(120) 상에 형성된다. 합성 교환 반자성층(130)은 고정층(150)의 자화를 고정시키는 역할을 한다. 합성 교환 반자성층(130)은 제 1 자성층(131), 비자성층(132) 및 제 2 자성층(133)을 포함한다. 즉, 합성 교환 반자성층(130)은 제 1 자성층(131)과 제 2 자성층(133)이 비자성층(132)을 매개로 반강자성적으로 결합된다. 이때, 제 1 자성층(131)과 제 2 자성층(133)은 FCC(111) 방향 또는 hcp(001) 방향의 결정을 가질 수 있다. 또한, 제 1 및 제 2 자성층(131, 133)의 자화 방향은 반평행하게 배열되는데, 예를 들어 제 1 자성층(131)은 상측 방향(즉, 상부 전극(200) 방향)으로 자화되고, 제 2 자성층(133)은 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 이와 반대로, 제 1 자성층(131)은 하측 방향으로 자화되고, 제 2 자성층(133)은 상측 방향으로 자화될 수도 있다. 제 1 자성층(131) 및 제 2 자성층(133)은 자성 금속과 비자성 금속이 교대로 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 제 1 자성층(131) 및 제 2 자성층(133)은 [Co/Pd]_n, [Co/Pt]_n 또는 [CoFe/Pt]_n (여기서, n은 1 이상의 정수)로 형성될 수 있다. 이때, 제 1 자성층(131)이 제 2 자성층(133)보다 두껍게 형성될 수 있다. 또한, 제 1 자성층(131)은 복수의 층으로 형성되고, 제 2 자성층(133)은 단일층으로 형성될 수 있다. 즉, 제 1 자성층(131)은

자성 금속과 비자성 금속이 복수회 반복 적층된 구조로 형성될 수 있고, 제 2 자성층(133)은 자성 금속과 비자성 금속이 한번 적층된, 즉 단일 적층 구조로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자성층(131, 133)이 동일 물질이 동일 두께로 복수 적층될 수 있는데, 제 1 자성층(131)이 제 2 자성층(133)보다 많은 적층 수로 형성될 수 있다. 예를 들어, 제 1 자성층(131)은 Co 및 Pt가 6회 반복 적층된 [Co/Pt]6으로 형성될 수 있고, 제 2 자성층(133)은 Co 및 Pt가 3회 반복 적층된 [Co/Pt]3으로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 비자성층(132)은 제 1 자성층(131)과 제 1 자성층(133)의 사이에 형성되며, 제 1 자성층(131) 및 제 2 자성층(133)이 반자성 결합을 할 수 있도록 하는 비자성 물질로 형성된다. 예를 들어, 비자성층(132)은 루테튬(Ru), 로듐(Rh), 오스뮴(Os), 레늄(Re) 및 크롬(Cr)으로 이루어진 군으로부터 선택된 단독 또는 이들의 합금으로 형성될 수 있는데, 바람직하게는 루테튬(Ru)으로 형성될 수 있다. 한편, 제 2 자성층(133)이 단일 적층 구조, 즉 단일층으로 형성될 경우 제 1 자성층(131)의 두께도 줄일 수 있고, 그에 따라 전체적인 메모리 소자의 두께를 줄일 수 있다. 즉, 비자성층(132)을 중심으로 제 1 자성층(173)의 자화값과 제 2 자성층(133) 및 고정층(150)의 자화값의 합이 동일해야 한다. 그런데, 제 2 자성층(133)을 복수 적층 구조로 형성하는 경우 제 2 자성층(133) 및 고정층(150)의 자화값의 합과 제 1 자성층(131)의 자화값이 동일하도록 하기 위해 제 1 자성층(131)은 제 2 자성층(133)보다 반복 회수를 더 증가시켜 형성한다. 그러나, 본 발명은 제 2 자성층(133)을 단일 구조로 형성함으로써 제 1 자성층(131)의 적층 회수를 종래보다 줄일 수 있고, 그에 따라 메모리 소자의 전체적인 두께를 줄일 수 있다.

- [102] 분리층(140)은 합성 교환 반자성층(130) 상부에 형성된다. 분리층(140)이 형성됨으로써 합성 교환 반자성층(130)과 고정층(150)의 자화는 서로 독립적으로 발생된다. 또한, 분리층(140)은 고정층(150), 터널 배리어(160) 및 자유층(170)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있는 물질로 형성된다. 이를 위해 분리층(140)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성될 수 있는데, 텅스텐(W)으로 형성될 수 있다. 이렇게 분리층(140)이 다결정 물질로 형성됨으로써 그 상부에 형성되는 고정층(150), 터널 배리어(160) 및 자유층(170)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, 다결정의 분리층(140)이 형성되면 그 상부에 형성되는 비정질의 자기 터널 접합이 분리층(140)의 결정 방향을 따라 성장되고, 이후 수직 자기 이방성을 위해 열처리를 하게 되면 자기 터널 접합이 결정성이 종래보다 향상될 수 있다. 특히, W를 분리층(140)으로 이용하게 되면 400°C 이상, 예를 들어 400°C~500°C의 고온 열처리 후에 결정화됨으로써 터널 배리어(160) 안으로의 이중 물질의 확산을 억제하고 더 나아가 고정층(150) 및 자유층(170)을 결정화시켜 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다. 즉, 자기 터널 접합의 결정성이 향상되면

자기장을 인가했을 때 자화가 더 크게 발생되고, 평행 상태에서 자기 터널 접합을 통해 흐르는 전류가 더 많아진다. 따라서, 이러한 자기 터널 접합을 메모리 소자에 적용하면 소자의 동작 속도 및 신뢰성을 향상시킬 수 있다. 한편, 분리층(140)은 예를 들어 0.2nm~0.5nm의 두께로 형성될 수 있다. 여기서, 합성 교환 반자성층(130)의 제 2 자성층(133)과 고정층(150)이 페로커플링(ferro coupling)되어야 고정층(150)의 자화 방향이 고정되지만, W를 이용한 분리층(140)이 0.5nm를 초과하는 두께로 형성되면 분리층(140)의 두께 증가로 인하여 고정층(150)의 자화 방향이 고정되지 않고 자유층(170)과 동일한 자화 방향을 가져 MRAM 소자에서 필요한 동일 자화 방향 및 다른 자화 방향이 발생하지 않아 메모리로 동작하지 않는다.

- [103] 고정층(150)은 분리층(140) 상에 형성되고, 강자성체 물질로 형성된다. 고정층(150)은 소정 범위 내의 자기장에서 자화가 한 방향으로 고정되며, 강자성체 물질로 형성될 수 있다. 예를 들어, 상부에서 하부로 향하는 방향으로 자화가 고정될 수 있다. 이러한 고정층(150)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속(ferromagnetic metal)과 비자성 금속(nonmagnetic metal)이 교대로 적층된 다층 박막, L10형 결정 구조를 갖는 합금 또는 코발트계 합금 등의 강자성체 물질을 이용하여 형성할 수 있다. 풀-호이슬러 반금속 계열의 합금으로는 CoFeAl, CoFeAlSi 등이 있고, 비정질계 희토류 원소 합금으로는 TbFe, TbCo, TbFeCo, DyTbFeCo, GdTbCo 등의 합금이 있다. 또한, 비자성 금속과 자성 금속이 교대로 적층된 다층 박막으로는 Co/Pt, Co/Pd, CoCr/Pt, Co/Ru, Co/Os, Co/Au, Ni/Cu, CoFeAl/Pd, CoFeAl/Pt, CoFeB/Pd, CoFeB/Pt 등이 있다. 그리고, L10형 결정 구조를 갖는 합금으로는 Fe50Pt50, Fe50Pd50, Co50Pt50, Fe30Ni20Pt50, Co30Ni20Pt50 등이 있다. 또한, 코발트계 합금으로는 CoCr, CoPt, CoCrPt, CoCrTa, CoCrPtTa, CoCrNb, CoFeB 등이 있다. 이러한 물질들 중에서 CoFeB 단일층은 CoFeB와 Co/Pt 또는 Co/Pd의 다층 구조에 비해 두껍게 형성될 수 있어 자기 저항비를 증가시킬 수 있다. 또한, CoFeB는 Pt 또는 Pd 등과 같은 금속보다 식각이 용이하므로 CoFeB 단일층은 Pt 또는 Pd 등이 함유된 다층 구조에 비해 제조 공정이 용이하다. 뿐만 아니라 CoFeB는 두께를 조절함으로써 수직 자화 뿐만 아니라 수평 자화를 가질 수 있다. 따라서, 본 발명의 실시 예는 CoFeB 단일층을 이용하여 고정층(150)을 형성하며, CoFeB는 비정질로 형성된 후 열처리에 의해 BCC(100)으로 텍스처링(texturing)된다.

- [104] 터널 배리어(160)는 고정층(150) 상에 형성되어 고정층(150)과 자유층(170)을 분리한다. 터널 배리어(160)는 고정층(150)과 자유층(170) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다. 이러한 터널 배리어(160)는 마그네슘 산화물(MgO), 알루미늄 산화물(Al₂O₃), 실리콘 산화물(SiO₂), 탄탈륨산화물(Ta₂O₅), 실리콘 질화물(SiN_x) 또는 알루미늄 질화물(AlN_x) 등으로 형성될 수 있다. 본 발명의 실시 예에서는 터널

배리어(160)로 다결정의 마그네슘 산화물을 이용한다. 마그네슘 산화물은 이후 열처리에 의해 BCC(100)으로 텍스처링된다.

- [105] 자유층(170)은 터널 배리어(160) 상에 형성된다. 이러한 자유층(170)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 즉, 자유층(170)은 고정층(150)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다. 자기 터널 접합은 자유층(170)과 고정층(150)의 자화 배열에 따라 변하는 저항값에 '0' 또는 '1'의 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다. 예를 들어, 자유층(170)의 자화 방향이 고정층(150)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0'이라 규정할 수 있다. 또한, 자유층(170)의 자화 방향이 고정층(150)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다. 이러한 자유층(170)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속과 비자성 금속이 교대로 적층된 다층 박막 또는 L10형 결정 구조를 갖는 합금 등의 강자성체 물질로 형성될 수 있다. 한편, 자유층(170)은 제 1 자유층(171), 삽입층(172) 및 제 2 자유층(173)의 적층 구조로 형성될 수 있다. 즉, 자유층(170)은 삽입층(172)에 의해 상하 분리된 제 1 및 제 2 자유층(171, 173)의 구조로 형성될 수 있다. 여기서, 제 1 및 제 2 자유층(171, 173)은 동일 방향의 자화를 가질 수 있고, 서로 다른 방향의 자화를 가질 수 있다. 예를 들어, 제 1 및 제 2 자유층(171, 173)은 수직 자화를 각각 가질 수 있고, 제 1 자유층(171)이 수직 자화를 갖고 제 2 자유층(173)이 수평 자화를 가질 수 있다. 또한, 삽입층(172)은 자화를 갖지 않는 bcc 구조의 물질로 형성할 수 있다. 즉, 제 1 자유층(171)이 수직으로 자화되고, 삽입층(172)이 자화되지 않으며, 제 2 자유층(173)이 수직 또는 수평으로 자화될 수 있다. 이때, 제 1 및 제 2 자유층(171, 173)은 각각 CoFeB로 형성되며, 제 1 자유층(171)이 제 2 자유층(173)보다 얇거나 같은 두께로 형성될 수 있다. 또한, 삽입층(172)은 제 1 및 제 2 자유층(173)보다 얇은 두께로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자유층(171, 173)은 CoFeB를 이용하여 0.5nm~1.5nm의 두께로 형성하고, 삽입층(172)은 bcc 구조의 물질, 예를 들어 W을 0.2nm~0.5nm의 두께로 형성할 수 있다.

- [106] 버퍼층(180)은 자유층(170) 상에 형성된다. 이러한 버퍼층(180)은 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5) 등으로 형성될 수 있다. 즉, 버퍼층(180)은 산화물로 형성될 수 있다. 본 발명의 실시 예에서는 버퍼층(180)로 다결정의 마그네슘 산화물을 이용한다. 이러한 버퍼층(180)은 자유층(170)이 수직 자기 특성을 갖도록 하기 위해 형성된다. 즉, 버퍼층(180)의 산소가 자유층(170)으로 확산하여 자유층(170) 내의 물질과 결합함으로써 자유층(170)이 수직 자기 특성을 갖도록 한다. 한편, 버퍼층(180)은 예를 들어, 0.8nm~1.2nm의 두께로 형성할 수 있다.

- [107] 캐핑층(190)은 버퍼층(180) 상에 형성된다. 이러한 캐핑층(190)은 다결정 물질,

예를 들어 bcc 구조의 도전 물질로 형성된다. 예를 들어, 캐핑층(190)은 텅스텐(W)으로 형성될 수 있다. 이렇게 캐핑층(210)이 다결정 물질로 형성됨으로써 그 하부의 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, bcc 구조의 분리층(140) 상에 비정질의 자기 터널 접합이 형성되면 비정질의 자기 터널 접합이 분리층(140)의 결정 방향을 따라 성장되고, 자기 터널 접합 상에 bcc 구조의 캐핑층(190)이 형성되어 이후 열처리를 하게 되면 자기 터널 접합의 결정성이 더욱 향상될 수 있다. 또한, 캐핑층(190)은 상부 전극(200)의 확산을 방지하는 역할을 한다. 이러한 캐핑층(190)은 예를 들어 1nm~6nm의 두께로 형성될 수 있다.

[108] 상부 전극(200)은 캐핑층(190) 상에 형성된다. 이러한 상부 전극(200)은 도전 물질을 이용하여 형성할 수 있는데, 금속, 금속 산화물, 금속 질화물 등으로 형성될 수 있다. 예를 들어, 상부 전극(200)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg) 및 알루미늄(Al)으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금으로 형성될 수 있다.

[109] 상기한 바와 같이 본 발명의 실시 예들에 따른 메모리 소자는 하부 전극(110)을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층(130)을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층(130)의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다. 또한, 본 발명은 시드층(120)을 백금(Pt)을 포함하는 물질로 형성함으로써 합성 교환 반자성층(130)이 fcc(111) 방향으로 잘 성장되도록 하고, 그에 따라 고정층(150)의 자화를 수직 방향으로 고정시킬 수 있다. 따라서, 종래보다 높은 자기 저항비를 구현할 수 있다.

[110] 도 10은 시드층의 두께에 따른 비교 예와 본 발명의 실시 예의 자기 저항비를 도시한 도면이다. 즉, 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 버퍼층, 캐핑층 및 상부 전극이 적층되고, 자기 터널 접합의 자유층은 제 1 및 제 2 자유층 사이에 삽입층이 형성된 구조에 시드층을 Ru로 형성한 비교 예와 시드층을 Pt로 형성한 실시 예의 시드층 두께 변화(2nm~8nm)에 따른 자기 저항비를 도 10에 비교하여 도시하였다. 이때, 비교 예 및 실시 예는 모두 적층 구조에 400°C의 열처리를 실시한 후의 자기 저항비를 측정하였다. Ru를 시드층으로 이용하는 비교 예는 2nm~8nm의 두께에서 50% 내지 70%의 자기 저항비를 유지하였다. 그러나, Pt를 시드층으로 이용하는 실시 예는 2nm~8nm의 두께에서 65% 내지 134%의 자기 저항비를 유지하였다. 즉, Pt를 시드층으로 이용하는 경우 Ru를 시드층으로 이용하는 경우에 비해 높은 자기 저항비를 나타냈다. 특히, Pt를 3nm~5nm의 두께로 이용하는 경우 자기 저항비가 125% 이상으로 나타나고, Pt를 6nm의 두께로 형성하는 경우 자기 저항비가 100% 정도로 나타났다.

[111] 도 11은 Pt를 시드층으로 이용하는 본 발명의 실시 예의 시드층 두께에 따른

시드층 표면 거칠기 및 합성 교환 반자성층의 수직 자화율값을 도시한 도면이다. 합성 교환 반자성층의 수직 자화율값은 Pt 시드층이 2nm일 때 $44\mu\text{emu}$ 로 [Co/Pt] n 합성 교환 반자성층의 완벽한 fcc(111) 성장이 이루어지지 않아 낮은 자화율값을 갖는다. 그러나, Pt 시드층이 3nm로 증가하면 수직 자화율값은 $570\mu\text{emu}$ 로 증가하여 합성 교환 반자성층의 fcc(111) 성장이 잘 이루어진다. 또한, Pt 시드층의 두께가 5nm 이상으로 증가하면 수직 자화율값이 감소하는데 합성 교환 반자성층의 fcc(111) 성장과 달리 Pt 시드층이 두꺼워짐에 따라 표면 거칠기가 증가하여 층들간의 수직 자화 특성이 낮아짐을 알 수 있다.

- [112] 이하에서는 도 12 내지 도 18을 참조하여 본 발명의 또 다른 실시 예에 따른 메모리 소자를 설명한다.
- [113] 도 12는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도로서, STT-MRAM 소자의 단면도이다.
- [114] 도 12를 참조하면, 본 발명의 일 실시 예에 따른 메모리 소자는 기판(100) 상에 형성된 하부 전극(110), 제 1 버퍼층(120), 시드층(130), 합성 교환 반자성층(140), 분리층(150), 고정층(160), 터널 배리어(170), 자유층(180), 제 2 버퍼층(190), 캐핑층(200) 및 상부 전극(210)을 포함한다. 여기서, 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)의 적층 구조로 형성되며, 고정층(160), 터널 배리어(170) 및 자유층(180)은 자기 터널 접합을 이룬다. 즉, 본 발명에 따른 메모리 소자는 기판(100) 상에 합성 교환 반자성층(140)이 먼저 형성되고 그 상부에 자기 터널 접합이 형성된다.
- [115] 기판(100)은 반도체 기판을 이용할 수 있다. 예를 들어, 기판(100)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 실리콘 산화막 기판 등을 이용할 수 있는데, 본 실시 예에서는 실리콘 기판을 이용한다. 또한, 기판(100) 상에는 트랜지스터를 포함하는 선택 소자가 형성될 수 있다. 한편, 기판(100) 상에는 절연층(미도시)이 형성될 수 있다. 즉, 절연층은 선택 소자 등의 소정의 구조물을 덮도록 형성될 수 있고, 절연층에는 선택 소자의 적어도 일부를 노출시키는 콘택홀이 형성될 수 있다. 이러한 절연층은 비정질 구조의 실리콘 산화막(SiO_2) 등을 이용하여 형성할 수 있다.
- [116] 하부 전극(110)은 기판(100) 상에 형성된다. 이러한 하부 전극(110)은 금속, 금속 질화물 등의 도전 물질을 이용하여 형성될 수 있다. 또한, 본 발명의 하부 전극(110)은 적어도 하나의 층으로 형성될 수 있다. 즉, 하부 전극(110)은 단일층으로 형성될 수도 있고, 둘 이상의 복수의 층으로 형성될 수도 있다. 하부 전극(110)이 단일층으로 형성되는 경우 예를 들어 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다. 또한, 하부 전극(110)은 예를 들어 제 1 및 제 2 하부 전극의 이중 구조로 형성될 수 있다. 여기서, 제 1 하부 전극은 기판(100) 상에 형성될 수 있고, 제 2 하부 전극은 제 1 하부 전극 상에 형성될 수 있다. 한편, 기판(100) 상에 절연층이 형성되는 경우 제 1 하부 전극은 절연층 상에 형성될 수 있고, 절연층 내부에 형성될 수 있으며, 그에 따라 기판(100) 상에 형성된 선택

소자와 연결될 수도 있다. 이러한 하부 전극(110)은 다결정(polycrystal)의 도전 물질로 형성될 수 있다. 즉, 제 1 및 제 2 하부 전극은 bcc 구조의 도전 물질로 형성될 수 있다. 예를 들어, 제 1 하부 전극은 텅스텐(W) 등의 금속으로 형성될 수 있고, 제 2 하부 전극은 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다.

[117] 제 1 버퍼층(120)은 하부 전극(110) 상부에 형성된다. 제 1 버퍼층(120)은 하부 전극(110)과 시드층(130)의 격자 상수 불일치를 해소하기 위해 하부 전극(110)과 정합성이 우수한 물질로 형성할 수 있다. 예를 들어, 하부 전극(110) 또는 제 2 하부 전극이 TiN으로 형성되는 경우 제 1 버퍼층(120)은 TiN과 격자 정합성이 우수한 탄탈륨(Ta)을 이용하여 형성할 수 있다. 여기서, Ta는 비정질이지만, 하부 전극(110)이 다결정이기 때문에 비정질의 제 1 버퍼층(120)은 다결정의 하부 전극(110)의 결정 방향을 따라 성장될 수 있고, 이후 열처리에 의해 결정성이 향상될 수 있다. 한편, 제 1 버퍼층(120)은 예를 들어 2nm~10nm의 두께로 형성될 수 있다.

[118] 시드층(130)은 제 1 버퍼층(120) 상에 형성된다. 시드층(130)은 합성 교환 반자성층(140)이 결정 성장할 수 있도록 하는 물질로 형성될 수 있다. 즉, 시드층(130)은 합성 교환 반자성층(140)의 제 1 및 제 2 자성층(141, 143)이 원하는 결정 방향으로 성장할 수 있도록 한다. 예를 들어, 면심 입방 격자(Face Centered Cubic: FCC)의 (111) 방향 또는 육방 밀집 구조(Hexagonal Close-Packed Structure: HCP)의 (001) 방향으로 결정의 성장을 용이하게 하는 금속으로 형성될 수 있다. 이러한 시드층(130)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함할 수 있다. 바람직하게, 시드층(130)은 백금(Pt)으로 형성할 수 있고, 1nm~3nm의 두께로 형성할 수 있다.

[119] 합성 교환 반자성층(140)은 시드층(130) 상에 형성된다. 합성 교환 반자성층(140)은 고정층(160)의 자화를 고정시키는 역할을 한다. 합성 교환 반자성층(140)은 제 1 자성층(141), 비자성층(142) 및 제 2 자성층(143)을 포함한다. 즉, 합성 교환 반자성층(140)은 제 1 자성층(141)과 제 2 자성층(143)이 비자성층(142)을 매개로 반강자성적으로 결합된다. 이때, 제 1 자성층(141)과 제 2 자성층(143)은 FCC(111) 방향 또는 HCP(001) 방향의 결정을 가질 수 있다. 또한, 제 1 및 제 2 자성층(141, 143)의 자화 방향은 반평행하게 배열되는데, 예를 들어 제 1 자성층(141)은 상측 방향(즉, 상부 전극(200) 방향)으로 자화되고, 제 2 자성층(143)은 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 이와 반대로, 제 1 자성층(141)은 하측 방향으로 자화되고, 제 2 자성층(143)은 상측 방향으로 자화될 수도 있다. 제 1 자성층(141) 및 제 2 자성층(143)은 자성 금속과 비자성 금속이 교대로 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진

균으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 제 1 자성층(141) 및 제 2 자성층(143)은 $[\text{Co/Pd}]_n$, $[\text{Co/Pt}]_n$ 또는 $[\text{CoFe/Pt}]_n$ (여기서, n 은 1 이상의 정수)로 형성될 수 있다. 이때, 제 1 자성층(141)이 제 2 자성층(143)보다 두껍게 형성될 수 있다. 또한, 제 1 자성층(141)은 복수의 층으로 형성되고, 제 2 자성층(143)은 단일층으로 형성될 수 있다. 즉, 제 1 자성층(141)은 자성 금속과 비자성 금속이 복수회 반복 적층된 구조로 형성될 수 있고, 제 2 자성층(143)은 자성 금속과 비자성 금속이 한번 적층된, 즉 단일 적층 구조로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자성층(141, 143)이 동일 물질이 동일 두께로 복수 적층될 수 있는데, 제 1 자성층(141)이 제 2 자성층(143)보다 많은 적층 수로 형성될 수 있다. 예를 들어, 제 1 자성층(141)은 Co 및 Pt가 6회 반복 적층된 $[\text{Co/Pt}]_6$ 으로 형성될 수 있고, 제 2 자성층(143)은 Co 및 Pt가 3회 반복 적층된 $[\text{Co/Pt}]_3$ 으로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 비자성층(142)은 제 1 자성층(141)과 제 1 자성층(143)의 사이에 형성되며, 제 1 자성층(141) 및 제 2 자성층(143)이 반자성 결합을 할 수 있도록 하는 비자성 물질로 형성된다. 예를 들어, 비자성층(142)은 루테튬(Ru), 로듐(Rh), 오스뮴(Os), 레늄(Re) 및 크롬(Cr)으로 이루어진 균으로부터 선택된 단독 또는 이들의 합금으로 형성될 수 있는데, 바람직하게는 루테튬(Ru)으로 형성될 수 있다. 한편, 제 2 자성층(143)이 단일 적층 구조, 즉 단일층으로 형성될 경우 제 1 자성층(141)의 두께도 줄일 수 있고, 그에 따라 전체적인 메모리 소자의 두께를 줄일 수 있다. 즉, 비자성층(142)을 중심으로 제 1 자성층(141)의 자화값과 제 2 자성층(143) 및 고정층(160)의 자화값의 합이 동일해야 한다. 그런데, 제 2 자성층(143)을 복수 적층 구조로 형성하는 경우 제 2 자성층(143) 및 고정층(160)의 자화값의 합과 제 1 자성층(141)의 자화값이 동일하도록 하기 위해 제 1 자성층(141)은 제 2 자성층(143)보다 반복 회수를 더 증가시켜 형성한다. 그러나, 본 발명은 제 2 자성층(143)을 단일 구조로 형성함으로써 제 1 자성층(141)의 적층 회수를 종래보다 줄일 수 있고, 그에 따라 메모리 소자의 전체적인 두께를 줄일 수 있다.

- [120] 분리층(150)은 합성 교환 반자성층(140) 상부에 형성된다. 분리층(150)이 형성됨으로써 합성 교환 반자성층(140)과 고정층(160)의 자화는 서로 독립적으로 발생된다. 또한, 분리층(150)은 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있는 물질로 형성된다. 이를 위해 분리층(150)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성될 수 있는데, 텅스텐(W)으로 형성될 수 있다. 이렇게 분리층(150)이 다결정 물질로 형성됨으로써 그 상부에 형성되는 고정층(160), 터널 배리어(170) 및 자유층(180)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, 다결정의 분리층(150)이 형성되면 그 상부에 형성되는 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 이후 수직 자기 이방성을 위해

열처리를 하게 되면 자기 터널 접합이 결정성이 종래보다 향상될 수 있다. 특히, W를 분리층(150)으로 이용하게 되면 400°C 이상, 예를 들어 400°C~500°C의 고온 열처리 후에 결정화됨으로써 터널 배리어(170) 안으로의 이종 물질의 확산을 억제하고 더 나아가 고정층(160) 및 자유층(180)을 결정화시켜 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다. 즉, 자기 터널 접합의 결정성이 향상되면 자기장을 인가했을 때 자화가 더 크게 발생되고, 평행 상태에서 자기 터널 접합을 통해 흐르는 전류가 더 많아진다. 따라서, 이러한 자기 터널 접합을 메모리 소자에 적용하면 소자의 동작 속도 및 신뢰성을 향상시킬 수 있다. 한편, 분리층(150)은 예를 들어 0.2nm~0.5nm의 두께로 형성될 수 있다. 여기서, 합성 교환 반자성층(140)의 제 2 자성층(143)과 고정층(160)이 페로커플링(ferro coupling)되어야 고정층(160)의 자화 방향이 고정되지만, W를 이용한 분리층(150)이 0.5nm를 초과하는 두께로 형성되면 분리층(150)의 두께 증가로 인하여 고정층(160)의 자화 방향이 고정되지 않고 자유층(180)과 동일한 자화 방향을 가져 MRAM 소자에서 필요한 동일 자화 방향 및 다른 자화 방향이 발생하지 않아 메모리로 동작하지 않는다.

- [121] 고정층(160)은 분리층(150) 상에 형성되고, 강자성체 물질로 형성된다. 고정층(160)은 소정 범위 내의 자기장에서 자화가 한 방향으로 고정되며, 강자성체 물질로 형성될 수 있다. 예를 들어, 상부에서 하부로 향하는 방향으로 자화가 고정될 수 있다. 이러한 고정층(160)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속(ferromagnetic metal)과 비자성 금속(nonmagnetic metal)이 교대로 적층된 다층 박막, L10형 결정 구조를 갖는 합금 또는 코발트계 합금 등의 강자성체 물질을 이용하여 형성할 수 있다. 풀-호이슬러 반금속 계열의 합금으로는 CoFeAl, CoFeAlSi 등이 있고, 비정질계 희토류 원소 합금으로는 TbFe, TbCo, TbFeCo, DyTbFeCo, GdTbCo 등의 합금이 있다. 또한, 비자성 금속과 자성 금속이 교대로 적층된 다층 박막으로는 Co/Pt, Co/Pd, CoCr/Pt, Co/Ru, Co/Os, Co/Au, Ni/Cu, CoFeAl/Pd, CoFeAl/Pt, CoFeB/Pd, CoFeB/Pt 등이 있다. 그리고, L10형 결정 구조를 갖는 합금으로는 Fe50Pt50, Fe50Pd50, Co50Pt50, Fe30Ni20Pt50, Co30Ni20Pt50 등이 있다. 또한, 코발트계 합금으로는 CoCr, CoPt, CoCrPt, CoCrTa, CoCrPtTa, CoCrNb, CoFeB 등이 있다. 이러한 물질들 중에서 CoFeB 단일층은 CoFeB와 Co/Pt 또는 Co/Pd의 다층 구조에 비해 두껍게 형성될 수 있어 자기 저항비를 증가시킬 수 있다. 또한, CoFeB는 Pt 또는 Pd 등과 같은 금속보다 식각이 용이하므로 CoFeB 단일층은 Pt 또는 Pd 등이 함유된 다층 구조에 비해 제조 공정이 용이하다. 뿐만 아니라 CoFeB는 두께를 조절함으로써 수직 자화 뿐만 아니라 수평 자화를 가질 수 있다. 따라서, 본 발명의 실시 예는 CoFeB 단일층을 이용하여 고정층(160)을 형성하며, CoFeB는 비정질로 형성된 후 열처리에 의해 BCC(100)으로 텍스처링(texturing)된다.

- [122] 터널 배리어(170)는 고정층(160) 상에 형성되어 고정층(160)과 자유층(180)을

분리한다. 터널 배리어(170)는 고정층(160)과 자유층(180) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다. 이러한 터널 배리어(170)는 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5), 실리콘 질화물(SiN_x) 또는 알루미늄 질화물(AlN_x) 등으로 형성될 수 있다. 본 발명의 실시 예에서는 터널 배리어(170)로 다결정의 마그네슘 산화물을 이용한다. 마그네슘 산화물은 이후 열처리에 의해 BCC(100)으로 텍스처링된다.

- [123] 자유층(180)은 터널 배리어(170) 상에 형성된다. 이러한 자유층(180)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 즉, 자유층(180)은 고정층(160)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다. 자기 터널 접합은 자유층(180)과 고정층(160)의 자화 배열에 따라 변하는 저항값에 '0' 또는 '1'의 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다. 예를 들어, 자유층(180)의 자화 방향이 고정층(160)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0'이라 규정할 수 있다. 또한, 자유층(180)의 자화 방향이 고정층(160)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다. 이러한 자유층(180)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속과 비자성 금속이 교대로 적층된 다층 박막 또는 L10형 결정 구조를 갖는 합금 등의 강자성체 물질로 형성될 수 있다. 한편, 자유층(180)은 제 1 자유층(181), 삽입층(182) 및 제 2 자유층(183)의 적층 구조로 형성될 수 있다. 즉, 자유층(180)은 삽입층(182)에 의해 상하 분리된 제 1 및 제 2 자유층(181, 183)의 구조로 형성될 수 있다. 여기서, 제 1 및 제 2 자유층(181, 183)은 동일 방향의 자화를 가질 수 있고, 서로 다른 방향의 자화를 가질 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 수직 자화를 각각 가질 수 있고, 제 1 자유층(181)이 수직 자화를 갖고 제 2 자유층(183)이 수평 자화를 가질 수 있다. 또한, 삽입층(182)은 자화를 갖지 않는 bcc 구조의 물질로 형성할 수 있다. 즉, 제 1 자유층(181)이 수직으로 자화되고, 삽입층(182)이 자화되지 않으며, 제 2 자유층(183)이 수직 또는 수평으로 자화될 수 있다. 이때, 제 1 및 제 2 자유층(181, 183)은 각각 CoFeB로 형성되며, 제 1 자유층(181)이 제 2 자유층(183)보다 얇거나 같은 두께로 형성될 수 있다. 또한, 삽입층(182)은 제 1 및 제 2 자유층(183)보다 얇은 두께로 형성될 수 있다. 예를 들어, 제 1 및 제 2 자유층(181, 183)은 CoFeB를 이용하여 0.5nm~1.5nm의 두께로 형성하고, 삽입층(182)은 bcc 구조의 물질, 예를 들어 W을 0.2nm~0.5nm의 두께로 형성할 수 있다.

- [124] 제 2 버퍼층(190)은 자유층(180) 상에 형성된다. 이러한 제 2 버퍼층(190)은 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5) 등으로 형성될 수 있다. 즉, 제 2 버퍼층(190)은 산화물로 형성될 수 있다. 본 발명의 실시 예에서는 제 2 버퍼층(190)로 다결정의 마그네슘

산화물을 이용한다. 이러한 제 2 버퍼층(190)은 자유층(180)이 수직 자기 특성을 갖도록 하기 위해 형성된다. 즉, 제 2 버퍼층(190)의 산소가 자유층(180)으로 확산하여 자유층(180) 내의 물질과 결합함으로써 자유층(180)이 수직 자기 특성을 갖도록 한다. 한편, 제 2 버퍼층(190)은 예를 들어, 0.8nm~1.2nm의 두께로 형성할 수 있다.

[125] 캐핑층(200)은 제 2 버퍼층(190) 상에 형성된다. 이러한 캐핑층(200)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성된다. 예를 들어, 캐핑층(200)은 텅스텐(W)으로 형성될 수 있다. 이렇게 캐핑층(210)이 다결정 물질로 형성됨으로써 그 하부의 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, bcc 구조의 분리층(150) 상에 비정질의 자기 터널 접합이 형성되면 비정질의 자기 터널 접합이 분리층(150)의 결정 방향을 따라 성장되고, 자기 터널 접합 상에 bcc 구조의 캐핑층(200)이 형성되어 이후 열처리를 하게 되면 자기 터널 접합의 결정성이 더욱 향상될 수 있다. 또한, 캐핑층(200)은 상부 전극(210)의 확산을 방지하는 역할을 한다. 이러한 캐핑층(200)은 예를 들어 1nm~6nm의 두께로 형성될 수 있다.

[126] 상부 전극(210)은 캐핑층(200) 상에 형성된다. 이러한 상부 전극(210)은 도전 물질을 이용하여 형성할 수 있는데, 금속, 금속 산화물, 금속 질화물 등으로 형성될 수 있다. 예를 들어, 상부 전극(210)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg) 및 알루미늄(Al)으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금으로 형성될 수 있다.

[127] 상기한 바와 같이 본 발명의 실시 예들에 따른 메모리 소자는 하부 전극(110)을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층(140)을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층(140)의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다. 또한, 본 발명은 분리층(150), 삽입층(182) 및 캐핑층(200)의 적어도 어느 하나, 바람직하게는 모두를 텅스텐 등의 bcc 구조의 물질을 이용하여 형성함으로써 약 400°C의 온도에서도 자기 터널 접합이 수직 자기 이방성을 유지할 수 있다. 즉, 상부 전극(210)을 형성한 후 약 400°C의 온도에서 패시베이션 공정 및 금속 배선 공정을 실시하는데, 탄탈륨(Ta)을 분리층 또는 캐핑층으로 이용하는 종래에는 이 온도에서 탄탈륨이 확산되어 자기 터널 접합의 수직 자기 이방성이 저하되었지만, 본 발명은 확산되지 않는 텅스텐으로 형성하여 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다.

[128] 도 13은 비교 예와 본 발명의 실시 예에 따른 이중 자유층을 갖는 자기 터널 접합의 격자 상수를 도시한 개략도이다. 즉, MgO 터널 배리어, CoFeB 제 1 자유층, 삽입층, CoFeB 제 2 자유층 및 MgO 버퍼층이 적층된 자기 터널 접합의 Ta를 삽입층으로 이용하는 비교 예(도 13(a))와 W를 삽입층으로 이용하는 실시

예(도 13(b))의 격자 상수를 도시한 개략도이다. 제 1 및 제 2 자유층 사이에 Ta를 삽입층으로 이용하는 비교 예의 경우 Ta의 격자 상수가 330pm이고 두개의 CoFeB 자유층의 격자 상수가 286pm로서, Ta 삽입층과 제 1 및 제 2 CoFeB 자유층 사이의 격자 구조 미스 매칭율은 -15.3% 및 13.3%이다. 그러나, 제 1 및 제 2 자유층 사이에 W를 삽입층으로 이용하는 실시 예의 경우 W의 격자 상수가 316pm으로, W 삽입층과 제 1 및 제 2 CoFeB 자유층 사이의 격자 구조 미스 매칭율이 -10.4% 및 9.5%이다. 즉, W는 Ta보다 CoFeB와의 격자 구조 미스 매칭율이 낮다. 격자 구조의 미스 매칭율이 낮을수록 확산이 덜 발생하므로 W를 삽입층으로 이용하는 실시 예는 Ta를 삽입층으로 이용하는 비교 예에 비해 삽입층 물질의 자유층으로의 확산이 덜 발생된다. 따라서, 격자 상수가 Ta보다 낮은 물질을 분리층, 삽입층 및 캐핑층으로 이용할 수 있는데, Ta보다 격자 상수가 작으며 bcc 물질이고 3d 전이 금속인 바나듐(302pm), 크롬(288pm), 몰리브덴(315pm) 등을 W를 대체하여 이용할 수도 있다. 즉, 격자 상수가 330pm 미만, 예를 들어 280pm 이상 330pm 미만이며 bcc 구조의 물질을 분리층, 삽입층 및 캐핑층 물질로서 이용할 수 있다.

[129] 도 14 및 도 15는 비교 예 및 본 발명의 실시 예에 따른 메모리 소자의 400°C 열처리 후의 수직 자기 이방성 특성을 도시한 도면이다. 즉, 기판 상에 하부 전극, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층되고, 자기 터널 접합의 자유층은 제 1 및 제 2 자유층 사이에 삽입층이 형성된 구조에 분리층, 삽입층 및 캐핑층을 각각 Ta로 형성한 비교 예에 따른 수직 자기 이방성 특성을 도 14에 도시하였고, 분리층, 삽입층 및 캐핑층을 각각 W로 형성한 수직 자기 이방성 특성을 도 15에 도시하였다. 도 14 및 도 15에 도시된 바와 같이 비교 예와 실시 예는 1.5[kOe] 이상(a 영역) 또는 -1.5[kOe] 이하의 영역(c 영역)에서 고정층과 합성 교환 반자성층의 수직 자기 특성은 거의 동일하다. 그러나, 터널 자기 저항비를 확보하기 위한 이중 자유층, 즉 이중 정보 저장층의 수직 자기 특성을 나타내는 -500[Oe] 내지 500[Oe] 영역(b 영역)에서는 비교 예 및 실시 예의 수직 자기 특성이 차이가 난다. 도 14에 도시된 바와 같이 Ta를 이용하는 비교 예의 경우 400°C 열처리 후 이중 자유층의 수직 자기 특성이 열화되어 정보 저장 역할을 할 수 없다. 그러나, 도 15에 도시된 바와 같이 W를 이용한 실시 예는 400°C의 열처리 후에도 W가 Ta보다 덜 확산되므로 이중 자유층의 수직 자기 특성이 열화되지 않는다.

[130] 도 16 및 도 17은 이중 자유층(b 영역)의 수직 자기 이방성 특성을 나타낸 도면이다. 즉, -500[Oe] 내지 500[Oe]에서의 이중 자유층, 즉 이중 정보 저장층의 수직 자기 특성이 나타난다. Ta를 사용한 비교 예의 경우도 도 16에 도시된 바와 같이 수직 특성을 나타내는 스퀘어니스(Squareness)가 나타나지 않으며 수직 자화량(magnetic momet)도 140μemu를 나타내어 400°C의 열처리 후에 낮은 MR비가 나타나는 것을 알 수 있다. 그러나, 도 17에 도시된 바와 같이 W를 이용한 실시 예의 경우 400°C의 열처리 후에도 거의 완벽한

스퀘어니스(Squareness)를 가지고 이중 자유층의 수직 자화율 값이 $165\mu\text{emu}$ 를 가지고 있어 높은 MR비가 나타났다. 한편, 일반적으로 단일 정보 저장층, 즉 단일 CoFeB 프리층의 자화율은 $80\sim 90\mu\text{emu}$ 정도이다.

- [131] 도 18은 비교 예 및 본 발명의 실시 예에 따른 이중 자유층 사이의 삽입층의 두께 변화에 따른 MR비를 나타낸 그래프이다. 즉, 비교 예에 따른 Ta 삽입층 및 실시 예에 따른 W 삽입층의 두께를 0.2nm 내지 0.7nm 까지 변화시키고 400°C 의 열처리 후에 MR비를 측정하였다. 비교 예는 Ta 삽입층의 두께가 0.4nm 내지 0.53nm 의 범위에서 98%의 MR비를 유지하였다. 그러나, 실시 예는 W 삽입층의 두께가 0.3nm 내지 0.53nm 의 범위에서 133%의 MR비를 유지하였다. 따라서, W를 분리층, 삽입층 및 캐핑층으로 이용할 경우 후속 400°C 의 공정에서도 자기 터널 접합이 열화되지 않음을 알수 있다. 또한, Ta 삽입층을 이용할 수 있는 두께가 0.3nm 내지 0.4nm 인 반면, W 삽입층을 사용할 경우 0.3nm 내지 0.5nm 로 약 두배의 두께 마진을 확보할 수 있다.
- [132] 이하에서는 도 19 내지 도 21을 참조하여 본 발명의 또 다른 실시 예에 따른 메모리 소자를 설명한다.
- [133] 도 19는 본 발명의 일 실시 예에 따른 메모리 소자의 단면도로서, STT-MRAM 소자의 단면도이다.
- [134] 도 19를 참조하면, 본 발명의 일 실시 예에 따른 메모리 소자는 기판(100) 상에 형성된 하부 전극(110), 제 1 버퍼층(120), 시드층(130), 합성 교환 반자성층(140), 제 2 버퍼층(150), 분리층(160), 고정층(170), 터널 배리어(180), 자유층(190), 제 2 버퍼층(200), 캐핑층(210) 및 상부 전극(220)을 포함한다. 여기서, 합성 교환 반자성층(140)은 자성층(141) 및 비자성층(142)의 적층 구조로 형성되며, 고정층(160), 터널 배리어(170) 및 자유층(180)은 자기 터널 접합을 이룬다. 즉, 본 발명에 따른 메모리 소자는 기판(100) 상에 합성 교환 반자성층(140)이 먼저 형성되고 그 상부에 자기 터널 접합이 형성된다.
- [135] 기판(100)은 반도체 기판을 이용할 수 있다. 예를 들어, 기판(100)은 실리콘 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 실리콘 산화막 기판 등을 이용할 수 있는데, 본 실시 예에서는 실리콘 기판을 이용한다. 또한, 기판(100) 상에는 트랜지스터를 포함하는 선택 소자가 형성될 수 있다. 한편, 기판(100) 상에는 절연층(미도시)이 형성될 수 있다. 즉, 절연층은 선택 소자 등의 소정의 구조물을 덮도록 형성될 수 있고, 절연층에는 선택 소자의 적어도 일부를 노출시키는 콘택홀이 형성될 수 있다. 이러한 절연층은 비정질 구조의 실리콘 산화막(SiO_2) 등을 이용하여 형성할 수 있다.
- [136] 하부 전극(110)은 기판(100) 상에 형성된다. 이러한 하부 전극(110)은 금속, 금속 질화물 등의 도전 물질을 이용하여 형성될 수 있다. 또한, 본 발명의 하부 전극(110)은 적어도 하나의 층으로 형성될 수 있다. 즉, 하부 전극(110)은 단일층으로 형성될 수도 있고, 둘 이상의 복수의 층으로 형성될 수도 있다. 하부 전극(110)이 단일층으로 형성되는 경우 예를 들어 티타늄 질화막(TiN) 등의 금속

질화물로 형성될 수 있다. 또한, 하부 전극(110)은 예를 들어 제 1 및 제 2 하부 전극의 이중 구조로 형성될 수 있다. 여기서, 제 1 하부 전극은 기판(100) 상에 형성될 수 있고, 제 2 하부 전극은 제 1 하부 전극 상에 형성될 수 있다. 한편, 기판(100) 상에 절연층이 형성되는 경우 제 1 하부 전극은 절연층 상에 형성될 수 있고, 절연층 내부에 형성될 수 있으며, 그에 따라 기판(100) 상에 형성된 선택 소자와 연결될 수도 있다. 이러한 하부 전극(110)은 다결정(polycrystal)의 도전 물질로 형성될 수 있다. 즉, 제 1 및 제 2 하부 전극은 bcc 구조의 도전 물질로 형성될 수 있다. 예를 들어, 제 1 하부 전극은 텅스텐(W) 등의 금속으로 형성될 수 있고, 제 2 하부 전극은 티타늄 질화막(TiN) 등의 금속 질화물로 형성될 수 있다.

[137] 제 1 버퍼층(120)은 하부 전극(110) 상부에 형성된다. 제 1 버퍼층(120)은 하부 전극(110)과 시드층(130)의 격자 상수 불일치를 해소하기 위해 하부 전극(110)과 정합성이 우수한 물질로 형성할 수 있다. 예를 들어, 하부 전극(110) 또는 제 2 하부 전극이 TiN으로 형성되는 경우 제 1 버퍼층(120)은 TiN과 격자 정합성이 우수한 탄탈륨(Ta)을 이용하여 형성할 수 있다. 여기서, Ta는 비정질이지만, 하부 전극(110)이 다결정이기 때문에 비정질의 제 1 버퍼층(120)은 다결정의 하부 전극(110)의 결정 방향을 따라 성장될 수 있고, 이후 열처리에 의해 결정성이 향상될 수 있다. 한편, 제 1 버퍼층(120)은 예를 들어 2nm~10nm의 두께로 형성될 수 있다.

[138] 시드층(130)은 제 1 버퍼층(120) 상에 형성된다. 시드층(130)은 합성 교환 반자성층(140)이 결정 성장할 수 있도록 하는 물질로 형성될 수 있다. 즉, 시드층(130)은 합성 교환 반자성층(140)의 제 1 및 제 2 자성층(141, 143)이 원하는 결정 방향으로 성장할 수 있도록 한다. 예를 들어, 면심 입방 격자(Face Centered Cubic: FCC)의 (111) 방향 또는 육방 밀집 구조(Hexagonal Close-Packed Structure: HCP)의 (001) 방향으로 결정의 성장을 용이하게 하는 금속으로 형성될 수 있다. 이러한 시드층(130)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함할 수 있다. 바람직하게, 시드층(130)은 백금(Pt)으로 형성될 수 있고, 1nm~3nm의 두께로 형성될 수 있다.

[139] 합성 교환 반자성층(140)은 시드층(130) 상에 형성된다. 합성 교환 반자성층(140)은 고정층(160)의 자화를 고정시키는 역할을 한다. 합성 교환 반자성층(140)은 자성층(141) 및 비자성층(142)을 포함한다. 즉, 본 발명의 합성 교환 반자성층은 각각 하나의 자성층 및 비자성층을 포함한다. 이때, 자성층(141)은 FCC(111) 방향 또는 HCP(001) 방향의 결정을 가질 수 있다. 또한, 자성층(141)은 상측 방향(즉, 상부 전극(220) 방향) 또는 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 자성층(141)은 자성 금속과 비자성 금속이 교대로 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh),

루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 자성층(141)은 $[\text{Co}/\text{Pd}]_n$, $[\text{Co}/\text{Pt}]_n$ 또는 $[\text{CoFe}/\text{Pt}]_n$ (여기서, n 은 1 이상의 정수)로 형성될 수 있다. 즉, 자성층(141)은 자성 금속과 비자성 금속이 복수회 반복 적층된 구조로 형성될 수 있다. 예를 들어, 자성층(141)은 Co 및 Pt가 3회 반복 적층된 $[\text{Co}/\text{Pt}]_3$ 으로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 비자성층(142)은 비자성 물질로 형성될 수 있는데, 예를 들어 루테튬(Ru), 로듐(Rh), 오스뮴(Os), 레늄(Re) 및 크롬(Cr)으로 이루어진 군으로부터 선택된 단독 또는 이들의 합금으로 형성될 수 있는데, 바람직하게는 루테튬(Ru)으로 형성될 수 있다. 예를 들어, 비자성층(141)은 Co/Ru/Co의 구조로 형성될 수 있다. 이렇게 자성층(141)이 하나 형성되어 합성 교환 반자성층(140)을 형성함으로써 합성 교환 반자성층(140)의 두께를 줄일 수 있고, 그에 따라 전체적인 메모리 소자의 두께를 줄일 수 있다.

- [140] 제 2 버퍼층(150)은 합성 교환 반자성층(140) 상에 형성된다. 즉, 제 2 버퍼층(150)은 비자성층(142) 상에 형성된다. 이러한 제 2 버퍼층(150)은 단일층 구조의 자성층으로 형성될 수 있다. 또한, 제 2 버퍼층(150)은 FCC(111) 방향 또는 HCP(001) 방향의 결정을 가질 수 있다. 따라서, 제 2 버퍼층(150)은 비자성층(142)을 매개로 합성 교환 반자성층(140)의 자성층(141)과 반강자성적으로 결합된다. 또한, 자성층(141)과 제 2 버퍼층(150)은 자화 방향이 반평행하게 배열되는데, 예를 들어 자성층(141)은 상측 방향(즉, 상부 전극(220) 방향)으로 자화되고, 제 2 버퍼층(150)은 하측 방향(즉, 기판(100) 방향)으로 자화될 수 있다. 이와 반대로, 자성층(141)은 하측 방향으로 자화되고, 제 2 버퍼층(150)은 상측 방향으로 자화될 수도 있다. 이러한 제 2 버퍼층(150)은 자성 금속과 비자성 금속이 한번 적층된 구조로 형성될 수 있다. 자성 금속으로 철(Fe), 코발트(Co) 및 니켈(Ni) 등으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있고, 비자성 금속으로 크롬(Cr), 백금(Pt), 팔라듐(Pd), 이리듐(Ir), 로듐(Rh), 루테튬(Ru), 오스뮴(Os), 레늄(Re), 금(Au) 및 구리(Cu)로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금이 이용될 수 있다. 예를 들어, 제 2 버퍼층(150)은 Co/Pd, Co/Pt 또는 CoFe/Pt로 형성될 수 있다. 즉, 제 2 버퍼층(150)은 자성 금속과 비자성 금속이 한번 적층된, 즉 단일 적층 구조로 형성될 수 있다. 이때, Co는 예를 들어 0.3nm~0.5nm의 두께로 형성될 수 있고, Pt는 Co보다 얇거나 같은 두께, 예를 들어 0.2nm~0.4nm의 두께로 형성될 수 있다. 여기서, 비자성층(142)를 중심으로 자성층(141)의 자화값과 제 2 버퍼층(150) 및 고정층(170)의 자화값의 합이 동일해야 한다.

- [141] 분리층(160)은 제 2 버퍼층(150) 상부에 형성된다. 분리층(160)이 형성됨으로써 합성 교환 반자성층(140)과 고정층(170)의 자화는 서로 독립적으로 발생된다. 또한, 분리층(160)은 고정층(170), 터널 배리어(180) 및 자유층(190)을 포함하는

자기 터널 접합의 결정성을 향상시킬 수 있는 물질로 형성된다. 이를 위해 분리층(160)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성될 수 있는데, 텅스텐(W)으로 형성될 수 있다. 이렇게 분리층(160)이 다결정 물질로 형성됨으로써 그 상부에 형성되는 고정층(170), 터널 배리어(180) 및 자유층(190)을 포함하는 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, 다결정의 분리층(160)이 형성되면 그 상부에 형성되는 비정질의 자기 터널 접합이 분리층(160)의 결정 방향을 따라 성장되고, 이후 수직 자기 이방성을 위해 열처리를 하게 되면 자기 터널 접합이 결정성이 종래보다 향상될 수 있다. 특히, W를 분리층(160)으로 이용하게 되면 400°C 이상, 예를 들어 400°C~500°C의 고온 열처리 후에 결정화됨으로써 터널 배리어(180) 안으로의 이종 물질의 확산을 억제하고 더 나아가 고정층(170) 및 자유층(190)을 결정화시켜 자기 터널 접합의 수직 자기 이방성을 유지할 수 있다. 즉, 자기 터널 접합의 결정성이 향상되면 자기장을 인가했을 때 자화가 더 크게 발생되고, 평행 상태에서 자기 터널 접합을 통해 흐르는 전류가 더 많아진다. 따라서, 이러한 자기 터널 접합을 메모리 소자에 적용하면 소자의 동작 속도 및 신뢰성을 향상시킬 수 있다. 한편, 분리층(160)은 예를 들어 0.2nm~0.5nm의 두께로 형성될 수 있다. 여기서, 합성 교환 반자성층(140)과 고정층(170)이 페로커플링(ferro coupling)되어야 고정층(170)의 자화 방향이 고정되지만, W를 이용한 분리층(160)이 0.5nm를 초과하는 두께로 형성되면 분리층(160)의 두께 증가로 인하여 고정층(170)의 자화 방향이 고정되지 않고 자유층(190)과 동일한 자화 방향을 가져 MRAM 소자에서 필요한 동일 자화 방향 및 다른 자화 방향이 발생하지 않아 메모리로 동작하지 않는다.

- [142] 고정층(170)은 분리층(160) 상에 형성되고, 강자성체 물질로 형성된다. 고정층(170)은 소정 범위 내의 자기장에서 자화가 한 방향으로 고정되며, 강자성체 물질로 형성될 수 있다. 예를 들어, 상부에서 하부로 향하는 방향으로 자화가 고정될 수 있다. 이러한 고정층(170)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속(ferromagnetic metal)과 비자성 금속(nonmagnetic metal)이 교대로 적층된 다층 박막, L10형 결정 구조를 갖는 합금 또는 코발트계 합금 등의 강자성체 물질을 이용하여 형성할 수 있다. 풀-호이슬러 반금속 계열의 합금으로는 CoFeAl, CoFeAlSi 등이 있고, 비정질계 희토류 원소 합금으로는 TbFe, TbCo, TbFeCo, DyTbFeCo, GdTbCo 등의 합금이 있다. 또한, 비자성 금속과 자성 금속이 교대로 적층된 다층 박막으로는 Co/Pt, Co/Pd, CoCr/Pt, Co/Ru, Co/Os, Co/Au, Ni/Cu, CoFeAl/Pd, CoFeAl/Pt, CoFeB/Pd, CoFeB/Pt 등이 있다. 그리고, L10형 결정 구조를 갖는 합금으로는 Fe₅₀Pt₅₀, Fe₅₀Pd₅₀, Co₅₀Pt₅₀, Fe₃₀Ni₂₀Pt₅₀, Co₃₀Ni₂₀Pt₅₀ 등이 있다. 또한, 코발트계 합금으로는 CoCr, CoPt, CoCrPt, CoCrTa, CoCrPtTa, CoCrNb, CoFeB 등이 있다. 이러한 물질들 중에서 CoFeB 단일층은 CoFeB와 Co/Pt 또는 Co/Pd의 다층 구조에 비해 두껍게 형성될 수 있어

자기 저항비를 증가시킬 수 있다. 또한, CoFeB는 Pt 또는 Pd 등과 같은 금속보다 식각이 용이하므로 CoFeB 단일층은 Pt 또는 Pd 등이 함유된 다층 구조에 비해 제조 공정이 용이하다. 뿐만 아니라 CoFeB는 두께를 조절함으로써 수직 자화 뿐만 아니라 수평 자화를 가질 수 있다. 따라서, 본 발명의 실시 예는 CoFeB 단일층을 이용하여 고정층(170)을 형성하며, CoFeB는 비정질로 형성된 후 열처리에 의해 BCC(100)으로 텍스처링(texturing)된다.

[143] 터널 배리어(180)는 고정층(170) 상에 형성되어 고정층(170)과 자유층(190)을 분리한다. 터널 배리어(180)는 고정층(170)과 자유층(190) 사이에 양자 기계적 터널링(quantum mechanical tunneling)이 가능하게 한다. 이러한 터널 배리어(180)는 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5), 실리콘 질화물(SiN_x) 또는 알루미늄 질화물(AlN_x) 등으로 형성될 수 있다. 본 발명의 실시 예에서는 터널 배리어(180)로 다결정의 마그네슘 산화물을 이용한다. 마그네슘 산화물은 이후 열처리에 의해 BCC(100)으로 텍스처링된다.

[144] 자유층(190)은 터널 배리어(180) 상에 형성된다. 이러한 자유층(180)은 자화가 한 방향으로 고정되지 않고 일 방향에서 이와 대향되는 타 방향으로 변화될 수 있다. 즉, 자유층(190)은 고정층(170)과 자화 방향이 동일(즉 평행)할 수 있고, 반대(즉 반평행)일 수도 있다. 자기 터널 접합은 자유층(190)과 고정층(170)의 자화 배열에 따라 변하는 저항값에 '0' 또는 '1'의 정보를 대응시킴으로써 메모리 소자로 활용될 수 있다. 예를 들어, 자유층(190)의 자화 방향이 고정층(170)과 평행일 때, 자기 터널 접합의 저항값은 작아지고, 이 경우를 데이터 '0'이라 규정할 수 있다. 또한, 자유층(190)의 자화 방향이 고정층(170)과 반평행일 때, 자기 터널 접합의 저항값은 커지고, 이 경우를 데이터 '1'이라 규정할 수 있다. 이러한 자유층(190)은 예를 들어 풀-호이슬러(Full-Heusler) 반금속 계열의 합금, 비정질계 희토류 원소 합금, 자성 금속과 비자성 금속이 교대로 적층된 다층 박막 또는 L10형 결정 구조를 갖는 합금 등의 강자성체 물질로 형성될 수 있다. 한편, 자유층(190)은 제 1 자유층(191), 삽입층(192) 및 제 2 자유층(193)의 적층 구조로 형성될 수 있다. 즉, 자유층(190)은 삽입층(192)에 의해 상하 분리된 제 1 및 제 2 자유층(191, 193)의 구조로 형성될 수 있다. 여기서, 제 1 및 제 2 자유층(191, 193)은 동일 방향의 자화를 가질 수 있고, 서로 다른 방향의 자화를 가질 수 있다. 예를 들어, 제 1 및 제 2 자유층(191, 193)은 수직 자화를 각각 가질 수 있고, 제 1 자유층(191)이 수직 자화를 갖고 제 2 자유층(193)이 수평 자화를 가질 수 있다. 또한, 삽입층(192)은 자화를 갖지 않는 bcc 구조의 물질로 형성할 수 있다. 즉, 제 1 자유층(191)이 수직으로 자화되고, 삽입층(192)이 자화되지 않으며, 제 2 자유층(193)이 수직 또는 수평으로 자화될 수 있다. 이때, 제 1 및 제 2 자유층(191, 193)은 각각 CoFeB로 형성되며, 제 1 자유층(191)이 제 2 자유층(193)보다 얇거나 같은 두께로 형성될 수 있다. 또한, 삽입층(192)은 제 1 및 제 2 자유층(193)보다 얇은 두께로 형성될 수 있다. 예를 들어, 제 1 및 제 2

자유층(191, 193)은 CoFeB를 이용하여 0.5nm~1.5nm의 두께로 형성하고, 삽입층(192)은 bcc 구조의 물질, 예를 들어 W을 0.2nm~0.5nm의 두께로 형성할 수 있다.

- [145] 제 3 버퍼층(200)은 자유층(190) 상에 형성된다. 이러한 제 3 버퍼층(200)은 마그네슘 산화물(MgO), 알루미늄 산화물(Al_2O_3), 실리콘 산화물(SiO_2), 탄탈륨산화물(Ta_2O_5) 등으로 형성될 수 있다. 즉, 제 3 버퍼층(200)은 산화물로 형성될 수 있다. 본 발명의 실시 예에서는 제 3 버퍼층(200)로 다결정의 마그네슘 산화물을 이용한다. 이러한 제 3 버퍼층(200)은 자유층(190)이 수직 자기 특성을 갖도록 하기 위해 형성된다. 즉, 제 3 버퍼층(200)의 산소가 자유층(190)으로 확산하여 자유층(190) 내의 물질과 결합함으로써 자유층(190)이 수직 자기 특성을 갖도록 한다. 한편, 제 3 버퍼층(200)은 예를 들어, 0.8nm~1.2nm의 두께로 형성할 수 있다.
- [146] 캐핑층(210)은 제 3 버퍼층(200) 상에 형성된다. 이러한 캐핑층(210)은 다결정 물질, 예를 들어 bcc 구조의 도전 물질로 형성된다. 예를 들어, 캐핑층(210)은 텅스텐(W)으로 형성될 수 있다. 이렇게 캐핑층(210)이 다결정 물질로 형성됨으로써 그 하부의 자기 터널 접합의 결정성을 향상시킬 수 있다. 즉, bcc 구조의 분리층(160) 상에 비정질의 자기 터널 접합이 형성되면 비정질의 자기 터널 접합이 분리층(160)의 결정 방향을 따라 성장되고, 자기 터널 접합 상에 bcc 구조의 캐핑층(210)이 형성되어 이후 열처리를 하게 되면 자기 터널 접합의 결정성이 더욱 향상될 수 있다. 또한, 캐핑층(210)은 상부 전극(220)의 확산을 방지하는 역할을 한다. 이러한 캐핑층(210)은 예를 들어 1nm~6nm의 두께로 형성될 수 있다.
- [147] 상부 전극(220)은 캐핑층(210) 상에 형성된다. 이러한 상부 전극(220)은 도전 물질을 이용하여 형성할 수 있는데, 금속, 금속 산화물, 금속 질화물 등으로 형성될 수 있다. 예를 들어, 상부 전극(220)은 탄탈륨(Ta), 루테튬(Ru), 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg) 및 알루미늄(Al)으로 이루어진 군으로부터 선택된 단일 금속 또는 이들의 합금으로 형성될 수 있다.
- [148] 상기한 바와 같이 본 발명의 실시 예들에 따른 메모리 소자는 하부 전극(110)을 다결정 물질로 형성하고, 그 상부에 합성 교환 반자성층(140)을 형성한 후 자기 터널 접합을 형성한다. 따라서, 합성 교환 반자성층(140)의 fcc(111) 구조가 자기 터널 접합으로 확산되지 않으므로 자기 터널 접합의 bcc(100) 결정을 보존할 수 있고, 그에 따라 자기 터널 접합의 자화 방향이 급격하게 변화시킬 수 있어 메모리의 동작 속도를 향상시킬 수 있다. 또한, 합성 교환 반자성층(140)을 자성층(141)과 비자성층(142)의 구조로 형성함으로써 합성 교환 반자성층(140)의 두께를 줄여 전체 메모리 소자의 두께를 줄일 수 있다. 즉, 합성 교환 반자성층(140)이 종래에는 두개의 자성층 사이에 비자성층의 구조로 형성된 반면, 본 발명은 하나의 자성층과 하나의 비자성층으로 형성된다. 따라서, 후속 식각 공정 등에서 시간을 단축할 수 있으며, 식각 후 소자의 가로 및

세로 비율이 낮아져 안정적인 공정이 가능하게 된다. 또한, 희토류 물질 등 합성 교환 반자성층(140)을 형성하기 위해 재료의 사용량을 줄여 공정 단가를 줄일 수 있다.

[149] 도 20은 분리층 두께에 따른 비교 예 및 본 발명의 실시 예의 자기 저항(Magnetic Resistance; MR)비를 도시한 도면이다. 즉, 기판으로부터 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 이중 구조의 자유층을 구비하는 자기 터널 접합, 캐핑층 및 상부 전극을 적층 형성하고, 비교 예는 합성 교환 반자성층을 제 1 자성층, 비자성층 및 제 2 자성층의 구조로 형성하였으며, 실시 예는 합성 교환 반자성층이 자성층 및 비자성층의 구조로 형성하였다. 또한, 비교 예는 제 1 자성층을 [Co/Pt]6으로 형성하고 제 2 자성층을 [Co/Pt]3으로 형성하였으며, 실시 예는 자성층을 [Co/Pt]3으로 형성하였다. 또한, 실시 예는 합성 교환 반자성층과 분리층 사이에 Co/Pt로 버퍼층을 형성하였다. 그리고, 분리층은 W를 이용하여 형성하였으며, 0.1nm 내지 0.5nm로 두께를 변화시켰다. 도 20에 도시된 바와 같이 비교 예(A)는 분리층이 0.2nm 내지 0.3nm의 두께에서 자기 저항비가 160% 정도로 최대로 나타난다. 그런데, 실시 예는(B) 분리층이 0.2nm 내지 0.3nm의 두께에서 자기 저항비가 179% 정도로 최대로 나타난다. 따라서, 본 발명의 실시 예는 비교 예에 비해 자기 저항비가 20% 정도 높은 것을 알 수 있다. 이는 합성 교환 반자성층의 두께가 줄어들어 따라 자기 터널 접합으로 확산되는 금속의 양도 줄어들기 때문이다.

[150] 도 21은 합성 교환 반자성층의 위치와 분리층의 두께에 따른 터널 자기 저항비를 나타낸 도면이다. 즉, 각각 하나의 자성층 및 비자성층을 구비하는 합성 교환 반자성층이 터널 자기 접합의 상측에 위치하는 경우(실시 예 1)와 터널 자기 접합의 하측에 위치하는 경우(실시 예 2)의 자기 저항비를 나타내었다. 실시 예 1은 기판 상에 하부 전극, 시드층, 이중 자유층을 구비하는 터널 자기 접합, 분리층, 본 발명에 따른 합성 교환 반자성층, 캐핑층 및 상부 전극을 적층 형성하였고, 실시 예 2는 기판 상에 하부 전극, 시드층, 본 발명에 따른 합성 교환 반자성층, 분리층, 이중 자유층을 구비하는 터널 자기 접합, 캐핑층 및 상부 전극을 적층 형성하였다. 도 21에 도시된 바와 같이 실시 예 1(C)의 경우 분리층이 0.55nm의 두께에서 자기 저항비가 158% 정도로 최대로 나타난다. 그런데, 실시 예 2(D)는 분리층이 0.2nm 내지 0.3nm의 두께에서 자기 저항비가 179% 정도로 최대로 나타난다. 따라서, 본 발명의 실시 예 2는 비교 예 2에 비해 자기 저항비가 20% 정도 높은 것을 알 수 있다. 이는 합성 교환 반자성층이 자기 터널 접합의 상측에 형성될 경우 합성 교환 반자성층의 물질이 자기 터널 접합으로 확산되지만, 합성 교환 반자성층이 자기 터널 접합 하측에 형성될 경우 합성 교환 반자성층의 물질이 자기 터널 접합으로 확산되지 않기 때문이다.

[151] 한편, 본 발명의 기술적 사상은 상기 실시 예에 따라 구체적으로 기술되었으나, 상기 실시 예는 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주지해야 한다. 또한, 본 발명의 기술분야에서 당업자는 본 발명의 기술 사상의 범위

내에서 다양한 실시 예가 가능함을 이해할 수 있을 것이다.

청구범위

- [청구항 1] 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며,
상기 자기 터널 접합과 캐핑층 사이에 확산 배리어가 형성된 메모리 소자.
- [청구항 2] 제1항에 있어서,
상기 자기 터널 접합과 상기 확산 배리어 사이에 형성된 산화물층을 더 포함하는 메모리 소자.
- [청구항 3] 제1항 또는 제2항에 있어서,
상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층이 적층되고,
상기 자유층은 제 1 자화층, 자화를 갖지 않는 삽입층 및 제 2 자화층을 포함하는 메모리 소자.
- [청구항 4] 제3항에 있어서,
상기 자유층은 수직 자기 이방성을 가지는 메모리 소자.
- [청구항 5] 제3항에 있어서,
상기 캐핑층은 bcc 구조를 갖는 물질로 형성된 메모리 소자.
- [청구항 6] 제5항에 있어서,
상기 캐핑층은 텅스텐(W)을 포함하는 물질로 형성된 메모리 소자.
- [청구항 7] 제6항에 있어서,
상기 확산 배리어는 상기 캐핑층 물질보다 원자 사이즈가 작은 물질로 형성된 메모리 소자.
- [청구항 8] 제7항에 있어서,
상기 확산 배리어는 철(Fe), 크롬(Cr), 몰리브덴(Mo), 바나듐(V) 중 적어도 하나로 형성된 메모리 소자.
- [청구항 9] 제8항에 있어서,
상기 확산 배리어는 0.1nm 내지 0.7nm의 두께로 형성된 메모리 소자.
- [청구항 10] 기판 상에 하부 전극, 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합, 캐핑층 및 상부 전극이 적층 형성되며,
상기 시드층은 상기 합성 교환 반자성층이 fcc(111) 방향으로 성장되도록 하는 물질로 형성된 메모리 소자.
- [청구항 11] 제10항에 있어서,
상기 시드층은 티타늄(Ti), 팔라듐(Pd), 백금(Pt), 마그네슘(Mg), 코발트(Co), 알루미늄(Al) 및 텅스텐(W)으로 이루어진 군으로부터 선택된 금속 또는 이들의 합금을 포함하는 메모리 소자.
- [청구항 12] 제10항에 있어서,
상기 시드층은 2nm 내지 6nm 두께의 백금(Pt)으로 형성된 메모리 소자.
- [청구항 13] 제12항에 있어서,
상기 백금의 두께에 따라 자기 저항비가 60% 내지 140%인 메모리 소자.

- [청구항 14] 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며,
상기 자기 터널 접합은 두개의 자유층 사이에 형성된 삽입층을 포함하고,
상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 bcc 구조의 물질로 형성된 메모리 소자.
- [청구항 15] 제14항에 있어서,
상기 합성 교환 반자성층 상에 자기 터널 접합이 형성된 메모리 소자.
- [청구항 16] 제15항에 있어서,
상기 자기 터널 접합과 캐핑층 사이에 형성된 산화물층을 더 포함하는 메모리 소자.
- [청구항 17] 제15항 또는 제16항에 있어서,
상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 격자 상수가 330pm 미만의 물질로 형성된 메모리 소자.
- [청구항 18] 제17항에 있어서,
상기 분리층, 삽입층 및 캐핑층의 적어도 하나는 텅스텐(W), 바나듐(V), 크롬(Cr), 몰리브덴(Mo) 중 적어도 하나로 형성된 메모리 소자.
- [청구항 19] 제18항에 있어서,
상기 캐핑층은 상기 분리층 및 삽입층보다 두껍게 형성되고, 상기 분리층 및 삽입층은 서로 같거나 다른 두께로 형성된 메모리 소자.
- [청구항 20] 제19항에 있어서,
상기 캐핑층은 1nm 내지 6nm의 두께로 형성되고, 상기 분리층 및 삽입층은 0.2nm 내지 0.5nm의 두께로 형성된 메모리 소자.
- [청구항 21] 두개의 전극 사이에 시드층, 합성 교환 반자성층, 분리층, 자기 터널 접합 및 캐핑층이 적층 형성되며,
상기 합성 교환 반자성층은 각각 하나의 자성층 및 비자성층을 구비하는 메모리 소자.
- [청구항 22] 제21항에 있어서,
상기 합성 교환 반자성층 상에 자기 터널 접합이 형성되고,
상기 합성 교환 반자성층과 상기 분리층 사이에 마련된 버퍼층을 더 포함하는 메모리 소자.
- [청구항 23] 제22항에 있어서,
상기 버퍼층은 단일층이 자성 물질로 형성되며, 상기 합성 교환 반자성층의 상기 자성층보다 얇게 형성된 메모리 소자.
- [청구항 24] 제22항에 있어서,
상기 자기 터널 접합과 캐핑층 사이에 형성된 산화물층을 더 포함하는 메모리 소자.
- [청구항 25] 제21항 또는 제22항에 있어서,
상기 자기 터널 접합은 고정층, 터널 배리어 및 자유층을 포함하고,

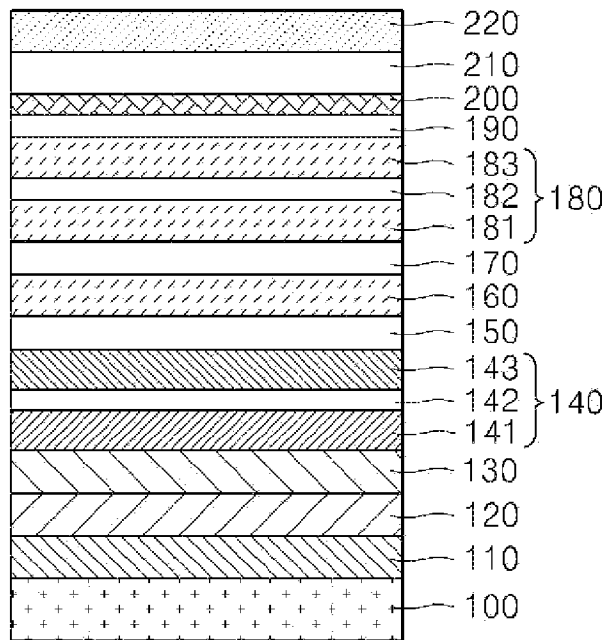
상기 자유층은 제 1 및 제 2 자유층과, 이들 사이에 형성된 삽입층을 포함하며,

상기 제 1 및 제 2 자유층은 CoFeB를 포함하는 물질로 형성되고, 상기 제 1 자유층이 제 2 자유층보다 얇거나 같은 두께로 형성된 메모리 소자.

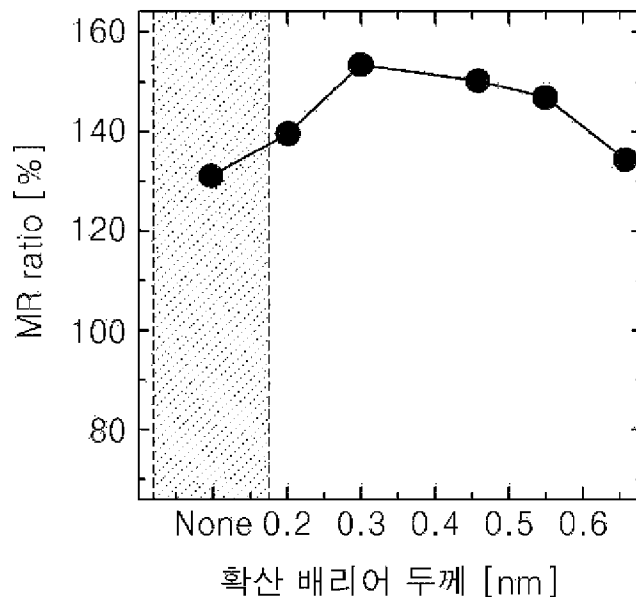
[청구항 26] 제21항에 있어서,

상기 분리층은 bcc 구조의 물질로 형성되고, 0.1nm 내지 0.5nm의 두께로 형성된 메모리 소자.

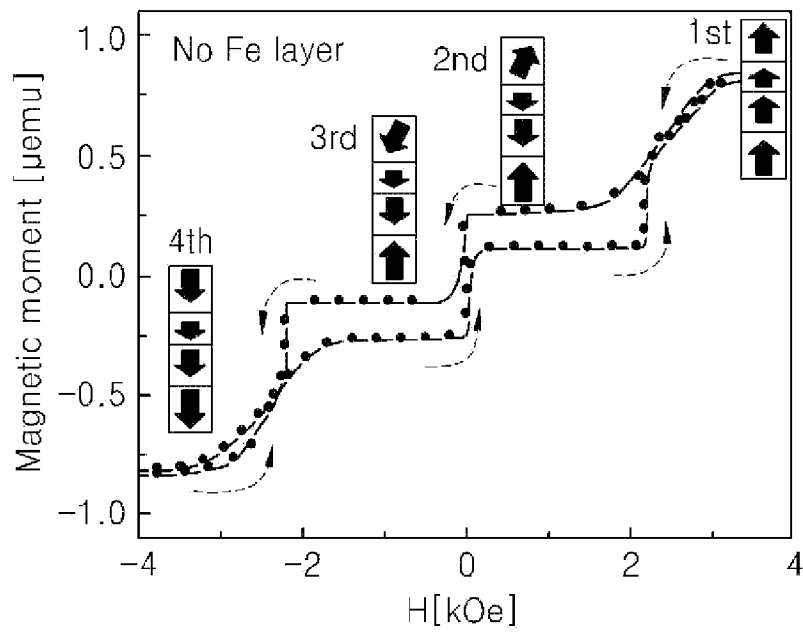
[도1]



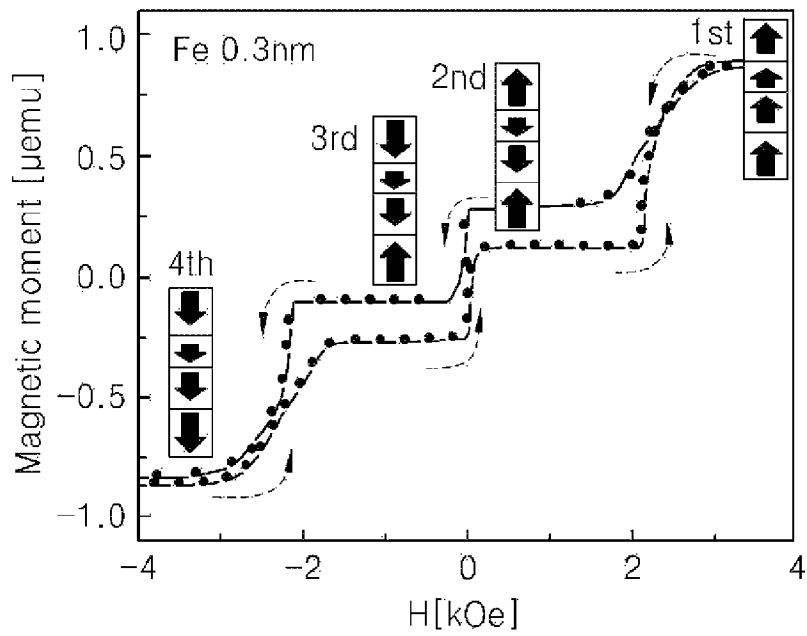
[도2]



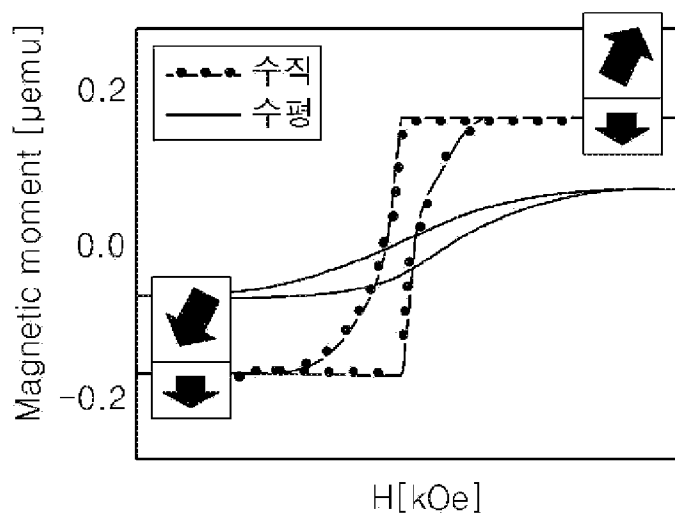
[도3a]



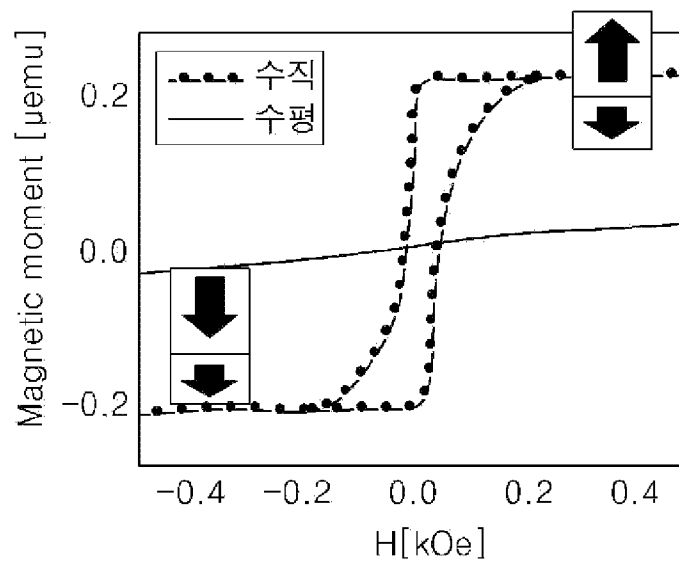
[도3b]



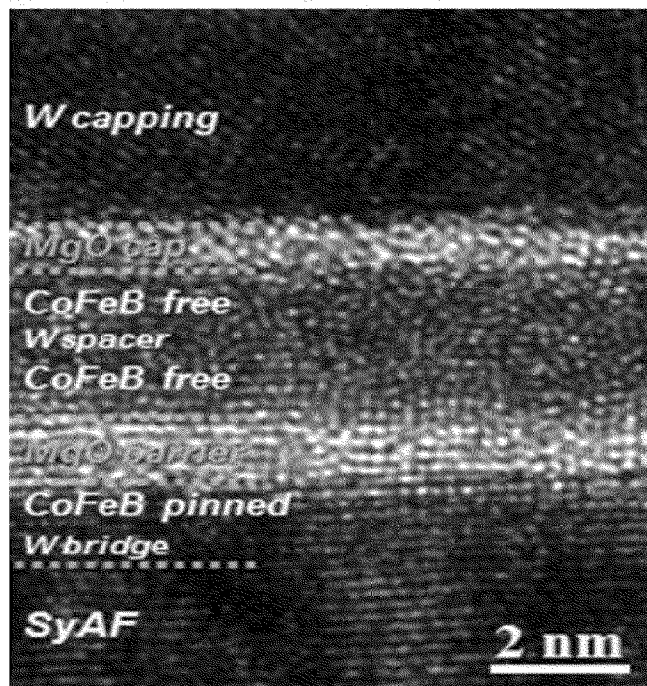
[도4a]



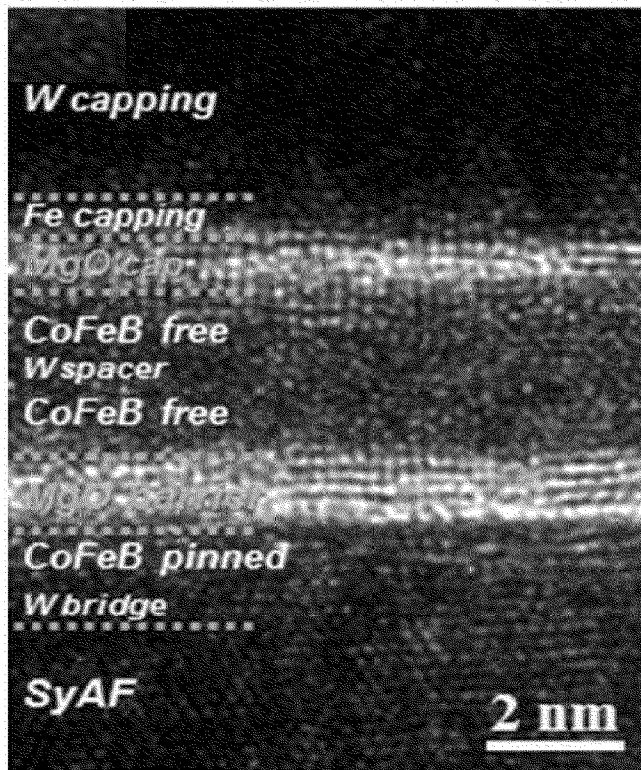
[도4b]



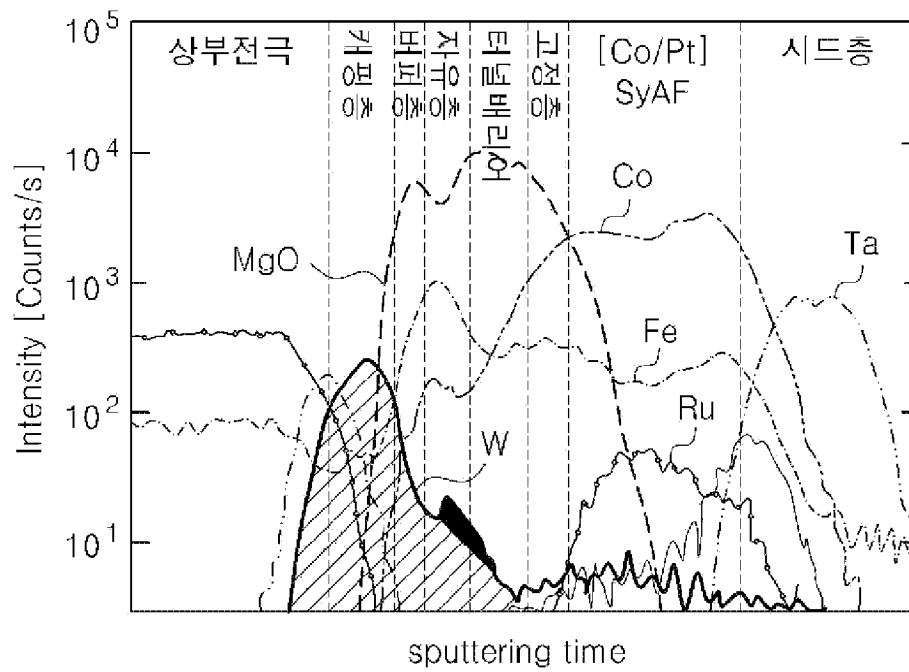
[도5]

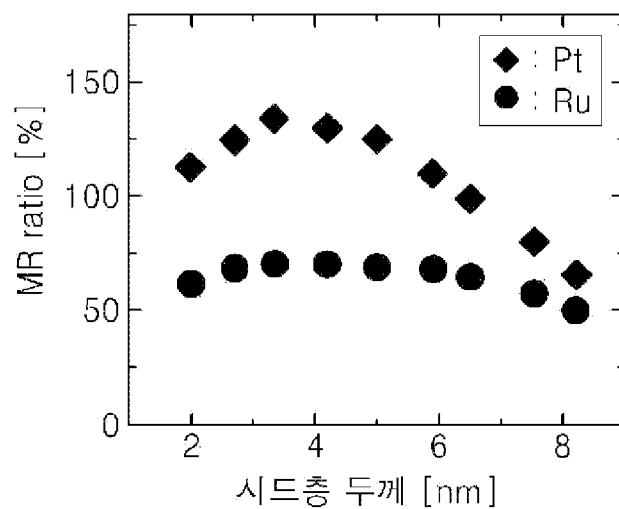
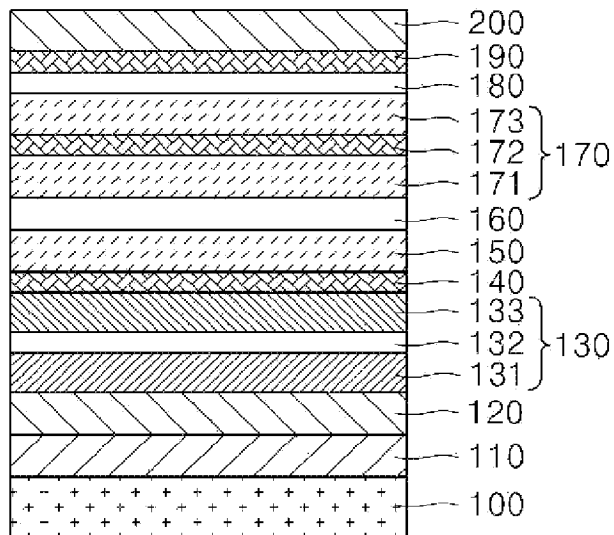
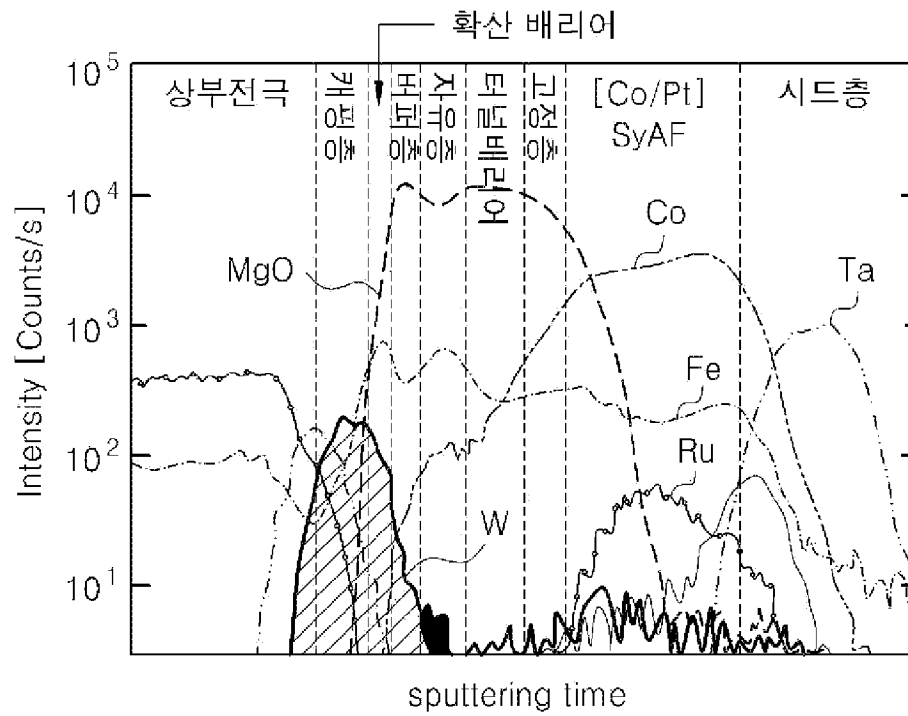


[도6]

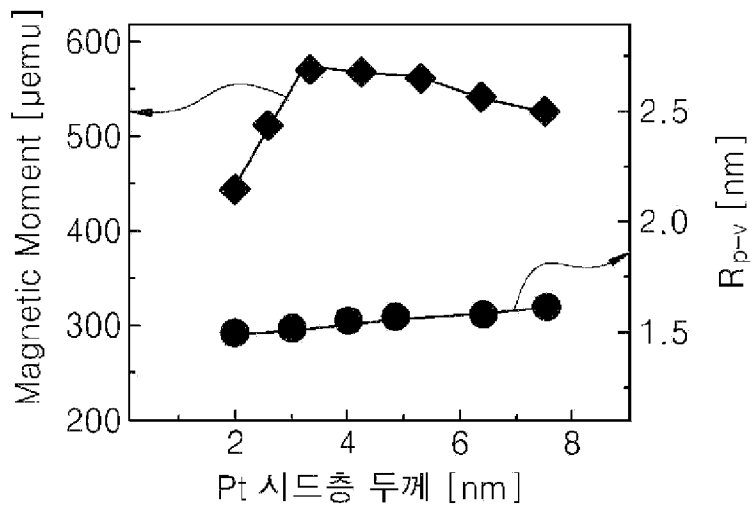


[도7]

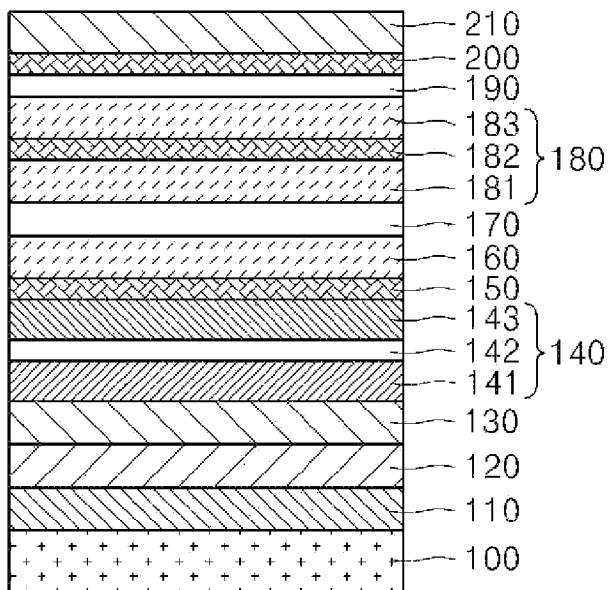




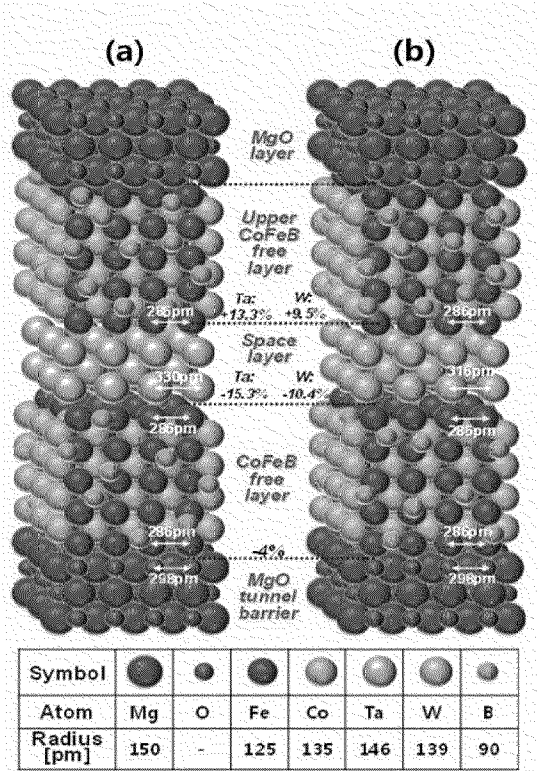
[도11]



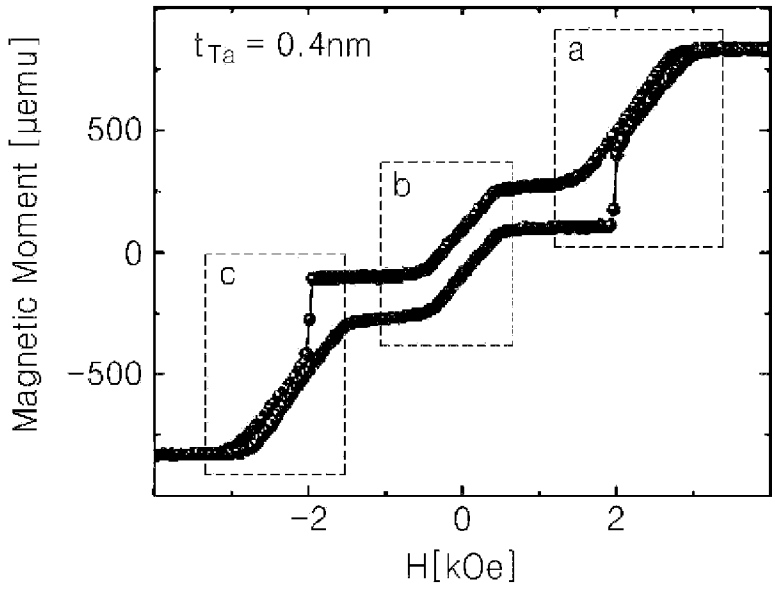
[도12]



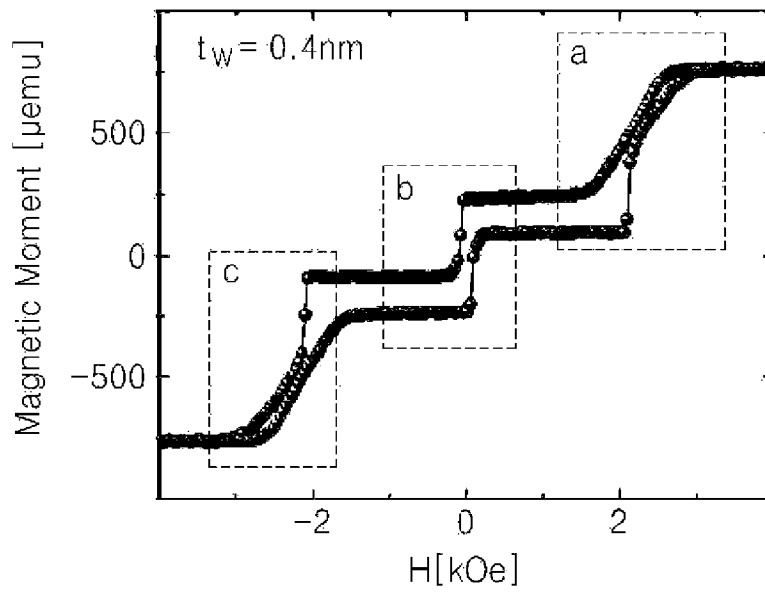
[도13]



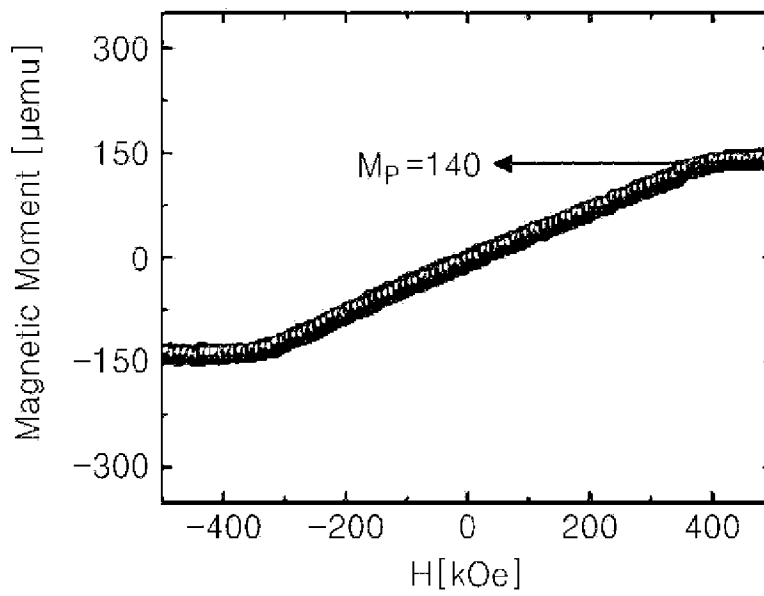
[도14]



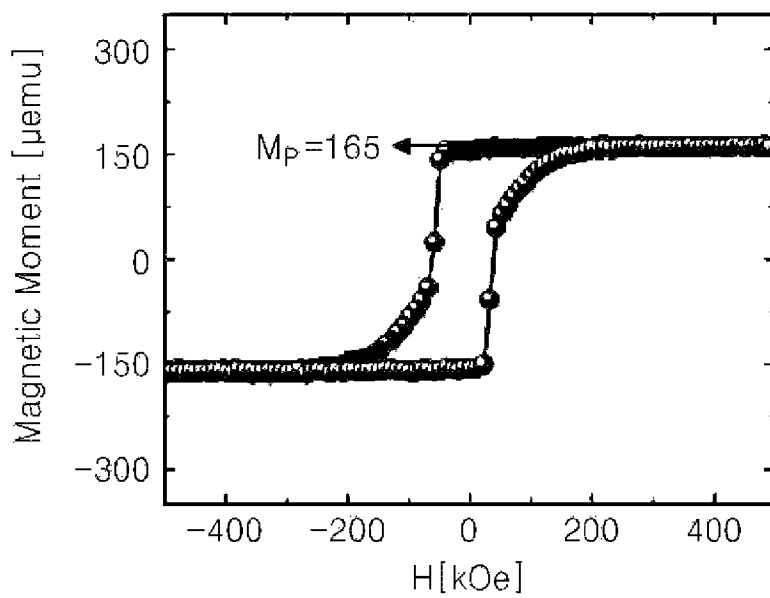
[圖15]



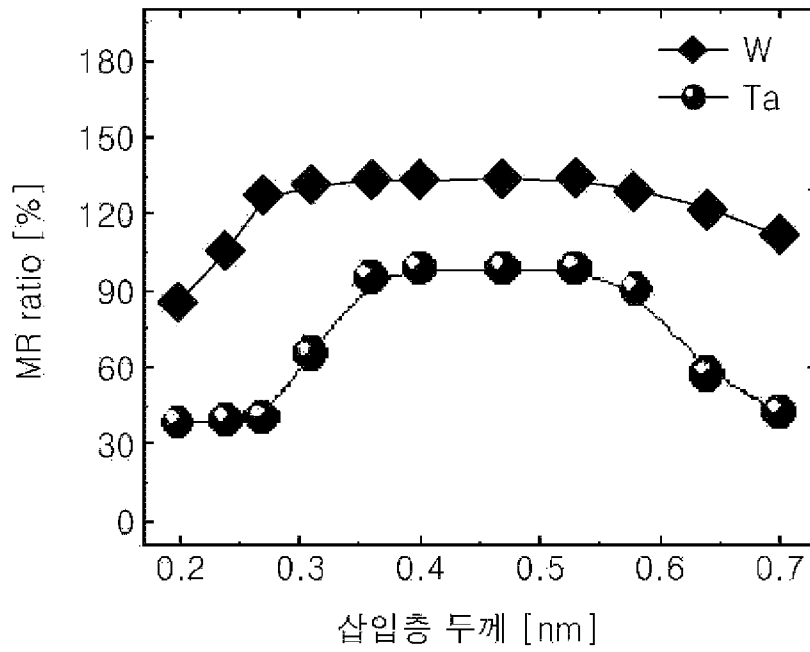
[圖16]



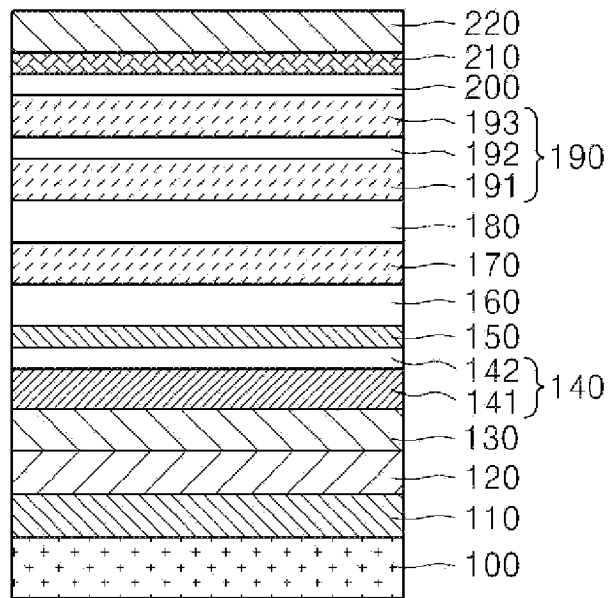
[圖17]



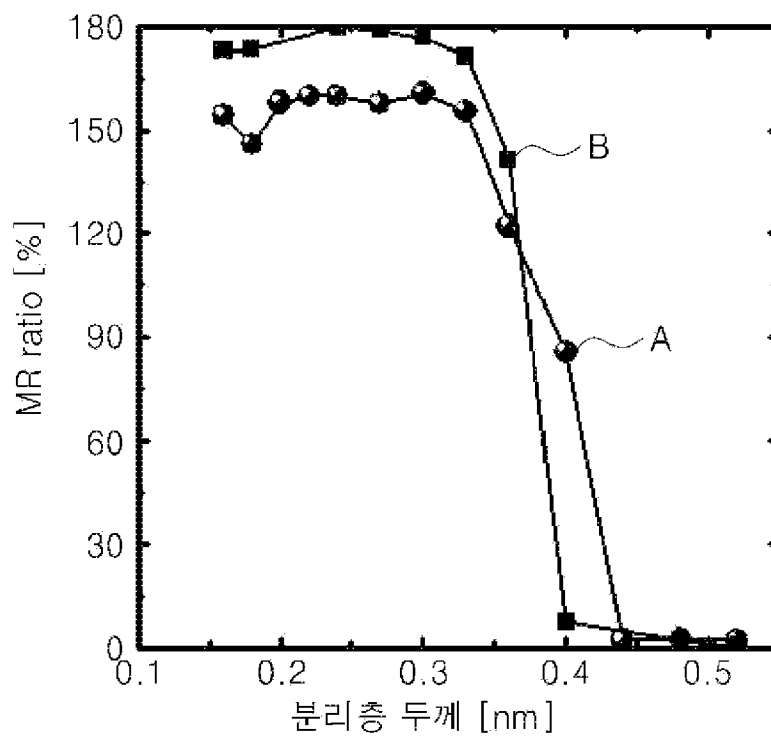
[도18]



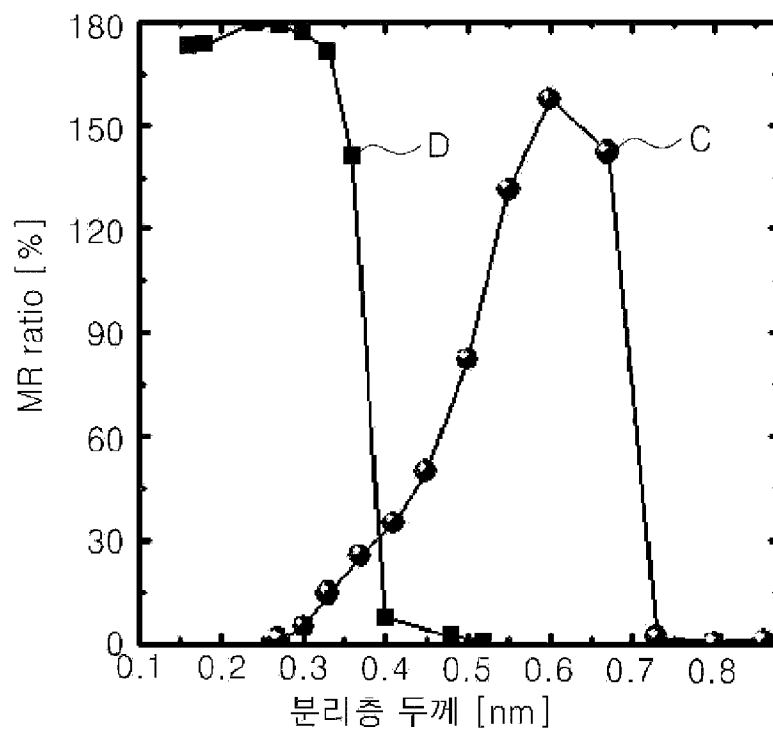
[도19]



[도20]



[도21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/001234

A. CLASSIFICATION OF SUBJECT MATTER

H01L 43/02(2006.01)i, H01L 43/08(2006.01)i, H01L 43/10(2006.01)i, G11C 11/16(2006.01)i, H01L 43/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 43/02; H01L 43/12; G11C 11/15; H01L 43/10; H01L 21/8247; H01L 43/08; G11C 11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: electrode(electrode), capping(capping), magnetic tunnel(magnetic tunnel), barrier (barrier), synthetic antiferromagnetic layer(syAF)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014-0306305 A1 (HEADWAY TECHNOLOGIES, INC.) 16 October 2014 See paragraphs [0007], [0018], [0029]-[0035], [0045] and figure 1.	1-3,5-10,12-26
Y		4,11
Y	US 2014-0306302 A1 (HEADWAY TECHNOLOGIES, INC.) 16 October 2014 See paragraphs [0011], [0033] and figure 3.	4,11
A	KR 10-2014-0025165 A (SAMSUNG ELECTRONICS CO., LTD.) 04 March 2014 See paragraphs [0026], [0041], [0042] and figures 1-3, 6.	1-26
A	US 2013-0334629 A1 (KULA, Witold et al.) 19 December 2013 See paragraphs [0025]-[0037] and figures 2-4.	1-26
A	US 2013-0299823 A1 (MAGIC TECHNOLOGIES, INC.) 14 November 2013 See paragraphs [0031]-[0057] and figures 1-4c.	1-26



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 APRIL 2017 (25.04.2017)

Date of mailing of the international search report

25 APRIL 2017 (25.04.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/001234

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2014-0306305 A1	16/10/2014	US 2012-181537 A1 US 2016-211442 A1 US 8786036 B2 US 9224940 B2 US 9455400 B2	19/07/2012 21/07/2016 22/07/2014 29/12/2015 27/09/2016
US 2014-0306302 A1	16/10/2014	CN 105229811 A EP 2987190 A1 US 9082960 B2 WO 2014-172224 A1	06/01/2016 24/02/2016 14/07/2015 23/10/2014
KR 10-2014-0025165 A	04/03/2014	NONE	
US 2013-0334629 A1	19/12/2013	US 8900884 B2 WO 2013-191799 A1	02/12/2014 27/12/2013
US 2013-0299823 A1	14/11/2013	US 2013-043471 A1 US 8492169 B2 US 8736004 B2	21/02/2013 23/07/2013 27/05/2014

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 43/02(2006.01)i, H01L 43/08(2006.01)i, H01L 43/10(2006.01)i, G11C 11/16(2006.01)i, H01L 43/12(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 43/02; H01L 43/12; G11C 11/15; H01L 43/10; H01L 21/8247; H01L 43/08; G11C 11/16

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 전극(electrode), 캐핑(capping), 자기 터널(magnetic tunnel), 배리어(barrier), 합성 교환 반자성층(syAF)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	US 2014-0306305 A1 (HEADWAY TECHNOLOGIES, INC.) 2014.10.16 단락 [0007], [0018], [0029]-[0035], [0045] 및 도면 1 참조.	1-3, 5-10, 12-26
Y		4, 11
Y	US 2014-0306302 A1 (HEADWAY TECHNOLOGIES, INC.) 2014.10.16 단락 [0011], [0033] 및 도면 3 참조.	4, 11
A	KR 10-2014-0025165 A (삼성전자주식회사) 2014.03.04 단락 [0026], [0041], [0042] 및 도면 1-3, 6 참조.	1-26
A	US 2013-0334629 A1 (WITOLD KULA 등) 2013.12.19 단락 [0025]-[0037] 및 도면 2-4 참조.	1-26
A	US 2013-0299823 A1 (MAGIC TECHNOLOGIES, INC.) 2013.11.14 단락 [0031]-[0057] 및 도면 1-4c 참조.	1-26

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 04월 25일 (25.04.2017)

국제조사보고서 발송일

2017년 04월 25일 (25.04.2017)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이은규

전화번호 +82-42-481-3580



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2014-0306305 A1	2014/10/16	US 2012-181537 A1 US 2016-211442 A1 US 8786036 B2 US 9224940 B2 US 9455400 B2	2012/07/19 2016/07/21 2014/07/22 2015/12/29 2016/09/27
US 2014-0306302 A1	2014/10/16	CN 105229811 A EP 2987190 A1 US 9082960 B2 WO 2014-172224 A1	2016/01/06 2016/02/24 2015/07/14 2014/10/23
KR 10-2014-0025165 A	2014/03/04	없음	
US 2013-0334629 A1	2013/12/19	US 8900884 B2 WO 2013-191799 A1	2014/12/02 2013/12/27
US 2013-0299823 A1	2013/11/14	US 2013-043471 A1 US 8492169 B2 US 8736004 B2	2013/02/21 2013/07/23 2014/05/27