



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0135255  
(43) 공개일자 2015년12월02일

- (51) 국제특허분류(Int. Cl.)  
H01L 23/522 (2006.01) H01L 21/66 (2006.01)  
H01L 23/00 (2006.01) H01L 23/495 (2006.01)  
H01L 27/06 (2006.01)
- (52) CPC특허분류  
H01L 23/5227 (2013.01)  
H01L 22/32 (2013.01)
- (21) 출원번호 10-2015-7024151
- (22) 출원일자(국제) 2013년03월25일  
심사청구일자 없음
- (85) 번역문제출일자 2015년09월04일
- (86) 국제출원번호 PCT/JP2013/058526
- (87) 국제공개번호 WO 2014/155478  
국제공개일자 2014년10월02일

- (71) 출원인  
르네사스 일렉트로닉스 가부시카가이사  
일본국 도쿄토 고토쿠 도요스 3쵸메 2방 24고
- (72) 발명자  
후나야 타쿠오  
일본국 도쿄토 고토쿠 도요스 3쵸메 2방 24고 르  
네사스 일렉트로닉스 가부시카가이사 나이  
이가라시 타카유키  
일본국 도쿄토 고토쿠 도요스 3쵸메 2방 24고 르  
네사스 일렉트로닉스 가부시카가이사 나이
- (74) 대리인  
특허법인원전

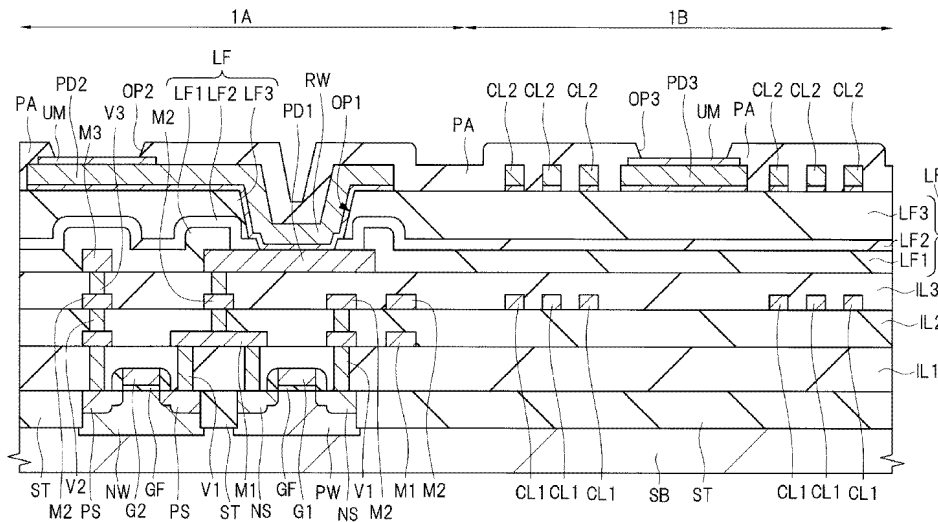
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 기판(SB) 상에 제1절연막을 통하여 코일(CL1)이 형성되고, 제1절연 막 및 코일(CL1)을 덮듯이 제2절연막이 형성되고, 제2절연막 상에 패드(PD1)가 형성되고 있다. 제2절연막 상에는 패드(PD1)의 일부를 노출하는 개구부(OP1)를 갖는 적층막(LF)이 형성되며, 상기 적층 절연막 상에 코일(CL2)이 형성되고 있다. 코일(CL2)은 코일(CL1)의 상부에 배치되며, 코일(CL2)과 코일(CL1)은 자기적으로 결합되어 있다. 적층막(LF)은 산화 실리콘막(LF1)과 그 위의 질화 실리콘막(LF2)과 그 위의 수지막(LF3)으로 구성된다.

대표도



(52) CPC특허분류

*H01L 23/49575* (2013.01)

*H01L 24/06* (2013.01)

*H01L 24/49* (2013.01)

*H01L 27/0688* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 기판과,  
상기 반도체 기판상에 제1절연막을 통해서 형성된 제1코일과,  
상기 반도체 기판상에, 상기 제1절연막 및 상기 제1코일을 덮도록 형성된 제2절연막과,  
상기 제2절연막 상에 형성되고, 또한 상기 제1코일과는 평면시에서 겹치지 않는 위치에 배치된 제1패드와,  
상기 제2절연막 상에 형성된 적층 절연막으로서, 상기 제1패드를 노출하는 제1개구부를 가지는 상기 적층 절연막과,  
상기 적층 절연막 상에 형성되고, 상기 제1코일의 상방에 배치된 제2코일과,  
상기 제1개구부에서 노출된 상기 제1패드 상을 포함하는 상기 적층 절연막 상에 형성되며, 상기 제1패드와 전기적으로 접속된 제1배선을  
가지며,  
상기 적층 절연막은 산화 실리콘막과, 상기 산화 실리콘막 상의 질화 실리콘막과, 상기 질화 실리콘막 상의 수지막으로 이루어지며,  
상기 제1코일과 상기 제2코일은 도체로는 접속되지 않고, 자기적으로 결합되며,  
상기 제1패드의 일부는 상기 적층 절연막으로 덮여져 있는 반도체 장치.

#### 청구항 2

제1항에 있어서,  
상기 제1배선은 상기 제2코일과 같은 층에 형성되고,  
상기 제1배선과 상기 제2코일은 도체로는 연결되지 않고,  
상기 제1배선은 상기 적층 절연막 상에 형성된 제2패드에 접속되어 있는 반도체 장치.

#### 청구항 3

제1항에 있어서,  
상기 제1패드는 알루미늄을 주성분으로 하는 도전 재료로 이루어진 반도체 장치.

#### 청구항 4

제1항에 있어서,  
상기 제1패드는 프로브 테스트에 사용되는 패드인 반도체 장치.

#### 청구항 5

제1항에 있어서,  
상기 질화 실리콘막의 두께는 0.5 $\mu$ m 이상인 반도체 장치.

#### 청구항 6

제5항에 있어서,  
상기 제1코일과 상기 제2코일 사이에 있어서, 상기 산화 실리콘막의 두께는 상기 질화 실리콘막의 두께보다도

두꺼운, 반도체 장치.

**청구항 7**

제1항에 있어서,

상기 제1패드의 중앙부는 상기 적층 절연막으로 덮여 있지 않으며, 또한 상기 제1패드의 외주부는 상기 적층 절연막으로 덮여 있으며,

상기 적층 절연막의 제1개구부는 상기 산화 실리콘막의 제2개구부와, 상기 질화 실리콘막의 제3개구부와, 상기 수지막의 제4개구부에 의해 형성되어 있으며,

상기 제3개구부는 평면시에서 상기 제2개구부에 내포되고,

상기 산화 실리콘막의 상기 제2개구부의 내벽은 상기 질화 실리콘막으로 덮여져 있는 반도체 장치.

**청구항 8**

제7항에 있어서,

상기 제3개구부는 평면시에서 상기 제4개구부에 내포되어 있으며,

상기 질화 실리콘막의 상기 제3개구부의 내벽은 상기 수지막으로 덮여 있지 않은 반도체 장치.

**청구항 9**

제8항에 있어서,

상기 산화 실리콘막의 상기 제2개구부의 내벽에 의해 형성된 상기 질화 실리콘막의 상면의 단차부는 상기 수지막으로 덮여져 있는 반도체 장치.

**청구항 10**

제1항에 있어서,

상기 질화 실리콘막의 상기 제3개구부의 내벽은 테이퍼를 가지며,

상기 수지막의 상기 제4개구부의 내벽은 테이퍼를 가지고 있는 반도체 장치.

**청구항 11**

제1항에 있어서,

상기 산화 실리콘막은 HDP-CVD 산화막인 반도체 장치.

**청구항 12**

제1항에 있어서,

상기 수지막은 폴리이미드막인 반도체 장치.

**청구항 13**

제1항에 있어서,

상기 제2코일은 상기 적층 절연막 상에 형성된 제3패드에 접속되며,

상기 적층 절연막 상에 상기 제1배선 및 상기 제2코일을 덮도록 보호 절연 막이 형성되고 있고,

상기 제2패드 및 상기 제3패드는 상기 보호 절연막에서 노출되어 있는 반도체 장치.

**청구항 14**

(a) 반도체 기판상에 제1절연막을 형성하는 공정,

(b) 상기 제1절연막 상에 제1코일을 형성하는 공정,

- (c) 상기 제1절연막 상에 상기 제1코일을 덮도록 제2절연막을 형성하는 공정,
  - (d) 상기 제2절연막 상에 상기 제1코일과는 평면에서 겹치지 않는 위치에 제1패드를 형성하는 공정,
  - (e) 상기 제1절연막 상에 상기 제1패드를 노출하는 제1개구부를 갖는 적층 절연막을 형성하는 공정,
  - (f) 상기 적층 절연막 상에 제2코일과 제1배선을 형성하는 공정을,
- 가지고,
- 상기 제2코일은 상기 제1코일의 상측에 배치되고,
- 상기 제1코일과 상기 제2코일은 도체로는 접속되지 않고, 자기적으로 결합되며,
- 상기 제1배선은 상기 제1패드 상에서 상기 적층 절연막 상에 걸쳐서 형성되며, 상기 제1패드와 전기적으로 접속되며,
- 상기 적층 절연막은 산화 실리콘막과, 상기 산화 실리콘막 상의 질화 실리콘 막과, 상기 질화 실리콘막 상의 수지막으로 이루어지는, 반도체 장치의 제조 방법.

**청구항 15**

- 제14항에 있어서,
- 상기 (e) 공정 후에, 상기 (f) 공정 전에,
- (g) 상기 제1패드를 이용하여 프로브 테스트를 실시하는 공정,
- 을 더 갖는 반도체 장치의 제조 방법.

**청구항 16**

- 제15항에 있어서,
- 상기 산화 실리콘막은 HDP-CVD법으로 형성하는 반도체 장치의 제조 방법.

**청구항 17**

- 제14항에 있어서,
- 상기 제1배선과 상기 제2코일은 도체로는 연결되어 있지 않고,
- 상기 (f) 공정에서는 상기 적층 절연막 상에, 상기 제1배선이 접속된 제2패드와 상기 제2코일이 접속된 제3패드도 형성되는 반도체 장치의 제조 방법.

**청구항 18**

- 제17항에 있어서,
- 상기 (f) 공정 후,
- (h) 상기 적층 절연막 상에, 상기 제1배선 및 상기 제2코일을 덮도록, 보호 절연막을 형성하는 공정을 더 가지며,
- 상기 제2패드 및 상기 제3패드는, 상기 보호 절연막에서 노출되는 반도체 장치의 제조 방법.

**청구항 19**

- 제14항에 있어서,
- 상기 (e) 공정은,
- (e1) 상기 제1절연막 상에, 상기 제1패드를 덮도록, 상기 산화 실리콘막을 형성하는 공정,
- (e2) 상기 (e1) 공정 후, 상기 산화 실리콘막에, 상기 제1패드를 노출하는 제2개구부를 형성하는 공정,
- (e3) 상기 (e2) 공정 후, 상기 산화 실리콘막 상에, 상기 제1패드를 덮도록, 상기 질화 실리콘막을 형성하는 공

정,

(e4) 상기 (e3) 공정 후, 상기 질화 실리콘막에, 상기 제1패드를 노출하는 제3개구부를 형성하는 공정,

(e5) 상기 (e4) 공정 후, 상기 질화 실리콘막 상에, 상기 제1패드를 덮도록, 상기 수지막을 형성하는 공정,

(e6) 상기 (e5) 공정 후, 상기 수지막에, 상기 제1패드를 노출하는 제4개구 부를 형성하는 공정을,

가지며,

상기 제3개구부는, 평면시에서, 상기 제2개구부에 내포되며,

상기 (e4) 공정에서 상기 제3개구부가 형성된 상기 질화 실리콘막은, 상기 산화 실리콘막의 상기 제2개구부의 내벽을 덮는, 반도체 장치의 제조 방법.

## 청구항 20

제19항에 있어서,

상기 제3개구부는, 평면시에서, 상기 제4개구부에 내포되며,

상기 (e6) 공정에서 상기 제4개구부가 형성된 상기 수지막은, 상기 질화 실리콘막의 상기 제3개구부의 내벽을 덮지 않는, 반도체 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 예를 들면, 코일을 구비한 반도체 장치 및 그 제조 방법에 적절하게 이용할 수 있다.

### 배경 기술

[0002] 입력되는 전기 신호의 전위가 서로 다른 2개의 회로 사이에서 전기 신호를 전달하는 기술로서, 포토 커플러를 이용한 기술이 있다. 포토 커플러는 발광 다이오드 등의 발광 소자와 포토 트랜지스터 등의 수광 소자를 가지고 있으며, 입력된 전기 신호를 발광 소자에서 빛으로 변환하고, 이 빛을 수광 소자에서 전기 신호로 되돌림으로써, 전기 신호를 전달하고 있다.

[0003] 또한, 2개 인덕터를 자기 결합(유도 결합)시킴으로써, 전기 신호를 전달하는 기술이 개발되고 있다.

[0004] 일본 특개 2008-270465호 공보(특허문헌 1), 특개 2008-277564호 공보(특허문헌 2)에는, 마이크로 트랜스에 관한 기술이 개시되고 있다.

### 선행기술문헌

#### 특허문헌

[0005] (특허문헌 0001) 특허문헌 1 : 일본 특개 2008-270465호 공보

(특허문헌 0002) 특허문헌 2 : 일본 특개 2008-277564호 공보

### 발명의 내용

#### 해결하려는 과제

[0006] 입력되는 전기 신호의 전위가 서로 다른 2개의 회로 사이에서 전기 신호를 전달하는 기술로서, 포토 커플러를 이용한 기술이 있지만, 포토 커플러는 발광 소자와 수광 소자를 가지고 있기 때문에, 소형화가 어렵다. 또한, 전기 신호의 주파수가 높은 경우에는 전기 신호에 추종하지 못하는 등, 그 채용에 한계가 있다.

[0007] 한편, 자기 결합시킨 인덕터에 의해 전기 신호를 전달하는 반도체 장치에 있어서는, 인덕터를 반도체 장치의 미세 가공 기술을 이용하여 형성할 수 있으므로, 장치의 소형화를 꾀할 수 있으며, 또한 전기적 특성도 양호하다.

따라서, 그 개발을 진행하는 것이 바람직하다.

- [0008] 그러므로, 이와 같은 인덕터를 구비한 반도체 장치에 있어서도, 가급적 신뢰성을 향상시키는 것이 바람직하다.
- [0009] 그 외의 과제와 신규한 특징은, 본 명세서의 기재 및 첨부 도면으로부터 명확하게 될 것이다.

**과제의 해결 수단**

- [0010] 일 실시형태에 따르면, 반도체 장치는 반도체 기판의 상방에 배치된 제1코일 및 제1패드와, 상기 제1코일의 상방에 배치된 제2코일과, 제1코일과 제2코일 사이에 개재하는 적층 절연막을 가지고 있다. 그리고, 상기 적층 절연막은 산화 실리콘막과, 상기 산화 실리콘막 상의 질화 실리콘막과, 상기 질화 실리콘막 상의 수지막으로 이루어지고, 상기 제1패드의 일부는 상기 적층 절연막으로 덮여져 있다.
- [0011] 또한, 일 실시형태에 따르면, 반도체 장치의 제조 방법은, 반도체 기판 상에 제1절연막을 형성하는 공정과, 상기 제1절연막 상에 제1코일을 형성하는 공정과, 상기 제1절연막 상에 상기 제1코일을 덮도록 제2절연막을 형성하는 공정과, 상기 제2절연막 상에 제1패드를 형성하는 공정을 가지고 있다. 또한, 상기 제1절연막 상에 상기 제1패드를 노출하는 제1개구부를 갖는 적층 절연막을 형성하는 공정과, 상기 적층 절연막 상에 제2코일과 제1배선을 형성하는 공정을 가지고 있다. 상기 제2코일은 상기 제1코일의 상방에 배치되고, 상기 적층 절연막은 산화 실리콘막과, 상기 산화 실리콘막 상의 질화 실리콘막과, 상기 질화 실리콘막 상의 수지막으로 이루어진다.

**발명의 효과**

- [0012] 일 실시형태에 따르면, 반도체 장치의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0013] [도 1] 일 실시형태의 반도체 장치를 이용한 전자 장치의 일례를 나타내는 회로도이다.
- [도 2] 신호의 전송예를 나타내는 설명도이다.
- [도 3] 일 실시형태의 반도체 장치의 주요부 단면도이다.
- [도 4] 일 실시형태의 반도체 장치의 주요부 단면도이다.
- [도 5] 패드의 평면도이다.
- [도 6] 패드의 하층을 나타내는 평면도이다.
- [도 7] 일 실시형태의 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 8] 도 7에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 9] 도 8에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 10] 도 9에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 11] 도 10에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 12] 도 11에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 13] 도 12에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 14] 도 13에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 15] 도 14에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 16] 도 15에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 17] 도 16에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 18] 도 17에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 19] 도 18에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 20] 도 19에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.

- [도 21] 도 20에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 22] 도 21에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 23] 도 22에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 24] 도 23에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 25] 도 24에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 26] 도 25에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 27] 도 26에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 28] 도 27에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 29] 도 28에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 30] 도 29에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 31] 도 30에 이어지는 반도체 장치의 제조 공정 중의 주요부 단면도이다.
- [도 32] 일 실시형태의 반도체 장치 내에 형성된 트랜스의 회로 구성을 나타내는 회로도이다.
- [도 33] 일 실시형태의 반도체 장치의 주요부 평면도이다.
- [도 34] 일 실시형태의 반도체 장치의 주요부 평면도이다.
- [도 35] 일 실시형태의 반도체 장치의 주요부 단면도이다.
- [도 36] 일 실시형태의 반도체 장치의 주요부 단면도이다.
- [도 37] 변형예의 반도체 장치의 주요부 평면도이다.
- [도 38] 변형예의 반도체 장치의 주요부 평면도이다.
- [도 39] 다른 변형예의 반도체 장치의 주요부 평면도이다.
- [도 40] 다른 변형예의 반도체 장치의 주요부 평면도이다.
- [도 41] 일 실시형태의 반도체 패키지를 나타내는 평면도이다.
- [도 42] 일 실시형태의 반도체 패키지를 나타내는 단면도이다.
- [도 43] 다른 실시형태의 반도체 장치의 주요부 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 이하의 실시형태에 있어서는, 편의상 그럴 필요가 있을 때는, 복수의 섹션 또는 실시형태로 나누어 설명하지만, 특별히 명시한 경우를 제외하고, 그것들은 서로 무관한 것이 아니라, 일방은 다른 일방의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다. 또한, 이하의 실시형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함한다)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명확하게 특정의 수로 한정되는 경우 등을 제외하고, 그 특정의 수에 한정되는 것이 아니라, 특정의 수 이상도, 이하도 가능하다. 또한, 아래의 실시형태에 있어서, 그 구성 요소(요소 단계 등도 포함한다)는 특별히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우 등을 제외하고, 반드시 필수인 것이 아님은 물론이다. 마찬가지로, 아래의 실시형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는, 특별히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.
- [0015] 이하, 실시형태를 도면에 의하여 자세히 설명한다. 또한, 실시형태를 설명하기 위한 모든 도면에 있어서, 동일한 기능을 가진 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 아래의 실시형태에서는 특별히 필요한 때 이외에는 동일 또는 유사한 부분의 설명을 원칙적으로 반복하지 않는다.
- [0016] 그리고, 실시형태로 이용하는 도면에 있어서는, 단면도라고 해도, 도면을 알기 쉽게 하기 위해서, 해칭을 생략하는 경우도 있다. 또한, 평면도라고 해도, 도면을 알기 쉽게 하기 위해서, 해칭을 첨부하는 경우도 있다.



- [0017] (실시형태 1)
- [0018] <회로 구성에 대해서>
- [0019] 도 1은 일 실시형태의 반도체 장치(반도체 칩)를 이용한 전자 장치(반도체 장치)의 일 예를 나타내는 회로도이다. 또한, 도 1에 있어서, 점선으로 둘러싸인 부분이 반도체 칩(CP1) 내에 형성되고, 일점 쇄선으로 둘러싸인 부분이 반도체 칩(CP2) 내에 형성되고, 이점 쇄선으로 둘러싸인 부분이 반도체 패키지(PKG) 내에 형성되고 있다.
- [0020] 도 1에 나타내는 전자 장치는, 반도체 칩(CP1, CP2)을 내장하는 반도체 패키지(PKG)를 구비하고 있다. 반도체 칩(CP1) 내에는 송신 회로(TX1) 및 수신 회로(RX2)와 제어 회로(CC)가 형성되며, 반도체 칩(CP2) 내에는 수신 회로(RX1) 및 송신 회로(TX2)와 구동 회로(DR)가 형성되어 있다.
- [0021] 송신 회로(TX1) 및 수신 회로(RX1)는 제어 회로(CC)로부터의 제어 신호를 구동 회로(DR)에 전달하기 위한 회로이다. 또한, 송신 회로(TX2) 및 수신 회로(RX2)는 구동 회로(DR)에서의 신호를 제어 회로(CC)에 전달하기 위한 회로이다. 제어 회로(CC)는 구동 회로(DR)를 제어 또는 구동하고, 구동 회로(DR)는 부하(LOD)를 구동한다. 반도체 칩(CP1, CP2)은 반도체 패키지(PKG)에 내장되고, 부하(LOD)는 반도체 패키지(PKG)의 외부에 마련되어 있다.
- [0022] 송신 회로(TX1)와 수신 회로(RX1) 사이에는, 자기 결합(유도 결합)한 코일(인덕터)(CL1a, CL2a)로 이루어지는 트랜스(변성기, 변환기, 자기 결합 소자, 전자 결합 소자)(TR1)가 개재되어 있으며, 송신 회로(TX1)에서 수신 회로(RX1)에, 이 트랜스(TR1)를 통해서{즉, 자기 결합한 코일(CL1a, CL2a)을 통해서}, 신호를 전달할 수 있다. 이에 따라, 반도체 칩(CP2) 내의 수신 회로(RX1)는 반도체 칩(CP1) 내의 송신 회로(TX1)가 송신한 신호를 수신할 수 있다. 그래서, 제어 회로(CC)는, 송신 회로(TX1), 트랜스(TR1) 및 수신 회로(RX1)를 통해서, 구동 회로(DR)에 신호(제어 신호)를 전달할 수 있다. 이 트랜스(TR1){코일(CL1a, CL2a)}은 반도체 칩(CP1) 내에 형성되고 있다. 코일(CL1a) 및 코일(CL2a)은 각각 인덕터로 볼 수도 있다. 또한, 트랜스(TR1)는 자기 결합 소자로 볼 수도 있다.
- [0023] 또한, 송신 회로(TX2)와 수신 회로(RX2) 사이에는, 자기 결합(유도 결합)한 코일(인덕터)(CL1b, CL2b)로 이루어진 트랜스(변성기, 변환기, 자기 결합 소자, 전자 결합 소자)(TR2)가 개재되어 있으며, 송신 회로(TX2)에서 수신 회로(RX2)에, 이 트랜스(TR2)를 통해서{즉 자기 결합한 코일(CL1b, CL2b)을 통해서} 신호를 전달할 수 있다. 이에 의해, 반도체 칩(CP1) 내의 수신 회로(RX2)는 반도체 칩(CP2) 내의 송신 회로(TX2)가 송신한 신호를 수신할 수 있다. 그래서, 구동 회로(DR)는, 송신 회로(TX2), 트랜스(TR2) 및 수신 회로(RX2)를 통해서, 제어 회로(CC)에 신호를 전달할 수 있다. 이 트랜스(TR2){코일(CL1b, CL2b)}은 반도체 칩(CP2) 내에 형성되고 있다. 코일(CL1b) 및 코일(CL2b)은 각각 인덕터로 볼 수도 있다. 또한, 트랜스(TR2)는 자기 결합 소자로 볼 수도 있다.
- [0024] 트랜스(TR1)는 반도체 칩(CP1) 내에 형성된 코일(CL1a, CL2a)에 의해 형성되고 있지만, 코일(CL1a)과 코일(CL2a)은 도체에 의해서는 연결되지 않고, 자기적으로 결합하고 있다. 따라서, 코일(CL1a)에 전류가 흐르면, 그 전류의 변화에 따라 코일(CL2a)에 유도 기전력이 발생하여 유도 전류가 흐르게 되어 있다. 코일(CL1a)이 일차 코일이고, 코일(CL2a)이 이차 코일이다. 이것을 이용해서, 송신 회로(TX1)에서 트랜스(TR1)의 코일(CL1a)(일차 코일)에 신호를 보내어 전류를 흘리며, 그에 따라 트랜스(TR1)의 코일(CL2a)(이차 코일)에 생긴 유도 전류(또는 유도 기전력)를 수신 회로(RX1)에서 검지(수신)하는 것으로, 송신 회로(TX1)가 보낸 신호에 대응한 신호를 수신 회로(RX1)에서 받을 수 있다.
- [0025] 또한, 트랜스(TR2)는 반도체 칩(CP2) 내에 형성된 코일(CL1b, CL2b)에 의해 형성되고 있지만, 코일(CL1b)과 코일(CL2b)은 도체에 의해서는 연결되지 않고, 자기적으로 결합하고 있다. 따라서, 코일(CL1b)에 전류가 흐르면, 그 전류의 변화에 따라서 코일(CL2b)에 유도 기전력이 발생하여 유도 전류가 흐르게 되어 있다. 코일(CL1b)이 일차 코일이고, 코일(CL2b)이 이차 코일이다. 이것을 이용해서, 송신 회로(TX2)에서부터 트랜스(TR2)의 코일(CL1b)(일차 코일)에 신호를 보내어 전류를 흘리며, 그에 따라 트랜스(TR2)의 코일(CL2b)(이차 코일)에 생긴 유도 전류(또는 유도 기전력)를 수신 회로(RX2)에서 검지(수신)하는 것으로, 송신 회로(TX2)가 보낸 신호에 대응한 신호를 수신 회로(RX2)에서 받을 수 있다.
- [0026] 제어 회로(CC)에서 송신 회로(TX1), 트랜스(TR1) 및 수신 회로(RX1)를 경유하여 구동 회로(DR)에 이르는 경로와, 구동 회로(DR)에서 송신 회로(TX2), 트랜스(TR2) 및 수신 회로(RX2)를 경유하여 제어 회로(CC)에 이르는 경로에 의해, 반도체 칩(CP1)과 반도체 칩(CP2)과의 사이에서 신호의 송수신을 한다. 즉, 송신 회로(TX1)가 송신한 신호를 수신 회로(RX1)가 수신하고, 송신 회로(TX2)가 송신한 신호를 수신 회로(RX2)가 수신함으로써, 반도체 칩(CP1)과 반도체 칩(CP2)과의 사이에서 신호의 송수신을 할 수 있다. 상기한 바와 같이, 송신 회로

(TX1)에서 수신 회로(RX1)에의 신호의 전달에는, 트랜스(TR1){즉, 자기 결합한 코일(CL1a, CL2a)}가 개재하고, 또한, 송신 회로(TX2)에서 수신 회로(RX2)에의 신호의 전달에는, 트랜스(TR2){즉 자기 결합한 코일(CL1b, CL2b)}가 개재하고 있다. 구동 회로(DR)는 반도체 칩(CP1)에서 반도체 칩(CP2)에 송신된 신호(즉, 송신 회로(TX1)에서 트랜스(TR1)을 통해서 수신 회로(RX1)에 송신된 신호)에 대응하여, 부하(LOD)를 구동시킬 수 있다. 부하(LOD)로는 용도에 따라 다양한 부하가 있지만, 예를 들면 모터 등을 예시할 수 있다.

[0027] 반도체 칩(CP1)과 반도체 칩(CP2)은 전압 레벨(기준 전위)이 다르다. 예를 들면, 반도체 칩(CP1)은 저전압(예를 들면, 수 V~수십 V)에서 동작 또는 구동되는 회로를 가지는 저 전압 영역에, 후술하는 본딩 와이어(BW) 및 리드(LD) 등을 통하여 접속된다. 또한, 반도체 칩(CP2)은 상기 저 전압보다도 고 전압(예를 들면, 100V 이상)에서 동작 또는 구동되는 회로{예를 들면, 부하(LOD), 부하(LOD)용 스위치 등}를 갖는 고 전압 영역에, 후술하는 본딩 와이어(BW) 및 리드(LD) 등을 통하여 접속된다. 그러나, 반도체 칩(CP1, CP2) 간에서의 신호 전달은 트랜스(TR1, TR2)가 개재되어 있으므로, 다른 전압 회로 간에서의 신호 전달이 가능하다.

[0028] 트랜스(TR1, TR2)에 있어서는, 일차 코일과 이차 코일 사이에, 큰 전위 차가 발생하는 경우가 있다. 반대로 말하면, 큰 전위 차이가 발생하는 경우가 있기 때문에, 도체로는 연결되지 않고 자기 결합시킨 일차 코일과 이차 코일을 신호 전달에 사용하고 있다. 따라서, 반도체 칩(CP1) 내에 트랜스(TR1)를 형성하는 데 있어서, 코일(CL1a)과 코일(CL2a) 사이의 절연 내압을 가능한 한 높게 하는 것이, 반도체 칩(CP1), 반도체 칩(CP1)을 내장하는 반도체 패키지(PKG), 혹은 그것을 이용한 전자 장치의 신뢰성을 향상시키는데 중요하다. 또한, 반도체 칩(CP2) 내에 트랜스(TR2)를 형성하는데 있어서, 코일(CL1b)과 코일(CL2b) 간의 절연 내압을 가능한 한 높게 하는 것이, 반도체 칩(CP2), 반도체 칩(CP2)을 내장하는 반도체 패키지(PKG), 혹은 그것을 이용한 전자 장치의 신뢰성을 향상시키는 데 중요하다. 그러므로, 본 실시형태에서는 반도체 칩(CP1, CP2) 내에서 일차 코일과 이차 코일 사이에 개재하는 절연막{후술하는 적층막(LF)}의 구성을 고안했으며, 이에 대해서는 나중에 상세히 설명한다.

[0029] 또한, 도 1에서는, 제어 회로(CC)를 반도체 칩(CP1) 내에 내장시키는 경우에 대해서 나타내고 있지만, 다른 형태로서, 제어 회로(CC)를 반도체 칩(CP1, CP2) 이외의 반도체 칩에 내장시킬 수도 있다. 또한, 도 1에서는, 구동 회로(DR)를 반도체 칩(CP2) 내에 내장시키는 경우에 대해서 나타내고 있지만, 다른 형태로서, 구동 회로(DR)는 반도체 칩(CP1, CP2) 이외의 반도체 칩에 내장시킬 수도 있다.

[0030] <신호의 전송예에 대해서>

[0031] 도 2는 신호의 전송예를 나타내는 설명도이다.

[0032] 송신 회로(TX1)는, 송신 회로(TX1)에 입력된 방형파(方形波) 신호(SG1)를 미분파 신호(SG2)로 변조하여, 트랜스(TR1)의 코일(CL1a)(일차 코일)에 보낸다. 이 미분파 신호(SG2)에 의한 전류가 트랜스(TR1)의 코일(CL1a)(일차 코일)에 흘러가면, 그에 따른 신호(SG3)가 유도 기전력에 의해 트랜스(TR1)의 코일(CL2a)(이차 코일)로 흐른다. 이 신호(SG3)를 수신 회로(RX2)에서 증폭하고, 또한, 방형파로 변조함으로써, 방형파의 신호(SG4)가 수신 회로(RX2)에서 출력된다. 이에 의하여, 송신 회로(TX1)에 입력된 신호(SG1)에 따른 신호(SG4)를 수신 회로(RX2)에서 출력할 수 있다. 이렇게 해서, 송신 회로(TX1)에서 수신 회로(RX1)에 신호가 전달된다. 송신 회로(TX2)에서 수신 회로(RX2)로의 신호의 전달도 마찬가지로 할 수 있다.

[0033] 또한, 도 2에서는 송신 회로에서 수신 회로로의 신호 전달의 일 예를 나타냈지만, 이에 국한되지 않고, 여러 가지로 변경 가능하며, 자기 결합된 코일(일차 코일 및 이차 코일)을 통해서 신호를 전달하는 방법이면 된다.

[0034] <반도체 칩의 구조에 대해서>

[0035] 도 3은 본 실시형태의 반도체 장치의 단면 구조를 나타내는 주요부 단면도이다. 도 3에 나타내는 반도체 장치는 상기 반도체 칩(CP1) 또는 상기 반도체 칩(CP2)에 대응하는 반도체 장치(반도체 칩)이다. 또한, 도 4는 본 실시형태의 반도체 장치의 주요부 단면이지만, 주변 회로 형성 영역(1A)의 층간 절연막(IL2)보다도 상층의 구조를 나타내는 단면도가 나타나 있다. 또한, 도 5는 패드(PD1)의 평면도이지만, 이해를 쉽게 하기 위해서, 산화 실리콘막(LF1)의 개구부(OP1a)의 위치를 일점 쇄선으로 나타내고, 질화 실리콘막(LF2)의 개구부(OP1b)의 위치를 점선으로 나타내고, 수지막(LF3)의 개구부(OP1c)의 위치를 이점 쇄선으로 나타내고 있다. 또한, 도 6은 패드(PD1)의 하층을 나타내는 평면도이며, 이해를 쉽게 하기 위해서, 패드(PD1)의 외주 위치를 점선으로 나타내고 있다.

[0036] 본 실시형태의 반도체 장치는, 단결정 실리콘 등으로 이루어진 반도체 기판(SB)을 이용하여 형성된 반도체 장치(반도체 칩)이며, 주변 회로 형성 영역(1A)과 트랜스 형성 영역(1B)을 가지고 있다. 또한, 주변 회로 형성 영역

(1A)과 트랜스 형성 영역(1B)은 동일한 반도체 기판(SB)의 주변의 서로 다른 평면 영역에 대응하고 있다.

- [0037] 도 3에 나타내는 바와 같이, 본 실시형태의 반도체 장치(반도체 칩)를 구성하는 단결정 실리콘 등으로 이루어진 반도체 기판(SB)에 MISFET(Metal Insulator Semiconductor Field Effect Transistor) 등의 반도체 소자가 형성되고 있다. 이 반도체 소자는 주변 회로 형성 영역(1A)에 형성되어 있다.
- [0038] 예를 들면, 주변 회로 형성 영역(1A)의 반도체 기판(SB1)에 p형웰(PW) 및 n형웰(NW)이 형성되고, p형웰(PW) 상에 게이트 절연막(GF)을 통해서 n채널형 MISFET용의 게이트 전극(G1)이 형성되고, n형웰(NW) 상에 게이트 절연막(GF)을 통해서 p채널형 MISFET용 게이트 전극(G2)이 형성되고 있다. 게이트 절연막(GF)은 예를 들면, 산화 실리콘막 등으로 이루어지며, 게이트 전극(G1, G2)은 예를 들면, 불순물을 도입한 다결정 실리콘막(도프트 폴리실리콘막) 등으로 이루어진다.
- [0039] 반도체 기판(SB)의 p형웰(PW) 내에는, n채널형 MISFET의 소스·드레인용의 n형 반도체 영역(NS)이 형성되고, 반도체 기판(SB)의 n형웰(NW) 내에는 p채널형 MISFET의 소스·드레인용의 p형 반도체 영역(PS)이 형성되어 있다. 게이트 전극(G1)과 그 게이트 전극(G1) 아래의 게이트 절연막(GF)과, 게이트 전극(G1)의 양측의 n형 반도체 영역(NS)(소스·드레인 영역)에 의해, n채널형 MISFET이 형성된다. 또한, 게이트 전극(G2)과, 그 게이트 전극(G2)아래의 게이트 절연막(GF)과, 게이트 전극(G2)의 양측의 p형 반도체 영역(PS)(소스·드레인 영역)에 의해, p채널형 MISFET이 형성된다. n형 반도체 영역(NS)은, LDD(Lightly doped Drain) 구조로 할 수도 있으며, 이 경우, 게이트 전극(G1)의 측벽 상에는 사이드 월 스페이서라고도 불리는 측벽 절연막이 형성된다. 마찬가지로, p형 반도체 영역(PS)은 LDD구조로 할 수도 있으며, 이 경우, 게이트 전극(G2)의 측벽 상에는 사이드 월 스페이서라고도 불리는 측벽 절연막이 형성된다.
- [0040] 또한, 여기에서는, 주변 회로 형성 영역(1A)에 형성하는 반도체 소자로서, MISFET를 예로 들어 설명하고 있지만, 이 밖에, 용량소자, 저항소자, 메모리 소자 또는 다른 구성의 트랜지스터 등을 주변 회로 형성 영역(1A)으로 형성해도 된다. 상기 반도체 칩(CP1)의 경우는, 주변 회로 형성 영역(1A)에 형성된 반도체 소자에 의해, 상기 제어 회로(CC), 송신 회로(TX1) 및 수신 회로(RX2)가 형성되며, 상기 반도체 칩(CP2)의 경우는, 주변 회로 형성 영역(1A)에 형성된 반도체 소자에 의해, 상기 구동 회로(DR), 수신 회로(RX1) 및 송신 회로(TX2)가 형성된다.
- [0041] 또한, 여기에서는, 반도체 기판(SB)으로서 단결정 실리콘 기판을 예로 들어 설명하고 있지만, 다른 형태로서, 반도체 기판(SB)으로서 SOI(Silicon On Insulator) 기판 등을 이용할 수도 있다.
- [0042] 반도체 기판(SB) 상에는 복수의 층간 절연막과 복수의 배선층에 의해, 다층 배선 구조가 형성되고 있다.
- [0043] 즉, 반도체 기판(SB) 상에, 복수의 층간 절연막(IL1, IL2, IL3)이 형성되며, 이 복수의 층간 절연막(IL1, IL2, IL3)에 플러그(V1), 비아부(V2, V3) 및 배선(M1, M2, M3)이 형성되고 있다.
- [0044] 구체적으로는, 반도체 기판(SB) 상에, 상기 MISFET을 덮도록, 절연막으로 층간 절연막(IL1)이 형성되어 있으며, 이 층간 절연막(IL1) 상에, 배선(M1)이 형성되어 있다. 배선(M1)은 제1배선층(최하층의 배선층)의 배선이다. 층간 절연막(IL1) 상에는 배선(M1)을 덮도록, 절연막으로서 층간 절연막(IL2)이 형성되어 있으며, 이 층간 절연막(IL2) 상에, 배선(M2)이 형성되어 있다. 배선(M2)은 제1배선층보다도 1개 상층의 배선층인 제2배선층의 배선이다. 층간 절연막(IL2) 상에는, 배선(M2)을 덮도록 절연막으로서 층간 절연막(IL3)이 형성되어 있으며, 이 층간 절연막(IL3) 상에 배선(M3)이 형성되어 있다. 배선(M3)은 제2배선층보다도 1개 상층의 배선층인 제3배선층의 배선이다.
- [0045] 플러그(V1)는 도전체(導電體)로 이루어지고, 배선(M1)의 하층에 형성되며, 즉 층간 절연막(IL1) 중에 층간 절연막(IL1)을 관통하도록 형성되고, 플러그(V1)의 상면이 배선(M1)의 하면에 접하는 것으로, 배선(M1)에 전기적으로 접속되어 있다. 또한, 플러그(V1)의 저부는, 반도체 기판(SB)에 형성된 각종 반도체 영역(예를 들면, n형 반도체 영역(NS) 또는 p형 반도체 영역(PS) 등)이나, 게이트 전극(G1, G2) 등에 접속되어 있다. 이에 의해, 배선(M1)은 플러그(V1)를 통해서, 반도체 기판(SB)에 형성된 각종 반도체 영역이나 게이트 전극(G1, G2) 등에 전기적으로 접속된다.
- [0046] 비아부(V2)는 도전체로 이루어지며, 배선(M2)과 배선(M1) 사이에 형성되며, 즉 층간 절연막(IL2) 중에 형성되고, 배선(M2)과 배선(M1)을 접속하고 있다. 비아부(V2)는 배선(M2)과 일체적으로 형성할 수도 있다. 또한, 비아부(V3)는 도전체로 이루어지며, 배선(M3)과 배선(M2) 사이에 형성되며, 즉 층간 절연막(IL3) 중에 형성되고, 배선(M3)과 배선(M2)을 접속하고 있다. 비아부(V3)는 배선(M3)과 일체적으로 형성할 수도 있다.

- [0047] 본 실시형태의 반도체 장치에서는, 제3배선층, 즉 배선(M3)이 최상층 배선이다. 즉 제1배선층{배선(M1)}, 제2배선층{배선(M2)} 및 제3배선층{배선(M3)}에 의해, 반도체 기판(SB)에 형성된 반도체 소자(예를 들면, 상기 MISFET)의 소망하는 결선이 이루어지고 있으며, 소망하는 동작을 할 수 있다.
- [0048] 최상층 배선인 제3배선층에 의해 패드(패드 영역, 패드 전극)(PD1)가 형성되어 있다. 즉, 배선(M3)과 같은 층에 패드(PD1)가 형성되어 있다. 즉, 배선(M3)과 패드(PD1)는 같은 층의 도전층에 의해 같은 공정에서 형성되고 있다. 따라서, 패드(PD1)는 층간 절연막(IL3) 상에 형성되고 있다. 패드(PD1)는 배선(M3)의 일부로 볼 수도 있지만, 배선(M3)은 적층막(LF)으로 덮여져 있는 데 대해서, 패드(PD1)는 적어도 일부가 적층막(LF)의 개구부(OP1)에서 노출되고 있다. 다만, 패드(PD1)의 일부는 적층막(LF)으로 덮여 있다. 즉, 개구부(OP1)에서 패드(PD1)가 노출되고 있지만, 평면시에서, 개구부(OP1)와 겹치지 않는 부분의 패드(PD1)는 적층막(LF)으로 덮여 있다. 구체적으로는, 패드(PD1)의 중앙부는 적층막(LF)으로 덮여 있지 않고, 패드(PD1)의 외주부는 적층막(LF)으로 덮여 있다. 재배선(RW)을 형성하기 전에, 이 패드(PD1)를 이용하여, 반도체 장치가 소망하는 동작을 할 것인지 여부의 시험(테스트 공정, 후술하는 프로브 테스트에 대응)을 할 수 있다. 패드(PD1)는 바람직하게는 알루미늄을 주 성분(주체)으로 하는 도전 재료(금속 전도를 나타내는 도전 재료)로 이루어진다. 패드(PD1)의 적절한 재료 예를 들면, Al(알루미늄)과 Si(실리콘)의 화합물 또는 합금, 또는 Al(알루미늄)과 Cu(구리)의 화합물 또는 합금, 또는 Al(알루미늄)과 Si(실리콘)과 Cu(구리)의 화합물 또는 합금이 있고, Al(알루미늄)의 조성비는 50원자%보다 큰 것(즉, Al 리치인 것)이 바람직하다. 또한, 도 3에는 패드(PD1)는 1개 나타내고 있지만, 실제로는 패드(PD1)는 1개 이상 형성되고 있으며, 바람직하게는 복수 형성되고 있다.
- [0049] 또한, 도 4~도 6에 나타내듯이, 패드(PD1)의 직하에 비아부(V3)를 마련하고, 그 비아부(V3)를 통해서 패드(PD1)를 배선(M2)에 전기적으로 접속할 수 있다. 다른 형태로서, 패드(PD1)와 일체적으로 형성된 배선(M3)을 마련해 두고, 그 패드(PD1)와 일체적으로 형성된 배선(M3)이 그 배선(M3)의 직하에 마련된 비아부(V3)를 통하여 배선(M2)과 접속됨으로써, 패드(PD1)를 배선(M2)에 전기적으로 접속할 수도 있다.
- [0050] 또한, 도 3에서는 반도체 기판(SB1) 상에 형성되는 배선층의 수(재배선(RW)은 포함하지 않는다)가 3층인 경우{배선(M1, M2, M3)의 총 3층의 경우}를 나타내고 있지만, 배선층의 수는 3층에 국한되지 않고, 여러 가지로 변경 가능하지만, 2층 이상이 바람직하다. 또한 배선층의 수(재배선(RW)은 포함하지 않는다)가 3층 이상이면, 제2 배선층과 같은 층에 형성된 코일(CL1)을 제1배선층의 배선(인출 배선)에서 인출하므로, 코일과 배선의 레이아웃이 쉽게 된다.
- [0051] 도 3 및 도 4에 나타내듯이, 층간 절연막(IL3) 상에는, 배선(M3)을 덮도록 적층막(적층 절연막)(LF)이 형성되어 있으며, 이 적층막(LF) 상에 재배선(RW)이 형성되고 있다. 적층막(LF)은 산화 실리콘막(LF1)과 산화 실리콘막(LF1) 상의 질화 실리콘막(LF2)과 질화 실리콘막(LF2) 상의 수지막(LF3)으로 이루어진다. 산화 실리콘 막(LF1)과 질화 실리콘 막(LF2)과 수지막(LF3)은 각각 절연막이므로, 적층막(LF)은 복수의 절연막{구체적으로는, 산화 실리콘 막(LF1)과 질화 실리콘 막(LF2)과 수지막(LF3)의 3개의 절연막}을 적층한 적층 절연막으로 볼 수도 있다.
- [0052] 패드(PD1)는 적층 필름(LF)의 개구부(OP1)에서 노출되어 있으며, 개구부(OP1)에서 노출된 패드(PD1) 상에도 재배선(RW)이 형성되고 있다. 즉, 재배선(RW)은 개구부(OP1)에서 노출된 패드(PD1) 상을 포함하는 적층막(LF) 상에 형성되어 있으며, 패드(PD1)와 전기적으로 접속되어 있다. 이 재배선(RW)은 최상층 배선(여기에서는 제3배선층)의 일부인 패드(PD1)를 반도체 칩의 소망하는 영역{패드(PD2)}까지 인출하는 배선이다. 즉, 재배선(RW)은 적층막(LF)의 개구부(OP1)에서 노출된 패드(PD1) 상에서, 적층막(LF) 상의 패드(PD2)까지, 적층막(LF) 상을 연장하도록 형성되고 있다.
- [0053] 패드(패드 영역, 패드 전극, 본딩 패드)(PD2)는 재배선(RW)과 같은 층의 도전층에 의해 형성되고, 재배선(RW)과 일체적으로 형성되어 있다. 이 때문에, 패드(PD2)도 적층막(LF) 상{즉, 적층막(LF)의 수지막(LF3) 상}에 형성되어 있으며, 패드(PD2)는 재배선(RW)과 전기적으로 접속되어 있다. 따라서, 패드(PD2)는 재배선(RW)을 통해서 패드(PD1)와 전기적으로 접속되어 있다. 또한, 도 3에는 패드(PD2)는 1개 나타내고 있지만, 실제로는 패드(PD2)는 1개 이상 형성되고 있으며, 바람직하게는 복수 형성되고 있다.
- [0054] 또한, 평면시에서, 패드(PD2)와 재배선(RW)과 패드(PD1)가 배치되고 있는 영역은, 코일(CL1)과 코일(CL2)과 패드(PD3)가 배치되고 있는 영역과는 다르다. 즉, 패드(PD2), 재배선(RW) 및 패드(PD1)는 코일(CL1), 코일(CL2) 및 패드(PD3)와는 평면시에서, 겹치지 않는 위치에 배치되고 있다.
- [0055] 적층막(LF)은 패드(PD1)의 적어도 일부를 노출하는 개구부(OP1)를 가지고 있지만, 적층막(LF)은 산화 실리콘막

(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)의 적층막이므로, 적층막(LF)의 개구부(OP1)는 수지막(LF3)의 개구부(OP1c)와 질화 실리콘막(LF2)의 개구부(OP1b)와 산화 실리콘막(LF1)의 개구부(OP1a)에 의해 형성된다(도 4 및 도 5 참조). 개구부(OP1a)와 개구부(OP1b)와 개구부(OP1c)의 관계는 도 4 및 도 5처럼 되어 있는데, 이에 대해서는 다음에 설명한다.

- [0056] 또한, 도 4에서는 도면을 보기 쉽게 하기 위해서, 재배선(RW) 및 패드(PD2)에 대해서, 후술하는 구리막(CF)과 시드막(SE)을 구분하지 않고 일체화하여 나타내고 있다.
- [0057] 도 3에 나타내듯이, 트랜스 형성 영역(1B)에는 코일(인덕터)(CL1)과 코일(인덕터)(CL2)을 가진 트랜스가 형성되어 있다. 즉, 트랜스 형성 영역(1B)에 있어서, 반도체 기판(SB1) 상에, 트랜스의 일차 코일인 코일(CL1)과 트랜스의 이차 코일인 코일(CL2)이 형성되어 있다. 상기 반도체 칩(CP1)의 경우는, 코일(CL1)은 상기 코일(CL1a)에 대응하고, 코일(CL2)은 상기 코일(CL2a)에 대응하며, 코일(CL1)과 코일(CL2)로 형성되는 트랜스는 상기 트랜스(TR1)에 대응한다. 상기 반도체 칩(CP2)의 경우는 코일(CL1)은 상기 코일(CL1b)에 대응하고, 코일(CL2)은 상기 코일(CL2b)에 대응하며, 코일(CL1)과 코일(CL2)로 형성되는 트랜스는 상기 트랜스(TR2)에 대응한다.
- [0058] 코일(CL1)과 코일(CL2)은 같은 층에 형성되고 있는 것이 아니라, 서로 다른 층에 형성되어 있으며, 코일(CL1)과 코일(CL2) 사이에는, 절연층이 개재되어 있다. 또한, 하층 층의 코일(CL1)은 반도체 기판(SB)에 접하여 형성되고 있는 것이 아니라, 반도체 기판(SB) 상에 절연층을 통해서 형성되고 있다. 구체적으로는, 반도체 기판(SB) 상에 형성된 층간 절연막(여기에서는 층간 절연막(IL1)) 상에, 코일(CL1)이 형성되고 있다.
- [0059] 코일(CL1)은 코일(CL2)보다도 하층에 형성되고, 코일(CL2)은 코일(CL1)보다도 상층에 형성되고 있다. 본 실시형태에서는 코일(CL1)과 코일(CL2) 중의 상층 층의 코일(CL2)은 적층막(LF) 상에 형성되어 있다. 즉, 코일(CL2)은 적층막(LF) 상에 형성되고, 또한, 코일(CL1)의 상부에 배치되고 있다. 즉, 적층막(LF)의 수지막(LF3) 상에 코일(CL2)이 형성되고 있다. 따라서, 코일(CL2)은 수지막(LF3)에 접하고 있다.
- [0060] 코일(CL2)은 재배선(RW)과 같은 층의 도전층에 의해, 같은 공정에서 형성되고 있다. 즉, 재배선(RW)과 같은 층에 코일(CL2)이 형성되고 있다. 따라서, 코일(CL2)과 재배선(RW)은 같은 재료로 형성되고 있다.
- [0061] 트랜스 형성 영역(1B)에는, 적층막(LF) 상에, 코일(CL2)이 형성되는 동시에, 패드(패드 영역, 패드 전극, 본딩 패드)(PD3)도 형성되고 있다. 이 패드(PD3)는 코일(CL2)과 같은 층의 도전층에 의해 형성되고, 코일(CL2)과 일체적으로 형성되고 있다. 따라서, 패드(PD3)도 적층막(LF) 상(즉, 적층막(LF)의 수지막(LF3) 상)에 형성되어, 패드(PD3)는 코일(CL2)과 전기적으로 접속되고 있다.
- [0062] 따라서, 패드(PD2)와 재배선(RW)과 패드(PD3)와 코일(CL2)은 같은 층의 도전층에 의해, 같은 층에 형성되어 있으며, 패드(PD2)는 재배선(RW)과 일체적으로 형성되어 전기적으로 접속되며, 또한, 패드(PD3)는 코일(CL2)과 일체적으로 형성되어 전기적으로 접속되고 있다. 그러나, 재배선(RW)과 코일(CL2)은 분리되어 있으며, 도체로는 연결되어 있지 않다. 또한, 패드(PD2)와 패드(PD3)는 분리되어 있으며, 도체로는 연결되어 있지 않다. 또한, 패드(PD2)와 코일(CL2)은 분리되어 있으며, 도체로는 연결되어 있지 않다. 패드(PD3)와 재배선(RW)은 분리되어 있으며, 도체로는 연결되어 있지 않다. 또한, 패드(PD2)는 재배선(RW)을 통해서 패드(PD1)에 전기적으로 접속되어 있지만, 패드(PD3)는 패드(PD1)와는 도체로는 연결되어 있지 않다. 트랜스 형성 영역(1B)에는 코일(CL1)과 코일(CL2)과 패드(PD3)가 형성되어 있지만, 패드(PD1)와 재배선(RW)과 패드(PD2)는 형성되어 있지 않다.
- [0063] 코일(CL1)과 코일(CL2) 중의 하층 층의 코일(CL1)은 재배선(RW)을 제외한 다층 배선 구조 중의 최상층 배선(여기에서는 제3배선층)보다도 하층의 배선층에 의해 형성되고 있다. 여기에서는 최상층 배선인 제3배선층보다도 하층의 제2배선층에 의해 코일(CL1)이 형성되고 있다. 즉, 배선(M2)과 같은 층에 코일(CL1)이 형성되고 있다.
- [0064] 코일(CL1)은 제2배선층에 의해 형성하고 있으므로, 코일(CL1)은 배선(M2)과 같은 층의 도전층에 의해 같은 공정에서 형성할 수 있다. 예를 들면, 층간 절연막(IL2) 상에 형성한 도전막을 패터닝하는 것으로 배선(M2)을 형성하는 경우는, 그 도전막을 패터닝 할 때에 배선(M2)만이 아니라, 코일(CL1)도 형성할 수 있다. 또한, 예를 들면, 배선(M2)을 다마신 법을 이용하여 형성하는 경우에는, 코일(CL1)도 배선(M2)과 같은 공정에서 다마신 법을 이용하여 형성할 수 있으며, 이 경우, 배선(M2) 및 코일(CL1)은 층간 절연막(IL2)의 홈에 매립된 도전막(예를 들면, 구리를 주체로 하는 도전막)으로 형성된다.
- [0065] 코일(CL2)과 코일(CL1) 사이에는, 복수의 절연층이 개재되어 있지만, 구체적으로는, 층간 절연막(IL3)과 적층막(LF)이 개재되어 있다. 즉, 코일(CL2)과 코일(CL1) 사이에는, 아래로부터 순서대로, 층간 절연막(IL3)과 산화 실리콘막(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)이 개재되어 있다. 이 때문에, 코일(CL2)과 코일(CL1)은 도체로는 연결되지 않고, 전기적으로는 절연된 상태가 되고 있다. 다만, 코일(CL2)과 코일(CL1)은 자기적으로 결

합하고 있다.

- [0066] 따라서, 하층 층의 코일(CL1)은 제2배선층인 배선(M2)과 같은 층에 형성되며, 이 코일(CL1) 상에, 층간 절연막(IL3), 산화 실리콘막(LF1), 질화 실리콘막(LF2) 및 수지막(LF3)을 통해서 코일(CL2)이 형성된 상태가 되고 있다.
- [0067] 수지막(LF3)은 바람직하게는 폴리이미드막이다. 폴리이미드(polyimide)막은 반복 단위로 이미드 결합을 포함하는 고분자로, 유기 절연막의 일종이다. 수지막(LF3)은 폴리이미드막 이외에, 에폭시계, PBO계, 아크릴계, WRP계의 수지 등, 다른 유기 절연막을 사용할 수도 있다. 폴리이미드계 수지는 200℃ 이상의 고 내열이 요구되는 기기에 적합하게 사용되는 유기 수지이지만, 재료의 열 팽창 계수나, 연성 등의 기계적 강도, 큐어 온도 등에 따라, 나누어 사용할 수 있다.
- [0068] 적층막(LF) 상에, 즉, 수지막(LF3) 상에, 재배선(RW) 및 코일(CL2)을 덮도록, 절연성의 보호막(표면 보호막, 절연막, 보호 절연막)(PA)이 형성되고 있다. 보호막(PA)은 절연막이므로, 보호 절연막으로 불 수도 있다. 보호막(PA)에 의해, 재배선(RW) 및 코일(CL2)이 덮여져 보호되고 있다. 보호막(PA)으로는, 수지막이 바람직하고, 예를 들면, 폴리이미드막을 적절하게 사용할 수 있다. 보호막(PA)이 반도체 칩(반도체 장치)의 최표면의 막이 된다.
- [0069] 패드(PD2, PD3)는 각각 보호막(PA)의 개구부(OP2, OP3)에서 노출되고 있다. 즉, 패드(PD2) 상에 개구부(OP2)가 마련되는 것으로, 패드(PD2)가 보호막(PA)의 개구부(OP2)에서 노출되고, 또한, 패드(PD3) 상에 개구부(OP3)가 마련되는 것으로, 패드(PD3)가 보호막(PA)의 개구부(OP3)에서 노출되고 있다. 따라서, 보호막(PA)의 개구부(OP2, OP3)에서 각각 노출하는 패드(PD2, PD3)에 각각 후술하는 본딩 와이어(BW) 등의 도전성 연결 부재를 접속할 수 있다.
- [0070] 또한, 패드(PD2, PD3) 상에는, 각각 기초금속막(UM)을 형성해 두는 것이 바람직하다. 즉, 패드(PD2) 상에 기초금속막(UM)이 형성되며, 이 패드(PD2) 상의 기초금속막(UM)이 보호막(PA)의 개구부(OP2)에서 노출되고 있다. 또한, 패드(PD3) 상에 기초금속막(UM)이 형성되며, 이 패드(PD3) 상의 기초금속막(UM)이 보호막(PA)의 개구부(OP3)에서 노출되어 있다. 이에 의해, 보호막(PA)의 개구부(OP2, OP3)에서 각각 노출되는 기초금속막(UM)에 후술하는 본딩 와이어(BW) 등의 도전성 연결 부재를 접속하는 것이기 때문에, 접속 부재{본딩 와이어(BW)}를 쉽게 접속할 수 있다. 기초금속막(UM)은 예를 들면, 니켈(Ni)막과 그 니켈(Ni)막 상의 금(Au)막과의 적층막 등으로 이루어진다.
- [0071] 또한, 보호막(PA)은 형성하는 것이 바람직하지만, 생략할 수도 있다. 다만, 보호막(PA)을 형성한 경우는, 재배선(RW)과 코일(CL2)을 보호막(PA)으로 덮어 보호할 수 있으므로, 신뢰성 향상과 반도체 칩을 취급하기 쉽다는 등의 이점을 얻을 수 있다.
- [0072] 상기 반도체 칩(CP1)에 도 3의 반도체 장치를 적용한 경우, 반도체 칩(CP1) 내에 상기 송신 회로(TX1) 및 코일(CL1, CL2){이것이, 상기 코일(CL1a, CL2a)에 대응한다}이 형성되어 있고, 반도체 칩(CP1) 내에 형성되어 있는 송신 회로(TX1)는 반도체 칩(CP1) 내에서 내부 배선을 통해서 코일(CL1)에 전기적으로 접속되어 있다. 또한, 상기 반도체 칩(CP2)에 도 3의 반도체 장치를 적용한 경우, 반도체 칩(CP2) 내에 상기 송신 회로(TX2) 및 코일(CL1, CL2){이것이 상기 코일(CL1b, CL2b)에 대응한다}이 형성되고 있고, 반도체 칩(CP2) 내에 형성되어 있는 송신 회로(TX2)는 반도체 칩(CP2) 내에서 내부 배선을 통해서 코일(CL1)에 전기적으로 접속되어 있다.
- [0073] 이 경우, 반도체 칩(CP1) 내의 송신 회로(TX1)에서 반도체 칩(CP1) 내의 내부 배선을 통해서 반도체 칩(CP1) 내의 코일(CL1)에, 송신용 신호를 송신할 수 있다. 반도체 칩(CP1)에서 코일(CL2)에 접속되고 있는 패드(PD3)는 후술하는 본딩 와이어(BW) 등의 도전성 접속 부재를 통해서, 반도체 칩(CP2)의 패드(PD2){재배선(RW)에 접속된 패드(PD2)}에 전기적으로 접속되고, 또한, 반도체 칩(CP2)의 내부 배선을 통해서, 반도체 칩(CP2) 내의 수신 회로(RX1)에 전기적으로 접속된다. 이에 의해, 반도체 칩(CP1) 내에 있어서 코일(CL1)에서 전자 유도에 의해 코일(CL2)이 받은 신호(수신 신호)를 후술하는 본딩 와이어(BW)(접속 부재) 및 반도체 칩(CP2)의 내부 배선을 통해서, 반도체 칩(CP2) 내의 수신 회로(RX1)에 송신할 수 있다.
- [0074] 마찬가지로, 반도체 칩(CP2) 내의 송신 회로(TX2)에서 반도체 칩(CP2) 내의 내부 배선을 통해서, 반도체 칩(CP2) 내의 코일(CL1)에, 송신용 신호를 송신할 수 있다. 반도체 칩(CP2)에 있어서, 코일(CL2)에 접속되고 있는 패드(PD3)는 후술하는 본딩 와이어(BW) 등의 도전성 접속 부재를 통해서, 반도체 칩(CP1)의 패드(PD2){재배선(RW)에 접속된 패드(PD2)}에 전기적으로 접속되고, 또한, 반도체 칩(CP1)의 내부 배선을 통해서, 반도체 칩(CP1) 내의 수신 회로(RX2)에 전기적으로 접속된다. 이에 의해, 반도체 칩(CP2) 내에 있어서, 코일(CL1)에서 전자 유도에 의해 코일(CL2)이 받은 신호(수신 신호)를 후술하는 본딩 와이어(BW)(접속 부재) 및 반도체 칩(CP1)

의 내부 배선을 통해서, 반도체 칩(CP1) 내의 수신 회로(RX2)에 송신할 수 있다.

- [0075] <제조 공정에 대해서>
- [0076] 다음으로, 본 실시형태의 반도체 장치의 제조 공정에 대해서 설명한다. 아래의 제조 공정에 의해, 상기 도 3의 반도체 장치가 제조된다.
- [0077] 도 7~도 31은 본 실시형태의 반도체 장치의 제조 공정 중의 주요부 단면도이다. 도 7~도 31에는 상기 도 3에 상당하는 단면 영역의 단면도가 나타나 있다.
- [0078] 우선, 도 7에 나타내듯이, 예를 들면, 1~10Ω cm 정도의 비저항을 갖는 p형 단결정 실리콘 등으로 이루어진 반도체 기판(반도체 웨이퍼)(SB)을 준비한다.
- [0079] 반도체 기판(SB)은 주변 회로가 형성될 예정의 영역인 주변 회로 형성 영역(1A)과 트랜스가 형성될 예정의 영역인 트랜스 형성 영역(1B)을 가지고 있다. 주변 회로 형성 영역(1A)과 트랜스 형성 영역(1B)은 동일한 반도체 기판(SB)의 주면의 서로 다른 평면 영역에 대응하고 있다.
- [0080] 또한, 주변 회로 형성 영역(1A)에 형성되는 주변 회로는, 상기 반도체 칩(CP1)의 경우에는, 상기 제어 회로(CC), 송신 회로(TX1) 및 수신 회로(RX2) 등이며, 상기 반도체 칩(CP2)의 경우에는, 상기 구동 회로(DR), 수신 회로(RX1) 및 송신 회로(TX2) 등이다. 또한, 트랜스 형성 영역(1B)에 형성되는 트랜스는, 상기 반도체 칩(CP1)의 경우에는 상기 트랜스(TR1)이며, 상기 반도체 칩(CP2)의 경우에는 상기 트랜스(TR2)이다. 따라서, 트랜스 형성 영역(1B)에 형성되는 코일(CL1)과 코일(CL2)은, 상기 반도체 칩(CP1)의 경우는 각각 상기 코일(CL1a)과 코일(CL2a)이며, 상기 반도체 칩(CP2)의 경우는 각각 상기 코일(CL1b)과 코일(CL2b)이다.
- [0081] 다음으로, 반도체 기판(SB)의 주면에, 예를 들면, STI(Shallow Trench Isolation)법 등에 의해, 소자 분리 영역(ST)을 형성한다. 소자 분리 영역(ST)은 반도체 기판(SB)에 홈을 형성하고, 그 홈에 절연막을 매립하는 것에 의해 형성된다. 반도체 기판(SB)에 있어서, 소자 분리 영역(ST)에서 규정(획정)된 활성 영역에, 후술하는 것과 같이 MISFET이 형성된다.
- [0082] 다음으로, 주변 회로 형성 영역(1A)의 반도체 기판(SB)(의 활성 영역)에, MISFET 등의 반도체 소자를 형성한다. 아래에, MISFET의 형성 공정에 대해서 설명한다.
- [0083] 우선, 도 8에 나타내듯이, 반도체 기판(SB)에 p형웰(PW) 및 n형웰(NW)을 형성한다. p형웰(PW) 및 n형웰(NW)은 각각 이온 주입에 의해 형성되고, 반도체 기판(SB)의 주면으로부터 소정 깊이에 걸쳐서 형성된다.
- [0084] 그리고, 반도체 기판(SB)의 주면 상에 게이트 절연막(GF)을 통해서 게이트 전극(G1, G2)을 형성한다. 게이트 전극(G1)은 p형웰(PW) 상에 게이트 절연막(GF)을 통해서 형성되며, 게이트 전극(G2)은 n형웰(NW) 상에 게이트 절연막(GF)을 통해서 형성된다.
- [0085] 구체적으로는, 다음과 같이 해서, 게이트 절연막(GF)을 통해서 게이트 전극(G1, G2)을 형성할 수 있다. 즉, 우선, 반도체 기판(SB)의 주면을 세정 처리 등에 의해 청정화하고 나서, 반도체 기판(SB)의 주면에 게이트 절연막(GF)용 절연막을 형성하고, 그 후, 이 절연막 상에 게이트 전극(G1, G2)용의 다결정 실리콘 막을 형성한다. 게이트 절연막(GF)용 절연막은 예를 들면, 산화 실리콘막 또는 질화 실리콘막 등으로 이루어지며, 예를 들면, 열산화 법 등으로 형성할 수 있다. 게이트 전극(G1, G2)용 다결정 실리콘 막은 예를 들면, CVD(Chemical Vapor Deposition : 화학적 기상 성장)법 등으로 형성할 수 있다. 이 다결정 실리콘 막은, 성막시에 불순물을 도포하거나, 또는 성막 후에 이온 주입으로 불순물을 도입함으로써, 도프트 폴리실리콘막이 되어, 저 저항의 반도체막(도전성 재료막)으로 된다. 또한, 이 다결정 실리콘막은, 성막시에는 아몰퍼스 실리콘막이었던 것을, 성막 후의 열 처리에 의해 다결정 실리콘막으로 바꿀 수도 있다. 그리고, 이러한 다결정 실리콘막을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 패터닝된 다결정 실리콘막으로 이루어지는 게이트 전극(G1, G2)을 형성할 수 있다. 게이트 전극(G1, G2) 하에 잔존하는 게이트 절연막(GF)용의 절연막이 게이트 절연막(GF)이 된다.
- [0086] 다음으로, 반도체 기판(SB)의 p형웰(PW) 내에 n채널형 MISFET의 소스·드레인용의 n형 반도체 영역(NS)을 형성하고, 반도체 기판(SB)의 n형웰(NW) 내에 p채널형 MISFET의 소스·드레인용의 p형 반도체 영역(PS)을 형성한다. n형 반도체 영역(NS)과 p형 반도체 영역(PS)은 각각 이온 주입으로 형성할 수 있다. 게이트 전극(G1, G2)의 직하의 영역에는 이온 주입이 저지되므로, n형 반도체 영역(NS)은 p형웰(PW)의 게이트 전극(G1)의 양측의 영역에 형성되고, p형 반도체 영역(PS)은 n형웰(NW)의 게이트 전극(G1)의 양측의 영역에 형성된다.
- [0087] n형 반도체 영역(NS) 및 p형 반도체 영역(PS)을 각각 LDD구조로 하는 경우는, 저 불순물 농도의 n-형 반도체 영

역과 p-형 반도체 영역을 각각 이온 주입으로 형성하고 나서, 게이트 전극(G1, G2)의 측벽 상에 측벽 절연막(사이드 월 스페이서)을 형성하고, 그 후에, 고 불순물 농도의 n-형 반도체 영역과 p-형 반도체 영역을 각각 이온 주입으로 형성한다. 이로써, n-형 반도체 영역(NS)을 저 불순물 농도의 n-형 반도체 영역과 고 불순물 농도의 n-형 반도체 영역으로 이루어지는 LDD구조의 n-형 반도체 영역으로 할 수가 있고, 또한, p-형 반도체 영역(PS)을 저 불순물 농도의 p-형 반도체 영역과 고 불순물 농도의 p-형 반도체 영역으로 이루어지는 LDD구조의 p-형 반도체 영역으로 할 수가 있다.

- [0088] 다음으로, 지금까지의 이온 주입으로 도입된 불순물의 활성화를 위한 어닐링 처리(열 처리)를 실시한다.
- [0089] 이렇게 하여, 주변 회로 형성 영역(1A)의 반도체 기판(SB)에, n-채널형 MISFET과 p-채널형 MISFET이 형성된다. 게이트 전극(G1)과 게이트 전극(G2)의 아래의 게이트 절연막(GF)과 n-형 반도체 영역(NS)은, n-채널형 MISFET의 게이트 전극과 게이트 절연막과 소스·드레인 영역으로서 기능한다. 또한, 게이트 전극(G2)과 게이트 전극(G2)의 아래의 게이트 절연막(GF)과 p-형 반도체 영역(PS)은 p-채널형 MISFET의 게이트 전극과 게이트 절연막과 소스·드레인 영역으로서 기능한다.
- [0090] 다음으로, 시리사이드(Salicide : Self Aligned Silicide) 기술로, n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2)의 각 상부(표층부) 등에, 저 저항의 금속 시리사이드층(도시하지 않음)을 형성할 수도 있다. 예를 들면, 금속 시리사이드층 형성용의 금속막을 반도체 기판(SB) 상에 형성하고 나서, 열 처리를 함으로써, 그 금속막을 n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2)의 각 상층 부분과 반응시킨 후, 금속막의 미반응 부분을 제거한다. 이로써, n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2)의 각 상부(표층부)에, 각각 금속 시리사이드층(도시하지 않음)을 형성할 수 있다. 이 금속 시리사이드층을 형성함으로써, n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2)의 콘택트 저항이나, 확산 저항 등을 저 저항화 할 수 있다. 또한, 이 금속 시리사이드층은 형성하지 않아도 되며, 또는 n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2) 중, 금속 시리사이드층을 형성하는 것과 형성하지 않는 것을 마련할 수도 있다.
- [0091] 다음으로, 도 9에 나타내듯이, 반도체 기판(SB)의 주변(주변 전면) 상에, 층간 절연막(IL1)을 형성한다. 층간 절연막(IL1)은 반도체 기판(SB)에 형성된 MISFET을 덮도록 형성된다. 즉, 층간 절연막(IL1)은 반도체 기판(SB)의 주변 상에 n-형 반도체 영역(NS), p-형 반도체 영역(PS) 및 게이트 전극(G1, G2)을 덮도록 형성된다. 층간 절연막(IL1)은 반도체 기판(SB)의 주변 전면 상에 형성되기 때문에, 주변 회로 형성 영역(1A)과 트랜스 형성 영역(1B)의 양방에 형성된다. 층간 절연막(IL1)은 예를 들면, 산화 실리콘막의 단체막(單體膜)이나, 또는 질화 실리콘막과 그 질화 실리콘막보다 두꺼운 산화 실리콘막과의 적층막(질화 실리콘막이 하층 측에 산화 실리콘막이 상층 측에) 등으로 이루어진다.
- [0092] 층간 절연막(IL1)의 성막 후, 필요에 따라, 층간 절연막(IL1)의 표면(상면)을 CMP(Chemical Mechanical Polishing : 화학적 기계적 연마)법에 의해 연마하는 등으로, 층간 절연막(IL1)의 상면을 평탄화한다. 기초 단차에 의해 층간 절연막(IL1)의 표면에 요철 모양이 형성되어 있어도, 층간 절연막(IL1)의 표면을 CMP법에 의해 연마함으로써, 그 표면이 평탄화된 층간 절연막(IL1)을 얻을 수 있다.
- [0093] 다음으로, 층간 절연막(IL1) 상에 포토리소그래피 기술을 이용하여 형성한 포토 레지스트층(도시하지 않음)을 에칭 마스크로서 이용하여, 층간 절연막(IL1)을 드라이 에칭하는 것에 의해, 층간 절연막(IL1)에 콘택트 홀(관통 구멍, 구멍)을 형성한다. 그리고, 이 콘택트 홀 내에 도전막을 매립하는 것에 의해, 도 10에 나타내듯이, 도전성의 플러그(접속용 도체부)(V1)를 형성한다.
- [0094] 플러그(V1)를 형성하는 데는, 예를 들면, 콘택트 홀의 내부(저부 및 측벽 상)를 포함하는 층간 절연막(IL1) 상에, 스퍼터링 법 또는 플라즈마 CVD법 등에 의해 배리어 도체막(예를 들면, 티타늄막, 질화티탄막, 또는 그들의 적층막)을 형성한다. 그리고 텅스텐막 등으로 이루어지는 주도체막을 CVD법 등으로 배리어 도체막 상에 콘택트 홀을 매립하도록 형성한다. 그 후 콘택트 홀의 외부(층간 절연막(IL1) 상)의 불필요한 주도체막 및 배리어 도체막을 CMP 법 또는 에칭법 등에 의해 제거한다. 이렇게 하여, 층간 절연막(IL1)의 상면이 노출하고, 층간 절연막(IL1)의 콘택트 홀 내에 매립된 잔존하는 배리어 도체막 및 주도체막에 의해, 플러그(V1)가 형성된다. 도 10에서는 도면의 간략화 때문에, 플러그(V1)는 주도체막과 배리어 도체막을 일체화하여 나타내고 있다. 플러그(V1)는 그 저부에서 n-형 반도체 영역(NS), p-형 반도체 영역(PS), 게이트 전극(G1) 또는 게이트 전극(G2) 등과 전기적으로 접속된다.
- [0095] 다음으로, 도 11에 나타내듯이, 플러그(V1)가 매립된 층간 절연막(IL1) 상에, 최하층의 배선층인 제1배선층 배



선(M1)을 형성한다. 배선(M1)을 형성하는 데는, 먼저 플러그(V1)가 매립된 층간 절연막(IL1) 상에 제1배선층용의 도전막을 형성한다. 이 도전막은 예를 들면, 아래로부터 순서대로, 배리어 도체막(예를 들면, 티타늄막, 질화티탄막, 또는 그들의 적층막)과, 알루미늄막과, 배리어 도체막(예를 들면, 티타늄막, 질화티탄막, 또는 그들의 적층막)과의 적층막으로 이루어지며, 스퍼터링 법 등을 이용해서 형성될 수 있다. 이 도전막의 상기 알루미늄막은 배선(M1)을 형성하기 위한 알루미늄막으로 볼 수 있다. 그리고, 이 도전막을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 배선(M1)을 형성할 수 있다. 플러그(V1)는 그 상면이 배선(M1)에 접하는 것으로, 배선(M1)과 전기적으로 접속된다.

[0096] 배선(M1)을 형성하기 위한 상기 알루미늄막은, 순수 알루미늄막에 국한되지 않고, 알루미늄을 주성분으로 하는 도전 재료막(다만, 금속 전도를 나타내는 도전 재료막)을 이용할 수 있다. 예를 들면, Al(알루미늄)과 Si(실리콘)의 화합물막 또는 합금막, 또는 Al(알루미늄)과 Cu(구리)의 화합물막 또는 합금막, 또는 Al(알루미늄)과 Si(실리콘)과 Cu(구리)의 화합물막 또는 합금막을 배선(M1)을 형성하기 위한 알루미늄막으로서 적절하게 사용할 수 있다. 또한, 이 알루미늄막에 있어서의 Al(알루미늄)의 조성비는 50 원자%보다 큰(즉, Al 리치인) 것이 바람직하다. 이것은 배선(M1)을 형성하기 위한 상기 알루미늄막뿐만 아니라, 배선(M2)을 형성하기 위한 알루미늄막(즉, 후술하는 도전막(CD1)을 구성하는 알루미늄막)이나, 배선(M3)을 형성하기 위한 알루미늄막(즉, 후술하는 도전막(CD2)을 구성하는 알루미늄막)에 대해서도 마찬가지이다.

[0097] 또한, 제1배선층의 배선(M1)은 주변 회로 형성 영역(1A)에 형성할 뿐만 아니라, 또한, 트랜스 형성 영역(1B)에 형성할 수도 있다. 트랜스 형성 영역(1B)에 형성하는 배선(M1)으로는, 예를 들면 코일(CL1)과 주변 회로(상기 송신 회로(TX1) 또는 송신 회로(TX2) 등)를 전기적으로 접속하는 배선(후술하는 인출 배선(HW1, HW2)에 상당하는 배선) 등이 있다.

[0098] 또한, 여기에서는 배선(M1)을, 도전막을 패터닝하는 방법으로 형성한 경우에 대해서 설명했다. 다른 형태로서, 배선(M1)을 다마신 법으로 형성할 수도 있다. 이 경우, 플러그(V1)가 매립된 층간 절연막(IL1) 상에 절연막을 형성하고 나서, 그 절연막에 배선 홈을 형성하고, 그 배선 홈에 도전막을 매립하는 것으로, 매립 배선(예를 들면, 매립 구리 배선)으로서의 배선(M1)을 형성할 수 있다.

[0099] 다음으로, 도 12에 나타내듯이, 반도체 기관(SB)의 주면(주면 전면) 상에, 즉, 층간 절연막(IL1) 상에, 배선(M1)을 덮듯이, 층간 절연막(IL2)을 형성한다. 층간 절연막(IL2)은 산화 실리콘막 등으로 이루어지며, CVD법 등을 이용해서 형성될 수 있다. 층간 절연막(IL2)의 성막 후, 필요에 따라, 층간 절연막(IL2)의 표면(상면)을 CMP 법에 의해 연마하는 등으로 하여, 층간 절연막(IL2)의 상면의 평탄성을 높일 수 있다.

[0100] 다음으로, 층간 절연막(IL2) 상에 포토리소그래피 기술을 이용하여 형성한 포토 레지스트층(도시하지 않음)을 에칭 마스크로서 이용하여, 층간 절연막(IL2)을 드라이 에칭하는 것에 의해, 층간 절연막(IL2)에 스루 홀(관통 구멍, 구멍)을 형성한다. 그리고, 이 스루 홀 내에 도전막을 매립하는 것에 의해, 도전성의 비아부(접속용 도체부)(V2)를 형성한다. 비아부(V2)는, 도전성의 플러그로 볼 수도 있다. 비아부(V2)는, 플러그(V1)와 같은 방법으로 형성할 수 있지만, 비아부(V2)는, 플러그(V1)와 도전막의 재료를 달리할 수도 있다. 예를 들면, 플러그(V1)는 텅스텐막을 주체로 하고, 비아부(V2)는 알루미늄막을 주체로 할 수도 있다.

[0101] 다음으로, 비아부(V2)가 매립된 층간 절연막(IL2) 상에, 제2배선층의 배선(M2)을 형성한다. 배선(M2)을 형성하려면, 먼저, 도 13에 나타내듯이, 비아부(V2)가 매립된 층간 절연막(IL2) 상에, 제2배선층용의 도전막(CD1)을 형성한다. 이 도전막(CD1)은 예를 들면, 아래로부터 순서대로, 배리어 도체막(예를 들면, 티타늄막, 질화티탄막, 또는 그들의 적층막)과, 알루미늄막과 배리어 도체막(예를 들면, 티타늄막, 질화티탄막, 또는 그들의 적층막)과의 적층막으로 구성되며, 스퍼터링 법 등을 이용해서 형성될 수 있다. 도전막(CD1)은 제2배선층용의 도전막이지만, 코일(CL1) 형성용의 도전막을 겸하고 있다. 그리고, 이 도전막(CD1)을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 도 14에 나타내듯이, 배선(M2) 및 코일(CL1)을 형성할 수 있다. 배선(M2) 및 코일(CL1)은 각각, 패터닝된 도전막(CD1)으로 이루어진다. 비아부(V2)는 그 하면이 배선(M1)에 접하는 것으로 배선(M1)과 전기적으로 접속되며, 그 상면이 배선(M2)에 접하는 것으로 배선(M2)과 전기적으로 접속된다. 즉, 비아부(V2)는 배선(M1)과 배선(M2)을 전기적으로 접속하고 있다.

[0102] 여기에서, 트랜스 형성 영역(1B)에 있어서는, 코일(CL1)을 제2배선층의 배선(M2)과 같은 층에 같은 공정에서 형성하고 있다. 즉 제2배선층용의 도전막(CD1)을 패터닝 할 때, 트랜스 형성 영역(1B)에 있어서는, 코일(CL1)을 형성한다. 즉, 제2배선층용의 도전막(CD1)은 코일(CL1) 형성용의 도전막을 겸하고 있으며, 도전막(CD1)을 형성하고 나서, 이 도전막(CD1)을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 제2배선층의 배선(M2)과 코일(CL1)이 형성된다.

- [0103] 또한, 여기에서는 비아부(V2)와 배선(M2)을 별도 공정에서 형성하는 경우에 대해서 설명했다. 다른 형태로서, 비아부(V2)와 배선(M2)을 같은 공정에서 형성할 수 있으며, 이 경우, 비아부(V2)는 배선(M2) 또는 코일(CL1)과 일체적으로 형성된다. 이 경우, 층간 절연막(IL2)에 비아부(V2)용의 스루 홀을 형성한 후, 이 스루 홀을 매립하도록 층간 절연막(IL2) 상에 도전막(CD1)을 형성하고 나서, 이 도전막(CD1)을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 배선(M2) 및 코일(CL1)을 형성한다. 이로써, 배선(M2) 및 코일(CL1)이 형성됨과 동시에, 배선(M2) 또는 코일(CL1)과 일체적으로 형성된 비아부(V2)도 형성된다.
- [0104] 또한, 여기에서는 배선(M2) 및 코일(CL1)을 도전막을 패터닝하는 방법으로 형성한 경우에 대해서 설명했다. 다른 형태로서, 배선(M2) 및 코일(CL1)을 다마신 법으로 형성할 수도 있다. 이 경우, 층간 절연막(IL2) 상에 절연막을 형성하고 나서, 그 절연막에 배선 홈을 형성하고, 그 배선 홈에 도전막을 매립함으로써, 매립 배선(예를 들면, 매립 구리 배선)으로서의 배선(M2)과 코일(CL1)을 형성할 수 있다. 또는, 층간 절연막(IL2)에 배선 홈을 형성하고, 그 배선 홈에 도전막을 매립함으로써, 매립 배선(예를 들면, 매립 구리 배선)으로서의 배선(M2)과 코일(CL1)을 형성할 수도 있다.
- [0105] 다음으로, 도 15에 나타내듯이, 반도체 기판(SB)의 주면(주면 전면) 상에, 즉, 층간 절연막(IL2) 상에, 배선(M2)을 덮듯이, 층간 절연막(IL3)을 형성한다. 층간 절연막(IL3)은 산화 실리콘막 등으로 구성되며, CVD법 등을 이용해서 형성될 수 있다. 층간 절연막(IL3)의 성막 후, 필요에 따라, 층간 절연막(IL3)의 표면(상면)을 CMP법에 의해 연마하는 등으로, 층간 절연막(IL3)의 상면의 평탄성을 높일 수도 있다.
- [0106] 다음으로, 층간 절연막(IL3) 상에 포토리소그래피 기술을 이용하여 형성한 포토 레지스트층(도시하지 않음)을 에칭 마스크로서 이용하여 층간 절연막(IL3)을 드라이 에칭하는 것에 의해, 층간 절연막(IL3)에 스루 홀(관통 구멍, 구멍)을 형성한다. 그리고, 이 스루 홀 내에 도전막을 매립함으로써, 도전성의 비아부(접속용 도체부)(V3)를 형성한다. 비아부(V3)는, 도전성의 플러그로 볼 수도 있다. 비아부(V3)는 비아(V2)와 같은 도전 재료에 의해, 같은 방법으로 형성할 수 있다.
- [0107] 다음으로, 비아부(V3)가 매립된 층간 절연막(IL3) 상에, 제3배선층의 배선(M3)을 형성한다. 배선(M3)을 형성하려면, 먼저, 도 16에 나타내듯이, 비아부(V3)가 매립된 층간 절연막(IL3) 상에, 제3배선층용의 도전막(CD2)을 형성한다. 이 도전막(CD2)은 예를 들면, 아래로부터 순서대로, 배리어 도체막(예를 들면, 티타늄막, 질화티탄막 또는 그들의 적층막)과 알루미늄막과 배리어 도체막(예를 들면, 티타늄막, 질화티탄막 또는 그들의 적층막)과의 적층막으로 구성되며, 스퍼터링 법 등을 이용해서 형성할 수 있다. 도전막(CD2)은 제3배선층용의 도전막이지만, 패드(PD1) 형성용의 도전막을 겸하고 있다. 그리고, 이 도전막(CD2)을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 도 17로 나타내듯이, 배선(M3) 및 패드(PD1)를 형성할 수 있다. 배선(M3) 및 패드(PD1)는, 각각 패터닝된 도전막(CD2)으로 구성된다. 비아부(V3)는 그 하면이 배선(M2)에 접하는 것에 의해 배선(M2)과 전기적으로 접속되며, 그 상면이 배선(M3) 또는 패드(PD1)에 접하는 것에 의해 배선(M3) 또는 패드(PD1)와 전기적으로 접속된다. 즉 비아부(V3)는 배선(M2)과 배선(M3)을 전기적으로 접속하거나, 또는 배선(M2)과 패드(PD1)를 전기적으로 접속하고 있다.
- [0108] 또한, 여기에서는 비아부(V3)와 배선(M3)을 별도 공정에서 형성하는 경우에 대해서 설명했다. 다른 형태로서, 비아부(V3)와 배선(M3) 및 패드(PD1)를 같은 공정에서 형성할 수 있으며, 이 경우 비아부(V3)는 배선(M3) 또는 패드(PD1)와 일체적으로 형성된다. 이 경우, 층간 절연막(IL3)에 비아부(V3)용 스루 홀을 형성한 후, 이 스루 홀을 덮듯이 층간 절연막(IL3) 상에 도전막(CD2)을 형성하고 나서, 이 도전막(CD2)을 포토리소그래피 기술 및 에칭 기술을 이용하여 패터닝함으로써, 배선(M3) 및 패드(PD1)를 형성한다. 이로써, 배선(M3) 및 패드(PD1)가 형성됨과 동시에, 배선(M3) 또는 패드(PD1)와 일체적으로 형성된 비아부(V3)도 형성된다.
- [0109] 패드(PD1)의 평면 형상은, 예를 들면, 배선(M3)의 배선 폭보다도 큰 변을 갖는 대략 직사각형 모양의 평면 형상으로 할 수 있다. 패드(PD1)는 바람직하게는 알루미늄을 주체로 하는 알루미늄 패드이며, 배선(M3)은 바람직하게는 알루미늄을 주체로 하는 알루미늄 배선이다.
- [0110] 또한, 알루미늄 패드 및 알루미늄 배선에 사용하고 있는 알루미늄 막으로는 Al(알루미늄)과 Si(실리콘)의 화합물막 또는 합금막, 또는 Al(알루미늄)과 Cu(구리)의 화합물막 또는 합금막, 또는 Al(알루미늄)과 Si(실리콘)과 Cu(구리)의 화합물막 또는 합금막 등을 필요에 따라 사용할 수 있다. Al(알루미늄)의 조성비는 50 원자%보다 큰 것(즉, Al 리치인)이 바람직하다.
- [0111] 다음으로, 도 18에 나타내듯이, 반도체 기판(SB)의 주면(주면 전면) 상에, 즉, 층간 절연막(IL3) 상에, 배선(M3) 및 패드(PD1)를 덮듯이, 산화 실리콘 막(LF1)을 형성한다. 산화 실리콘막(LF1)은 CVD법 등으로 형성할 수

있다. 산화 실리콘막(LF1)의 성막법으로서, HDP(High Density Plasma : 고밀도 플라즈마)-CVD법이 매우 바람직하다. 산화 실리콘막(LF1)의 두께(형성막 두께)는 예를 들면, 1~6 $\mu$ m 정도로 할 수 있다.

- [0112] 산화 실리콘막(LF1)을 성막하기 전 단계에서는, 배선(M3) 및 패드(PD1)는 노출되고 있었지만, 산화 실리콘막(LF1)을 성막하면, 배선(M3) 및 패드(PD1)는 산화 실리콘막(LF1)으로 덮여지므로, 노출하지 않는 상태가 된다.
- [0113] 다음으로, 도 19에 나타내듯이, 산화 실리콘막(LF1)에 개구부(OP1a)를 형성한다. 개구부(OP1a)는 패드(PD1) 상의 산화 실리콘막(LF1)을 선택적으로 제거함으로써 형성되며, 개구부(OP1a)가 평면시에서, 패드(PD1)에 내포되도록 형성된다. 예를 들면, 산화 실리콘막(LF1)을 성막한 후, 산화 실리콘막(LF1) 상에 포토리소그래피 기술을 이용하여 포토 레지스트 패턴(도시하지 않음)을 형성하고, 이 포토 레지스트 패턴을 에칭 마스크로 이용하여 산화 실리콘막(LF1)을 드라이 에칭함으로써, 산화 실리콘막(LF1)에 개구부(OP1a)를 형성할 수 있다. 개구부(OP1a)는 산화 실리콘막(LF1)을 관통하도록 형성되어, 개구부(OP1a)에서 패드(PD1)의 적어도 일부가 노출된다.
- [0114] 산화 실리콘막(LF1)에 개구부(OP1a)를 형성하면, 패드(PD1)는 산화 실리콘막(LF1)의 개구부(OP1a)에서 노출되지만, 이때, 패드(PD1)의 상면의 적어도 일부가 산화 실리콘막(LF1)의 개구부(OP1a)에서 노출되는 데 대하여, 패드(PD1)의 측면(측벽)은 산화 실리콘막(LF1)의 개구부(OP1a)에서 노출되지 않고, 산화 실리콘막(LF1)으로 덮여 있는 것이 바람직하다. 즉, 평면시에서, 산화 실리콘막(LF1)의 개구부(OP1a)는 패드(PD1)와 겹쳐지고 있지만, 산화 실리콘막(LF1)의 개구부(OP1a)는 패드(PD1)에 내포되어 있는 것이 바람직하며, 즉, 산화 실리콘막(LF1)의 개구부(OP1a)의 외주는 패드(PD1)의 외주보다도 내측에 있는 것이 바람직하다. 또한, 산화 실리콘막(LF1)에 개구부(OP1a)를 형성하면, 산화 실리콘막(LF1)의 개구부(OP1a)에서 패드(PD1)가 노출되지만, 패드(PD1) 이외의 배선(M3)은 산화 실리콘막(LF1)으로 덮여진 상태가 유지되므로, 노출되지 않는다. 패드(PD1) 이외의 배선(M3)은 그 이후에도 산화 실리콘막(LF1)으로 덮여진 상태가 유지되므로, 노출되지 않는다.
- [0115] 또한, 「평면시(平面視)」란 반도체 기관(SB)의 주면에 평행한 평면에서 본 경우를 말하는 것이다.
- [0116] 다음으로, 도 20에 나타내듯이, 반도체 기관(SB)의 주면(주면 전면) 상에, 즉, 산화 실리콘막(LF1) 상에, 질화 실리콘막(LF2)을 형성한다. 질화 실리콘막(LF2)은 CVD법 등으로 형성할 수 있다. 질화 실리콘막(LF2)의 성막법으로서, 플라즈마 CVD법이 매우 바람직하다. 질화 실리콘막(LF2)의 두께(형성막 두께)는 예를 들면, 0.5~3 $\mu$ m 정도로 할 수 있다.
- [0117] 질화 실리콘막(LF2)은 반도체 기관(SB)의 주면 전면에 형성되므로, 산화 실리콘막(LF1) 상과, 산화 실리콘막(LF1)의 개구부(OP1a)에서 노출하는 패드(PD1) 상에 형성된다. 질화 실리콘막(LF2)을 성막하기 전의 단계에서는, 산화 실리콘막(LF1)의 개구부(OP1a)에서 패드(PD1)가 노출되고 있지만, 질화 실리콘막(LF2)을 성막하면, 산화 실리콘막(LF1)의 개구부(OP1a)에서 노출되고 있던 패드(PD1)는 질화 실리콘막(LF2)으로 덮여지므로, 노출되지 않은 상태가 된다.
- [0118] 다음으로, 도 21에 나타내듯이, 질화 실리콘막(LF2)에 개구부(OP1b)를 형성한다. 개구부(OP1b)는 패드(PD1) 상의 질화 실리콘막(LF2)을 선택적으로 제거함으로써 형성되며, 개구부(OP1b)가 평면시에서 패드(PD1)에 내포되도록 형성된다. 예를 들면, 질화 실리콘막(LF2)을 성막한 후, 질화 실리콘막(LF2) 상에 포토리소그래피 기술을 이용하여 포토 레지스트 패턴(도시하지 않음)을 형성하고, 이 포토 레지스트 패턴을 에칭 마스크로서 이용하여 질화 실리콘막(LF2)을 드라이 에칭함으로써, 질화 실리콘막(LF2)에 개구부(OP1b)를 형성할 수 있다. 개구부(OP1b)는 질화 실리콘막(LF2)을 관통하게 형성되어, 개구부(OP1b)에서 패드(PD1)의 적어도 일부가 노출된다.
- [0119] 도 21과 상기 도 4 및 도 5에서 알 수 있듯이, 개구부(OP1b)는 평면시에서 개구부(OP1a)에 내포되도록 형성된다. 즉, 질화 실리콘막(LF2)의 개구부(OP1b)의 평면 치수(평면 면적)는 산화 실리콘막(LF1)의 개구부(OP1a)의 평면 치수(평면 면적)보다도 작고, 평면시에서 질화 실리콘막(LF2)의 개구부(OP1b)는 산화 실리콘막(LF1)의 개구부(OP1a)에 내포되어 있다. 환언하면, 산화 실리콘막(LF1)의 개구부(OP1a)의 평면 치수(평면 면적)는, 질화 실리콘막(LF2)의 개구부(OP1b)의 평면 치수(평면 면적)보다도 크고, 평면시에서 산화 실리콘막(LF1)의 개구부(OP1a)는, 질화 실리콘막(LF2)의 개구부(OP1b)를 내포하고 있다. 즉, 평면시에서, 질화 실리콘막(LF2)의 개구부(OP1b)는 산화 실리콘막(LF1)의 개구부(OP1a)와 겹쳐지며, 질화 실리콘막(LF2)의 개구부(OP1b)의 외주는 산화 실리콘막(LF1)의 개구부(OP1a)의 외주의 내측에 있다.
- [0120] 따라서, 질화 실리콘막(LF2)을 성막한 단계에서 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽은 질화 실리콘막(LF2)으로 덮여진 상태가 되어, 그 후에, 질화 실리콘막(LF2)에 개구부(OP1b)를 형성해도, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽은 질화 실리콘막(LF2)으로 덮여진 상태로 된다.
- [0121] 즉, 평면시에서, 질화 실리콘막(LF2)의 개구부(OP1b)가 산화 실리콘막(LF1)의 개구부(OP1a)로부터 돌출되는 경

우는, 질화 실리콘막(LF2)에 개구부(OP1b)를 형성하면, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽이 질화 실리콘막(LF2)으로 덮여지지 않고 노출된다. 반면에, 본 실시형태처럼, 평면시에서, 질화 실리콘막(LF2)의 개구부(OP1b)가 산화 실리콘막(LF1)의 개구부(OP1a)에 내포되어 있는 경우는, 질화 실리콘막(LF2)에 개구부(OP1b)를 형성해도 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽은 질화 실리콘막(LF2)으로 덮여져 있는 상태로 된다. 이 때문에, 패드(PD1)를 형성하고 있는 평면 영역에 있어서, 산화 실리콘막(LF1)은 질화 실리콘막(LF2)으로 덮여져 있으므로, 노출되어 있지 않으며, 이 상태는 개구부(OP1b) 형성시 및 그 이후에도 유지된다. 즉, 질화 실리콘막(LF2)의 성막 후에는 산화 실리콘막(LF1)은 노출되지 않는다.

[0122] 또한, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽은 테이퍼를 가지고 있는 것이 바람직하다. 이에 의해, 나중에, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽 상에 재배선(RW)을 형성하기 쉽게 된다.

[0123] 또한, 질화 실리콘막(LF2)의 상면에는, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽에 기인한 단차부(DS)가 형성되어 있다. 이 단차부(DS)는 나중에 수지막(LF3)을 형성하며, 또한 수지막(LF3)에 개구부(OP1c)를 형성한 단계에서, 수지막(LF3)으로 덮여져 있는 것이 보다 바람직하다. 이로써, 후에 재배선(RW)을 형성할 때에, 기초에 단차가 적게 되기 때문에, 재배선(RW)을 형성하기 쉬워진다.

[0124] 다음으로, 도 22에 나타내듯이, 반도체 기판(SB)의 주면(주면 전면) 상에, 즉, 질화 실리콘막(LF2) 상에, 수지막(LF3)을 형성한다. 수지막(LF3)은 반도체 기판(SB)의 주면 전면에 형성하기 때문에, 질화 실리콘막(LF2) 상과, 질화 실리콘막(LF2)의 개구부(OP1b)에서 노출하는 패드(PD1) 상에 형성된다.

[0125] 수지막(LF3)은 폴리이미드막 등을 알맞게 사용할 수 있다. 수지막(LF3)은 예를 들면, 도포법으로 형성할 수 있다. 구체적으로는, 소위, 스핀 코트(회전도포) 법을 이용하여, 반도체 기판(SB)을 회전시키며, 반도체 기판(SB)의 주면에 폴리이미드의 전구체 액을 도포한 후, 이를 건조시킴으로써, 수지막(LF3)으로서의 폴리이미드막을 형성할 수 있다. 수지막(LF3)의 두께(형성막 두께)는 예를 들면 1~20 $\mu$ m 정도로 할 수 있다.

[0126] 수지막(LF3)은 반도체 기판(SB)의 주면 전면에 형성하기 위해, 질화 실리콘막(LF2) 상과, 질화 실리콘막(LF2)의 개구부(OP1b)에서 노출하는 패드(PD1) 상에 형성된다. 수지막(LF3)을 성막하기 전의 단계에서는, 질화 실리콘막(LF2)의 개구부(OP1b)에서 패드(PD1)가 노출되어 있었지만, 수지막(LF3)을 성막하면, 질화 실리콘막(LF2)의 개구부(OP1b)에서 노출되어 있던 패드(PD1)는 수지막(LF3)으로 덮여지므로, 노출되지 않은 상태로 된다.

[0127] 다음으로, 도 23에 나타내듯이, 수지막(LF3)에 개구부(OP1c)를 형성한다. 개구부(OP1c)는 예를 들면, 다음과 같이 해서 형성할 수 있다. 즉, 수지막(LF3)을 감광성 수지막으로 형성해 두고, 이 감광성 수지로 구성되는 수지막(LF3)을 노광, 현상함으로써, 개구부(OP1c)가 되는 부분의 수지막(LF3)을 선택적으로 제거함으로써, 수지막(LF3)에 개구부(OP1c)를 형성한다. 그 후, 열 처리를 하고, 수지막(LF3)을 경화시킨다. 개구부(OP1c)는 수지막(LF3)을 관통하게 형성되어, 개구부(OP1c)에서 패드(PD1)의 적어도 일부가 노출된다.

[0128] 또한, 다른 형태로서, 수지막(LF3) 상에 포토리소그라피 기술을 이용하여 형성한 포토 레지스트층을 에칭 마스크로서 이용하여, 수지막(LF3)을 드라이 에칭함으로써, 수지막(LF3)에 개구부(OP1c)를 형성할 수도 있고, 이 경우는 수지막(LF3)은 감광성 수지막이 아니어도 된다.

[0129] 도 23과 상기 도 4 및 도 5에서 알 수 있듯이, 개구부(OP1c)는 평면시에서, 개구부(OP1b)를 내포하게 형성된다. 즉, 수지막(LF3)의 개구부(OP1c)의 평면 치수(평면 면적)는, 질화 실리콘막(LF2)의 개구부(OP1b)의 평면 치수(평면 면적)보다도 크고, 평면시에서, 수지막(LF3)의 개구부(OP1c)는 질화 실리콘막(LF2)의 개구부(OP1b)를 내포하고 있다. 환언하면, 질화 실리콘막(LF2)의 개구부(OP1b)의 평면 치수(평면 면적)는, 수지막(LF3)의 개구부(OP1c)의 평면 치수(평면 면적)보다도 작고, 평면시에서, 질화 실리콘막(LF2)의 개구부(OP1b)는 수지막(LF3)의 개구부(OP1c)에 내포되어 있다. 즉, 평면시에서, 수지막(LF3)의 개구부(OP1c)는 질화 실리콘막(LF2)의 개구부(OP1b)와 겹치며, 수지막(LF3)의 개구부(OP1c)의 외주는 질화 실리콘막(LF2)의 개구부(OP1b)의 외측에 있다.

[0130] 따라서, 수지막(LF3)을 성막한 단계에서, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽은, 수지막(LF3)으로 덮여진 상태가 되지만, 그 후에 수지막(LF3)에 개구부(OP1c)를 형성하면, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽은 수지막(LF3)으로 덮여지지 않고 노출된 상태가 된다.

[0131] 즉, 평면시에서, 수지막(LF3)의 개구부(OP1c)가 질화 실리콘막(LF2)의 개구부(OP1b)에 내포되어 있는 경우는, 수지막(LF3)에 개구부(OP1c)를 형성하더라도, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽이 수지막(LF3)으로 덮여진 상태인 채로 된다. 반면에, 본 실시형태처럼, 평면시에서, 수지막(LF3)의 개구부(OP1c)가 질화 실리콘막(LF2)의 개구부(OP1b)를 내포하고 있는 경우는, 수지막(LF3)에 개구부(OP1c)를 형성하면, 질화 실리콘막(LF2)에

개구부(OP1b)의 내벽은 수지막(LF3)으로 덮여지지 않고 노출된 상태가 된다.

- [0132] 또한, 수지막(LF3)의 개구부(OP1c)의 내벽은 테이퍼를 가지고 있는 것이 바람직하다. 이에 의해, 나중에 수지막(LF3)의 개구부(OP1c)의 내벽 상에 재배선(RW)을 형성하기 쉽게 된다.
- [0133] 이렇게 하여, 패드(PD1)의 적어도 일부를 노출하는 개구부(OP1)를 갖는 적층막(적층 절연막)(LF)이 형성된다. 적층막(LF)의 개구부(OP1)에서 패드(PD1)의 표면이 노출되지만, 패드(PD1)의 일부는, 즉, 패드(PD1)에 있어서, 평면시에서, 개구부(OP1)와 겹치지 않는 부분은, 적층막(LF)으로 덮여진 상태가 되어 있다. 구체적으로는, 패드(PD1)의 중앙부는 적층막(LF)으로 덮여 있지 않으며, 또한 패드(PD1)의 외주부는 적층막(LF)으로 덮여진 상태로 되어 있다. 이 상태는 이후의 공정에서도 유지된다.
- [0134] 적층막(LF)은 산화 실리콘막(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)으로 구성된다. 적층막(LF)은 패드(PD1)의 적어도 일부를 노출하는 개구부(OP1)를 가지고 있지만, 이 개구부(OP1)는 수지막(LF3)의 개구부(OP1c)와 질화 실리콘막(LF2)의 개구부(OP1b)와 산화 실리콘막(LF1)의 개구부(OP1a)에 의해 형성되고 있다.
- [0135] 다만, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽은 질화 실리콘막(LF2)으로 덮여 있기 때문에, 적층막(LF)의 개구부(OP1)의 내벽은 수지막(LF3)의 개구부(OP1c)의 내벽과, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽과, 개구부(OP1c)의 내벽과 개구부(OP1b)의 내벽 사이에 위치하고 또한 수지막(LF3)으로 덮여 있지 않은 질화 실리콘막(LF2)의 상면에 의해, 형성된다.
- [0136] 이와 같이, 도 7~도 23과 같이 하여, 반도체 기관(SB)에 대해서 웨이퍼 프로세스를 실시한다. 웨이퍼 프로세스는 전(前) 공정이라고도 불린다. 여기서 웨이퍼 프로세스는, 일반적으로, 반도체 웨이퍼{반도체 기관(SB)}의 주면 상에 여러 가지 소자(여기에서는, MISFET 등)나, 배선층{여기에서는 배선(M1, M2, M3)} 및 패드 전극{여기에서는 패드(PD1)}을 형성하고, 표면 보호막{여기에서는 적층막(LF)}을 형성한 후, 반도체 웨이퍼에 형성된 복수 개의 칩 영역의 각각의 전기적 시험을 프로브(probe) 등에 의해 할 수 있는 상태까지의 공정을 말한다. 반도체 웨이퍼의 각 칩 영역은 반도체 웨이퍼에 있어서, 거기에서 1개의 반도체 칩이 취득되는 영역에 대응하고 있다.
- [0137] 따라서, 적층막(LF)은 웨이퍼·프로세스를 한 반도체 웨이퍼에 있어서는, 최상층이 되어, 표면 보호막이 된다. 또한, 제3배선층의 배선(M3)이 최상층 배선이 되고, 이 제3배선층에 의해 패드(PD1)가 형성되고 있다.
- [0138] 적층막(LF)의 개구부(OP1)에서 노출된 패드(PD1)를 이용하여, 프로브 테스트(웨이퍼 테스트)를 함으로써, 반도체 웨이퍼{반도체 기관(SB)}의 각 칩 영역의 전기적 시험을 할 수 있다. 구체적으로는, 반도체 웨이퍼{반도체 기관(SB)}의 각 칩 영역에 있어서, 적층막(LF)의 개구부(OP1)에서 노출된 패드(PD1)에 시험용 프로브(프로브침, 탐침)를 맞추어 각 칩 영역의 전기적 시험을 실시한다. 이 프로브 테스트의 결과에 의해, 반도체 웨이퍼{반도체 기관(SB)}의 각 칩 영역이 양품인지 불량품인지를 선별하거나, 프로브 테스트 측정 결과의 데이터를 각 제조 공정에 피드백하여, 수율 향상과 신뢰성 향상에 도움이 될 수 있다. 따라서, 프로브 테스트는 생략할 수 있지만, 하는 것이 더 바람직하다.
- [0139] 위와 같은, 웨이퍼·프로세스(전처리) 공정에 의해서, 상기 도 23의 구조가 얻어진 후, 필요에 따라, 프로브 테스트를 한 후, 도 24에 나타내듯이, 반도체 기관(SB)의 주면(주면 전면) 상에, 즉, 적층막(LF)의 개구부(OP1)에서 노출하는 패드(PD1) 상을 포함하는 적층막(LF) 상에, 시드막(시드층)(SE)을 형성한다. 시드막(SE)은 나중에 전기 도금용 시드층(급전층)으로서 기능시키는 막이다.
- [0140] 시드막(SE)은 예를 들면, 크롬(Cr)막과 그 크롬(Cr)막 상의 구리(Cu)막의 적층막 등으로 구성되며, 예를 들면, 스퍼터링법에 의해서 형성될 수 있다. 이로써, 개구부(OP1)의 저부에 노출하는 패드(PD1) 상과 개구부(OP1)의 내벽 상을 포함하는 적층막(LF) 상에 시드막(SE)이 형성된다. 개구부(OP1)를 제외하면, 적층막(LF)의 표면은 수지막(LF3)이므로, 수지막(LF3) 상에 수지막(LF3)에 접하도록 시드막(SE)이 형성된다.
- [0141] 시드막(SE)의 막 두께는 예를 들면, 크롬(Cr)막이 75nm 정도로, 구리(C)막이 250nm 정도로 할 수 있다. 또한, 시드막(SE) 중의 하층 층의 크롬(Cr)막은 배리어 도체막으로 기능할 수 있어, 예컨대, 구리의 확산 방지 기능이 나, 수지막(LF3)과의 접착성을 향상하는 기능을 가지고 있지만, 크롬(Cr)막에 한정되는 것이 아니라, 예를 들면 티타늄(Ti)막, 티타늄 텅스텐(TiW)막, 또는 질화 티탄(TiN)막 또는 텅스텐(W)막 등을 이용할 수도 있다.
- [0142] 다음으로, 시드막(SE) 상에 레지스트막(포토 레지스트 막)을 형성하고 나서, 포토리소그라피 법을 이용하여(구체적으로는, 노광, 현상을 하고), 이 레지스트막을 패터닝함으로써, 도 25에 나타내듯이, 패터닝된 레지스트막으로 구성된 레지스트 패턴(포토 레지스트 패턴)(PR1)을 시드막(SE) 상에 형성한다.
- [0143] 이 레지스트 패턴(PR1)은 재배선(RW), 패드(PD2), 코일(CL2) 및 패드(PD3)를 형성해야 하는 영역 이외의 영역에

형성되고, 재배선(RW)을 형성할 예정인 영역과, 패드(PD2)를 형성할 예정인 영역과, 코일(CL2)을 형성할 예정인 영역과, 패드(PD3)를 형성할 예정인 영역에서는 시드막(SE)이 노출된다. 즉 레지스트 패턴(PR1)은 재배선(RW)을 형성할 예정인 영역과, 패드(PD2)를 형성할 예정인 영역과, 코일(CL2)을 형성할 예정인 영역과, 패드(PD3)를 형성할 예정인 영역에 개구부(홈)를 가지고 있다.

[0144] 다음으로, 도 26에 나타내듯이, 레지스트 패턴(PR1)의 개구부(홈)에서 노출하는 시드막(SE) 상에, 구리(Cu)막(CF)을 전기도금법으로 형성한다. 이로써, 구리막(CF)이 레지스트 패턴(PR1)에 의해서 덮여 있지 않은 영역의 시드막(SE) 상에 선택적으로 형성된다. 구리막(CF)의 막 두께는 예를 들면 4~10 $\mu$ m 정도로 할 수 있다. 구리막(CF)은 재배선(RW)을 형성할 예정인 영역과, 패드(PD2)를 형성할 예정인 영역과, 코일(CL2)을 형성할 예정인 영역과, 패드(PD3)를 형성할 예정인 영역에 형성된다.

[0145] 다음으로, 구리막(CF) 상을 포함하는 레지스트 패턴(PR1) 상에 다른 레지스트막(포토 레지스트 막)을 형성하고 나서, 포토리소그라피 법을 이용하여(구체적으로는 노광, 현상하고), 이 레지스트막을 패터닝함으로써, 도 27에 나타내듯이, 패터닝된 레지스트막으로 구성된 레지스트 패턴(포토 레지스트 패턴)(PR2)을 형성한다.

[0146] 이 레지스트 패턴(PR2)은 패드(PD2)에 있어서 기초금속막(UM)을 형성해야 할 영역 이외의 영역에 형성되고, 기초금속막(UM)을 형성할 예정인 영역에서는 구리막(CF)이 노출된다. 즉 레지스트 패턴(PR2)은, 기초금속막(UM)을 형성할 예정인 영역에 개구부를 가지고 있다.

[0147] 다음으로, 도 27에 나타내듯이, 레지스트 패턴(PR2)의 개구부에서 노출하는 구리막(CF) 상에 기초금속막(UM)을 전기도금법으로 형성한다. 이로써, 기초금속막(UM)이 레지스트 패턴(PR2)에 의해 덮여 있지 않은 영역의 구리막(CF) 상에 형성된다. 기초금속막(UM)은 패드(PD2)가 되는 부분의 구리막(CF) 상과, 패드(PD3)가 되는 부분의 구리막(CF) 상에 형성된다. 기초금속막(UM)은 예를 들면, 니켈(Ni)막과 그 니켈(Ni)막 상의 금(Au)막과의 적층막 등으로 이루어진다. 이때의 니켈(Ni)막의 막 두께는 예를 들면, 1.5 $\mu$ m 정도로 할 수 있으며, 금(Au)막의 막 두께는 예를 들면, 2 $\mu$ m 정도로 할 수 있다.

[0148] 다음으로, 도 28에 나타내듯이, 레지스트 패턴(PR2)과 레지스트 패턴(PR1)을 제거한다. 이로써, 구리막(CF)이 노출되는 동시에, 구리막(CF)이 형성되어 있지 않은 영역의 시드막(SE){즉, 구리막(CF)으로 덮여져 있지 않은 부분의 시드막(SE)}도 노출된다.

[0149] 또한, 본 실시형태에서는, 구리막(CF)을 형성한 후, 레지스트 패턴(PR1)을 제거하지 않고, 레지스트 패턴(PR2)을 형성하고 나서, 기초금속막(UM)을 형성하고, 그 후에 레지스트 패턴(PR2, PR1)을 제거하는 경우에 대해서 설명했다. 다른 형태로서, 구리막(CF)을 형성한 후, 레지스트 패턴(PR1)을 제거하고 나서, 레지스트 패턴(PR2)을 형성하고, 그 후에, 기초금속막(UM)을 형성하고 나서, 레지스트 패턴(PR2)을 제거할 수 있다.

[0150] 다음으로, 도 29에 나타내듯이, 구리막(CF)으로 덮여져 있지 않은 부분의 시드막(SE)을 에칭에 의해 제거한다. 이때, 구리막(CF)으로 덮여져 있지 않은 부분의 시드막(SE), 즉 구리막(CF)의 아래에 위치하는 시드막(SE)은 제거되지 않고 남아 있다. 이때의 에칭은 구리막(CF)으로 덮여져 있지 않은 부분의 시드막(SE)은 제거되지만, 구리막(CF)이나, 기초금속막(UM)은 과도하게 에칭되지 않을 정도의 에칭으로 하는 것이 바람직하다.

[0151] 이렇게 하여, 시드막(SE) 및 구리막(CF)으로 이루어지는 재배선(RW), 패드(PD2), 코일(CL2) 및 패드(PD3)가 형성된다. 즉, 재배선(RW), 패드(PD2), 코일(CL2) 및 패드(PD3)는 각각 시드막(SE)과 시드막(SE) 상의 구리막(CF)과의 적층막으로 이루어진다.

[0152] 재배선(RW), 패드(PD2), 코일(CL2) 및 패드(PD3)는 적층막(LF)의 수지막(LF3) 상에 형성된다. 다만, 재배선(RW)은 개구부(OP1)에서 노출된 패드(PD1) 상을 포함하는 적층막(LF) 상에 형성되며, 패드(PD1)와 전기적으로 접속되어 있다. 재배선(RW)은 패드(PD2)에도 접속되며, 구체적으로는, 패드(PD2)는 재배선(RW)과 일체적으로 형성되고 있다. 이 때문에, 패드(PD1)와 패드(PD2)는 재배선(RW)을 통해서 전기적으로 접속되어 있다. 또한, 코일(CL2)은 패드(PD3)에 접속되며, 구체적으로는, 패드(PD3)는 코일(CL2)과 일체적으로 형성되고 있다.

[0153] 또한, 패드(PD2)를 구성하는 구리막(CF) 상과, 패드(PD3)를 구성하는 구리막(CF) 상에는 기초금속막(UM)이 형성되고 있다. 패드(PD2) 상의 기초금속막(UM)을 패드(PD2)의 일부로 볼 수도 있으며, 패드(PD3) 상의 기초금속막(UM)을 패드(PD3)의 일부로 볼 수도 있다.

[0154] 또한, 본 실시형태에서는, 재배선(RW)의 주재료로 구리(Cu)를 이용한 경우(즉, 재배선(RW)의 주 도체막으로 구리막(CF)을 이용한 경우)에 대해서 설명했다. 다른 형태로서, 재배선(RW)의 주재료로 금(Au)을 이용할 수도 있다(즉 재배선(RW)의 주 도체막으로 구리막(CF) 대신에 금막을 이용할 수도 있다). 패드(PD2), 코일(CL2) 및 패

드(PD3)는 재배선(RW)과 같은 층의 도전막으로 형성되기 때문에, 재배선(RW)의 주재료로 구리(Cu)를 이용했을 경우에는, 패드(PD2), 코일(CL2) 및 패드(PD3)의 주재료도 동(Cu)이 되고, 재배선(RW)의 주재료로 금(Au)을 이용했을 경우에는, 패드(PD2), 코일(CL2) 및 패드(PD3)의 주재료도 금(Au)이 된다. 재배선(RW)의 주재료로서 금(Au)을 이용했을 경우에는, 금(Au)은 내식성이 우수하므로, 내식성을 향상할 수 있다. 한편, 본 실시형태처럼, 재배선(RW)의 주재료로서 구리(Cu)를 이용했을 경우에는, 구리(Cu)는 저 저항이고, 값이 싸므로, 성능 향상과 제조 비용 절감을 도모할 수 있다.

[0155] 다음으로, 도 30에 나타내듯이, 반도체 기관(SB)의 주면(주면 전면)상에, 즉, 적층막(LF) 상에 재배선(RW), 패드(PD2), 코일(CL2) 및 패드(PD3)를 덮도록 절연성의 보호막(표면 보호막, 절연막, 보호 절연막)(PA)을 형성한다. 보호막(PA)으로는 수지막이 바람직하고, 예를 들면, 폴리이미드막을 적절하게 사용할 수 있다.

[0156] 보호막(PA)은, 예를 들면, 도포법으로 형성할 수 있다. 구체적으로는, 소위 스핀 코트(회전도포) 법을 이용하여, 반도체 기관(SB)을 회전시키면서, 반도체 기관(SB)의 주면에 폴리이미드의 전구체 액을 도포한 후, 이를 건조시킴으로써, 보호막(PA)으로서의 폴리이미드막을 형성할 수 있다.

[0157] 다음으로, 도 31에 나타내듯이, 보호막(PA)에 개구부(OP2, OP3)를 형성한다. 개구부(OP2, OP3)는, 예를 들면, 다음과 같이 형성할 수 있다. 즉, 보호막(PA)을 감광성 수지막으로 형성해 두고, 이 감광성 수지로 된 보호막(PA)을 노광, 현상함으로써, 개구부(OP2, OP3)가 되는 부분의 보호막(PA)을 선택적으로 제거함으로써, 보호막(PA)에 개구부(OP2) 및 개구부(OP3)를 형성한다. 그 후, 열 처리를 하여, 보호막(PA)을 경화시킨다. 개구부(OP2) 및 개구부(OP3)는 보호막(PA)을 관통하도록 형성되고, 개구부(OP2)에서 패드(PD2)의 적어도 일부가 노출되어, 개구부(OP3)에서 패드(PD3)의 적어도 일부가 노출된다. 패드(PD2, PD3) 상에 기초금속막(UM)을 형성하고 있는 경우에는, 개구부(OP2)에서 패드(PD2) 상의 기초금속막(UM)이 노출되고, 개구부(OP3)에서 패드(PD3) 상의 기초금속막(UM)이 노출한다.

[0158] 반도체 패키지를 제조할 때, 패드(PD2, PD3)에 대해서, 와이어 본딩을 할 경우, 개구부(OP2, OP3)에서 각각 노출하는 기초금속막(UM)에 대해서 후술하는 본딩 와이어(BW)가 접속된다. 기초금속막(UM)을 두는 것에 의해, 패드(PD2, PD3)에 대한 본딩 와이어(BW) 등의 도전성 연결 부재의 접속이 쉽고, 또한 정확하게 이루어질 수 있게 된다.

[0159] 또한, 다른 형태로서, 보호막(PA) 상에 포토리소그래피 기술을 이용하여 형성한 포토 레지스트층을 에칭 마스크로서 이용하여 보호막(PA)을 드라이 에칭함으로써, 보호막(PA)에 개구부(OP2)를 형성할 수도 있고, 이 경우는 보호막(PA)은 감광성 수지막이 아니어도 된다.

[0160] 패드(PD2, PD3){또는 패드(PD2, PD3) 상의 기초금속막(UM)}는 보호막(PA)의 개구부(OP2, OP3)에서 노출되지만, 재배선(RW) 및 코일(CL2)은 보호막(PA)에 의해 피복되어 보호된다. 최상층인 보호막(PA)을 폴리이미드 수지 등과 같은 수지막(유기계 절연막)으로 하는 것으로, 비교적 부드러운 수지막(유기계 절연막)을 최상층으로 반도체 칩의 취급을 쉽게 할 수 있다.

[0161] 그 후, 반도체 기관(SB)을 절단(다이싱)하여 복수의 반도체 칩으로 분할(개편화) 한다. 이에 의해, 반도체 기관(SB)(반도체 웨이퍼)의 각 칩 영역에서 반도체 칩이 취득된다. 또한, 다이싱 전에, 반도체 기관(SB)의 이면 연삭을 하여, 반도체 기관(SB)을 박막화해도 된다.

[0162] <반도체 장치(반도체 칩)의 주요 특징과 효과에 대해서>

[0163] 본 실시형태에서는, 반도체 장치(반도체 칩)는 반도체 기관(SB) 상에 제1절연막{여기에서는, 층간 절연막(IL1, IL2)}을 통해서 형성된 코일(CL1)과 반도체 기관(SB) 상에 제1절연막 및 코일(CL1)을 덮도록 형성된 제2절연막{여기에서는 층간 절연막(IL3)}과, 제2절연막 상에 형성되고, 또한 코일(CL1)과는, 평면시에서, 겹치지 않는 위치에 배치된 패드(PD1)를 가지고 있다. 또한, 제2절연막 상에 형성된 적층막(LF)으로, 패드(PD1)를 노출하는 개구부(OP1)를 갖는 적층막(LF)과, 적층막(LF) 상에 형성되고 또한 코일(CL1)의 상부에 배치된 코일(CL2)과, 개구부(OP1)에서 노출된 패드(PD1) 상을 포함하는 적층막(LF) 상에 형성되고 또한 패드(PD1)와 전기적으로 접속된 재배선(RW)(제1배선)을 가지고 있다. 코일(CL1)과 코일(CL2)은 도체에는 접속되지 않고, 자기적으로 결합되어 있다.

[0164] 본 실시형태의 주요 특징 중 하나는, 적층막(LF)이 산화 실리콘막(LF1)과 산화 실리콘막(LF1) 상의 질화 실리콘막(LF2)과 질화 실리콘막(LF2) 상의 수지막(LF3)으로 되어 있고, 산화 실리콘막(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)은 코일(CL1)과 코일(CL2) 사이에도 개재하고 있는 것이다.

- [0165] 적층막(LF)은 패드(PD1)의 형성 후에, 재배선(RW) 및 코일(CL2)의 형성 전에 형성하는 절연막이다. 이 때문에, 패드(PD1)의 일부는 적층막(LF)으로 덮여져 있고, 적층막(LF) 상에 코일(CL2)과 재배선(RW)이 형성되고 있다. 그래서, 패드(PD1)를 이용하여 테스트 공정(프로브 테스트)을 할 경우에는, 적층막(LF)은 최상층의 막(표면 보호막)으로서 기능할 수 있다. 패드(PD1)의 일부는 적층막(LF)으로 덮여져 있지만, 이는 평면시에서, 개구부(OP1)와 겹치지 않는 부분의 패드(PD1)가 적층막(LF)으로 덮여져 있기 때문이며, 구체적으로는, 패드(PD1)의 중앙부는 적층막(LF)으로 덮여져 있지 않고, 패드(PD1)의 외주부는 적층막(LF)으로 덮여져 있다.
- [0166] 본 실시형태에서는, 적층막(LF)을 산화 실리콘막(LF1)과, 질화 실리콘막(LF2)과 수지막(LF3)을 이 순서대로 적층한 적층막으로 하는 것이 중요하다. 이 적층막(LF)은 코일(CL1)과 코일(CL2) 사이에 개재하므로, 산화 실리콘막(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)은 코일(CL1)과 코일(CL2) 사이에 개재하는 것이 된다.
- [0167] 산화 실리콘막과 질화 실리콘막과 수지막(예를 들면, 폴리이미드막)에서 절연 내압을 비교할 경우, 산화 실리콘막이 가장 절연 내압을 높이기 쉽고, 이어서 수지막(예를 들면, 폴리이미드막)이 절연 내압을 높이기 쉽다. 즉, 산화 실리콘막과 질화 실리콘막과 수지막(예를 들면, 폴리이미드막)을 단위 두께당 절연 내압으로 비교하면, 산화 실리콘막이 가장 높았고, 수지막(예를 들면, 폴리이미드막)이 높게 된다. 코일(CL1)과 코일(CL2) 사이에는 큰 전위 차이가 발생하는 경우가 있으므로, 코일(CL1, CL2)을 가진 반도체 칩의 신뢰성이나, 그 반도체 칩을 포함하는 반도체 패키지의 신뢰성, 혹은 그 반도체 패키지를 이용한 전자 장치의 신뢰성을 향상시키는 데는, 코일(CL1)과 코일(CL2) 사이의 절연 내압을 최대한 높게 하는 것이 바람직하다. 이 때문에, 코일(CL1)과 코일(CL2) 사이에 개재하는 적층막(LF)이 산화 실리콘막(LF1)을 포함하는 것에 의해, 코일(CL1)과 코일(CL2) 사이의 절연 내압을 향상시킬 수 있다. 즉, 단위 두께당 절연 내압이 상대적으로 높은 산화 실리콘막(LF1)을 코일(CL1)과 코일(CL2) 사이에 개재시키는 것에 의해, 코일(CL1)과 코일(CL2) 사이의 절연 내압을 향상시킬 수 있다.
- [0168] 그러나, 산화 실리콘막은 흡습성이 있으므로, 산화 실리콘막은 최상층의 막(표면막)으로 하고 싶지는 않다. 적층막(LF)의 표면은 패드(PD1)를 사용하여 테스트 공정(프로브 테스트)을 실시하는 경우에는, 최표면이 된다. 산화 실리콘막이 흡습하면, 반도체 장치의 신뢰성을 떨어뜨릴 우려가 있다. 또한, 산화 실리콘막 상에 수지막(예를 들면, 폴리이미드막)을 직접 형성한 경우, 수지막(예를 들면, 폴리이미드막) 중의 수분이 산화 실리콘막에 확산하여 산화 실리콘막이 흡습되어 버릴 우려가 있다.
- [0169] 그러므로, 본 실시형태에서는, 산화 실리콘막(LF1)을 적층막(LF)의 최상층으로 하지 않고, 또한, 산화 실리콘막(LF1) 상에 직접적으로 수지막을 형성하지 않도록 하고 있다. 즉, 본 실시형태에서는, 산화 실리콘막(LF1) 상에, 산화 실리콘막(LF1)에 접하도록, 질화 실리콘막(LF2)을 형성하고 있다. 산화 실리콘막(LF1) 상에 질화 실리콘막(LF2)을 형성하는 것으로, 산화 실리콘막의 흡습을 억제 또는 방지할 수 있다.
- [0170] 코일(CL1)과 코일(CL2) 사이의 절연 내압을 높이려면, 코일(CL1)과 코일(CL2) 사이에 개재하는 절연막에 대해서, 단위 두께당 절연 내압을 높이는 관점과, 절연막의 두께를 두껍게 하는 관점이 있다. 산화 실리콘막(LF1)은 단위 두께당 절연 내압이 높으므로, 절연 내압 향상의 관점에서는 가급적 두껍게 하고 싶지만, 성막상, 두께를 두껍게 하는 것은 쉽지 않다. 또한, 산화 실리콘 막(LF1)을 너무 두껍게 하면, 제조 중에 반도체 기관(SB)(반도체 웨이퍼)이 휘게 될 우려가 있다. 또한, 질화 실리콘막은 단위 두께당 절연 내압이 그다지 높지 않으므로, 질화 실리콘막에서 절연 내압을 높이는 것은 절연 내압 향상의 관점에서는 불리하다. 그러므로, 본 실시형태에서는, 적층막(LF)이 수지막(LF3)도 포함하는 것에 의해, 코일(CL1)과 코일(CL2) 사이의 절연 내압을 올리고 있다. 즉, 산화 실리콘막(LF1)만으로, 절연 내압을 높이려고 한다면, 산화 실리콘막을 두껍게 형성하는 것의 제조상의 어려움이나, 반도체 기관(SB)(반도체 웨이퍼)의 휨의 우려가 있지만, 수지막(LF3)에서도 절연 내압을 높게 하도록 하면, 그러한 우려를 해소할 수 있다. 다만, 산화 실리콘막의 흡습 우려가 있기 때문에, 산화 실리콘막(LF1) 상에 수지막(LF3)을 직접 형성하는 것이 아니라, 산화 실리콘막(LF1)과 수지막(LF3) 사이에 질화 실리콘막(LF2)을 개재시킴으로써, 산화 실리콘막(LF1)이 흡습하지 않도록 할 수 있다.
- [0171] 이와 같이, 본 실시형태에서는, 적층막(LF)이 산화 실리콘막(LF1)을 포함하는 것으로, 절연 내압을 향상시키고 있다. 또한, 적층막(LF)이 수지막(LF3)도 포함함으로써, 절연 내압을 더욱 향상시키고 함께, 제조상의 어려움을 없애고, 또한, 제조 중에 반도체 기관(SB)(반도체 웨이퍼)이 휘는 문제가 생기지 않도록 하고 있다. 또한, 산화 실리콘막(LF1)과 수지막(LF3) 사이에 질화 실리콘막(LF2)을 개재시킴으로써 산화 실리콘막(LF1)이 흡습하는 문제가 생기지 않도록 하고 있다. 이 때문에, 적층막(LF)을 산화 실리콘막(LF1)과 질화 실리콘막(LF2)과 수지막(LF3)을 이 순서대로 적층한 적층막으로 하는 것이 중요하다. 이로써, 코일(CL1, CL2)을 갖는 반도체 장치(반도체 칩)의 신뢰성을 향상시킬 수 있다. 또한, 코일(CL1, CL2)을 가진 반도체 칩을 포함하는 반도체 패키지(반도체 장치)의 신뢰성, 또는 그 반도체 패키지를 이용한 전자 장치의 신뢰성을 향상시킬 수 있다.



- [0172] 또한, 적층막(LF)의 최상층을 수지막(LF3)으로 한 것은, 패드(PD1)를 사용하여 테스트 공정(프로브 테스트)을 한 경우, 그 테스트 공정을 실시하기 쉽고, 취급을 하기 쉽다는 이점도 얻을 수 있다. 즉, 테스트 공정(프로브 테스트)에 있어서, 최표면이 수지막(LF3)이 되는데, 최표면은 부드러운 편이 되어 취급하기 쉽다. 이 관점에서, 수지막(LF3)으로서 폴리이미드막이 적당하며, 폴리이미드막은 부드러움(유연성이 있다) 때문에, 테스트 공정(프로브 테스트)에서 최표면이 폴리이미드막으로 되어 있는 것이, 테스트 공정을 실시하기 쉽고, 취급하기 쉽게 된다.
- [0173] 또한, 산화 실리콘막과 폴리이미드막은, 반도체 기판(반도체 웨이퍼) 상에 형성한 경우에, 응력의 방향이 반대이고, 따라서, 반도체 기판(반도체 웨이퍼)의 휘어짐의 방향이 반대가 된다. 이 때문에, 수지막(LF3)으로서, 폴리이미드막을 이용한 경우에는, 산화 실리콘막(LF1)의 응력에 기인하여 반도체 기판(SB)(반도체 웨이퍼)이 휘는 것을, 폴리이미드막의 응력에 의해 상쇄할 수 있기 때문에, 제조 중에 반도체 기판(SB)(반도체 웨이퍼)이 휘는 것을 억제 및 방지하는 효과도 얻을 수 있다.
- [0174] 또한, 질화 실리콘막(LF2)은 산화 실리콘막(LF1)이 흡습하는 것을 방지하는 역할이 있다. 이 때문에, 질화 실리콘막(LF2)의 두께는 0.5 $\mu$ m 이상이면 더 바람직하다. 이로써, 산화 실리콘막(LF1)이 흡습하는 것을 정확하게 방지할 수 있다.
- [0175] 또한, 질화 실리콘막(LF2)은 산화 실리콘막(LF1)에 비해서, 단위 두께당 절연 내압이 낮기 때문에, 질화 실리콘막(LF2)보다도 산화 실리콘막(LF1)에서 절연 내압을 올리는 편이 절연 내압 향상의 관점에서는 유리하다. 또한, 질화 실리콘막과 산화 실리콘막을 비교하면, 반도체 기판(반도체 웨이퍼)에 형성했을 때에 반도체 기판(반도체 웨이퍼)에 휨을 발생시키기 쉬운 것은, 질화 실리콘막이다. 이 때문에, 질화 실리콘막(LF2)을 지나치게 두껍게 하면, 반도체 기판(SB)(반도체 웨이퍼)에 휨이 발생할 우려가 있다.
- [0176] 이 때문에, 산화 실리콘막(LF1)의 두께는 질화 실리콘막(LF2)의 두께보다도 두꺼운(큰) 것이 더 바람직하다. 즉, 질화 실리콘막(LF2)의 두께는 산화 실리콘막(LF1)의 두께보다 얇은(작은) 것이 더 바람직하다. 이로써, 코일(CL1)과 코일(CL2) 사이의 절연 내압을 향상시킬 수 있음과 동시에, 반도체 기판(SB)(반도체 웨이퍼)의 휨을 억제 및 방지할 수 있다. 또한 이러한 관점에서, 질화 실리콘막(LF2)은 3 $\mu$ m 이하이면 보다 바람직하다. 여기에서는 산화 실리콘 막(LF1)의 두께와, 질화 실리콘막(LF2)의 두께는 코일(CL1)과 코일(CL2) 사이의 산화 실리콘막(LF1)의 두께와 질화 실리콘막(LF2)의 두께에 대응하고 있다.
- [0177] 또한, 도 35에, 산화 실리콘막(LF1)의 두께인 두께(T1)와, 질화 실리콘막(LF2)의 두께인 두께(T2)와, 수지막(LF3)의 두께인 두께(T3)를 나타나고 있다. 상술한 바와 같이, 산화 실리콘막(LF1)의 두께(T1)는 질화 실리콘막(LF2)의 두께(T2)보다 두꺼운(큰) 것이 바람직하다(즉, T1>T2).
- [0178] 또한, 적층막(LF)은 패드(PD1)를 노출하는 개구부(OP1)를 가지고 있고, 패드(PD1)의 중앙부는 적층막(LF)으로 덮여져 있지 않지만, 패드(PD1)의 외주부는 적층막(LF)으로 덮여져 있다. 적층막(LF)의 개구부(OP1)는 산화 실리콘막(LF1)의 개구부(OP1a)와, 질화 실리콘막(LF2)의 개구부(OP1b)와, 수지막(LF3)의 개구부(OP1c)에 의해 형성되고 있다.
- [0179] 본 실시형태에서는, 상기 도 4 및 도 5에 나타내듯이, 질화 실리콘막(LF2)의 개구부(OP1b)가, 평면시에서, 산화 실리콘막(LF1)의 개구부(OP1a)에 내포되고, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽이 질화 실리콘막(LF2)으로 덮여져 있는 것이 더 바람직하다. 이로써, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽에 있어서도, 산화 실리콘막(LF1)의 표면이 질화 실리콘막(LF2)으로 덮여지게 되므로, 산화 실리콘막(LF1)이 흡습하는 것을 보다 정확하게 방지할 수 있다. 즉, 실시형태와는 달리, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽이 질화 실리콘막(LF2)으로 덮여지지 않은 경우, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽에서 산화 실리콘막(LF1)이 흡습할 우려가 있다. 반면, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽이 질화 실리콘막(LF2)으로 덮여져 있으면, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽에서 산화 실리콘막(LF1)이 흡습하는 것을 방지할 수 있으므로, 산화 실리콘막(LF1)의 흡습을 보다 정확하게 방지할 수 있다.
- [0180] 또한, 본 실시형태에서는, 상기 도 4 및 도 5에 나타내듯이, 질화 실리콘막(LF2)의 개구부(OP1b)가, 평면시에서, 수지막(LF3)의 개구부(OP1c)에 내포되어, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽이 수지막(LF3)으로 덮여지지 않는 것이 더 바람직하다. 그렇게 함으로써, 패드(PD1)의 노출 면적(패드(PD1)에 있어서, 적층막(LF)의 개구부(OP1)에서 노출되는 부분의 면적)은 질화 실리콘막(LF2)의 개구부(OP1b)에 의해 규정되게 된다. 이에 의해, 패드(PD1)의 노출 면적의 변동을 억제할 수 있다. 즉, 질화 실리콘막에 비교하면, 수지막(예를 들면, 폴리이미드 막)은 성막 후의 수축량이 크기 때문에, 질화 실리콘막(LF2)의 개구부(OP1b)에 비하여, 수

지막(LF3)의 개구부(OP1c)가 평면 치수(평면 면적)가 변화하기 쉽다. 그러나, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽이 수지막(LF3)으로 덮여지지 않도록 하면, 패드(PD1)의 노출 면적은 질화 실리콘막(LF2)의 개구부(OP1b)에 의해 규정되기 때문에, 비록 수지막(LF3)의 수축량이 변동했다고 해도, 패드(PD1)의 노출 면적에 영향을 주지 않는다. 이 때문에, 패드(PD1)의 노출 면적의 변동을 억제할 수 있다. 그래서, 패드(PD1)를 이용한 테스트 공정(프로브 테스트)을 보다 쉽고 정확하게 실시할 수 있게 된다.

[0181] 또한, 본 실시형태에서는, 산화 실리콘막(LF1)의 개구부(OP1a)의 내벽에 기인하여 형성된 질화 실리콘막(LF2)의 상면의 단차부(DS)는, 수지막(LF3)으로 덮여져 있는 것이 더 바람직하다. 이로써, 재배선(RW)을 형성하는 기초에 단차가 적게 되기 때문에, 재배선(RW)을 형성하기 쉬워지고, 재배선(RW)을 보다 정확하게 형성할 수 있게 된다. 이 때문에, 도금법을 이용하여 재배선(RW)을 보다 정확하게 형성할 수 있게 된다. 또한, 도금막이 단선되기 어렵기 때문에, 재배선(RW)의 신뢰성을 향상시킬 수 있다.

[0182] 또한, 본 실시형태에서는, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽은 테이퍼를 가지면서, 또한 수지막(LF3)의 개구부(OP1c)의 내벽은 테이퍼를 가지고 있는 것이 바람직하다. 이에 의해, 패드(PD1) 상에서 적층막 상으로 연장하는 재배선(RW)을 형성하기 쉬워져서, 재배선(RW)을 보다 정확하게 형성할 수 있게 된다. 예를 들면, 재배선(RW)을 전기 도금으로 형성하기 위한 기초의{급전용(給電用)의} 시드층(상기 시드막(SE)에 대응)을 스퍼터링법 등으로 형성할 때에, 그 시드층을 정확하게 형성할 수 있으며, 시드층의 형성 불량을 방지할 수 있다. 이 때문에, 시드층의 단선 불량을 막고, 재배선(RW)용의 도금층을 정확하게 형성할 수 있다.

[0183] 여기에서, 질화 실리콘막(LF2)의 개구부(OP1b)의 내벽이 테이퍼를 가지고 있으면, 개구부(OP1b)의 내벽은 반도체 기관(SB)의 주면에 수직인 방향에서 경사지고, 개구부(OP1b)는, 저부측보다도 상부측이 치수(평면 치수)가 커진다. 또한, 수지막(LF3)의 개구부(OP1c)의 내벽이 테이퍼를 가지고 있으면, 개구부(OP1c)의 내벽은 반도체 기관(SB)의 주면에 수직인 방향에서 경사지고, 개구부(OP1c)는, 저부측보다도 상부측이 치수(평면 치수)가 커진다.

[0184] 또한, 산화 실리콘막(LF1)은 HDP(High Density Plasma : 고밀도 플라즈마)-CVD법으로 형성하는 것이 바람직하다. 산화 실리콘막(LF1)은, 적층막(LF)의 최하층의 막이므로, 패드(PD1)와 같은 층의 배선(여기에서는 배선(M3))에 접하고, 또한, 그 배선(여기에서는 배선(M3))을 덮도록 형성하게 된다. 산화 실리콘막(LF1)은 절연 내압을 얻기 위해서 두께를 두껍게 하는 것이 바람직하지만, 두께를 두껍게 한 경우에도, 패드(PD1)와 같은 층의 배선(여기에서는 배선(M3))의 인접 배선 간을 매립할 수 있도록, 매립성이 양호한 성막법을 적용하는 것이 바람직하다. HDP-CVD법으로 형성한 산화 실리콘막은 매립성이 양호하다. 이 때문에, 산화 실리콘막(LF1)은 HDP-CVD법으로 형성하면, 패드(PD1)와 같은 층의 배선(여기에서는 배선(M3))의 배선 간의 매립 불량을 방지하면서, 산화 실리콘막(LF1)의 두께를 두껍게 할 수 있다. 그러므로, 반도체 장치의 신뢰성을 더욱 향상시킬 수 있다. 또한, HDP-CVD법으로 형성한 산화 실리콘막을, HDP-CVD 산화막이라고 칭한다. 또한, 산화 실리콘 막(LF1)을 HDP-CVD법으로 형성할 경우, 그 성막시의 플라즈마의 밀도는  $1 \times 10^{11} \sim 1 \times 10^{12} / \text{cm}^3$  정도로 하는 것이 바람직하다. 고밀도 플라즈마 CVD가 아니라, 통상의 플라즈마 CVD에서는 플라즈마 밀도는  $1 \times 10^9 \sim 1 \times 10^{10} / \text{cm}^3$  정도가 일반적이다.

[0185] 또한, 상술한 바와 같이, 상하로 배치된 코일(CL2)과 코일(CL1) 사이의 절연막의 적층 구조를 연구함으로써, 코일(CL2)과 코일(CL1)의 절연 내압을 향상하는 등으로, 반도체 장치의 신뢰성을 향상시키고 있다. 코일(CL2)과 재배선(RW)은 같은 층에 형성되고 있지만, 평면시에서, 코일(CL2)과 재배선(RW) 사이의 최단 거리는 코일(CL2)과 코일(CL1) 사이의 간격(상하 방향의 간격)보다도 큰 것이 바람직하다. 이로써, 코일(CL2)과 재배선(RW) 사이의 절연 내압도 확보할 수 있다. 평면시에서, 코일(CL2)과 재배선(RW) 사이의 최단 거리는 예를 들면 100 $\mu\text{m}$  이상으로 할 수 있다.

[0186] 또한, 수지막(LF3)은 가장 바람직한 것은 폴리이미드막이다. 폴리이미드막은 내용제성, 내열성 및 기계적 강도가 높다. 수지막(LF3)으로는, 폴리이미드막 외에 에폭시계, PBO계, 아크릴계, WRP계의 수지 등, 다른 유기 절연막을 사용할 수도 있다.

[0187] <코일의 구성에 대해서>

[0188] 다음으로, 반도체 칩(CP1) 내에 형성된 트랜스(TR1)를 구성하는 코일의 구성에 대해서 설명한다.

[0189] 도 32는 반도체 칩(CP1) 내에 형성된 트랜스(TR1)의 회로 구성을 나타내는 회로도이다. 도 33 및 도 34는 본 실시형태의 반도체 칩(CP1)의 주요부 평면도로서, 상기 트랜스 형성 영역(1B)에 형성된 코일 평면도가 개시되어

있다. 도 35 및 도 36은 본 실시형태의 반도체 칩(CP1)의 주요부 단면도로, 상기 트랜스 형성 영역(1B)의 단면도가 나타나 있다.

- [0190] 또한, 도 33과 도 34는 반도체 칩(CP1)의 같은 평면 영역이 나타나 있지만, 층이 다른 것으로, 도 34는 도 33보다 하층이 나타나고 있다. 구체적으로는, 도 33에는 반도체 칩(CP1)에 형성된 트랜스(TR1)의 이차 측의 코일{코일(CL5, CL6)}이 나타나 있고, 도 34에는 반도체 칩(CP1)에 형성된 트랜스(TR1)의 일차 측의 코일{코일(CL7, CL8)}이 나타나 있다. 또한, 일차 측의 코일(CL7, CL8)과 그 인출용 배선(인출 배선(HW1, HW2))과의 상대적 위치 관계를 알기 쉽도록, 도 34에서는 인출 배선(HW1, HW2)을 점선으로 나타내고 있다. 또한 도 33 및 도 34의 A1-A1선에서의 단면도가 도 35에 대응되고, 도 33 및 도 34의 A2-A2선에서의 단면도가 도 36에 대응되고 있다.
- [0191] 상기한 바와 같이, 반도체 칩(CP1) 내에 트랜스(TR1)용의 일차 코일과 이차 코일이 형성되고, 일차 코일과 이차 코일 중에서, 일차 코일이 하층에, 이차 코일이 상층에 형성되어 있다. 즉, 일차 코일의 상부에 이차 코일이 배치되고, 이차 코일의 하부에 일차 코일이 배치되고 있다.
- [0192] 여기에서, 일차 코일과 이차 코일을 각각 2개의 코일로 구성하고, 즉, 트랜스(TR1)를 2개의 트랜스로 구성하고, 이 2개의 트랜스를 차동(差動)해서 동작시키면, 노이즈 내성이 높아진다.
- [0193] 여기에서, 본 실시형태에서는 도 32에 나타내듯이, 트랜스(TR1)의 일차 코일{상기 코일(CL1a)에 상당하는 것}을, 직렬로 접속된 코일(CL7)과 코일(CL8)로 형성하고, 트랜스(TR1)의 이차 코일{상기 코일(CL2a)에 상당하는 것}을, 패드(PD5)와 패드(PD6) 사이에 직렬로 접속된 코일(CL5)과 코일(CL6)로 형성한 구성을 채용하고 있다. 이 경우, 코일(CL7)과 코일(CL5)이 자기 결합(유도 결합)되고, 코일(CL8)과 코일(CL6)이 자기 결합(유도 결합)된다. 직렬로 접속된 코일(CL7, CL8)은 송신 회로(TX1)에 연결되어 있다. 또한, 코일(CL5)과 코일(CL6) 사이에 패드(PD7)가 전기적으로 접속되어 있다. 이들 코일(CL5, CL6, CL7, CL8)과 패드(PD5, PD6, PD7)와 송신 회로(TX1)는 반도체 칩(CP1) 내에 형성되고 있다. 반도체 칩(CP1)의 패드(PD5, PD6, PD7)는 후술하는 본딩 와이어(BW)와 같은 도전성의 접속 부재와, 반도체 칩(CP2)의 내부 배선을 통해서, 반도체 칩(CP2) 내의 수신 회로(RX1)에 접속된다.
- [0194] 이 반도체 칩(CP1)에 있어서, 송신 회로(TX1)에서 일차 코일인 코일(CL7)과 코일(CL8)에 송신용 신호를 보내어 전류를 흘리면, 코일(CL7)과 코일(CL8)에 흐르는 전류의 변화에 대응하여, 이차 코일인 코일(CL5)과 코일(CL6)에 유도 기전력이 생겨서, 유도 전류가 흐른다. 코일(CL5)과 코일(CL6)에 생기는 유도 기전력 또는 유도 전류는 패드(PD5, PD6, PD7)에서 후술하는 본딩 와이어(BW)와 같은 도전성의 접속 부재와 반도체 칩(CP2)의 내부 배선을 통해서, 반도체 칩(CP2) 내의 수신 회로(RX1)에서 검지할 수 있다. 이에 따라, 반도체 칩(CP1)의 송신 회로(TX1)의 신호를 전자 유도에 의해 코일(CL7, CL8, CL5, CL6)을 통하여 반도체 칩(CP2)의 수신 회로(RX1)에 전달할 수 있다. 패드(PD7)에는 반도체 칩(CP2)에서 고정 전위(그라운드 전위, GND전위, 전원 전위 등)가 공급되기 때문에, 코일(CL5)의 유도 기전력 또는 유도 전류와, 코일(CL6)의 유도 기전력 또는 유도 전류를 검출하고, 차동으로 제어(동작) 할 수 있다.
- [0195] 이하, 도 33~도 36을 참조하여, 이들 코일(CL5, CL6, CL7, CL8)과 패드(PD5, PD6, PD7)의 구체적인 구성에 대해서 설명한다.
- [0196] 코일(CL7)과 코일(CL8)은 상기 코일(CL1)에 대응하는 것이며, 코일(CL5)과 코일(CL6)은 상기 코일(CL2)에 대응하는 것이며, 패드(PD5, PD6, PD7)는 상기 패드(PD3)에 대응하는 것이다. 즉, 도 33~도 36의 트랜스를 상기 도 3의 구조나 상기 도 7~도 31의 제조 공정에 적용하는 경우는, 상기 도 3이나, 상기 도 7~도 31에서, 상기 코일(CL1)을 도 33~도 36의 코일(CL7, CL8)로 치환하고, 상기 코일(CL2)을 도 33~도 36의 코일(CL5, CL6)로 치환하고, 상기 패드(PD3)를 도 33~도 36의 패드(PD5, PD6, PD7)로 치환한 것이 된다.
- [0197] 우선, 이차 코일인 코일(CL5, CL6)과, 이에 접속된 패드(패드 전극, 본딩 패드)(PD5, PD6, PD7)의 구체적인 구성에 대해서 설명한다.
- [0198] 도 32~도 36에 나타내듯이, 패드(PD5)와 패드(PD6) 사이에 2개의 코일(인덕터)(CL5, CL6)이 직렬로 접속되고 있다. 그리고, 코일(CL5)과 코일(CL6) 사이에 패드(PD7)가 전기적으로 접속되어 있다.
- [0199] 코일(CL5)과 코일(CL6)은 반도체 칩(CP1) 내에서, 같은 층에 형성되어 있으며, 코일(CL5)은 나선상 형상(코일상, 루프상)으로 주회(周回)하는 코일 배선(CW5)에 의해 형성되고, 코일(CL6)은 나선상 형상(코일상, 루프상)으로 주회(周回)하는 코일 배선(CW6)에 의해 형성되고 있다. 또한, 코일(CL5) 및 코일(CL6)은 각각 평면적으로 형성되고 있다. 코일(CL5) 및 코일(CL6)은 각각 인덕터로 볼 수도 있다. 코일(CL5, CL6)은 상기 코일(CL1)에 상당하는 것이기 때문에, 상기 코일(CL1)이 형성되는 층에, 상기 코일(CL1)의 형성법에 따라서 형성된

다. 또한, 패드(PD5, PD6, PD7)는 상기 패드(PD3)에 상응하는 것이기 때문에, 상기 패드(PD3)가 형성되는 층에 상기 패드(PD3)의 형성법에 의해 형성된다.

[0200] 또한, 도 32~도 36에 나타내듯이, 2개의 코일(인덕터)(CL7, CL8)이 직렬로 접속되고 있다. 코일(CL7)과 코일(CL8)은 반도체 칩(CP1) 내에서, 같은 층에 형성되어 있으며, 코일(CL7)은 나선상 형상(코일상, 루프상)으로 주회하는 코일 배선(CW7)에 의해 형성되고, 코일(CL8)은 나선상 형상(코일상, 루프상)으로 주회하는 코일 배선(CW8)에 의해 형성되고 있다. 또한, 코일(CL7) 및 코일(CL8)은 각각 평면적으로 형성되고 있다. 코일(CL7) 및 코일(CL8)은 각각 인덕터로 볼 수도 있다. 코일(CL7, CL8)은 상기 코일(CL2)에 상응하는 것이기 때문에, 상기 코일(CL2)이 형성되는 층에 상기한 코일(CL2)의 형성법에 의해서 형성된다.

[0201] 도 35 및 도 36에서 알 수 있듯이, 반도체 칩(CP1) 내에 있어서, 코일(CL7, CL8)은 코일(CL5, CL6)보다도 하층에 형성되고 있다. 즉, 반도체 칩(CP1) 내에 있어서, 코일(CL5)과 코일(CL6)은 서로 같은 층에 형성되고, 코일(CL7)과 코일(CL8)은 서로 같은 층에 형성되고 있지만, 코일(CL7, CL8)은 코일(CL5, CL6)보다도 하층에 배치되고, 코일(CL5, CL6)은 코일(CL7, CL8)보다도 상층에 배치되고 있다.

[0202] 그리고, 코일(CL7)은 코일(CL5)의 직하에 배치되고, 코일(CL8)은 코일(CL6)의 직하에 배치되고 있다. 즉, 코일(CL7)은, 평면시에서, 코일(CL5)과 겹쳐지도록 배치되고, 코일(CL8)은, 평면시에서, 코일(CL6)과 겹쳐지도록 배치되고 있다. 환언하면, 코일(CL5)은 코일(CL7)의 직상에 배치되고, 코일(CL6)은 코일(CL8)의 직상에 배치되고 있다. 즉, 코일(CL5)은, 평면시에서, 코일(CL7)과 겹쳐지도록 배치되고, 코일(CL6)은, 평면시에서, 코일(CL8)과 겹쳐지도록 배치되고 있다.

[0203] 코일(CL5)과 코일(CL7)이 자기적으로 결합하고, 코일(CL6)과 코일(CL8)이 자기적으로 결합하고 있다. 즉, 코일(CL5)과 코일(CL7)은 도체로는 연결되어 있지 않지만, 자기적으로 결합하고 있고, 코일(CL6)과 코일(CL8)은 도체로는 연결되어 있지 않지만, 자기적으로 결합하고 있다. 한편, 코일(CL5)과 코일(CL6)은 도체로 연결되어 있으며, 코일(CL7)과 코일(CL8)은 도체로 연결되어 있다.

[0204] 패드(PD5, PD6, PD7)는 상기 패드(PD3)에 대응하는 것이며, 코일(CL5, CL6){코일 배선(CW5, CW6)}은 상기 코일(CL2)에 대응하는 것이기 때문에, 패드(PD5, PD6, PD7) 및 코일(CL5, CL6){코일 배선(CW5, CW6)}은 서로 같은 층에 형성되며, 상기 재배선(RW) 및 상기 패드(PD2)와도 같은 층에 형성되고 있다. 구체적으로는, 코일(CL5, CL6){코일 배선(CW5, CW6)} 및 패드(PD5, PD6, PD7)는 모두 상기 시드막(SE)과 시드막(SE) 상의 구리막(CF)과의 적층막으로 구성되며, 상기 수지막(LF3) 상에 형성되고 있지만, 패드(PD5, PD6, PD7)의 표면에는 상기 기초 금속막(UM)이 형성되고 있다. 코일(CL5, CL6){코일 배선(CW5, CW6)}은 반도체 칩(CP1)의 최상층의 보호막(PA)에 의해 덮여 있지만, 패드(PD5, PD6, PD7)는 이 보호막(PA)에 마련된 개구부(OP3)에서 노출되고 있다. 도 33에서는 이 개구부(OP3)를 점선으로 나타내고 있다.

[0205] 또한, 도 33 및 도 35에 나타내듯이, 패드(PD5)는 코일(CL5)의 나선상의 내측에 배치되어 있으며, 이 패드(PD5)에 코일(CL5)의 일단이 접속되어 있다. 즉, 패드(PD5)에 접속된 코일 배선(CW5)이 이 패드(PD5)의 주위를 복수 회, 주회하는 것에 의해, 코일(CL5)이 형성되고 있다. 도 33의 경우는, 패드(PD5)에 접속된 코일 배선(CW5)이 이 패드(PD5)의 주위를 우회전(시계 방향)으로 주회하고, 코일(CL5)이 형성되고 있다. 코일 배선(CW5)끼리는 교차하지 않기 때문에, 패드(PD5)에 접속된 코일 배선(CW5)은 패드(PD5)의 주위를 우회전(시계 방향)으로 주회할 때마다, 패드(PD5)에서 먼 측으로 점차 벗어난다.

[0206] 또한, 패드(PD6)는 코일(CL6)의 나선상의 내측에 배치되어 있으며, 이 패드(PD6)에 코일(CL6)의 일단이 접속되어 있다. 즉, 패드(PD6)에 접속된 코일 배선(CW6)이 이 패드(PD6)의 주위를 복수 회, 주회하는 것에 의해, 코일(CL6)이 형성되고 있다. 도 33의 경우는, 패드(PD6)에 접속된 코일 배선(CW6)이 이 패드(PD6)의 주위를 좌회전(반시계 방향)으로 주회하여, 코일(CL6)이 형성되고 있다. 코일 배선(CW6)끼리는 교차하지 않기 때문에, 패드(PD6)에 접속된 코일 배선(CW6)은 패드(PD6) 주위를 좌회전(반시계 방향)으로 주회할 때마다, 패드(PD6)에서 먼 측으로 점차 벗어난다.

[0207] 여기에서, 「우회전」은 「시계 방향」과 같은 뜻이며, 「좌회전」은 「반시계 방향」과 같은 뜻이다. 또한, 코일 또는 코일 배선의 권취 방향(나선의 방향)을 말할 때는, 그 코일 또는 코일 배선을 상측에서 볼 때에, 나선상의 내측에서 외측으로 향할 때에 시계 방향으로 보이는 것을 「오른쪽 감기」라고 하며, 나선의 내측에서 외측으로 향할 때에 반시계 방향으로 보이는 것을 「왼쪽 감기」라고 한다. 예를 들면, 반도체 칩(CP1)의 코일(CL5)의 권취 방향을 말할 때는 반도체 칩(CP1)의 상부로부터 반도체 칩(CP1)의 표면측(패드가 형성되고 있는 측이 표면측)을 보았을 때에(도 33 및 도 34는 이에 대응하고 있다), 코일(CL5)의 나선상의 내측에서 외측으로

향할 때에 시계 방향으로 보이는 것을 「오른쪽 감기」, 반 시계 방향으로 보이는 것을 「왼쪽 감기」라고 한다.

- [0208] 코일(CL5){코일 배선(CW5)}의 권수(턴 수)와 코일(CL6){코일 배선(CW6)}의 권수(턴 수)는 필요에 따라 변경 가능하다. 다만, 코일(CL5){코일 배선(CW5)}의 권수와 코일(CL6){코일 배선(CW6)}의 권수는 동일한 것이 바람직하다. 또한, 코일(CL5)의 크기(지름)와 코일(CL6)의 크기(지름)는 동일한 것이 바람직하다. 또한, 코일(CL5)의 자기 인덕턴스와 코일(CL6)의 자기 인덕턴스는 동일한 것이 바람직하다.
- [0209] 또한, 도 33에서는 코일(CL5)을 오른쪽 감기로 하고, 코일(CL6)을 왼쪽 감기로 하고 있지만, 다른 형태로서, 코일(CL5)을 왼쪽 감기로 하고, 코일(CL6)을 오른쪽 감기로 할 수도 있다. 또한, 도 33에서는, 패드(PD7)는 코일(CL5)과 코일(CL6) 사이에 배치하고 있다. 다른 형태로서, 패드(PD7)를 코일(CL5)과 코일(CL6) 사이 외의 영역으로 배치할 수도 있다.
- [0210] 코일(CL5){코일 배선(CW5)}의 타단{패드(PD5)에 접속되는 측과는 반대측의 단부}과 코일(CL6){코일 배선(CW6)}의 타단{패드(PD6)에 접속되는 측과는 반대측의 단부}은 패드(PD7)에 접속되어 있다. 이 때문에, 코일(CL5){코일 배선(CW5)}의 상기 타단과 코일(CL6){코일 배선(CW6)}의 상기 타단은 패드(PD7)를 통해서 전기적으로 접속되어 있다.
- [0211] 여기에서, 코일(CL5){코일 배선(CW5)}의 상기 타단은 코일(CL5){코일 배선(CW5)}의 외측(나선의 외측)의 단부에 대응되며, 코일(CL6){코일 배선(CW6)}의 상기 타단은 코일(CL6){코일 배선(CW6)}의 외측(나선의 외측)의 단부에 대응하고 있다. 즉, 코일(CL5){코일 배선(CW5)}은 서로 반대편의 단부인 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부를 가지고 있으며, 그 중 내측의 단부가 패드(PD5)에 접속되고, 외측의 단부가 패드(PD7)에 접속되고 있다. 또한, 코일(CL6){코일 배선(CW6)}은 서로 반대측의 단부인 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부를 가지고 있으며, 그 중의 내측의 단부가 패드(PD6)에 접속되고, 외측의 단부가 패드(PD7)에 접속되어 있다. 이 때문에, 패드(PD7)는, 평면시에서, 코일(CL5)과 코일(CL6) 사이에 배치되는 동시에, 패드(PD5)와 패드(PD6) 사이에 배치되고 있다. 패드(PD5, PD6, PD7)의 각각의 크기(변의 길이)는 대략 같게 할 수 있다.
- [0212] 또한, 코일(CL5, CL6)은 수지막(LF3) 상에 형성되기 때문에, 도 33에 나타내듯이, 평면시에서, 코일(CL5, CL6){코일 배선(CW5, CW6)}의 각을 둔각(90° 보다 큰 각)으로 하는 것이 바람직하다. 이것은 수지막, 특히 폴리이미드막은 금속 패턴의 직각이나 예각에 약하기 때문이다. 코일(CL5, CL6){코일 배선(CW5, CW6)}의 각을 둔각(90° 보다 큰 각)으로 하는 것으로, 코일(CL5, CL6)의 기초 수지막(LF3)이나, 코일(CL5, CL6)을 덮는 보호막(PA)의 신뢰성을 향상시킬 수 있다. 또한, 이것은 코일(CL5, CL6)의 기초 수지막(LF3) 또는 코일(CL5, CL6)을 덮는 보호막(PA)이 폴리이미드막인 경우에 특히 효과가 크다. 도 33의 경우는, 코일(CL5, CL6){코일 배선(CW5, CW6)}의 평면 형상은 대략, 팔각형이어서, 코일(CL5, CL6){코일 배선(CW5, CW6)}의 각은 약 135° 가 된다.
- [0213] 다음으로, 코일(CL7, CL8)에 대해서, 도 34~도 36을 참조하여, 다시 설명한다.
- [0214] 도 34에서 알 수 있듯이, 코일(CL7)의 나선의 내측에 패드는 배치되어 있지 않다. 코일(CL7){코일 배선(CW7)}의 내측(나선의 내측)의 단부는 비아부를 통해서, 코일 배선(CW7)보다도 하층에 배치된 인출 배선(HW1)에 전기적으로 접속되어 있다. 이 비아부는 코일 배선(CW7)과 인출 배선(HW1) 사이에 위치하여 코일 배선(CW7)과 인출 배선(HW1)을 접속하는 것이다. 코일 배선(CW7)을 제2배선층과 같은 층에 형성된 경우는 인출 배선(HW1)은 코일 배선(CW7)보다도 1층 하층의 제1배선층과 같은 층에 형성되고, 즉, 배선(M1)에 의해 형성되고, 코일 배선(CW7)과 인출 배선(HW1)을 접속하는 상기 비아부는 비아부(V2)에 대응한다. 인출 배선(HW1)에는 인출 배선(HW1)과 같은 층의 배선 또는 다른 층의 배선이 접속되어, 반도체 칩(CP1)의 내부 배선을 통해서, 반도체 칩(CP1) 내에 형성된 송신 회로(TX1)에 대응하는 것에 접속된다.
- [0215] 비아부를 통해서 인출 배선(HW1)에 접속되는 코일 배선(CW7)이 복수회, 주회하는 것에 의해, 코일(CL7)이 형성되고 있다. 또한, 패드(PD5)의 직하의 영역(위치)에서는 코일 배선(CW7)은 주회하고 있지 않은 것이 바람직하며, 패드(PD5)의 직하의 영역(위치)을 감싸듯이 코일 배선(CW7)이 주회하고 있다.
- [0216] 도 34의 경우, 비아부를 통해서, 인출 배선(HW1)에 접속되는 코일 배선(CW7)이 상기 패드(PD5)의 직하의 영역(위치)의 주위를 우회전(시계 방향)으로 주회하여, 코일(CL7)이 형성되고 있다. 코일 배선(CW7)끼리는 교차하지 않기 때문에, 비아부를 통해서, 인출 배선(HW1)에 접속되는 코일 배선(CW7)은 상기 패드(PD5)의 직하의 영역(위치)의 주위를 우회전(시계 방향)으로 주회할 때마다, 나선의 중심에서 먼 측으로 점차 벗어난다.
- [0217] 또한, 코일(CL8)의 나선의 내측에 패드는 배치되지 않는다. 코일(CL8){코일 배선(CW8)}의 내측(나선의 내측)의

단부는 비아부를 통해서, 코일 배선(CW8)보다도 하층에 배치된 인출 배선(HW2)에 전기적으로 접속되어 있다. 이 비아부는 코일 배선(CW8)과 인출 배선(HW2) 사이에 위치하고, 코일 배선(CW8)과 인출 배선(HW2)을 접속하는 것이다. 코일 배선(CW8)을 제2배선층과 같은 층에 형성한 경우에는, 인출 배선(HW2)은 코일 배선(CW8)보다도 1층 하층의 제1배선층과 같은 층에 형성되고, 즉, 배선(M1)에 의해 형성되고, 코일 배선(CW8)과 인출 배선(HW2)을 접속하는 상기 비아부는, 비아부(V2)에 대응한다. 인출 배선(HW2)에는 인출 배선(HW2)과 같은 층의 배선 또는 다른 층의 배선이 접속되어, 반도체 칩(CP1)의 내부 배선을 통해서, 반도체 칩(CP1) 내에 형성된 송신 회로(TX1)에 대응하는 것에 접속된다.

[0218] 비아부를 통해서, 인출 배선(HW2)에 접속되는 코일 배선(CW8)이, 복수회, 주회하는 것에 의해, 코일(CL8)이 형성되고 있다. 또한, 패드(PD6)의 직하의 영역(위치)에서는 코일 배선(CW8)은 주회하고 있지 않은 것이 바람직하며, 패드(PD6)의 직하의 영역(위치)을 감싸듯이 코일 배선(CW8)이 주회하고 있다.

[0219] 도 34의 경우는, 비아부를 통해서 인출 배선(HW2)에 접속되는 코일 배선(CW8)이 상기 패드(PD6)의 직하의 영역(위치)의 주위를 좌회전(반시계 방향)으로 주회하며, 코일(CL8)이 형성되고 있다. 코일 배선(CW8)끼리는 교차하지 않기 때문에, 비아부를 통해서 인출 배선(HW2)에 접속되는 코일 배선(CW8)은 상기 패드(PD6)의 직하의 영역(위치)의 주위를 좌회전(반시계 방향)으로 주회할 때마다, 나선의 중심에서 먼 측으로 점차 벗어난다.

[0220] 코일(CL7){코일 배선(CW7)}의 권수(턴 수)와 코일(CL8){코일 배선(CW8)}의 권수(턴 수)는 필요에 따라 변경 가능하다. 다만, 코일(CL7){코일 배선(CW7)}의 권수와 코일(CL8){코일 배선(CW8)}의 권수는 동일한 것이 바람직하다. 또한, 코일(CL7)의 크기(지름)와 코일(CL8)의 크기(지름)는 동일한 것이 바람직하다. 또한, 코일(CL7)의 자기 인덕턴스와, 코일(CL8)의 자기 인덕턴스는 동일한 것이 바람직하다. 또한, 자기 결합한 코일(CL5, CL7)의 상호 인덕턴스와, 자기 결합한 코일(CL6, CL8)의 상호 인덕턴스는 동일한 것이 바람직하다. 또한, 도 34에서는 코일(CL7)을 우회전으로 감고, 코일(CL8)을 좌회전으로 감고 있지만, 다른 형태로서, 코일(CL7)을 좌회전으로 감고, 코일(CL8)을 우회전으로 감을 수도 있다.

[0221] 코일(CL7){코일 배선(CW7)}의 외측 단부와, 코일(CL8){코일 배선(CW8)}의 외측 단부는 코일(CL7)과 코일(CL8) 사이에 마련된 접속 배선(HW3)에 접속되고, 이 접속 배선(HW3)을 통해서, 전기적으로 접속되고 있다. 즉 코일(CL7){코일 배선(CW7)}의 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부 중, 내측 단부는 비아부를 통해서 코일 배선(CW7)보다도 하층의 인출 배선(HW1)에 접속되고, 외측의 단부는 코일 배선(CW7)과 같은 층의 접속 배선(HW3)에 접속되고 있다. 또한, 코일(CL8){코일 배선(CW8)}의 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부 중, 내측의 단부는 비아부를 통해서 코일 배선(CW8)보다도 하층의 인출 배선(HW2)에 접속되고, 외측의 단부는 코일 배선(CW8)과 같은 층의 접속 배선(HW3)에 접속되고 있다. 이 때문에, 코일(CL7){코일 배선(CW7)}의 일측의 단부(외측의 단부)와 코일(CL8){코일 배선(CW8)}의 일측의 단부(외측의 단부)는 접속 배선(HW3)을 통해서 전기적으로 접속되어 있다.

[0222] 또한, 코일(CL7) 또는 코일 배선(CW7)에 있어서, 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부는 서로 반대측의 단부이며, 또한, 코일(CL8) 또는 코일 배선(CW8)에 있어서, 내측(나선의 내측)의 단부와 외측(나선의 외측)의 단부는 서로 반대측의 단부이다.

[0223] 접속 배선(HW3)은 코일(CL7){코일 배선(CW7)} 및 코일(CL8){코일 배선(CW8)}과 같은 층에 형성되어 있으며, 코일(CL7){코일 배선(CW7)}의 외측 단부와 코일(CL8){코일 배선(CW8)}의 외측 단부를 전기적으로 접속하기 위한 배선이다. 접속 배선(HW3)은 코일(CL7)과 코일(CL8) 사이에 배치되고 있으므로, 코일(CL5)과 코일(CL6) 사이에 패드(PD7)를 배치한 경우는, 패드(PD7)의 직하에 접속 배선(HW3)이 배치되게 된다. 접속 배선(HW3)은 패드(PD7)와 대략 같은 평면 형상(평면 치수)으로 할 수 있지만, 패드로서 기능하는 것은 아니기(따라서, 본딩 와이어와 같은 접속 부재는 접속하지 않는다) 때문에, 상기 패드(PD7)와 다른 평면 형상(평면 치수)으로 할 수도 있다. 예를 들면, 코일(CL7){코일 배선(CW7)}의 외측 단부와 코일(CL8){코일 배선(CW8)}의 외측 단부를 코일 배선(CW7, CW8)과 같은 정도의 폭으로 한 접속 배선(HW3)에서 접속할 수도 있다. 다만, 평면시에서, 코일(CL7)과 코일(CL8) 사이에, 코일 배선(CW7, CW8)의 각 배선 폭보다도 배선 폭이 큰 접속 배선(HW3)을 마련하면, 배선 저항을 저감할 수 있다.

[0224] 직렬로 접속된 코일(CL7) 및 코일(CL8)이, 트랜스(TR1)의 일차 측의 상기 코일(CL1a){따라서, 상기 코일(CL1)}에 대응하고, 직렬로 접속된 코일(CL5) 및 코일(CL6)이 트랜스(TR1)의 이차 측의 상기 코일(CL2a){따라서, 상기 코일(CL2)}에 대응하고 있다. 인출 배선(HW1, HW2)은 반도체 칩(CP1)의 내부 배선(M1~M3)을 통해서, 반도체 칩(CP1) 내에 형성된 송신 회로(TX1)에 접속되고 있다. 상기 패드(PD5, PD6, PD7)는 그것들의 패드(PD5, PD6, PD7)에 접속되는 후술의 본딩 와이어(BW)와 같은 도전성의 접속 부재와, 반도체 칩(CP2)의 내부 배선을 통해서,

반도체 칩(CP2) 내에 형성된 수신 회로(RX1)에 접속된다.

- [0225] 이 때문에, 송신 회로(TX1)에서 인출 배선(HW1, HW2)에 송신용의 신호가 전달되면, 인출 배선(HW1)과 인출 배선(HW2) 사이에 직렬로 접속되고 있는 코일(CL7) 및 코일(CL8)에 전류가 흐른다. 이때 코일(CL7)과 코일(CL8)은 직렬로 접속되어 있으므로, 코일(CL7)에 흐르는 전류와 코일(CL8)에 흐르는 전류는 실질적으로 같은 크기이다. 코일(CL5)과 코일(CL7)은 도체에 의해서는 연결되어 있지 않지만, 자기적으로 결합하고 있으며, 또한, 코일(CL6)과 코일(CL8)은 도체에 의해서는 연결되어 있지 않지만, 자기적으로 결합하고 있다. 이 때문에, 일차 측의 코일(CL7) 및 코일(CL8)에 전류가 흐르면, 그 전류의 변화에 따라, 이차 측의 코일(CL5) 및 코일(CL6)에 유도 기전력이 발생하여 유도 전류가 흐르게 되어 있다.
- [0226] 또한, 반도체 칩(CP2)의 상기 트랜스(TR2)에 있어서도, 반도체 칩(CP1)의 트랜스(TR1)와 마찬가지로 형성할 수 있다. 반도체 칩(CP2)에 있어서도, 상기 코일(CL1b)로서 상기 코일(CL7, CL8)을 형성하고, 상기 코일(CL2b)로서 상기 코일(CL5, CL6)을 형성하여, 코일(CL5, CL6)에 접속된 상기 패드(PD5, PD6, PD7)를 형성할 수 있다.
- [0227] 또한, 패드(PD5)는 코일(CL5){코일 배선(CW5)}의 내측(나선의 내측)에 배치되고, 패드(PD6)는 코일(CL6){코일 배선(CW6)}의 내측(나선의 내측)에 배치되고 있다.
- [0228] 패드(PD5)를 코일(CL5){코일 배선(CW5)}의 내측에 배치함으로써, 인출 배선{패드(PD5)와 코일(CL5)을 접속하기 위한 인출 배선}을 형성하지 않고, 코일(CL5)의 내측의 단부를 패드(PD5)에 접속할 수 있다. 이 때문에, 코일(CL5){코일 배선(CW5)}의 하층에 패드(PD5)용 인출 배선을 형성하지 않아도 되므로, 코일(CL5)과 코일(CL7) 사이의 절연 내압이 트랜스의 내압으로서 지배적이 되어, 트랜스의 내압을 보다 향상시킬 수 있다. 또한, 패드(PD5)용의 인출 배선을 형성하지 않아도 됨으로써, 인출 배선에 접속하기 위한 비아부를 형성하지 않아도 되므로, 제조 비용과 제조 시간도 억제할 수 있다. 이것은 패드(PD6)와 코일(CL6)에 대해서도 마찬가지이다.
- [0229] 또한, 코일(CL7){코일 배선(CW7)}의 내측 단부는 비아부를 통해서 코일 배선(CW7)보다도 하층의 인출 배선(HW1)에 접속되고, 코일(CL8){코일 배선(CW8)}의 내측 단부는 비아부를 통해서 코일 배선(CW8)보다도 하층의 인출 배선(HW2)에 접속되어 있다. 다른 형태로서, 인출 배선(HW1, HW2)의 일방 또는 양방을 코일(CL7, CL8)보다도 상층이고, 또한 코일(CL5, CL6)보다도 하층에 마련할 수도 있지만, 그 경우에서도, 적층막(LF)보다도 하층에 인출 배선(HW1, HW2)이 형성된다. 다만, 내압 향상의 점에서는 인출 배선(HW1, HW2)의 양측을 코일(CL7, CL8)보다도 하층에 형성한 경우가 유리하고, 그럼으로써, 코일(CL5)과 코일(CL7) 사이의 절연 내압이나, 코일(CL6)과 코일(CL8) 사이의 절연 내압이 트랜스의 압력으로서 지배적이 되어, 트랜스의 내압을 보다 향상시킬 수 있다.
- [0230] 또한, 인출 배선(HW1, HW2)에 슬릿(개구부)을 마련할 수 있다. 이 슬릿은 인출 배선(HW1, HW2)에 있어서, 그 연장 방향을 따라서 장변을 갖는 슬릿으로 할 수 있으며, 인출 배선(HW1, HW2)의 각각에 단수 또는 복수의 슬릿을 마련할 수 있다. 일차 측의 코일(CL7, CL8)에 전류를 흘리거나, 이차 측의 코일(CL5, CL6)에 유도 전류가 흐르거나 하면, 코일(CL5, CL6, CL7, CL8)을 관통하도록 자속이 발생하지만, 인출 배선(HW1, HW2)에 슬릿을 마련해 두면, 자속의 영향으로, 인출 배선(HW1, HW2)에 와전류가 발생하는 것을 억제 및 방지할 수 있다.
- [0231] 또한, 본 실시형태에서는, 코일(CL5)과 코일(CL6)은 같은 층에 형성되고, 코일(CL7)과 코일(CL8)은 같은 층에 형성되고 있다. 그리고, 코일(CL7, CL8)은 코일(CL5, CL6)보다도 하층에 형성되고 있다. 코일(CL5, CL6)과 코일(CL7, CL8) 중, 패드(PD5, PD6, PD7)에 접속해야 하는 코일(CL5, CL6)을 상층 측에 배치하는 것으로, 코일(CL5, CL6)을 패드(PD5, PD6, PD7)에 접속하기 쉽게 된다. 또한, 코일(CL5)과 코일(CL6)을 같은 층에 형성하고, 코일(CL7)과 코일(CL8)을 같은 층에 형성함으로써, 코일(CL5, CL7)의 상호 인덕턴스와 코일(CL6, CL8)의 상호 인덕턴스를 일치시키기 쉽게 된다. 이 때문에, 코일(CL5, CL6, CL7, CL8)을 통하여 신호의 전달을 정확하게 실시하기 쉽게 된다. 또한, 코일(CL5, CL6, CL7, CL8)을 형성하기 위해 필요한 층수를 억제할 수 있다. 따라서, 반도체 칩을 설계하기 쉽게 된다. 또한, 반도체 칩의 소형화에도 유리하게 된다.
- [0232] 또한, 도 33에 나타내듯이, 코일(CL5){코일 배선(CW5)}의 내측의 단부는 패드(PD5)에 접속되고, 코일(CL6){코일 배선(CW6)}의 내측의 단부는 패드(PD6)에 접속되고, 코일(CL5){코일 배선(CW5)}의 외측의 단부와 코일(CL6){코일 배선(CW6)}의 외측의 단부는, 패드(PD7)에 접속되어 있다. 패드(PD5, PD6, PD7)와 코일(CL5, CL6){코일 배선(CW5, CW6)}과의 접속 위치는 각 패드(PD5, PD6, PD7)의 변의 중앙이 아니라, 각 패드(PD5, PD6, PD7)의 각 부근방으로 하는 것이 바람직하다. 패드(PD5, PD6, PD7)와 코일(CL5, CL6){코일 배선(CW5, CW6)}과의 접속 위치는 단선이 발생하기 쉬운 부분이 되기 쉽지만, 상기 접속 위치를 각 패드(PD5, PD6, PD7)의 각부로 하는 것에 의해, 상기 접속 개소에서 단선의 발생을 억제 및 방지할 수 있다. 그 이유는 다음의 두 가지 이유이다.
- [0233] 우선, 첫 번째 이유를 설명한다. 패드와 코일의 접속 위치에서의 단선은, 그 패드에 나중에는 본딩 와이어를 접속

할 때 발생하기 쉽다. 이 때문에, 각 패드(PD5, PD6, PD7)에 있어서, 패드와 코일의 접속 위치가 와이어 본드 위치(본딩 와이어가 접속되는 위치)에서 가능한 한 떨어져 있는 것이 단선이 일어나기 어렵게 된다. 각 패드(PD5, PD6, PD7)에 있어서, 와이어 본드 위치는, 패드의 거의 중앙부이다. 이 때문에, 패드와 코일의 접속 위치를, 각 패드(PD5, PD6, PD7)의 변의 중앙이 아니라, 각 패드(PD5, PD6, PD7)의 각부(모서리부) 근처로 함으로써, 패드와 코일의 접속 위치와 와이어 본드 위치와의 사이 거리를 크게 할 수 있다. 이에 의해, 패드(PD5, PD6, PD7)와 코일(CL5, CL6){코일 배선(CW5, CW6)과의 접속 위치에서의 단선을 억제 및 방지할 수 있다.

[0234] 다음으로, 두 번째 이유를 설명한다. 패드에 대해서 와이어 본딩을 할 경우, 초음파 진동을 부가하지만, 초음파 진동의 진동 방향은 패드의 변에 평행한 방향(세로 방향 또는 가로 방향)이다. 이 때문에, 패드와 코일의 접속 위치를 각 패드(PD5, PD6, PD7)의 변의 중앙으로 한 경우, 패드와 코일의 접속 위치에도 초음파에 의한 진동이 가세하기 때문에 단선이 발생하기 쉽게 된다. 반면에, 패드와 코일의 접속 위치를 각 패드(PD5, PD6, PD7)의 변의 중앙이 아니라, 각 패드(PD5, PD6, PD7)의 각부 근방으로 함으로써, 와이어 본딩시의 초음파에 의한 진동이 패드와 코일의 접속 위치에 더해지기 어렵게 된다. 이 때문에, 패드(PD5, PD6, PD7)와 코일(CL5, CL6){코일 배선(CW5, CW6)과의 접속 위치에서의 단선을 억제 및 방지할 수 있다.

[0235] 이 때문에, 패드(PD5, PD6, PD7)와 코일(CL5, CL6){코일 배선(CW5, CW6)과의 접속 위치는 각 패드(PD5, PD6, PD7)의 변의 중앙이 아니라, 각 패드(PD5, PD6, PD7)의 각부 근방으로 하는 것이 바람직하다. 여기서, 각 패드(PD5, PD6, PD7)의 평면 형상은, 대략 직사각형 또는 그 직사각형의 각을 깎아내는 형상, 또는 직사각형의 모서리를 둥그스름하게 한 형상 등이다. 도 33에는, 각 패드(PD5, PD6, PD7)의 평면 형상이, 직사각형의 각을 깎아내는 평면 형상인 경우를 나타내고 있다. 각 패드(PD5, PD6, PD7)의 평면 형상이 직사각형의 경우, 그 직사각형의 변의 중앙이 아닌, 직사각형의 각부 측으로 벗어난 위치에, 코일(CL5, CL6){코일 배선(CW5, CW6)}을 접속하면 된다. 각 패드(PD5, PD6, PD7)의 평면 형상이 직사각형의 각을 깎아내는 형상 또는 직사각형의 각을 둥그스름하게 한 형상의 경우는, 그 베이스가 되는 직사각형의 변의 중앙이 아닌, 베이스가 되는 직사각형의 각부 측으로 벗어난 위치에, 코일(CL5, CL6){코일 배선(CW5, CW6)}을 접속하면 된다.

[0236] <코일 구성의 변형예에 대해서>

[0237] 다음으로, 반도체 칩 내에 형성된 트랜스를 구성하는 코일 구성의 변형예에 대해서 설명한다. 도 37 및 도 38은, 반도체 칩(CP1){또는, 반도체 칩(CP2)}의 변형예의 주요부 평면도로서, 상기 트랜스 형성 영역(1B)에 형성된 코일의 평면도가 나타나 있다. 도 37은 상기 도 33에 상당하는 도면으로, 반도체 칩(CP1){또는, 반도체 칩(CP2)}에 형성된 트랜스의 이차 측 코일{코일(CL5, CL6)}이 나타나 있고, 도 38은 상기 도 34에 상당하는 도면으로, 그 트랜스의 일차 측 코일{코일(CL7, CL8)}이 나타나 있다. 또한, 일차 측 코일(CL7, CL8)과 그 인출용의 배선(인출 배선(HW1, HW2))과의 상대적인 위치 관계를 알기 쉽도록, 도 38에서는 인출 배선(HW1, HW2)을 점선으로 나타내고 있다.

[0238] 상기 도 33 및 도 34의 경우는, 일차 측 코일(CL7, CL8)에 대한 코일의 권취 방향은, 코일(CL7)과 코일(CL8)에서 반대 방향이며, 이차 측 코일(CL5, CL6)에 대한 코일의 권취 방향은 코일(CL5)과 코일(CL6)에서 반대 방향이다. 즉, 코일(CL7)과 코일(CL8)은 한쪽은 우회전이며, 다른 한쪽은 좌회전이고, 코일(CL5)과 코일(CL6)은 한쪽은 우회전이고, 다른 한쪽은 좌회전이다.

[0239] 이에 대하여, 도 37 및 도 38의 경우는, 일차 측 코일(CL7, CL8)에 대한 코일의 권취 방향은 코일(CL7)과 코일(CL8)에서 같고, 이차 측 코일(CL5, CL6)에 대한 코일의 권취 방향은 코일(CL5)과 코일(CL6)에서 같다. 즉, 코일(CL7)과 코일(CL8)은 모두 우회전이거나, 모두 좌회전이며, 코일(CL5)과 코일(CL6)은 모두 우회전이거나, 모두 좌회전이다. 도 38의 경우는, 코일(CL7, CL8)을 모두 우회전으로 하고 있지만, 다른 형태로서 코일(CL7, CL8)을 모두 좌회전으로 할 수 있으며, 또한, 도 37의 경우는 코일(CL5, CL6)을 모두 우회전으로 하고 있지만, 다른 형태로서 코일(CL5, CL6)을 모두 좌회전으로 할 수도 있다.

[0240] 도 37 및 도 38의 코일(CL5, CL6, CL7, CL8), 패드(PD5, PD6, PD7) 및 인출 배선(HW1, HW2)의 다른 구성은, 상기 도 32~도 36을 참조하여 설명한 것과 마찬가지로, 여기에서는 그 반복 설명은 생략한다.

[0241] 상기 도 33 및 도 34의 경우, 코일(CL7)과 코일(CL8)에서 권취 방향이 반대이어서, 직렬로 접속된 코일(CL7)과 코일(CL8)에 전류가 흐르면, 코일(CL7)과 코일(CL8)에서 전류의 흐름 방향은 같게 되고, 그에 따라, 코일(CL7)과 코일(CL8)에서, 서로 같은 방향의 자속이 발생하게 된다. 이 때문에, 이차 측 코일(CL5, CL6)에 유도 전류가 흐를 때에는, 코일(CL5)에 흐르는 전류의 방향과, 코일(CL6)에 흐르는 전류의 방향은, 같게 되고, 그에 따라, 코일(CL5)에 흐르는 유도 전류에 의해서 코일(CL5)을 관통하는 것과 같이 발생하는 자속의 방향과, 코일(CL6)에



흐르는 유도 전류에 의해 코일(CL6)을 관통하는 것과 같이 발생하는 자속의 방향은 같아진다. 그래서, 트랜스를 통해서 송신 회로에서 수신 회로에 신호를 전달할 때에, 자기 결합된 코일(CL5) 및 코일(CL7)을 관통하는 것과 같이 발생하는 자속의 방향과, 자기 결합된 코일(CL6) 및 코일(CL8)을 관통하는 것과 같이 발생하는 자속의 방향은 서로 같은 방향이 된다.

[0242] 여기에서, 코일의 전류의 방향(또는, 전류가 흐르는 방향)은, 그 코일(또는, 코일 배선)을 상측에서 보았을 때, 그 코일을 우회전(시계 방향)으로 전류가 흐르거나, 좌회전(반시계 방향)으로 전류가 흐르는 것을 말한다. 이 때문에, 2개의 코일에 대해서, 코일의 전류의 방향이 같다(또는, 전류가 흐르는 방향이 같다)고 하는 경우는, 그 2개의 코일을 상측에서 보았을 때, 그 2개의 코일의 양측 모두 우회전(시계 방향)으로 전류가 흐르거나, 또는 그 2개의 코일의 양측 모두 좌회전(반시계 방향)으로 전류가 흐르는 것에 대응한다. 또한, 2개의 코일에 대해서, 코일의 전류 방향이 반대(또는, 전류가 흐르는 방향이 반대)라고 하는 경우는, 그 2개의 코일을 상측에서 보았을 때, 그 2개의 코일 중 어느 한쪽의 코일은 우회전(시계 방향)으로 전류가 흐르고, 다른 한쪽의 코일은 좌회전(반시계 방향)으로 전류가 흐르는 것에 대응한다.

[0243] 이에 대해서, 상기 도 37 및 도 38의 경우, 코일(CL7)과 코일(CL8)에서 권취 방향이 동일하다는 점에서, 직렬로 접속된 코일(CL7)과 코일(CL8)에 전류가 흐르면, 코일(CL7)과 코일(CL8)에서 전류가 흐르는 방향은 반대가 되고, 그에 따라, 코일(CL7)과 코일(CL8)에서 서로 반대 방향의 자속이 발생하게 된다. 이 때문에, 이차 측 코일(CL5, CL6)에 유도 전류가 흐를 때에는, 코일(CL5)에 흐르는 전류의 방향과, 코일(CL6)에 흐르는 전류의 방향은 반대가 되고, 그에 따라, 코일(CL5)에 흐르는 유도 전류에 의해서, 코일(CL5)을 관통하는 것과 같이 발생하는 자속의 방향과, 코일(CL6)에 흐르는 유도 전류에 의해서 코일(CL6)을 관통하는 것과 같이 발생하는 자속의 방향은 반대가 된다. 따라서, 트랜스를 통해서 송신 회로에서 수신 회로에 신호를 전달할 때에, 자기 결합된 코일(CL5) 및 코일(CL7)을 관통하듯이 발생하는 자속의 방향과, 자기 결합된 코일(CL6) 및 코일(CL8)을 관통하듯이 발생하는 자속의 방향은 서로 반대가 된다.

[0244] 코일(CL5, CL7)을 관통하는 자속(자계)과, 코일(CL6, CL8)을 관통하는 자속(자계)이 반대 방향이면, 코일(CL5)을 관통하는 자속(자계)과 코일(CL6)을 관통하는 자속(자계)이 루프 상으로 이어질 수 있다(즉, 루프 상으로 닫힐 수 있다). 이 때문에, 상기 도 37 및 도 38의 경우는, 코일(CL5, CL6)끼리가, 서로 자속(자계)을 지우는 것과 같은 작용을 하는 것을 억제 및 방지할 수 있고, 또한, 코일(CL7, CL8)끼리가, 서로 자속(자계)을 지우는 것과 같은 작용을 하는 것을 억제 또는 방지할 수 있다. 그래서, 일차 코일(CL7, CL8)에서 이차 코일(CL5, CL6)에 유도 전류를 이용하여 신호를 전달할 때에, 이차 코일(CL5, CL6)에 의해서 검지하는 신호 강도(수신 신호 강도)를 향상시킬 수 있다. 그래서, 반도체 칩의 성능을 보다 향상시킬 수 있고, 나아가 반도체 칩을 포함한 반도체 장치의 성능을 보다 향상시킬 수 있다.

[0245] 다음으로, 반도체 칩 내에 형성된 트랜스를 구성하는 코일 구성의 다른 변형예에 대해서 설명한다. 도 39 및 도 40은 반도체 칩 CP1(또는, 반도체 칩(CP2))의 다른 변형예의 주요부 평면도로서, 상기 트랜스 형성 영역(1B)에 형성된 코일 평면도가 나타나 있다. 도 39는, 상기 도 33에 상당하는 도면으로, 반도체 칩(CP1){또는 반도체 칩(CP2)}에 형성된 트랜스의 이차 측 코일{코일(CL5)}이 나타나고, 도 40은 상기 도 34에 상당하는 도면으로, 그 트랜스의 일차 측 코일{코일(CL7)}이 나타나 있다. 또한, 일차 측 코일(CL7)과 그 인출용의 배선(인출 배선(HW1, HW3a))과의 상대적인 위치 관계를 알기 쉽도록, 도 40에서는 인출 배선(HW1, HW3a)을 점선으로 나타내고 있다.

[0246] 상기 도 39 및 도 40의 경우는, 일차 측의 코일은 1개의 코일(CL5)에서 구성되어 있으며, 코일(CL6)과 패드(PD6)는 형성되지 않고, 또한, 이차 측 코일은 1개의 코일(CL7)로 구성되어 있으며, 코일(CL8)과 인출 배선(HW1)은 형성되지 않았다. 코일(CL7)의 외측 단부는 접속 배선(HW3)이 아닌 인출 배선(HW3a)에 접속되어 있으나, 이 인출 배선(HW3a)은 코일(CL7)과 같은 층 또는 다른 층으로 형성할 수 있다. 도 40의 경우는, 코일(CL7)의 외측 단부를 비아부를 통해서 인출 배선(HW1)과 같은 층에 마련한 인출 배선(HW3a)에 접속하는 경우를 나타내고 있지만, 인출 배선(HW3a)은 코일(CL7)과 같은 층에 형성해도 된다.

[0247] 도 39 및 도 40의 코일(CL5, CL7), 패드(PD5, PD7) 및 인출 배선(HW1, HW3a)의 다른 구성은 상기 도 32~도 36을 참조하여 설명한 것과 마찬가지로, 여기에서는 그 반복 설명은 생략한다. 트랜스의 회로 구성은 상기 도 1과 같다. 예를 들면, 도 39 및 도 40의 트랜스를 상기 도 1의 트랜스(TR1)에 적용하는 경우는, 코일(CL5)이 상기 코일(CL1a)이며, 코일(CL7)이 상기 코일(CL2a)이다.

[0248] 상기 도 32~도 36의 경우나, 상기 도 37 및 도 38의 경우는, 일차 코일과 이차 코일이 각각 2개의 코일로 구성되며, 즉, 상기 트랜스(TR1)가 2개의 트랜스로 구성되며, 이 2개의 트랜스를 차동으로 동작시킬 수 있으므로,

노이즈 내성을 향상시킬 수 있다. 한편, 도 39 및 도 40의 경우는, 일차 코일과 이차 코일이 각각 1개의 코일로 구성되며, 즉, 상기 트랜스(TR1)가 1개의 트랜스로 구성되므로, 반도체 칩의 소형화(소면적화)를 도모할 수 있다.

- [0249] <반도체 패키지의 구성예에 대해서>
- [0250] 다음으로, 본 실시형태의 반도체 패키지의 구성예에 대해서 설명한다. 또한, 반도체 패키지는 반도체 장치로 볼 수도 있다.
- [0251] 도 41은, 본 실시형태의 반도체 패키지(반도체 장치)(PKG)를 나타내는 평면도이며, 도 42는 반도체 패키지(PKG)의 단면도이다. 다만, 도 41에서는 밀봉 수지부(MR)는 투시하고, 밀봉 수지부(MR)의 외형(외주)을 이점 쇄선으로 나타내고 있다. 또한, 도 41의 B1 - B1선의 단면도가 도 42에 거의 대응하고 있다.
- [0252] 도 41 및 도 42에 나타내는, 반도체 패키지(PKG)는 반도체 칩(CP1, CP2)을 포함한 반도체 패키지이다. 이하, 반도체 패키지(PKG)의 구성에 대해서, 구체적으로 설명한다.
- [0253] 도 41 및 도 42에 나타내는, 반도체 패키지(PKG)는 반도체 칩(CP1, CP2)과, 반도체 칩(CP1, CP2)을 각각 탑재하는 다이 패드(DP1, DP2)와, 도전체로 구성되는 복수의 리드(LD)와 반도체 칩(CP1, CP2) 사이나, 반도체 칩(CP1, CP2)과의 복수의 리드(LD) 사이를 접속하는 복수의 본딩 와이어(BW)와, 이들을 밀봉하는 밀봉 수지부(MR)를 가지고 있다.
- [0254] 밀봉 수지부(밀봉부, 밀봉 수지, 밀봉체)(MR)는 예를 들면, 열 경화성 수지 재료 등의 수지 재료 등으로 구성되며, 필러 등을 포함할 수 있다. 밀봉 수지부(MR)에 의해, 반도체 칩(CP1, CP2), 다이 패드(DP1, DP2), 복수의 리드(LD) 및 복수의 본딩 와이어(BW)가 밀봉되어, 전기적 및 기계적으로 보호된다. 밀봉 수지부(MR)는 그 두께와 교차하는 평면 형상(외형 형상)은 예를 들면, 직사각형(사각형)으로 할 수 있다.
- [0255] 반도체 칩(CP1)의 소자 형성 측의 주면인 반도체 칩(CP1)의 표면에는, 복수의 패드(패드 전극, 본딩 패드)(PD10)가 형성되고 있다. 반도체 칩(CP1)의 각 패드(PD10)는, 반도체 칩(CP1)의 내부에 형성된 반도체 집적 회로{예를 들면, 상기 제어 회로(CC) 등}에 전기적으로 접속되어 있다. 패드(PD10)는 반도체 칩(CP1)의 상기 재배선(RW)에 접속된 상기 패드(PD2)에 대응하는 것이다.
- [0256] 반도체 칩(CP1)의 표면에는, 상기 패드(PD5, PD6, PD7)에 각각 대응하는 패드(패드 전극, 본딩 패드)(PD5a, PD6a, PD7a)가 형성되어 있다.
- [0257] 즉, 반도체 칩(CP1)은 상기 송신 회로(TX1)와 이 송신 회로(TX1)에 접속된 상기 코일(CL7, CL8)(일차 코일)과, 이 코일(CL7, CL8)에 각각 자기적으로 결합된 상기 코일(CL5, CL6)(이차 코일)과, 이 코일(CL5, CL6)에 접속된 상기 패드(PD5, PD6, PD7)를 가지고 있다. 반도체 칩(CP1)이 가진 패드(PD5)가 패드(PD5a)에 대응하고, 반도체 칩(CP1)이 가진 패드(PD6)가 패드(PD6a)에 대응하고, 반도체 칩(CP1)이 가진 패드(PD7)가 패드(PD7a)에 대응하고 있다.
- [0258] 또한, 반도체 칩(CP1)은 상기 수신 회로(RX2)와, 이 수신 회로(RX2)에 접속된 복수의 패드(패드 전극, 본딩 패드)(PD9)를 더 가지고 있다. 그러므로, 반도체 칩(CP1)의 표면에는, 패드(PD5a, PD6a, PD7a, PD9, PD10)가 형성되고 있다. 또한, 반도체 칩(CP1)의 복수의 패드(PD9) 중에서, 반도체 칩(CP2)의 패드(PD7b)에 본딩 와이어(BW)를 통해서 접속되는 패드(PD9)는, 고정 전위(그라운드 전위, GND전위, 전원 전위 등)를 공급하는 패드이다.
- [0259] 반도체 칩(CP2)의 소자 형성 측의 주면인 반도체 칩(CP2)의 표면에는, 복수의 패드(PD11)가 형성되고 있다. 반도체 칩(CP2)의 각 패드(PD11)는, 반도체 칩(CP2)의 내부에 형성된 반도체 집적 회로{예를 들면, 상기 구동 회로(DR) 등}에 전기적으로 접속되어 있다. 패드(PD11)는 반도체 칩(CP2)의 상기 재배선(RW)에 접속된 상기 패드(PD2)에 대응하는 것이다.
- [0260] 반도체 칩(CP2)의 표면에는, 상기 패드(PD5, PD6, PD7)에 각각 대응하는 패드(패드 전극, 본딩 패드)(PD5b, PD6b, PD7b)가 형성되고 있다.
- [0261] 즉, 반도체 칩(CP2)은, 상기 송신 회로(TX2)와 이 송신 회로(TX2)에 접속된 상기 코일(CL7, CL8)(일차 코일)과, 이 코일(CL7, CL8)에 각각 자기적으로 결합된 상기 코일(CL5, CL6)(이차 코일)과, 이 코일(CL5, CL6)에 접속된 상기 패드(PD5, PD6, PD7)를 가지고 있다. 반도체 칩(CP2)이 가진 패드(PD5)가 패드(PD5b)에 대응하고, 반도체 칩(CP2)이 가진 패드(PD6)가 패드(PD6b)에 대응하고, 반도체 칩(CP2)이 가진 패드(PD7)가 패드(PD7b)에 대응하고 있다.

- [0262] 또한, 반도체 칩(CP2)은 상기 수신 회로(RX1)와 이 수신 회로(RX1)에 접속된 복수의 패드(패드 전극, 본딩 패드)(PD8)를 더 가지고 있다. 반도체 칩(CP2)의 표면에는, 패드(PD5b, PD6b, PD7b, PD8, PD11)가 형성되고 있다. 또한, 반도체 칩(CP2)의 복수의 패드(PD8) 가운데, 반도체 칩(CP1)의 패드(PD7a)에 본딩 와이어(BW)를 통해서 접속되는 패드(PD8)는 고정 전위(그라운드 전위, GND전위, 전원 전위 등)를 공급하는 패드이다.
- [0263] 또한, 반도체 칩(CP1)에서, 패드(PD5a, PD6a, PD7a, PD9, PD10)가 형성된 측의 주면을 반도체 칩(CP1)의 표면이라고 부르며, 그와 반대 측의 주면을 반도체 칩(CP1)의 이면(裏面)이라고 부르는 것이다. 또한, 반도체 칩(CP2)에서, 패드(PD, PD5b, PD6b, PD7b, PD8, PD11)가 형성된 측의 주면을 반도체 칩(CP2)의 표면이라고 부르며, 그와 반대 측의 주면을 반도체 칩(CP2)의 이면이라고 부르는 것이다.
- [0264] 반도체 칩(CP1)은 반도체 칩(CP1)의 표면이 위쪽을 향하도록, 칩 탑재부인 다이 패드(DP1)의 상면 상에 탑재(배치)되고, 반도체 칩(CP1)의 이면이 다이 패드(DP1)의 상면에 다이 본드재(접착재)(DB)를 통해서 접촉되어 고정되어 있다.
- [0265] [0256] 반도체 칩(CP2)은 반도체 칩(CP2)의 표면이 위쪽을 향하도록, 칩 탑재부인 다이 패드(DP2)의 상면 상에 탑재(배치)되고, 반도체 칩(CP2)의 이면이 다이 패드(DP2)의 상면에 다이 본드재(접착재)(DB)를 통해서 접촉되고 고정되어 있다.
- [0266] 다이 패드(DP1)와 다이 패드(DP2)는, 밀봉 수지부(MR)를 구성하는 재료를 사이에 두고 이간되어 있으며, 서로 전기적으로 절연되고 있다.
- [0267] 리드(LD)는 도전체로 형성되어 있으며, 바람직하게는 구리(Cu) 또는 구리 합금 등의 금속 재료로 이루어진다. 각 리드(LD)는 리드(LD) 중의 밀봉 수지부(MR) 내에 위치하는 부분인 인너 리드부와, 리드(LD) 중의 밀봉 수지부(MR) 외에 위치하는 부분인 아우터 리드부로 되어 있고, 리드(LD)의 아우터 리드부는 밀봉 수지부(MR)의 측면에서 밀봉 수지부(MR) 외에 돌출하고 있다. 인접한 리드(LD)의 인너 리드부 사이는 밀봉 수지부(MR)를 구성하는 재료로 채워져 있다. 각 리드(LD)의 아우터 리드부는 반도체 패키지(PKG)의 외부 접속용 단자부(외부 단자)로서 기능할 수 있다. 각 리드(LD)의 아우터 리드부는 아우터 리드부의 단부 근처의 하면이 밀봉 수지부(MR)의 하면보다도 약간 아래에 위치하도록 구부림 가공되고 있다.
- [0268] 반도체 칩(CP1)의 표면의 각 패드(PD10)와 반도체 칩(CP2)의 표면의 각 패드(PD11)는, 각 리드(LD)의 인너 리드부에, 도전성 접속 부재인 본딩 와이어(BW)를 통해서 각각 전기적으로 접속되어 있다. 즉, 반도체 칩(CP1)의 표면의 각 패드(PD10)에 일단이 접속된 본딩 와이어(BW)의 타단은, 각 리드(LD)의 인너 리드부의 상면에 접속되어 있다. 또한, 반도체 칩(CP2)의 표면의 각 패드(PD11)에 일단이 접속된 본딩 와이어(BW)의 타단은, 각 리드(LD)의 인너 리드부의 상면에 접속되어 있다. 또한, 반도체 칩(CP1)의 패드(PD10)가 본딩 와이어(BW)를 통해서 접속되는 리드(LD)와, 반도체 칩(CP2)의 패드(PD11)가 본딩 와이어(BW)를 통해서 접속되는 리드(LD)는 서로 상이한 리드(LD)이다. 따라서, 반도체 칩(CP1)의 패드(PD10)와 반도체 칩(CP2)의 패드(PD11)는 도체를 통해서 접속되어 있지 않다.
- [0269] 또한, 반도체 칩(CP1)의 표면의 패드(PD5a, PD6a, PD7a)는 반도체 칩(CP2)의 표면의 패드(PD8)에 본딩 와이어(BW)를 통해서 각각 전기적으로 접속되어 있다. 또한, 반도체 칩(CP2)의 표면의 패드(PD5b, PD6b, PD7b)는 반도체 칩(CP1)의 표면의 패드(PD9)에 본딩 와이어(BW)를 통해서 각각 전기적으로 접속되어 있다.
- [0270] 본딩 와이어(BW)는 도전성의 접속 부재(접속용 부재)이지만, 보다 특징적으로는 도전성의 와이어로, 예를 들면, 금(Au)선 또는 구리(Cu)선 등의 금속 세선으로 구성된다. 본딩 와이어(BW)는 밀봉 수지부(MR) 내에 밀봉되어 있으며, 밀봉 수지부(MR)에서 노출되지 않는다.
- [0271] 여기에서, 반도체 칩(CP1)의 패드(PD5a, PD6a, PD7a)와 반도체 칩(CP2)의 패드(PD8) 사이를 접속하는 본딩 와이어(BW)를, 이하에서는 부호(BW8)를 붙여서 본딩 와이어(BW8)라고 부른다. 또한, 반도체 칩(CP2)의 패드(PD5b, PD6b, PD7b)와 반도체 칩(CP1)의 패드(PD9) 사이를 접속하는 본딩 와이어(BW)를, 이하에서는 부호(BW9)를 붙여서 본딩 와이어(BW9)라고 부른다.
- [0272] 반도체 칩(CP1)과 반도체 칩(CP2) 사이는 본딩 와이어(BW8, BW9)로 접속되지만, 그 이외의 본딩 와이어(BW)(도전성의 접속 부재)에서는 접속되지 않는다. 반도체 칩(CP1)과 반도체 칩(CP2) 사이의 전기 신호 전송은 반도체 칩(CP1)의 패드(PD5a, PD6a, PD7a)에서 본딩 와이어(BW8)를 통하여 반도체 칩(CP2)의 패드(PD8)에 이르는 경로와, 반도체 칩(CP2)의 패드(PD5b, PD6b, PD7b)에서 본딩 와이어(BW9)를 통해서 반도체 칩(CP2)의 패드(PD9)에 이르는 경로뿐이다.

- [0273] 그리고, 반도체 칩(CP1)의 패드(PD5a, PD6a, PD7a)는 반도체 칩(CP1) 내에 형성된 상기 코일(CL5, CL6)(이차 코일)에 접속되어 있지만, 이 코일(CL5, CL6)은 반도체 칩(CP1) 내에 형성된 회로에는 도체(내부 배선)를 통해서 연결되지 않으며, 반도체 칩(CP1) 내의 상기 코일(CL7, CL8)(일차 코일)과 자기적으로 결합된 것이다. 이 때문에, 반도체 칩(CP1) 내에 형성된 회로(상기 송신 회로(TX1) 등)로부터, 반도체 칩(CP1) 내의 상기 코일(CL7, CL8)(일차 코일) 및 상기 코일(CL5, CL6)(이차 코일)을 통해서 전자 유도로 전달된 신호만이, 패드(PD5a, PD6a, PD7a)로부터 본딩 와이어(BW8)를 통하여 반도체 칩(CP2){상기 수신 회로(RX1)}에 입력된다.
- [0274] 또한, 반도체 칩(CP2)의 패드(PD5b, PD6b, PD7b)는 반도체 칩(CP2) 내에 형성된 상기 코일(CL5, CL6)(이차 코일)에 접속되어 있지만, 이 코일(CL5, CL6)은 반도체 칩(CP2) 내에 형성된 회로에는 도체(내부 배선)를 통해서 연결되지 않으며, 반도체 칩(CP2) 내의 상기 코일(CL7, CL8)(일차 코일)과 자기적으로 결합된 것이다. 이 때문에, 반도체 칩(CP2) 내에 형성된 회로(상기 송신 회로(TX2) 등)로부터 반도체 칩(CP2) 내의 상기 코일(CL7, CL8)(일차 코일) 및 상기 코일(CL5, CL6)(이차 코일)을 통해서 전자 유도로 전달된 신호만이, 패드(PD5b, PD6b, PD7b)에서 본딩 와이어(BW9)를 통해서 반도체 칩(CP1){상기 수신 회로(RX2)}에 입력된다.
- [0275] 반도체 칩(CP1)과 반도체 칩(CP2)은 전압 레벨(기준 전위)이 다르다. 예를 들면, 구동 회로(DR)는 모터 등의 부하(LOD)를 구동하지만, 구체적으로는 모터 등의 부하(LOD)의 스위치(스위칭 소자)를 구동 또는 제어하고, 스위치를 전환한다. 이 때문에, 이 구동 대상의 스위치를 온으로 하면, 반도체 칩(CP2)의 기준 전위(전압 레벨)는 구동 대상의 스위치 전원 전압(동작 전압)에 거의 일치하는 전압으로 상승하는 경우가 있으며, 이 전원 전압은 상당한 고전압(예를 들면, 수백 V~수천 V 정도)이다. 그러므로, 반도체 칩(CP1)과 반도체 칩(CP2)에서 전압 레벨(기준 전위)에 큰 차이가 생긴다. 즉, 구동 대상의 스위치 온 시에는 반도체 칩(CP2)에는 반도체 칩(CP1)에 공급되고 있는 전원 전압(예를 들면, 수 V~수십 V 정도)보다도 높은 전압(예를 들면 수백 V~수천 V 정도)이 공급되게 된다.
- [0276] 그러나, 상기한 바와 같이, 반도체 칩(CP1)과 반도체 칩(CP2)과의 사이에 전기적으로 전달되는 것은, 반도체 칩(CP1) 내의 일차 코일(CL7, CL8) 및 이차 코일(CL5, CL6)을 통해서 전자 유도로 전달된 신호거나, 반도체 칩(CP2) 내의 일차 코일(CL7, CL8) 및 이차 코일(CL5, CL6)을 통해서 전자 유도로 전달된 신호뿐이다. 이 때문에, 반도체 칩(CP1)의 전압 레벨(기준 전위)과 반도체 칩(CP2)의 전압 레벨(기준 전위)이 상이하더라도, 반도체 칩(CP2)의 전압 레벨(기준 전위)이 반도체 칩(CP1)에 입력되거나, 또는 반도체 칩(CP1)의 전압 레벨(기준 전위)이 반도체 칩(CP2)에 입력되는 것을 정확하게 방지할 수 있다. 즉, 구동 대상의 스위치가 온이 되어, 반도체 칩(CP2)의 기준 전위(전압 레벨)가 구동 대상의 스위치 전원 전압(예를 들면 수백 V~수천 V 정도)에 거의 일치하는 전압까지 상승했다고 하더라도, 이 반도체 칩(CP2)의 기준 전위가 반도체 칩(CP1)에 입력되는 것을 정확하게 방지할 수 있다. 이 때문에, 전압 레벨(기준 전위)이 다른 반도체 칩(CP1, CP2) 간에 전기 신호의 전달을 정확하게 실시할 수 있다. 또한 반도체 칩(CP1)과 반도체 칩(CP2)의 신뢰성을 높일 수 있다. 또한 반도체 패키지(PKG)의 신뢰성을 향상시킬 수 있다. 또한, 반도체 패키지(PKG)를 이용한 전자 장치의 신뢰성을 향상시킬 수 있다.
- [0277] 또한, 자기적으로 결합한 코일을 이용하여 반도체 칩 간의 신호의 전달을 실시하고 있는 것에 의하여, 반도체 패키지(PKG)의 소형화를 도모하고, 신뢰성을 향상시킬 수 있다.
- [0278] 반도체 패키지(PKG)는 예를 들면, 다음과 같이 해서 제조할 수 있다. 즉, 우선, 다이 패드(DP1, DP2)와 복수의 리드(LD)가 프레임 틀에 연결된 리드 프레임틀을 준비하고, 다이 본딩 공정을 거쳐, 이 리드 프레임틀의 다이 패드(DP1, DP2) 상에 다이 본드재(접착재)(DB)를 통해서 반도체 칩(CP1, CP2)을 각각 탑재하고 접합한다. 그리고, 와이어 본딩 공정을 행한다. 이에 따라, 반도체 칩(CP1)의 복수의 패드(PD10)는 복수의 리드(LD)와 복수의 본딩 와이어(BW)를 통해서 전기적으로 접속된다. 또한, 반도체 칩(CP2)의 복수의 패드(PD11)는 다른 복수의 리드(LD)에 다른 복수의 본딩 와이어(BW)를 통해서 전기적으로 접속된다. 또한, 반도체 칩(CP1)의 복수의 패드(PD5a, PD6a, PD7a)는 반도체 칩(CP2)의 복수의 패드(PD8)와 복수의 본딩 와이어(BW8)를 통해서 전기적으로 접속된다. 또한, 반도체 칩(CP2)의 복수의 패드(PD5b, PD6b, PD7b)는 반도체 칩(CP1)의 복수의 패드(PD9)와 복수의 본딩 와이어(BW9)를 통해서 전기적으로 접속된다. 그리고, 수지 밀봉 공정을 거쳐, 반도체 칩(CP1, CP2), 다이 패드(DP1, DP2), 복수의 리드(LD) 및 복수의 본딩 와이어(BW){본딩 와이어(BW8, BW9)를 포함}를 밀봉하는 밀봉 수지부(MR)를 형성한다. 그리고, 각각의 인너 리드부가 밀봉 수지부(MR)에 밀봉되고 있는 복수의 리드(LD)를 리드 프레임틀의 프레임틀에서 절단하고 분리한 후, 복수의 리드(LD)의 아우터 리드부를 구부림 가공한다. 이렇게 해서, 반도체 패키지(PKG)를 제조할 수 있다.
- [0279] 여기에서, 반도체 패키지(PKG)가 탑재되는 제품 용도 예에 대해서 설명한다. 예를 들면, 자동차, 세탁기 등 가

전 기기의 모터 제어부, 스위칭 전원, 조명 컨트롤러, 태양광 발전 컨트롤러, 휴대 전화기, 또는 모바일 통신 기기 등이 있다.

[0280] 예를 들면, 자동차 용도에서는, 반도체 칩(CP1)이, 저전압의 전원 전압이 공급되는 저압 칩이고, 이때 공급 전원 전압은 예를 들면 5V 정도이다. 한편 구동 회로(DR)의 구동 대상의 스위칭 전원 전압은 예를 들면 600V~1000V 혹은 그 이상의 고전압으로, 스위칭 온시에는 이 고 전압이 반도체 칩(CP2)에 공급될 수 있다.

[0281] 또한, 여기에서는 반도체 패키지(PKG)의 패키지 형태로서 SOP(Small Outline Package)의 경우를 예로 들어 설명했지만, SOP 이외에도 적용 가능하다.

[0282] (실시형태 2)

[0283] 도 43은 본 실시형태 2의 반도체 장치의 단면 구조를 나타내는 주요부 단면도이며, 상기 실시형태 1의 상기 도 3에 상당하는 것이다.

[0284] 상기 실시형태 1에서는, 상기 도 3에도 나타나듯이, 트랜스의 일차 코일인 코일(CL1)은 패드(PD1)보다도 하층에 형성됐다. 상기 도 3의 경우는, 패드(PD1)가 형성된 제3배선층보다도 하나 하층의 제2배선층에{즉, 배선(M2)과 같은 층에} 코일(CL1)이 형성됐다.

[0285] 반면에, 본 실시형태 2에서는 도 43에도 나타나듯이, 트랜스의 일차 코일인 코일(CL1)은, 패드(PD1)와 같은 층에 형성되고 있다. 즉, 패드(PD1)가 형성된 제3배선층에{즉, 배선(M3)과 같은 층에} 코일(CL1)이 형성되고 있다. 그러므로, 본 실시형태 2에서는, 코일(CL1)과 코일(CL2) 사이에는, 층간 절연막(IL3)은 개재하지 않고, 적층막(LF)만이 개재하며, 적층막(LF)의 산화 실리콘막(LF1)은 코일(CL1)을 덮듯이 코일(CL1)에 접하도록 형성되고 있다.

[0286] 그 이외의 구성은, 본 실시형태 2도 상기 실시형태 1과 기본적으로는 마찬가지로이므로, 여기에서는 그 반복의 설명은 생략한다.

[0287] 본 실시형태 2에서도, 상기 실시형태 1에서 설명한 것과 거의 같은 효과를 얻을 수 있다. 다만, 상기 실시형태 1은 본 실시형태 2에 비해서 다음과 같은 이점이 있다.

[0288] 즉, 본 실시형태 2에서는 코일(CL1)과 코일(CL2) 사이에 적층막(LF)이 개재되어 있으며, 이 적층막(LF)에 의해 코일(CL1)과 코일(CL2) 사이의 절연 내압을 확보하고 있다. 한편, 상기 실시형태 1에서는 코일(CL1)과 코일(CL2) 사이에는 적층막(LF)뿐만 아니라, 층간 절연막{상기 도 3의 경우는 층간 절연막(IL3)}도 개재되어 있고, 이 적층막(LF)과 층간 절연막에 의해 코일(CL1)과 코일(CL2) 사이의 절연 내압을 확보하고 있다. 이 때문에, 코일(CL1)과 코일(CL2) 사이에 층간 절연막{상기 도 3의 경우는 층간 절연막(IL3)}도 존재하는 만큼, 본 실시형태 2보다도 상기 실시형태 1이 코일(CL1)과 코일(CL2) 사이의 절연 내압을 더 높일 수 있다.

[0289] 또한, 본 실시형태 2처럼, 코일(CL1)과 패드(PD1)를 같은 층으로 하면, 코일(CL1)의 두께가 두꺼워진다. 이것은 패드(PD1)의 두께는 패드(PD1)보다도 하층의 배선{여기에서는 배선(M1) 및 배선(M2)}의 두께보다 두껍기(크기) 때문이다. 코일(CL1)의 두께가 두꺼우면, 코일(CL1)을 구성하는 나선상의 코일 배선의 인접 사이를 절연막으로 매립하기 어렵기 때문에, 절연막의 성막 공정을 비교적 엄밀하게 관리할 필요가 있다. 반면, 상기 실시형태 1에서는 코일(CL1)을 패드(PD1)보다도 하층에 형성하고 있어서, 코일(CL1)의 두께를 패드(PD1)의 두께보다 얇게(작게) 할 수가 있다. 이 때문에, 코일(CL1)을 구성하는 나선상 코일 배선의 인접 사이를 절연막에서 매립하기 쉽기 때문에, 그 절연막의 성막 공정의 관리가 쉽게 된다. 따라서, 반도체 장치를 제조하기 쉽게 된다. 또한, 코일(CL1)을 구성하는 나선상의 코일 배선의 인접 사이를 절연막에 의해 확실히 매립할 수 있게 되므로, 반도체 장치의 신뢰성을 더욱 향상시킬 수 있다.

[0290] 이상, 본 발명자에 의해 이루어진 발명을 그 실시형태에 기초하여, 구체적으로 설명했지만, 본 발명은 상기 실시형태로 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러 가지로 변경 가능하다는 것은 말할 필요도 없다.

**부호의 설명**

[0291] BW, BW8, BW9    본딩 와이어

CC    제어 회로

CF    구리막

CL1, CL1a, CL1b, CL2, CL2a, CL2b 코일  
 CL5, CL6, CL7, CL8 코일  
 CP1, CP2 반도체 칩  
 CW5, CW6, CW7, CW8 코일 배선  
 DB 다이 분드재  
 DP1, DP2 다이 패드  
 DR 구동 회로  
 G1, G2 게이트 전극  
 GF 게이트 절연막  
 HW1, HW2, HW3a 인출 배선  
 HW3 접속 배선  
 IL1, IL2, IL3 층간 절연막  
 LD 리드  
 LF 적층막  
 LF1 산화 실리콘막  
 LF2 질화 실리콘막  
 LF3 수지막  
 LOD 부하  
 M1, M2, M3 배선  
 MR 밀봉 수지부  
 NS n형 반도체 영역  
 NW n형웰  
 OP1, OP1a, OP1b, OP1c, OP2, OP3 개구부  
 PA 보호막  
 PD1, PD2, PD3, PD5, PD5a, PD5b 패드  
 PD6, PD6a, PD6b, PD7, PD7a, PD7b 패드  
 PD8, PD9, PD10, PD11 패드  
 PKG 반도체 패키지  
 PR1, PR2 레지스트 패턴  
 PS p형 반도체 영역  
 PW p형웰  
 RW 재배선  
 RX1, RX2 수신 회로  
 SB 반도체 기관  
 SE 시드막  
 SG1, SG2, SG3, SG4 신호

ST 소자 분리 영역

TR1, TR2 트랜스

TX1, TX2 송신 회로

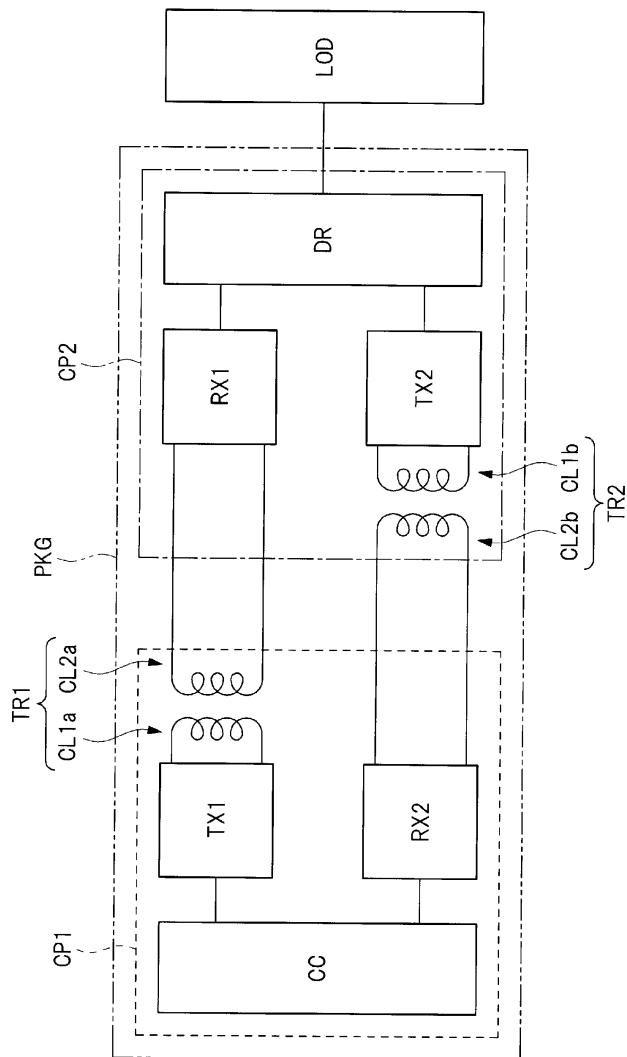
UM 기초금속막

V1 플러그

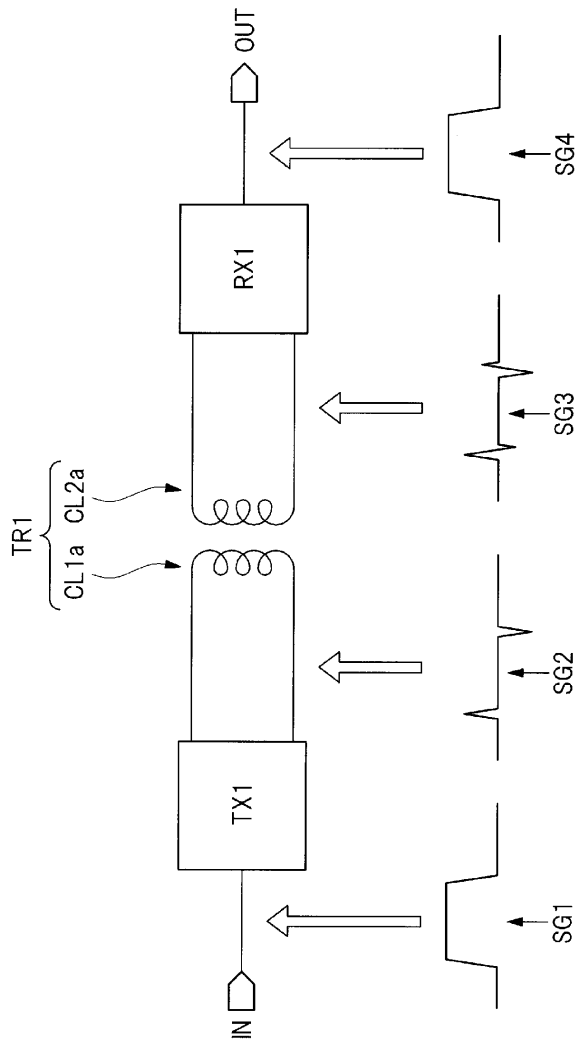
V2, V3 비아부

도면

도면1

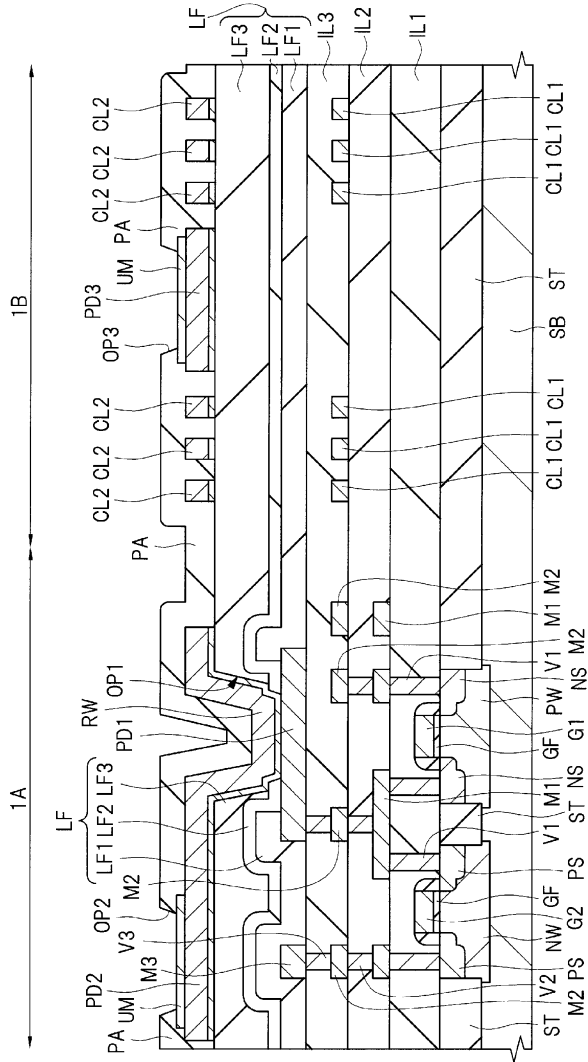


도면2

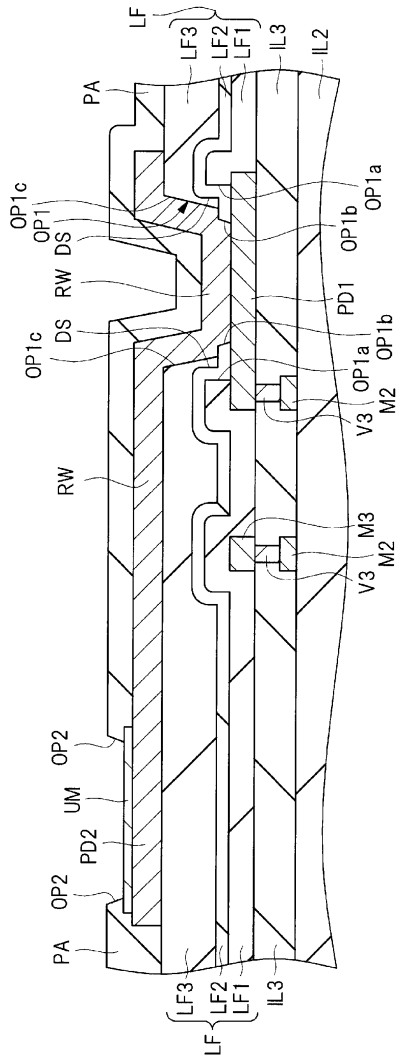




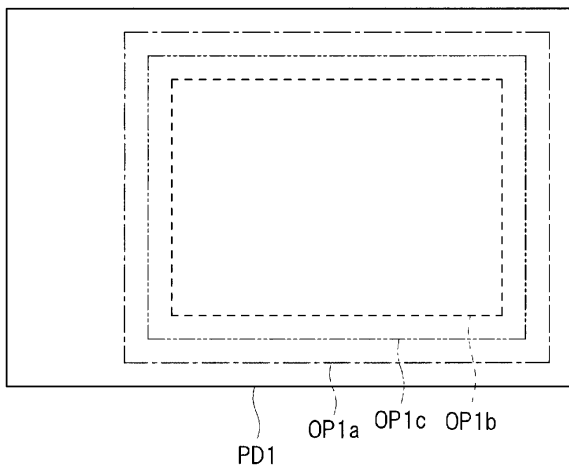
도면3



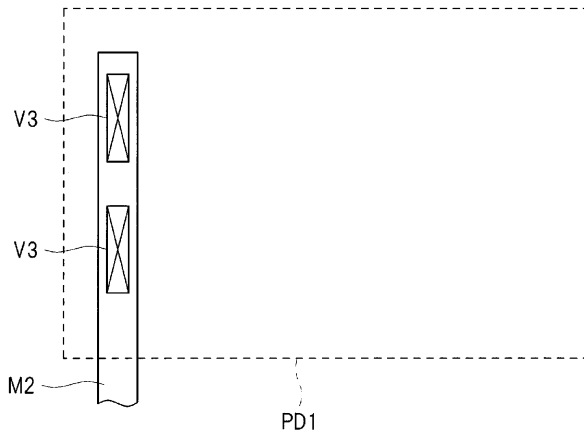
도면4



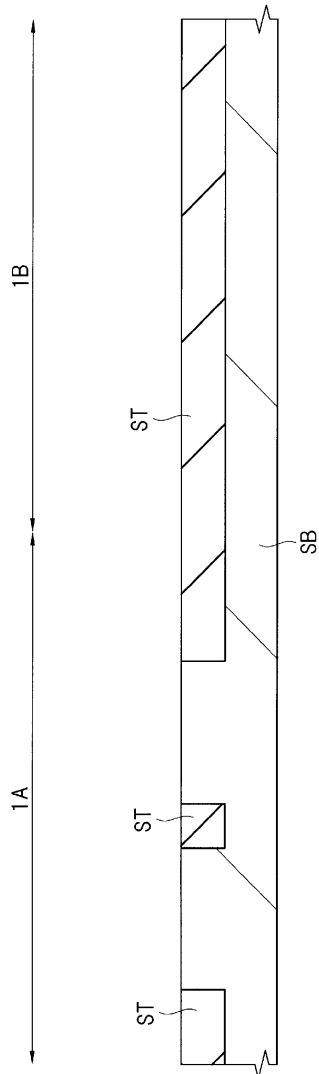
도면5



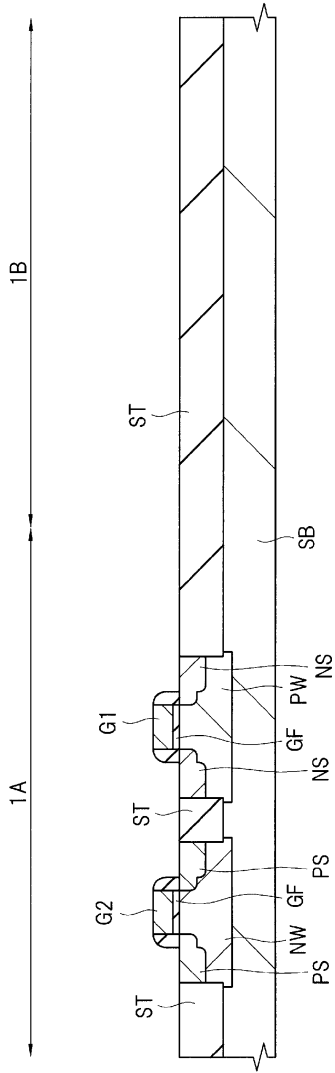
도면6



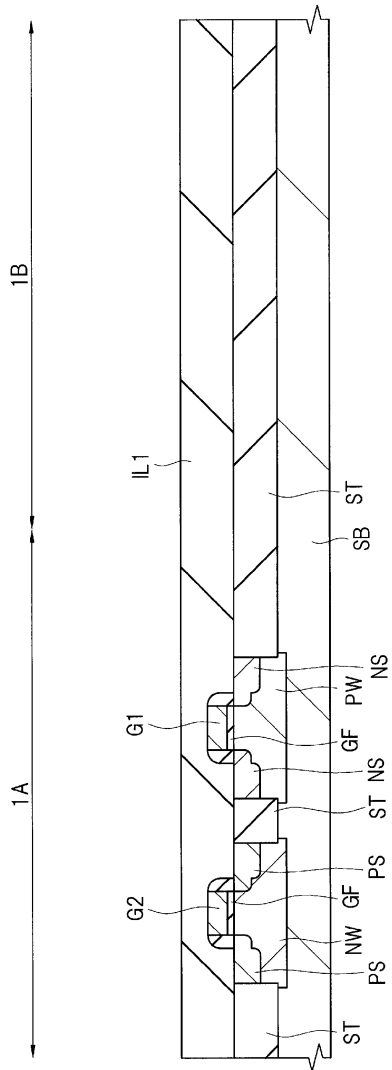
도면7



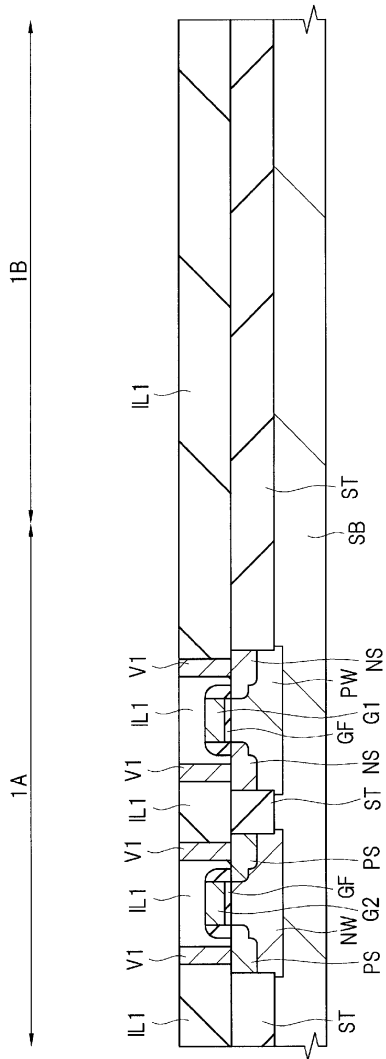
도면8



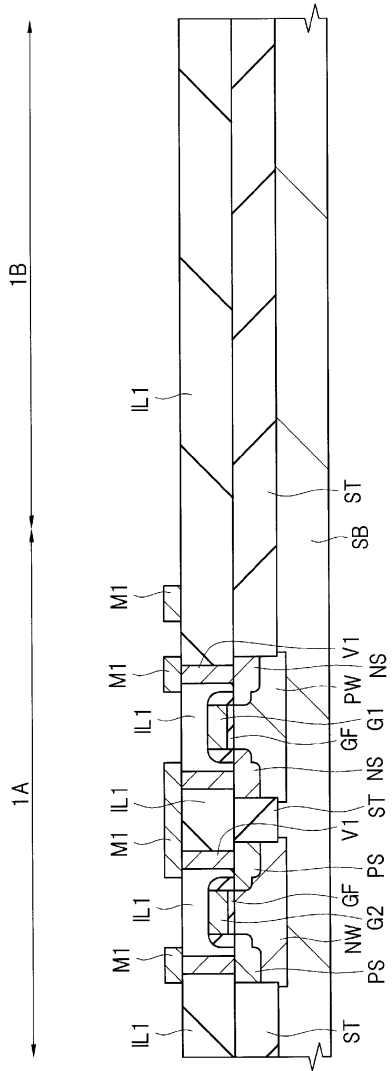
도면9



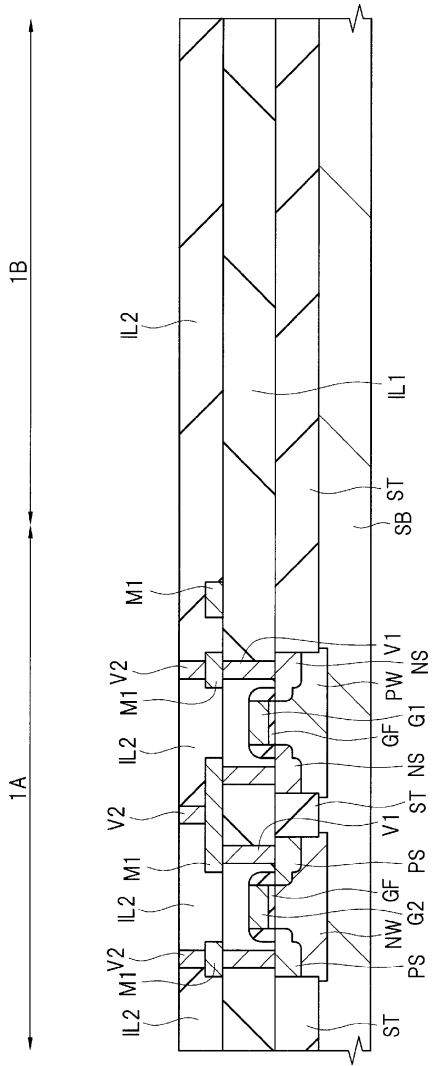
도면10



도면11

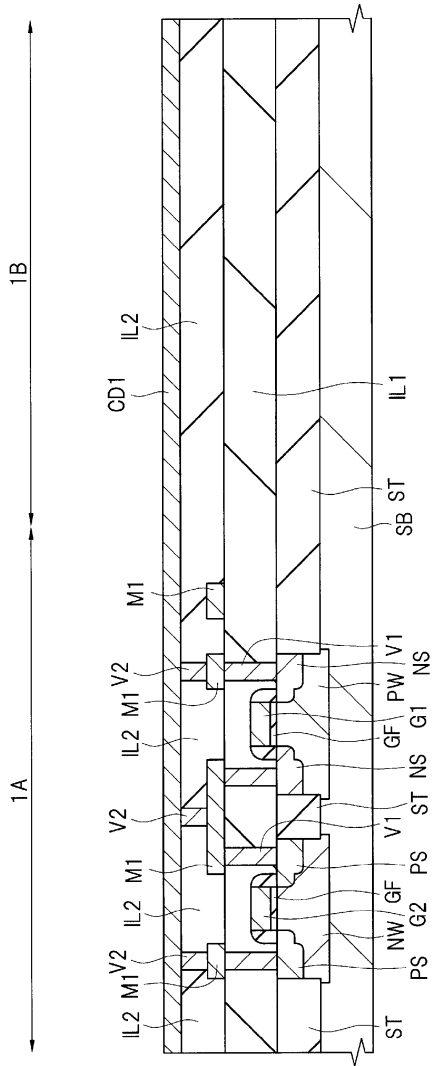


도면12

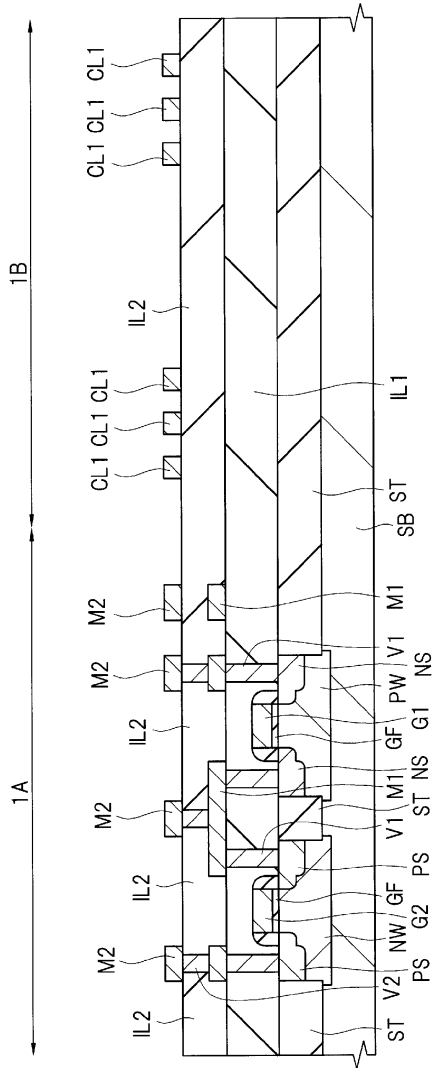




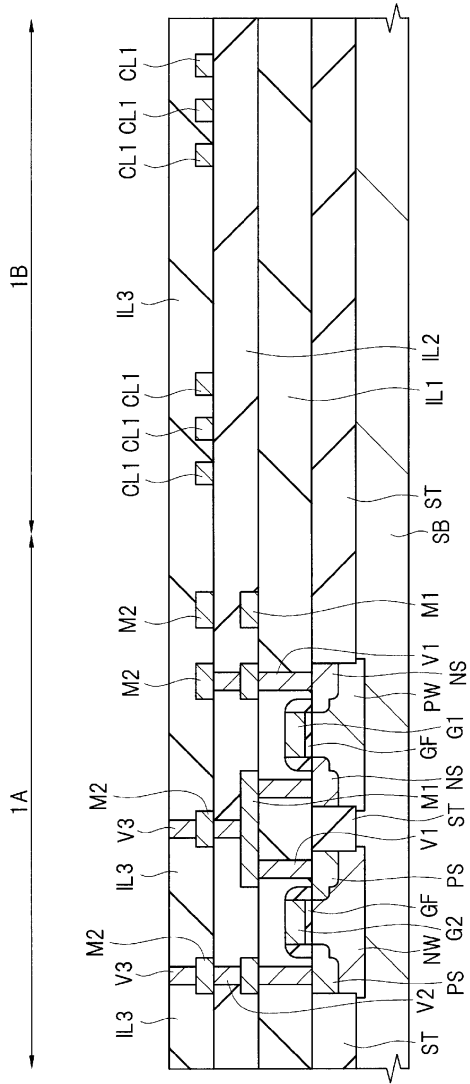
도면13



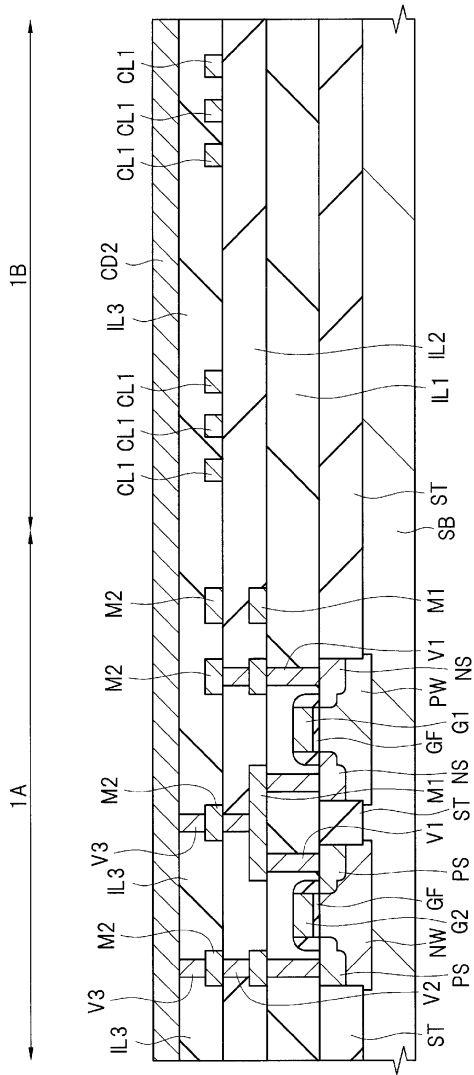
도면14



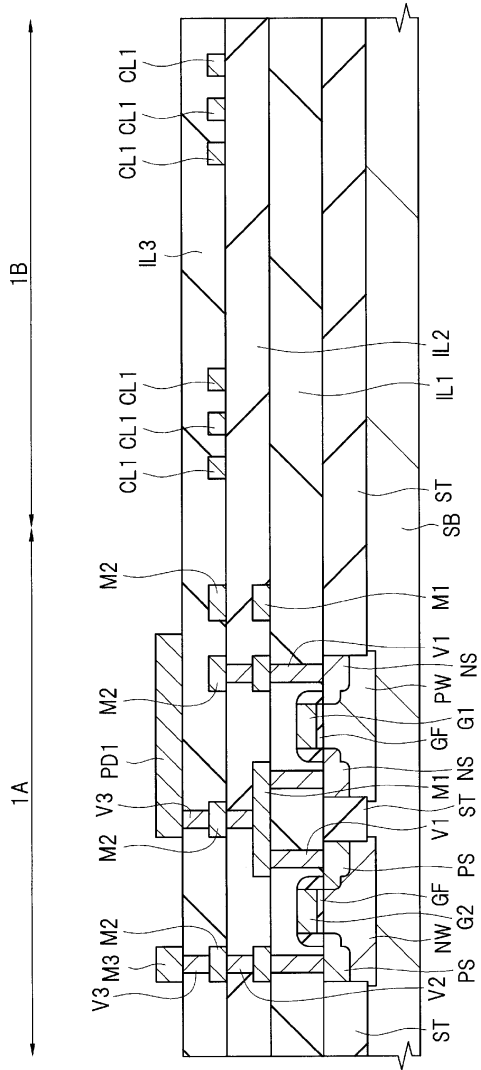
도면15



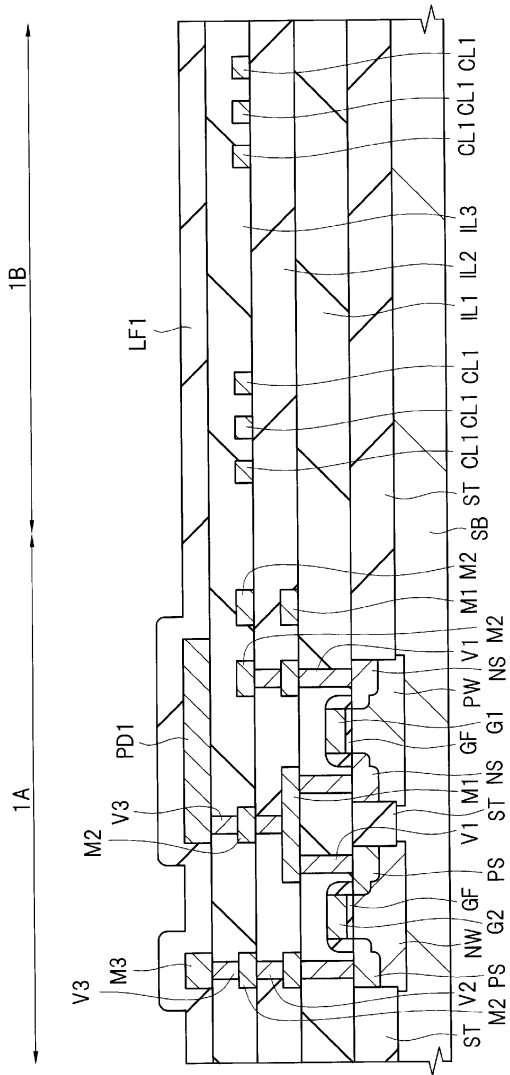
도면16



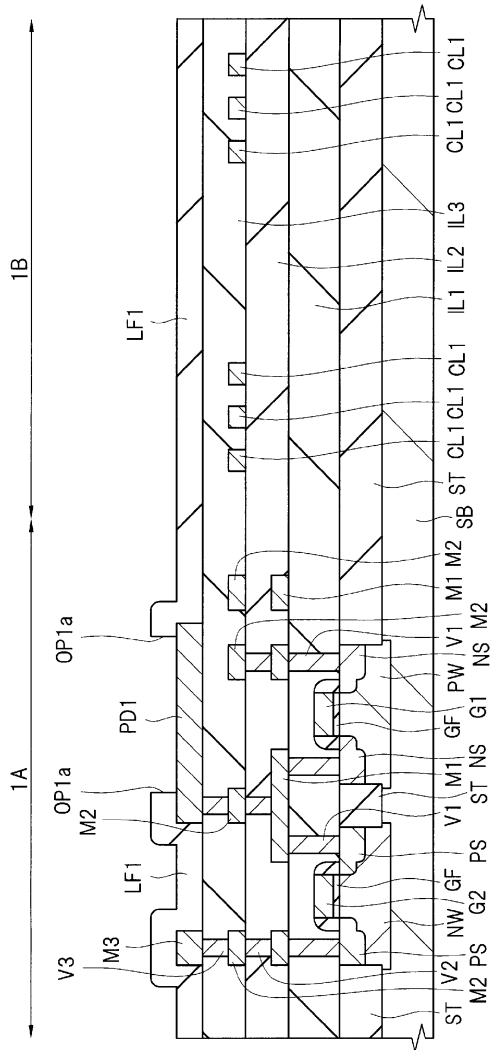
도면17



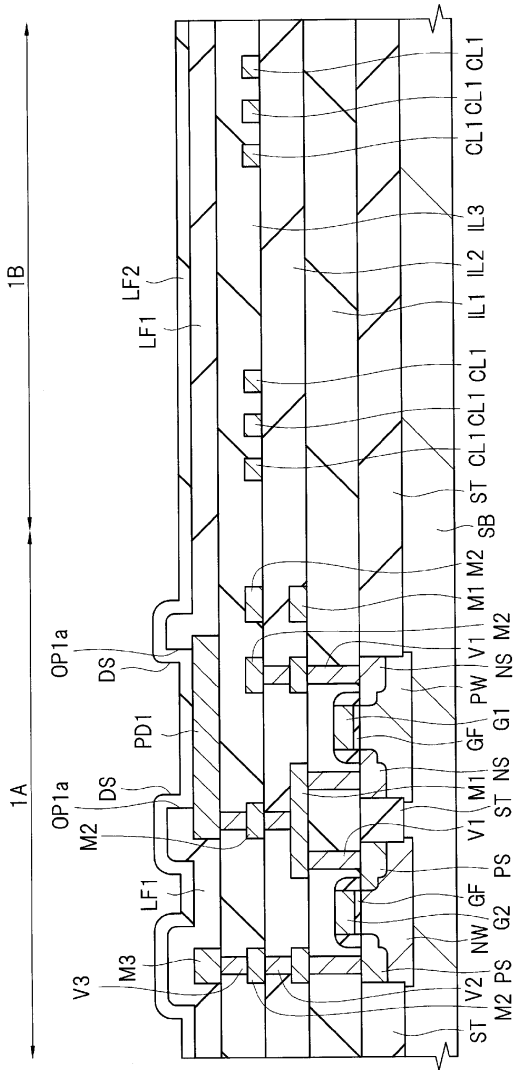
도면18



도면19

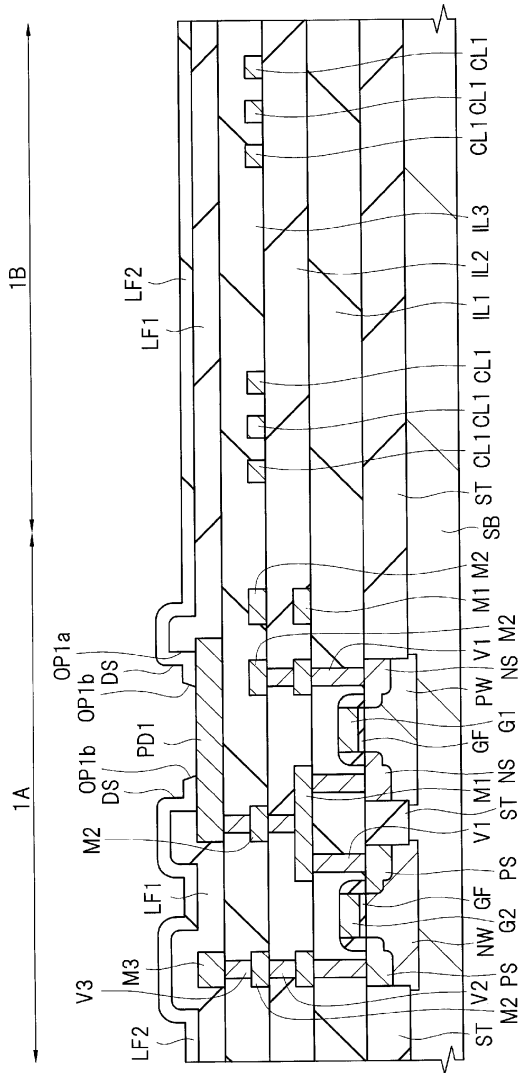


도면20

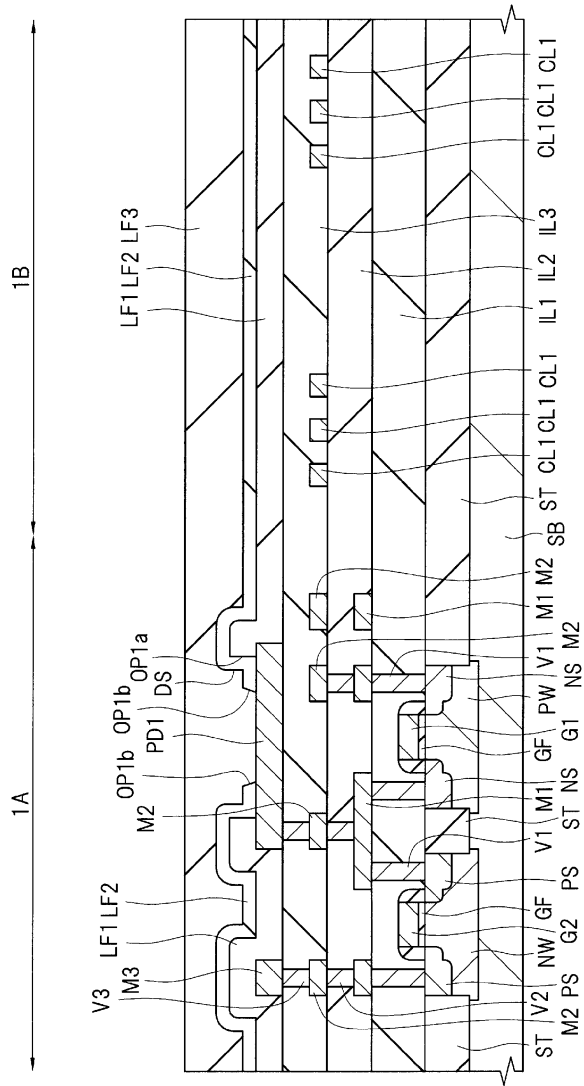




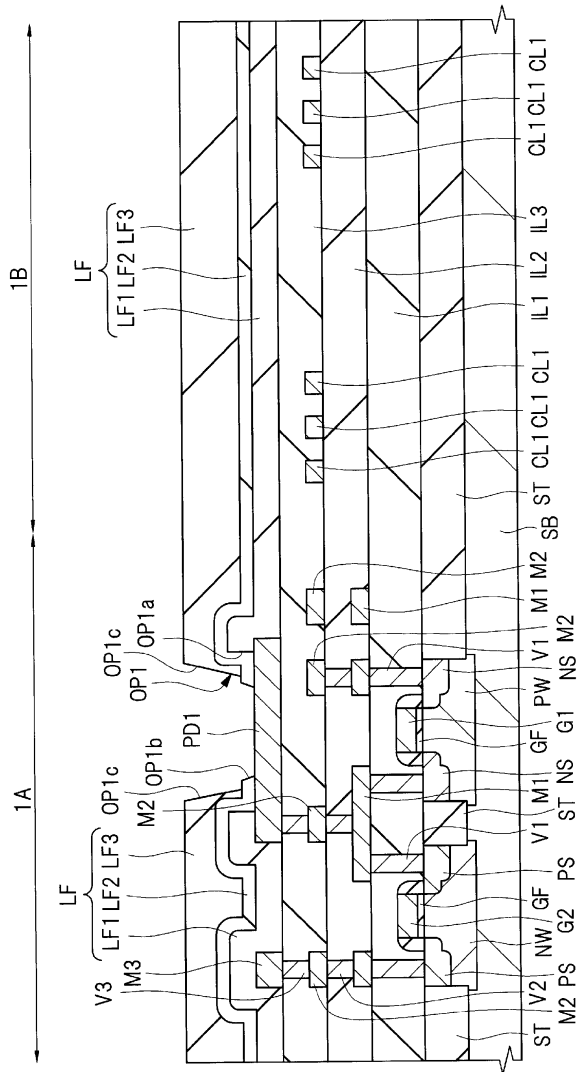
도면21



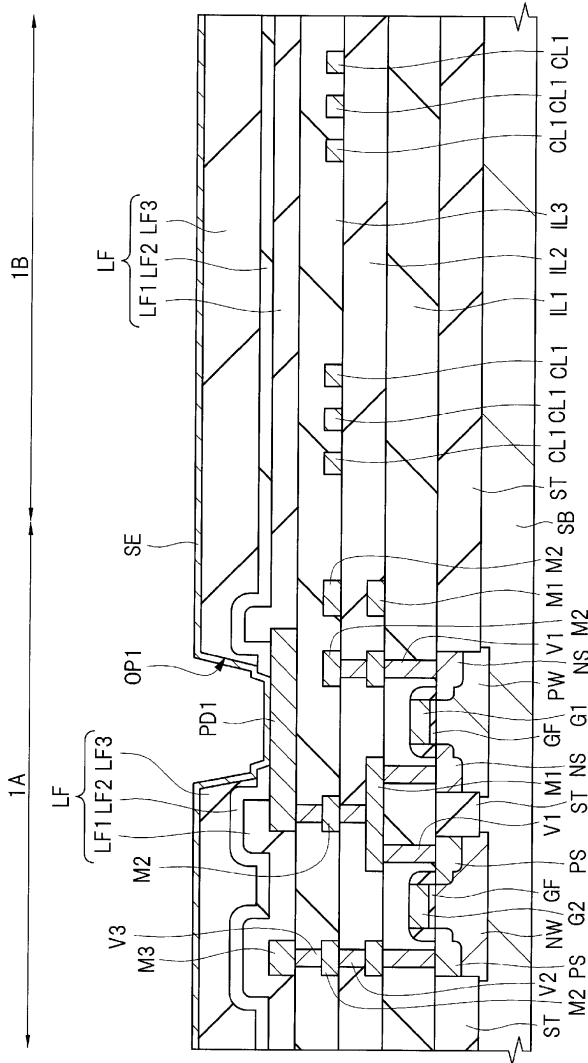
도면22



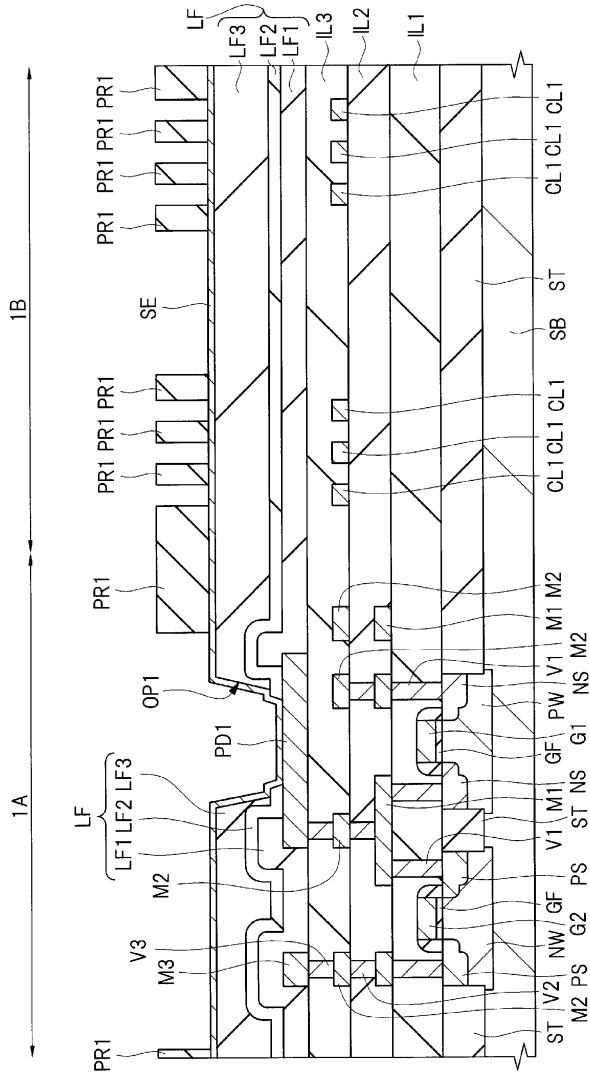
도면23



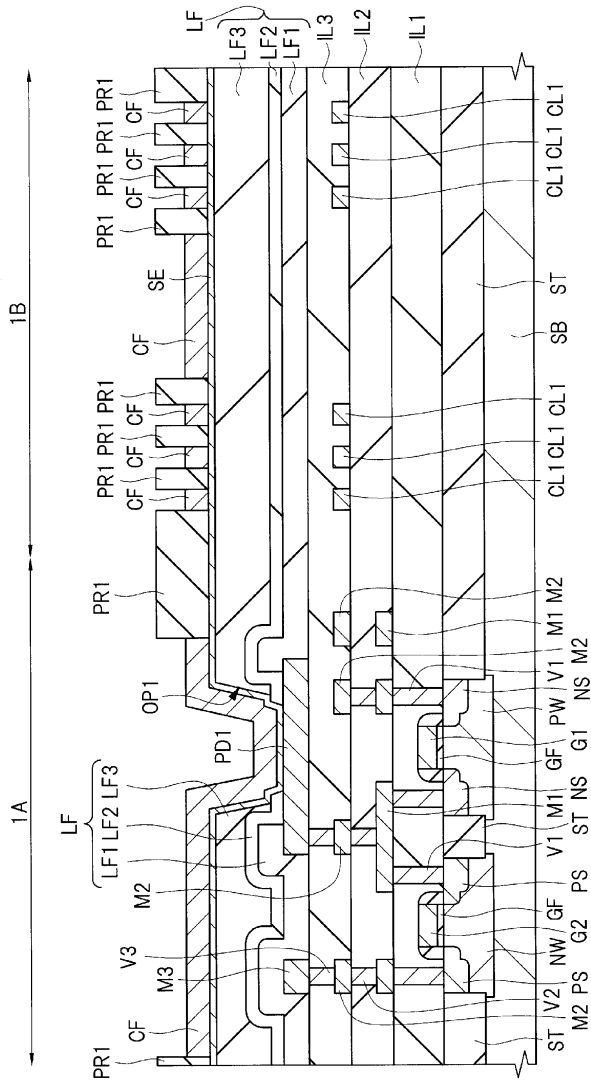
도면24



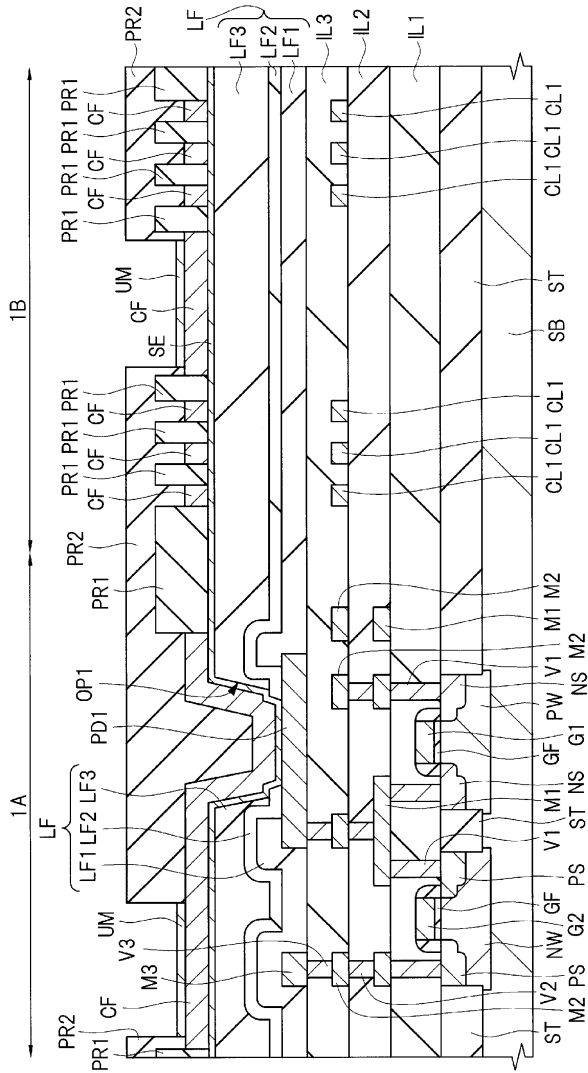
도면25



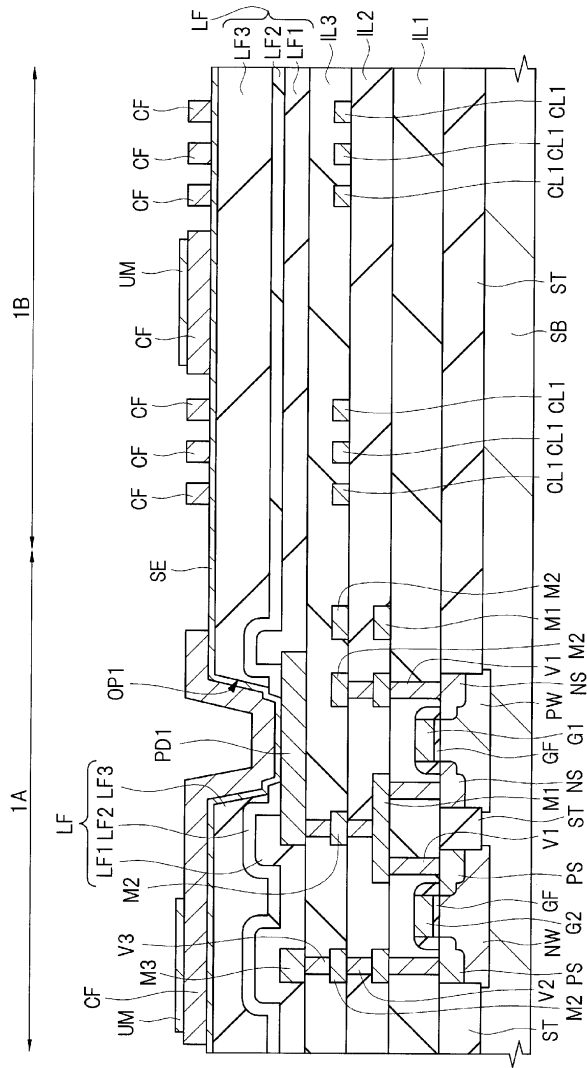
도면26



도면27



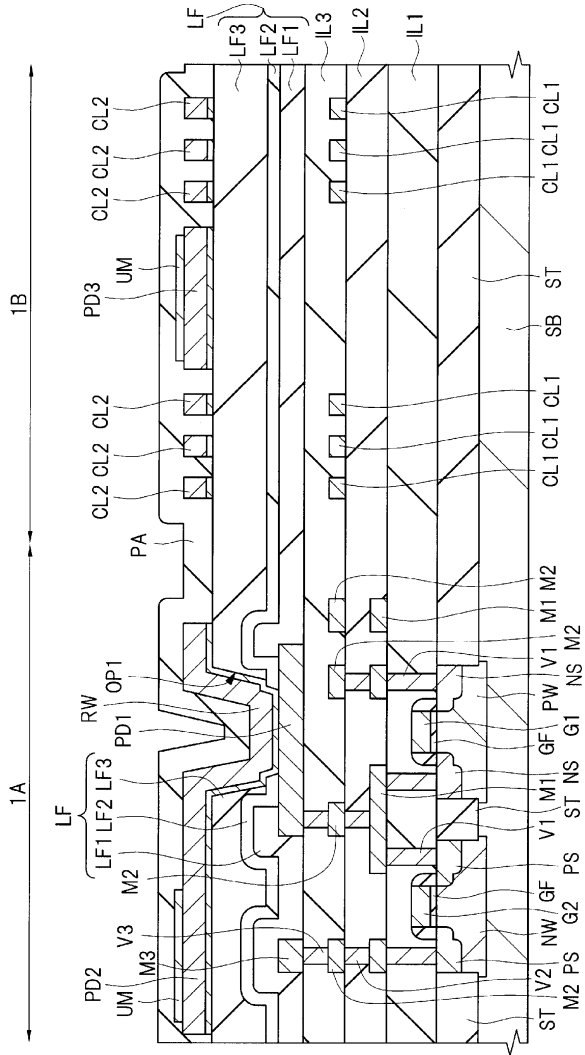
도면28



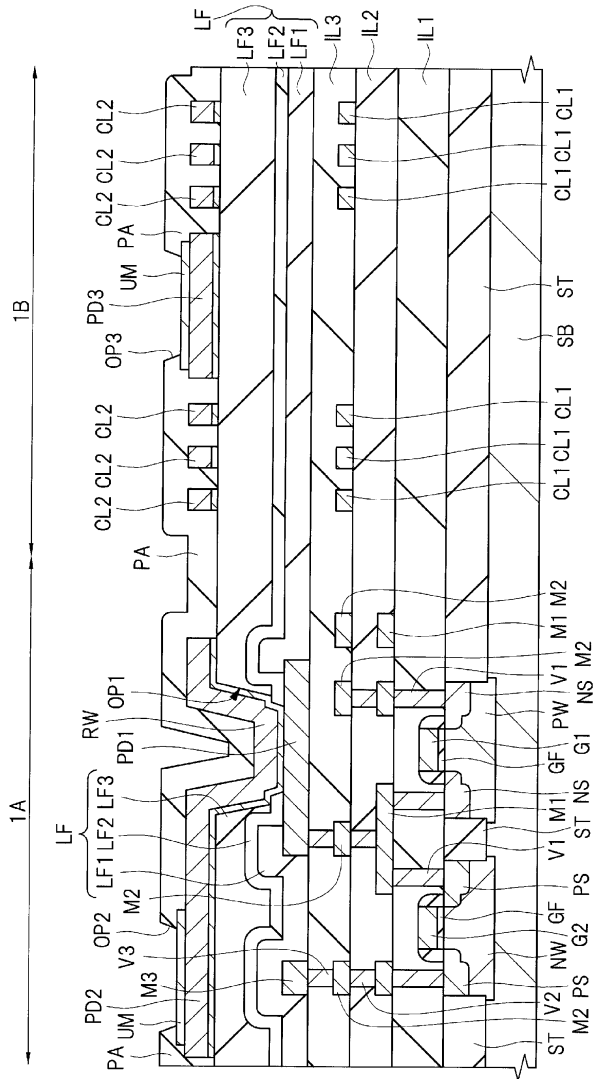




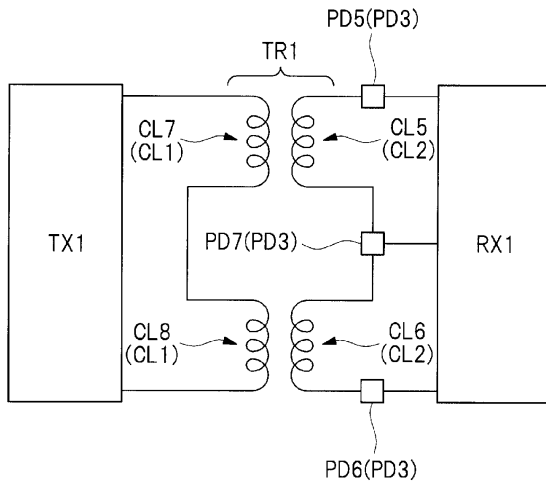
도면30



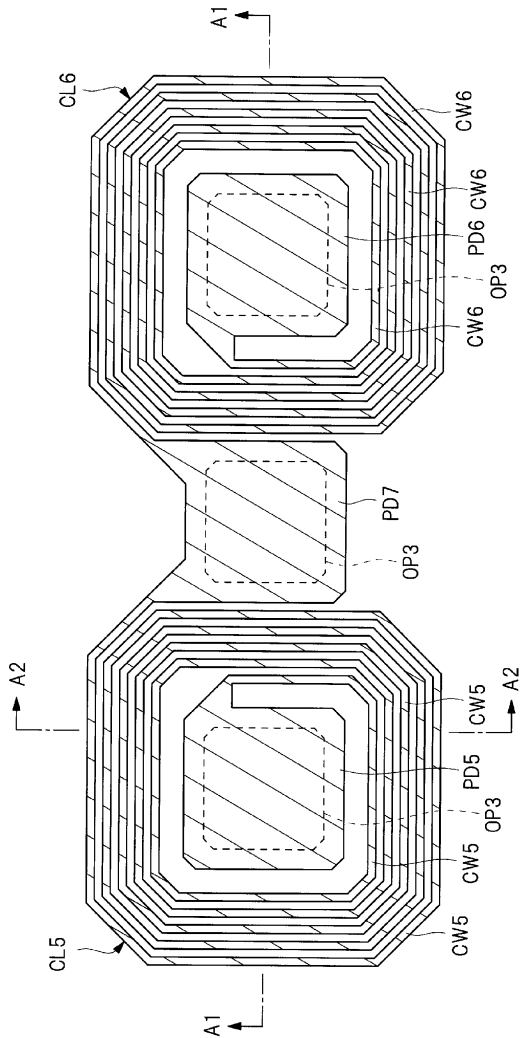
도면31



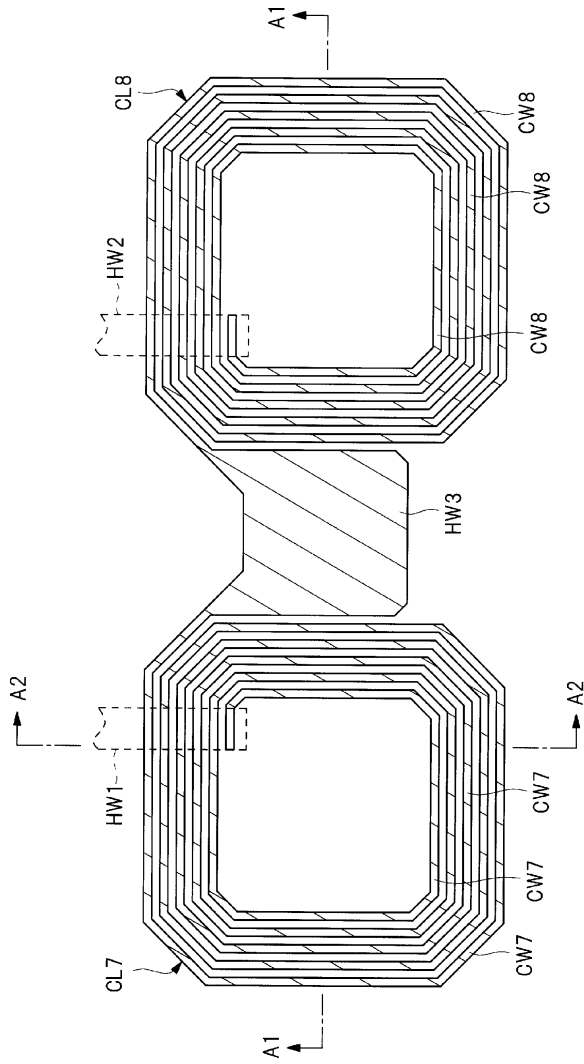
도면32



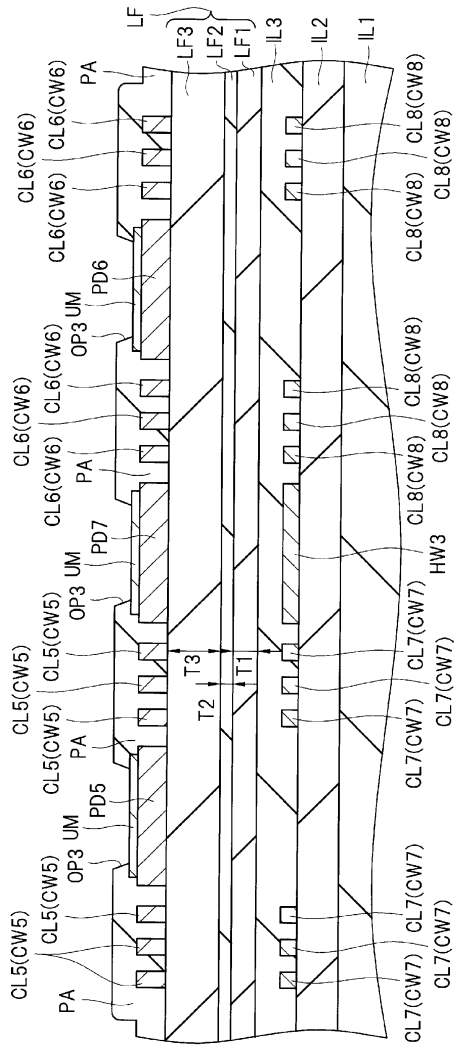
도면33



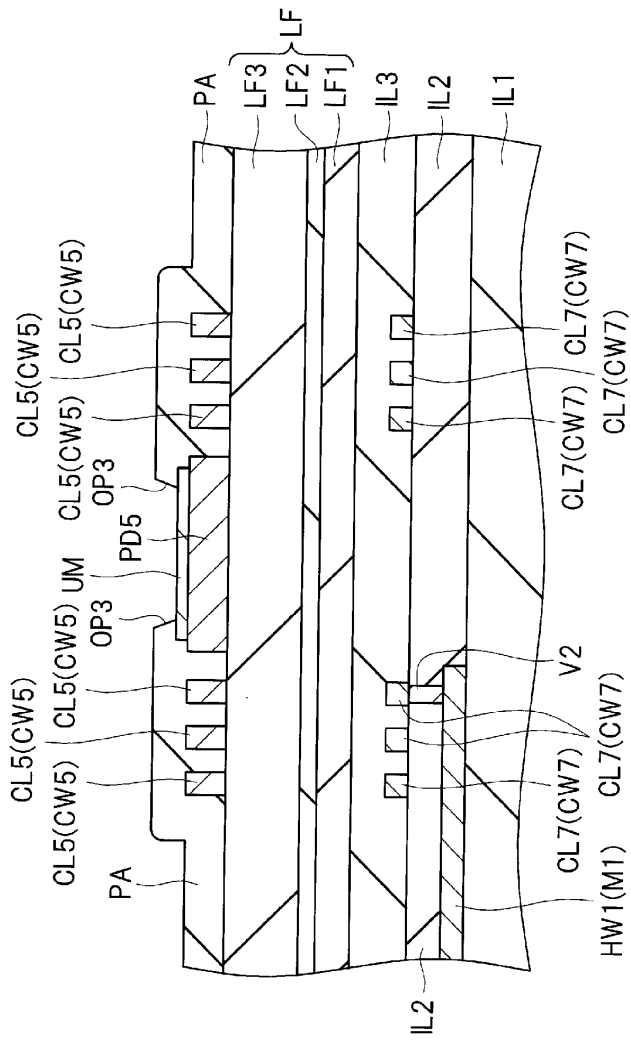
도면34



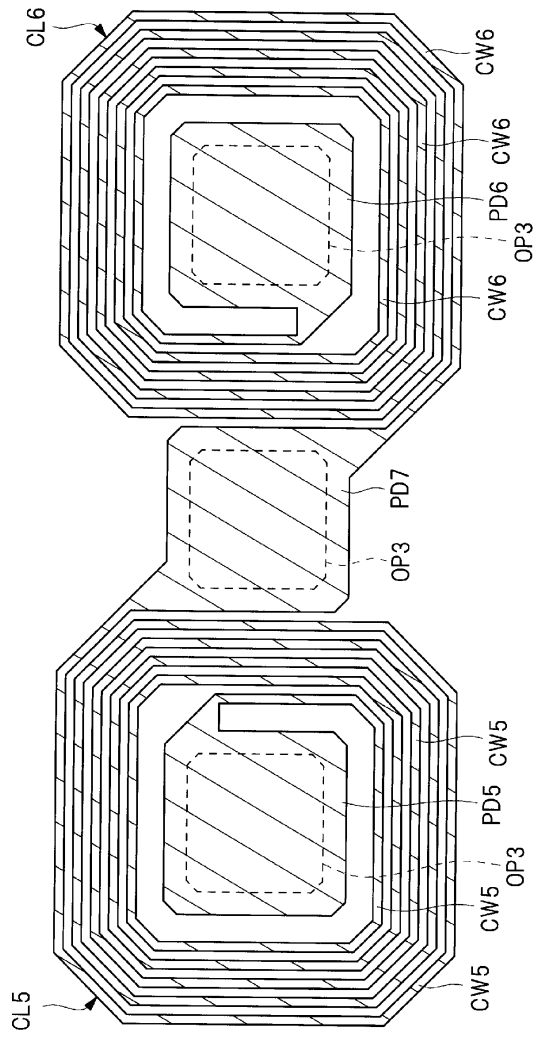
도면35



도면36

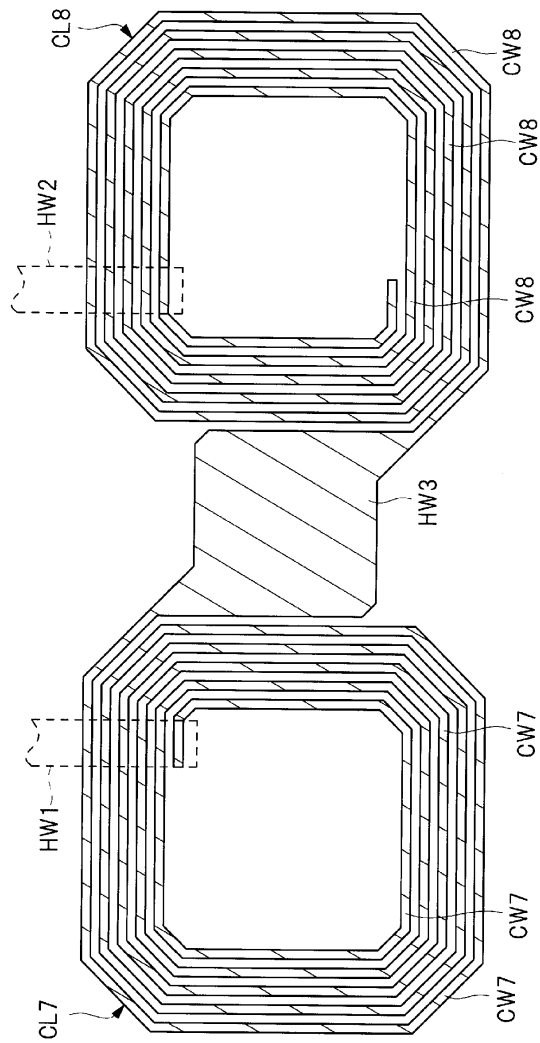


도면37

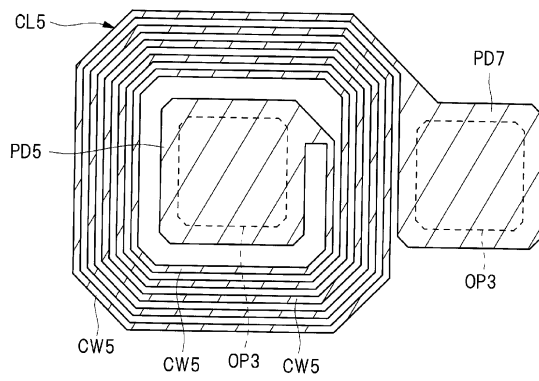




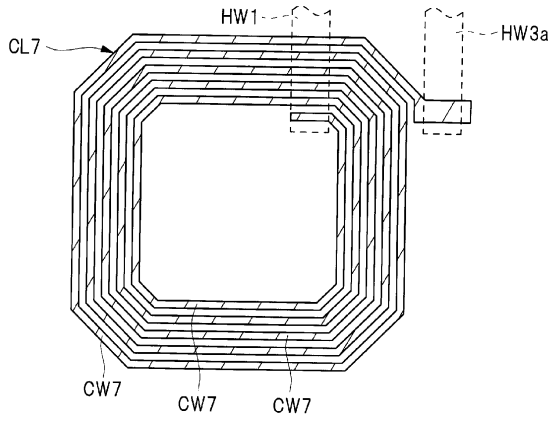
도면38



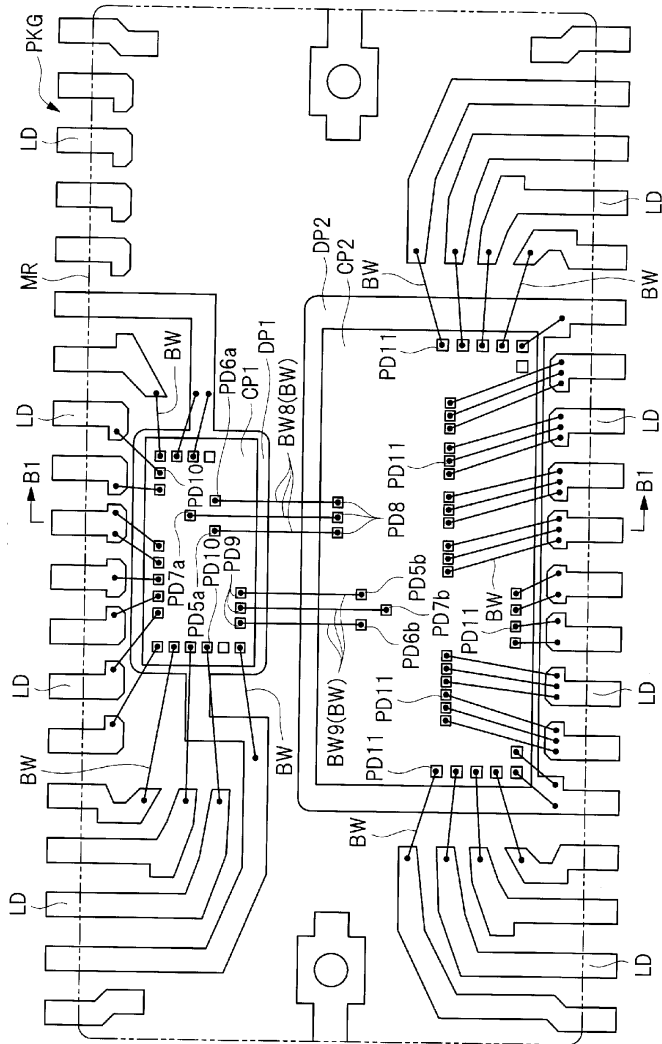
도면39



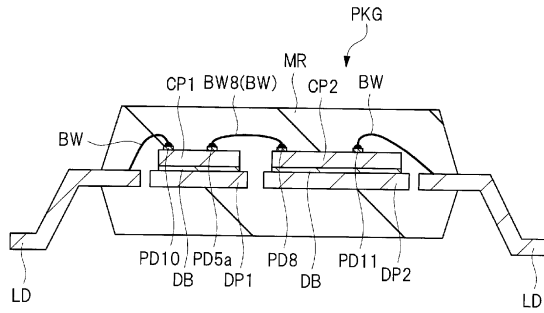
도면40



도면41



도면42



도면43

