



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I475552 B

(45)公告日：中華民國 104 (2015) 年 03 月 01 日

(21)申請案號：102120435

(22)申請日：中華民國 102 (2013) 年 06 月 07 日

(51)Int. Cl. : G09G3/36 (2006.01)

(30)優先權：2012/11/23 中華民國 101144046

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：曹韶文 TSAO, SAU WEN (TW)；龔晏瑩 KUNG, YEN YING (TW)；陳卓彥 CHEN, CHO YAN (TW)；呂美如 LU, MEI JU (TW)；丁天倫 TING, TIEN LUN (TW)

(74)代理人：許世正

(56)參考文獻：

TW 201349200A

US 2008/0303768A1

US 2010/0123841A1

審查人員：唐之凱

申請專利範圍項數：6 項 圖式數：9 共 41 頁

(54)名稱

畫素驅動電路

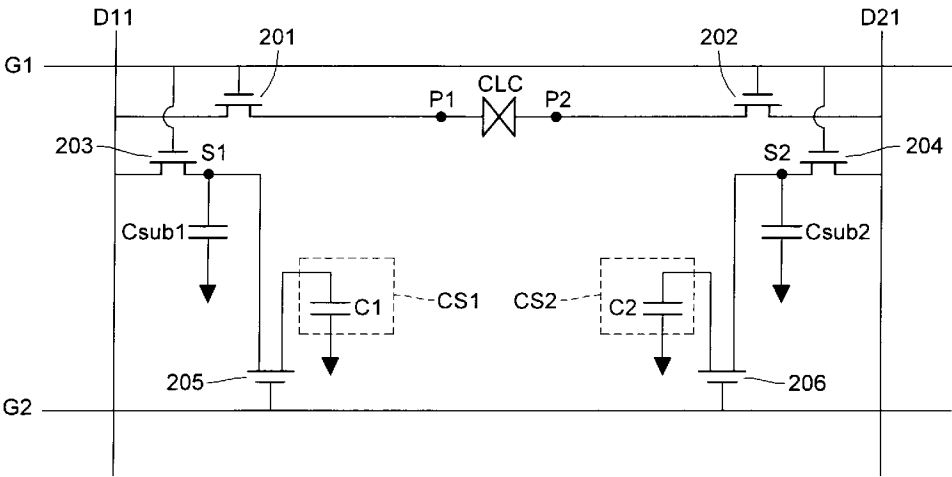
PIXEL DRIVING CIRCUIT

(57)摘要

本發明揭露一種畫素驅動電路，其電性耦接於第一資料線與第二資料線之間以及第一掃描線與第二掃描線之間，畫素驅動電路包括有第一開關、第二開關、第三開關、第四開關、第一次電容、第二次電容、第五開關、第六開關、第一分壓單元以及第二分壓單元。其中第一分壓單元耦接於第五開關之第二端與參考電壓端之間，第二分壓單元耦接於第六開關之第二端與參考電壓端之間用以重新分配儲存電荷。

A pixel driving circuit is electrically connected between a first data line, a second data line, a first gate line, and a second gate line. The pixel driving circuit includes a first switch, a second switch, a third switch, a fourth switch, a first time capacitor, a second time capacitor, a fifth switch, a sixth switch, a first voltage-dividing unit and a second voltage-dividing unit. The first voltage-dividing unit is electrically connected between the second terminal and the reference voltage of the fifth switch. The second voltage-dividing unit is electrically connected between the second terminal and the reference voltage of the sixth switch for redistributing the stored charge.

200



第2A圖

- 200 . . . 畫素驅動電路
- G1 . . . 第一掃描線
- G2 . . . 第二掃描線
- D11 . . . 第一資料線
- D21 . . . 第二資料線
- 201 . . . 第一開關
- 202 . . . 第二開關
- 203 . . . 第三開關
- 204 . . . 第四開關
- 205 . . . 第五開關
- 206 . . . 第六開關
- CLC . . . 液晶電容
- Csub1 . . . 第一次電容
- Csub2 . . . 第二次電容
- CS1 . . . 第一分壓單元
- CS2 . . . 第二分壓單元
- C1 . . . 第一電容
- C2 . . . 第二電容
- P1 . . . 第一畫素電極
- P2 . . . 第二畫素電極
- S1 . . . 節點
- S2 . . . 節點

發明摘要

※ 申請案號：102120435

※ 申請日：102. 6. 07

※IPC 分類：G09G 3/36 (2006.1)

【發明名稱】 畫素驅動電路

Pixel Driving Circuit

【中文】

本發明揭露一種畫素驅動電路，其電性耦接於第一資料線與第二資料線之間以及第一掃描線與第二掃描線之間，畫素驅動電路包括有第一開關、第二開關、第三開關、第四開關、第一次電容、第二次電容、第五開關、第六開關、第一分壓單元以及第二分壓單元。其中第一分壓單元耦接於第五開關之第二端與參考電壓端之間，第二分壓單元耦接於第六開關之第二端與參考電壓端之間用以重新分配儲存電荷。

【英文】

A pixel driving circuit is electrically connected between a first data line, a second data line, a first gate line, and a second gate line. The pixel driving circuit includes a first switch, a second switch, a third switch, a fourth switch, a first time capacitor, a second time capacitor, a fifth switch, a sixth switch, a first voltage-dividing unit and a second voltage-dividing unit. The first voltage-dividing unit is electrically connected between the second terminal and the reference voltage of the fifth switch. The second voltage-dividing unit is electrically connected between the second terminal and the reference voltage of the sixth switch for

redistributing the stored charge.

【代表圖】

【本案指定代表圖】：第（2A）圖。

【本代表圖之符號簡單說明】：

200 畫素驅動電路

G1 第一掃描線

G2 第二掃描線

D11 第一資料線

D21 第二資料線

201 第一開關

202 第二開關

203 第三開關

204 第四開關

205 第五開關

206 第六開關

CLC 液晶電容

Csub1 第一次電容

Csub2 第二次電容

CS1 第一分壓單元

CS2 第二分壓單元

C1 第一電容

C2 第二電容

P1 第一畫素電極

P2 第二畫素電極

S1 節點

S2 節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】 畫素驅動電路

Pixel Driving Circuit

【技術領域】

【0001】 本發明係關於一種畫素驅動電路，特別是一種提升畫素穿透率的畫素驅動電路。

【先前技術】

【0002】 隨著液晶顯示裝置不斷地朝向大尺寸的顯示規格發展，爲了克服大尺寸顯示下的視角問題，液晶顯示面板的廣視角技術也必須不停地進步與突破。目前能夠達成廣視角要求的技術例如包括有多域垂直配向(MVA)、多域水平配向(MHA)、扭轉向列加視角擴大膜(TN+film)及橫向電場形式(In Plane Switching，IPS)。

【0003】 透過上述所列之技術的液晶顯示器可以達到廣視角的目的，但是會有色偏(color washout)的問題發生。一般而言，所謂的色偏指的是當使用者以不同的觀賞角度在觀看液晶顯示器所顯示的影像畫面時，使用者會看見不同灰階的影像畫面。舉例來說，假若使用者站在以較爲偏斜的角度(例如 60 度)在觀看液晶顯示器所顯示的影像畫面時，使用者所看見的影像畫面之色彩階調會較亮於站在正視之角度所看見的影像畫面之色彩階調。

【0004】 爲了解決液晶顯示器大視角的色偏問題，目前已提出了將液晶顯示面板內的每一個畫素分成兩個可獨立驅動的畫素，其中之一會顯

示較高灰階的色彩(亮態)，而另一會顯示較低灰階的色彩(暗態)。如此一來，以較高灰階的色彩與較低灰階的色彩來混合成一中間灰階的色彩後，即可致使使用者不論從正視或以傾斜的角度在觀看液晶顯示器所顯示的影像畫面時，皆可觀看到相近色彩階調的影像畫面。

【0005】 目前，針對液晶顯示以同一平面之電極搭配垂直配向的液晶類型，皆是使用同一平面電極的驅動方式。其中，液晶分子的傾倒程度取決與所感受到的電場強度(E)，而電場強度(E)則是決定於電極間距(d)與驅動電壓(V)，此關係式可以用 $E = V/d$ 來表示。因此可以知道電場強度是受到電極間距以及驅動電壓的影響。

【0006】 爲了改善色偏的問題，通常會設計多組的電極間距(multi-pitches)，使得其畫素顯示有廣視角之表現。若要達到最佳的側視色偏問題的解決方案，在電極間距的設計部分，會希望較寬的電極間距所佔的畫素面積與較窄的電極間距所佔的畫素面積比例約爲 7:3。

【0007】 然而，較寬電極間距則需要較高的資料(data)驅動電壓來產生足夠的電場，使得液晶分子有更大的傾斜角度，進而有充足的穿透率。舉例來說，大於 16 μ m 的電極間距，至少要 16V 的電壓驅動才勉強趨近於飽和程度。而現行通用的積體電路輸出電壓最高只有到 16V，液晶所感受到的電壓夾差不足以驅動大於 16 μ m 的電極間距，使得較寬的電極間距之穿透率的表現不佳，無法運用更寬的電極間距來進一步改善側視色偏的問題。

【發明內容】

【0008】 根據本發明實施例所揭露之一種畫素驅動電路，其電性耦接於第一資料線與第二資料線之間以及第一掃描線與第二掃描線之間，畫素

驅動電路包括有第一開關、第二開關、第三開關、第四開關、第一次電容、第二次電容、第五開關、第六開關、第一分壓單元以及第二分壓單元。其中第一開關具有一第一端、一第二端以及一控制端，第一開關之第一端電性連接至第一資料線，第一開關之第二端電性連接至一第一畫素電極，第一開關之控制端電性連接至第一掃描線；第二開關具有一第一端、一第二端以及一控制端，第二開關之第一端電性連接至第二資料線，第二開關之第二端電性連接至一第二畫素電極，第二開關之控制端電性連接至第一掃描線；第三開關具有一第一端、一第二端以及一控制端，第三開關之第一端電性連接至第一資料線，第三開關之控制端電性連接至第一掃描線；第四開關具有一第一端、一第二端以及一控制端，第四開關之第一端電性連接至第二資料線，第四開關之控制端電性連接至第一掃描線；第一次電容電性連接於第三開關之第二端與一參考電壓端之間；第二次電容電性連接於第四開關之第二端與參考電壓端之間；第五開關具有一第一端、一第二端以及一控制端，第五開關之第一端電性連接至第三開關之第二端，第五開關之控制端電性連接至第二掃描線；第六開關具有一第一端、一第二端以及一控制端，第六開關之第一端電性連接於第四開關之第二端，第六開關之控制端電性連接至第二掃描線；第一分壓單元耦接於第五開關之第二端與參考電壓端之間；第二分壓單元耦接於第六開關之第二端與參考電壓端之間。

【0009】 根據本發明實施例所揭露之一種畫素驅動電路，其電性耦接於第一資料線與第二資料線之間，以及電性耦接於第一掃描線與第二掃描線之間，畫素驅動電路包括有第一開關、第二開關、第三開關、第四開關、

第一次電容、第二次電容、第五開關、第六開關、第一分壓單元、第二分壓單元、第三畫素電極以及第四畫素電極。其中第一開關，具有第一端、第二端以及控制端，第一開關之第一端電性連接至第一資料線，第一開關之第二端電性連接至第一畫素電極，第一開關之控制端電性連接至第一掃描線。第二開關，具有第一端、第二端以及控制端，第二開關之第一端電性連接至第二資料線，第二開關之第二端電性連接至第二畫素電極，第二開關之控制端電性連接至第一掃描線。第三開關，具有第一端、第二端以及控制端，第三開關之第一端電性連接至第一資料線，第三開關之控制端電性連接至第一掃描線。第四開關，具有第一端、第二端以及控制端，第四開關之第一端電性連接至第二資料線，第四開關之控制端電性連接至第一掃描線。第一次電容，電性連接於第三開關之第二端與參考電壓端之間。第二次電容，電性連接於第四開關之第二端與參考電壓端之間。第五開關，具有第一端、第二端以及控制端，第五開關之第一端電性連接至第三開關之第二端，第五開關之控制端電性連接至第二掃描線。第六開關，具有第一端、第二端以及控制端，第六開關之第一端電性連接於第四開關之第二端，第六開關之控制端電性連接至第二掃描線。第一分壓單元，耦接於第五開關之第二端與參考電壓端之間，以及第二分壓單元，耦接於第六開關之第二端與參考電壓端之間。第三畫素電極電性連接於第三開關之第二端，以及第四畫素電極電性連接於第四開關之第二端。而畫素驅動電路之佈局包含第一區域與第二區域，其中，第一畫素電極與第二畫素電極配置於第一區域，第三畫素電極與第四畫素電極配置於第二區域，第一區域與第二區域彼此不重疊，且第一區域與第二區域的面積比落在 5：95 至 70：

30 之間。

【0010】 根據本發明之驅動電路，其藉由電荷分享(Charge sharing)之方式，結合兩條資料線(data line)的驅動方式，以於液晶電容兩端提供較高的液晶跨壓，使得液晶分子受到更強的電場驅動並有較大的傾倒角度，進而有更佳穿透率表現，以改善側視色偏等問題。

【0011】 以上之關於本發明內容之說明及以下之實施方式之說明係用以示範與解釋本發明之精神與原理，並且提供本發明之專利申請範圍更進一步之解釋。

【圖式簡單說明】

【0012】

第 1 圖，係為本發明所揭露之畫素矩陣之示意圖。

第 2A 圖，係為本發明所揭露之畫素驅動電路之電路示意圖。

第 2B 圖，係為本發明所揭露之畫素驅動電路之電路示意圖。

第 3 圖，係為本發明所揭露之畫素驅動電路的畫素陣列電路佈局示意圖。

第 4 圖，係為本發明所揭露之畫素驅動電路的模擬波形圖。

第 5 圖，係為本發明所揭露之畫素驅動電路之電路示意圖。

第 6 圖，係為本發明所揭露之畫素驅動電路的畫素陣列電路佈局示意圖。

第 7 圖，係為本發明所揭露之畫素驅動電路的畫素陣列電路佈局剖面圖。

第 8 圖，係為本發明所揭露之畫素驅動電路的畫素陣列電路佈局之電極分佈面積示意圖。

第 9 圖，係為本發明所揭露之畫素驅動電路的模擬波形圖。

【實施方式】



【0013】 以下在實施方式中詳細敘述本發明之詳細特徵以及優點，其內容足以使任何熟習相關技藝者了解本發明之技術內容並據以實施，且根據本說明書所揭露之內容、申請專利範圍及圖式，任何熟習相關技藝者可輕易地理解本發明相關之目的及優點。以下之實施例係進一步詳細說明本發明之觀點，但非以任何觀點限制本發明之範疇。

【0014】 請參考『第 1 圖』，係為一種畫素矩陣 100 的電路架構示意圖。畫素矩陣 100 包括複數條掃描線 $G1$ 、 $G2$ …… G_{n-1} 、 G_n 、複數條第一資料線 $D11$ 、 $D12$ …… D_{1m-1} 、 D_{1m} 、複數條第二資料線 $D21$ 、 $D22$ …… D_{2m-1} 、 D_{2m} 以及複數個畫素 $P(1,1)$ 、 $P(1,2)$ …… $P(n,m)$ 。畫素矩陣的連接方式，舉例來說，第一畫素 $P(1,1)$ 電性連接至對應之掃描線 $G1$ 與掃描線 $G2$ ，且第一畫素 $P(1,1)$ 電性連接至對應之第一資料線 $D11$ 以及對應之第二資料線 $D21$ 。畫素矩陣 100 中第一畫素 $P(1,1)$ 為一個畫素驅動電路 200，如下所述。

【0015】 請參考『第 2A 圖』，係為畫素驅動電路 200 的電路圖，主要係以『第 1 圖』中的第一畫素 $P(1,1)$ 作為說明。畫素驅動電路 200 電性耦接於第一資料線 $D11$ 與第二資料線 $D21$ 之間，以及電性耦接於掃描線 $G1$ 與掃描線 $G2$ 之間。畫素驅動電路 200 包括有第一開關 201、第二開關 202、第三開關 203、第四開關 204、第一畫素電極 $P1$ 、第二畫素電極 $P2$ 、第一次電容 C_{sub1} 、第二次電容 C_{sub2} 、第五開關 205、以及第六開關 206、第一分壓單元 $CS1$ 以及第二分壓單元 $CS2$ ，其中第一分壓單元 $CS1$ 以及第二分壓單元 $CS2$ 分別包含第一電容 $C1$ 、第二電容 $C2$ 。

【0016】 第一開關 201 為電晶體，具有第一端，第二端，以及控制端，第一開關 201 之第一端電性連接至第一資料線 $D11$ ，第一開關 201 之第二端

電連接於第一畫素電極 P1，第一開關 201 之控制端電性連接至掃描線 G1；第二開關 202 爲電晶體，具有第一端，第二端，以及控制端，第二開關 202 之第一端電性連接至第二資料線 D21，第二開關 202 之第二端電連接於第二畫素電極 P2，第二開關 202 之控制端電性連接至掃描線 G1；第三開關 203 爲電晶體，具有第一端，第二端，以及控制端，第三開關 203 之第一端電性連接至第一資料線 D11，第三開關 203 之控制端電性連接至掃描線 G1；第四開關 204 爲電晶體，具有第一端，第二端，以及控制端，第四開關 204 之第一端電性連接至第二資料線 D21，第四開關 204 之控制端電性連接至掃描線 G1；第一畫素電極 P1 與第二畫素電極 P2 的間隙(split)之間具有液晶壓差而形成液晶電容 CLC。第一次電容 Csub1 具有第一端以及第二端，電性連接於第三開關 203 之第二端與參考電壓端之間；第二次電容 Csub2 具有第一端以及第二端，電性連接於該第四開關 204 之第二端與參考電壓端之間。第五開關 205 爲電晶體，具有第一端，第二端，以及控制端，第五開關 205 之第一端電性連接至第三開關 203 的第二端、第五開關 205 之控制端電性連接至掃描線 G2、以及第五開關 205 之第二端電性連接於第一電容 C1 的第一端；第一電容 C1 具有第一端以及第二端，耦接於第五開關 205 之第二端與參考電壓端之間；第六開關 206 爲電晶體，具有第一端，第二端，以及控制端，第六開關 206 之第二端電性連接於第二電容 C2 的第一端、第六開關 206 之控制端電性連接至掃描線 G2、以及第六開關 206 之第一端電性連接至第四開關 204 的第二端；第二電容 C2 具有第一端以及第二端，耦接於第六開關 206 之第二端與參考電壓端之間。

【0017】 請參考『第 2B 圖』，本發明之畫素驅動電路 200 另可包含第



一儲存電容 Cst1，第二儲存電容 Cst2，且第一分壓單元 CS1 可另包含第三電容 C3，以及第二分壓單元 CS2 可另包含第四電容 C4。第一儲存電容 Cst1 具有第一端以及第二端，第一儲存電容 Cst1 的第一端電性連接至第一開關 201 之第二端以及第一儲存電容 Cst1 的第二端電性連接至參考電壓端；第二儲存電容 Cst2 具有第一端以及第二端，第二儲存電容 Cst2 的第一端電性連接至第二開關 202 之第二端以及第二儲存電容 Cst2 的第二端電性連接至參考電壓端；第三電容 C3 具有第一端以及第二端，電連接於第一電容 C1 與第一畫素電極 P1 之間；第四電容 C4 具有第一端以及第二端，電連接於第二電容 C2 與第二畫素電極 P2 之間。

【0018】 請參考『第 3 圖』，其為本發明之畫素驅動電路 200 的畫素陣列電路佈局 300 的示意圖。為了與前述的實施例對應，因此相同的元件採用同樣的標號。畫素陣列電路佈局 300 包括第一開關 201、第二開關 202、第三開關 203、第四開關 204、第五開關 205、第六開關 206、第一次電容 Csub1、第二次電容 Csub2、第一電容 C1、第二電容 C2、第三電容 C3 與第四電容 C4、掃描線 G1、G2 以及第一資料線 D11 與第二資料線 D21。其中掃描線 G1 與掃描線 G2 與第一資料線 D11 與第二資料線 D21 實質上垂直相交，各個開關連接於掃描線以及資料線。第一開關 201 與掃描線 G1 以及第一資料線 D11 電性連接；第二開關 202 與掃描線 G1 以及第二資料線 D21 電性連接；第三開關 203 與掃描線 G1 以及第一資料線 D11 電性連接；第四開關 204 與掃描線 G1 以及第二資料線 D21 電性連接。第五開關 205 以及第六開關 206 與掃描線 G2 電性連接。第三開關 203 與掃描線 G1 以及第五開關 205 電性連接，第三開關 203 以及第五開關 205 電性連接至第一次電容

Csub1，相鄰第一電容 C1 及第三電容 C3。此外，第四開關 204 與掃描線 G1 以及第六開關 206 電性連接，第四開關 204 以及第六開關 206 電性連接至第二次電容 Csub2，相鄰第二電容 C2 及第四電容 C4。第一畫素電極 P1 為指狀電極，其電性連接於第一開關 201 以及第三電容 C3，而第二畫素電極 P2 為指狀電極，其電性連接於第二開關 202 以及第四電容 C4。並具有共電極 V(COM)於第一資料線 D11 與第二資料線 D21 之間。

【0019】 請參考『第 4 圖』，其為本發明之『第 2A 圖』的畫素驅動電路 200 的模擬波形圖。並同時說明本發明之驅動方法與運作。其中當第一資料電壓是正電位時，第二資料電壓係為負電位。於一個週期的第一時間掃描線 G1 致能，導通第一開關 201、第二開關 202、第三開關 203 以及第四開關 204，提供第一資料電壓經由該第一資料線 D11 至第一次電容 Csub1 及形成第一儲存電容 Cst1，而第一分壓單元 CS1 則維持上一個週期的電位；以及提供極性不同於第一資料電壓的第二資料電壓經由第二資料線 D21 至第二次電容 Csub2 及形成第二儲存電容 Cst2，而第二分壓單元 CS2 則維持上一個週期的電位，第一畫素電極 P1、第二畫素電極 P2 與節點 S1、節點 S2 的電位被充電至所對應的資料電壓。

【0020】 接著，於第二時間掃描線 G1 關閉，而掃描線 G2 打開時，導通第五開關 205 與第六開關 206，並重新分配儲存於第一次電容 Csub1 及第一分壓單元 CS1 之第一資料電壓以及重新分配儲存於第二次電容 Csub2 及第二分壓單元 CS2 之第二資料電壓。原先第一次電容 Csub1 與第二次電容 Csub2 所保持的電荷會經由第一電容 C1 與第二電容 C2 而重新分配電荷，由節點 S1 分享電荷給第一分壓單元 CS1，而第二分壓單元 CS2 分享電荷給

節點 S2，使得節點 S1 電位與第一分壓單元 CS1 電位相等，且節點 S2 電位與第二分壓單元 CS2 電位相等。

【0021】 請參考『第 4 圖』，為本發明之『第 2B 圖』畫素驅動電路 200 的模擬波形圖。『第 2A 圖』畫素驅動電路 200 的與『第 2B 圖』畫素驅動電路 200 大致上相似，不同的是，第一分壓單元 CS1 另包含第三電容 C3 以及第二分壓單元 CS2 另包含第四電容 C4。其中當第一資料電壓是正電位時，第二資料電壓係為負電位。於一個週期的第一時間掃描線 G1 致能，導通第一開關 201、第二開關 202、第三開關 203 以及第四開關 204，提供第一資料電壓經由該第一資料線 D11 至第一次電容 Csub1 及形成第一儲存電容 Cst1，而第一分壓單元 CS1 的電位 $V(\text{CS1})$ 也會由上一週期的電位被感應至較高電位；以及提供極性不同於第一資料電壓的第二資料電壓經由第二資料線 D21 至第二次電容 Csub2 及形成第二儲存電容 Cst2，而第二分壓單元 CS2 電位 $V(\text{CS2})$ 也會被感應至較低電位，第一畫素電極 P1、第二畫素電極 P2 與節點 S1、節點 S2 的電位被充電至所對應的資料電壓。

【0022】 接著，於第二時間掃描線 G1 關閉，而掃描線 G2 打開時，導通第五開關 205 與第六開關 206，並重新分配儲存於第一次電容 Csub1 及第一分壓單元 CS1 之第一資料電壓 $V(\text{D1})$ 以及重新分配儲存於第二次電容 Csub2 及第二分壓單元 CS2 之第二資料電壓 $V(\text{D2})$ 。原先第一次電容 Csub1 與第二次電容 Csub2 所保持的電荷會經由第一電容 C1 與第二電容 C2 而重新分配電荷，由節點 S1 分享電荷給第一分壓單元 CS1，而第二分壓單元 CS2 分享電荷給節點 S2，使得節點 S1 電位與第一分壓單元 CS1 電位相等，且節點 S2 電位與第二分壓單元 CS2 電位相等，同時第一畫素電極 P1 的電位 $V(\text{P1})$

感應至較高電位而第二畫素電極 P2 的電位 $V(P2)$ 感應至較低電位。藉而提高畫素驅動電路 200 內第一畫素電極 P1、第二畫素電極 P2 之間的液晶跨壓 $V(P1) - V(P2)$ ，使其值高於資料電壓的驅動範圍。

【0023】 於第一時間時致能掃描線 G1 時，導通第一開關 201、第二開關 202、第三開關 203 以及第四開關 204，並提供第一資料電壓 $V(D1)$ ，第一畫素電極 P1 電壓 $V(P1)$ 以及節點 S1 電壓 $V(S1)$ 也隨著第一資料電壓 $V(D1)$ 而上升。另外提供極性不同於第一資料電壓 $V(D1)$ 的第二資料電壓 $V(D2)$ ，第二畫素電極 P2 電壓 $V(P2)$ 以及節點 S2 電壓 $V(S2)$ 也隨著第二資料電壓 $V(D2)$ 而下降。此時，第一畫素電極 P1 以及節點 S1 被第一資料線 D11 充飽電至正電壓，而第二畫素電極 P2 以及節點 S2 被第二資料線 D21 充飽電至負電壓。

【0024】 接著，於第二時間關閉掃描線 G1 並致能掃描線 G2 時，第一開關 201、第二開關 202、第三開關 203 以及第四開關 204 關閉，而第五開關 205 以及第六開關 206 分別被導通。此時第一次電容 C_{sub1} 所保持的電荷會經由第一電容 C1 重新分配，電荷分享後使得第一畫素電極 P1 電壓 $V(P1)$ 電位上升而節點 S1 電壓 $V(S1)$ 下降。同時，第二次電容 C_{sub2} 所保持的電荷會經由第二電容 C2 重新分配，第二畫素電極 P2 電壓 $V(P2)$ 電位下降而節點 S2 電壓 $V(S2)$ 上升，如此第一畫素電極 P1、第二畫素電極 P2 之間的液晶跨壓將被提升。

【0025】 請參考『第 5 圖』，係為本發明另一實施例畫素驅動電路 500 的電路圖。本實施例與畫素驅動電路 200 大致上相同，此外，另包含第三畫素電極 S1 以及第四畫素電極 S2，並且第三畫素電極 S1 與第四畫素電極

S2 的間隙亦具有液晶跨壓而形成第二液晶電容 CLC2，第一畫素電極 P1 與第二畫素電極 P2 以及第三畫素電極 S1 與第四畫素電極 S2 分別具有較寬的電極間距設計與較窄的電極間距設計。如此設計可以使第二液晶電容 CLC2 具有第一次電容 Csub1 與第二次電容 Csub2 之功能，藉此降低第一次電容 Csub1 與第二次電容 Csub2 所佔之佈局面積，不但可以提高開口率，增加畫素電極之間的跨壓，更可進一步改善測視色偏之問題。另一方面，第三畫素電極 S1 與第四畫素電極 S2 之間間隙的因液晶跨壓而形成的第二液晶電容 CLC2 本身不需太高的液晶跨壓，可將電荷分享給第一畫素電極 P1、第二畫素電極 P2 之間形成的液晶電容 CLC，藉以提高液晶電容 CLC 的液晶跨壓。於電路圖上第三畫素電極 S1 與第四畫素電極 S2 將以節點 S1 與節點 S2 來說明。

【0026】 畫素驅動電路 500 電性耦接於第一資料線 D11 與第二資料線 D21 之間，以及電性耦接於掃描線 G1 與掃描線 G2 之間。畫素驅動電路 200 包括有第一開關 201、第二開關 202、第三開關 203、第四開關 204、第一畫素電極 P1、第二畫素電極 P2、第三畫素電極 S1、第四畫素電極 S2、液晶電容 CLC、第二液晶電容 CLC2、第一儲存電容 Cst1、第二儲存電容 Cst2、第一次電容 Csub1、第二次電容 Csub2、第一分壓單元 CS1 以及第二分壓單元 CS2。

【0027】 其中第一開關 201 為電晶體，具有第一端、第二端以及控制端，第一開關 201 的第一端電性連接至第一資料線 D11，第一開關 201 的第二端電連接於第一畫素電極 P1，第一開關 201 的控制端電性連接至掃描線 G1；第二開關 202 為電晶體，具有第一端、第二端以及控制端，第二開關

202 的第一端電性連接至第二資料線 D21，第二開關 202 的第二端電連接於第二畫素電極 P2，第二開關 202 的控制端電性連接至掃描線 G1；第三開關 203 為電晶體，具有第一端、第二端以及控制端，第三開關 203 的第一端電性連接至第一資料線 D11，第三開關 203 的第二端電連接於第三畫素電極 S1，第三開關 203 的控制端電性連接至掃描線 G1；第四開關 204 為電晶體，具有第一端、第二端以及控制端，第四開關 204 的第一端電性連接至第二資料線 D21，第四開關 204 的第二端電連接於第四畫素電極 S2，第四開關 204 的控制端電性連接至掃描線 G1。

【0028】 第一儲存電容 Cst1 具有第一端以及第二端，第一儲存電容 Cst1 的第一端電性連接至第一開關 201 之第二端以及第一儲存電容 Cst1 的第二端電性連接至參考電壓端；第二儲存電容 Cst2 具有第一端以及第二端，第二儲存電容 Cst2 的第一端電性連接至第二開關 202 之第二端以及第二儲存電容 Cst2 的第二端電性連接至參考電壓端；第一次電容 Csub1 電性連接於第三開關 203 之第二端與參考電壓端之間；第二次電容 Csub2 電性連接於該第四開關 204 之第二端與參考電壓端之間。

【0029】 第五開關 205 為電晶體，具有第一端，第二端，以及控制端，第五開關 205 之第一端電性連接至第三開關 203 的第二端、第五開關 205 之控制端電性連接至掃描線 G2、以及第五開關 205 之第二端電性連接於第一分壓單元 CS1，用以重新分配儲存於第一次電容 Csub1、第一儲存電容 Cst1 以及第一分壓單元 CS1 之間的電荷；第六開關 206 為電晶體，具有第一端，第二端，以及控制端，第六開關 206 之第一端電性連接至第四開關 204 的第二端、第六開關 206 之控制端電性連接至掃描線 G2、以及第六開關 206 之

第二端電性連接於第二分壓單元 CS2，用以重新分配儲存於第二次電容 Csub2、第二儲存電容之電荷 Cst2 以及第二分壓單元 CS2 之間的電荷。

【0030】 第一分壓單元 CS1 包括有第一電容 C1，具有第一端以及第二端，第一電容 C1 的第一端電連接於第五開關 205 之第二端，第一電容 C1 的第二端電性連接於參考電壓端，第二分壓單元 CS2 包括有第二電容 C2，具有第一端以及第二端，第二電容 C2 的第一端電連接於第六開關 206 之第二端，第二電容 C2 的第二端電性連接於參考電壓端。

● 【0031】 於本發明之另一實施例中，第一分壓單元 CS1 另包括有相互串聯之第一電容 C1 與第三電容 C3，分別具有第一端以及第二端，電性連接於第一開關 201 之第二端與參考電壓端之間，第一電容 C1 的第一端以及第三電容 C3 的第二端電連接於第五開關 205 之第二端，第三電容 C3 的第一端電性連接於第一開關 201 之第二端，且第一電容 C1 的第二端電連接於參考電壓端；第二分壓單元 CS2 另包括有相互串聯之第二電容 C2 與第四電容 C4，分別具有第一端以及第二端，電性連接於第二開關 202 之第二端與參考電壓端之間，第二電容 C2 的第一端與第四電容 C4 的第二端電連接於第六開關 206 之第二端，第四電容 C4 的第一端電性連接於第二開關 202 之第二端，且第二電容 C2 的第二端電連接於參考電壓端。

● 【0032】 請參考『第 6 圖』，其為本發明另一實施例的畫素陣列電路佈局 600 的示意圖。這邊為了與前述的實施例對應，因此同樣的元件採用同樣的標號。畫素陣列電路佈局 600 包括第一開關 201、第二開關 202、第三開關 203、第四開關 204、第五開關 205、第六開關 206、第一次電容 Csub1、第二次電容 Csub2、第一電容 C1、第二電容 C2、第三電容 C3 與第四電容

C4、掃描線 G1 與掃描線 G2 以及第一資料線 D11 與第二資料線 D21。其中掃描線 G1 與掃描線 G2 與第一資料線 D11 與第二資料線 D21 相交設置，各個開關連接於掃描線以及資料線。第一開關 201 與掃描線 G1 以及第一資料線 D11 電性連接；第二開關 202 與掃描線 G1 以及第二資料線 D21 電性連接；第三開關 203 與掃描線 G1 以及第一資料線 D11 電性連接；第四開關 204 與掃描線 G1 以及第二資料線 D21 電性連接。第五開關 205 以及第六開關 206 與掃描線 G2 電性連接。第三開關 203 與掃描線 G1 以及第五開關 205 電性連接，第三開關 203 以及第五開關 205 電性連接至第一次電容 Csub1，相鄰第一電容 C1 及第三電容 C3。此外，第四開關 204 與掃描線 G1 以及第六開關 206 電性連接，第二次電容 Csub2 相鄰第二電容 C2 及第四電容 C4；第一畫素電極 P1 為指狀電極，電性連接於第一開關 201 以及第三電容 C3，而第二畫素電極 P2 為指狀電極，電性連接於第二開關 202 以及第四電容 C4；第三畫素電極 S1 為指狀電極，電性連接於第五開關 205 與第一次電容 Csub1，而第四畫素電極 S2 為指狀電極，電性連接於第六開關 206 與第二次電容 Csub2。並具有一共電極 V(COM)配置於第一資料線 D11 與第二資料線 D21 之間。

【0033】 請參考『第 7 圖』，其為本發明另一實施例的畫素陣列電路佈局 600 的剖面圖。圖示中剖面結構為畫素陣列電路佈局 600 中橫切面。如『第 7 圖』所示，第一畫素電極 P1 與第二畫素電極 P2 之間間隙係大於第三畫素電極 S1 與第四畫素電極 S2 之間間隙。

【0034】 請繼續參考『第 8 圖』，其為本發明所揭露之畫素驅動電路的畫素陣列電路佈局 800 之電極分佈面積示意圖。如『第 8 圖』所示，畫素

陣列電路佈局 800 包括有第一區域 A1 及第二區域 A2。第一畫素電極 P1 與第二畫素電極 P2 配置於第一區域 A1，第三畫素電極 S1 與第四畫素電極 S2 配置於第二區域 A2。其中，第一區域 A1 與該第二區域 A2 彼此相鄰且不重疊，而第一區域 A1 部分鄰近於第一分壓單元 CS1 及第二分壓單元 CS2，第一區域 A1 為液晶電容 CLC 所分佈之面積，第二區域 A2 為第二液晶電容 CLC2 所分佈之面積。並且，第一區域 A1 與第二區域 A2 加總之面積實質上為畫素陣列電路佈局 800 的開口區面積。

● 【0035】 以下提供在垂直配向平面內切換 (Vertical Alignment In-Plane Switching, VA-IPS) 模式與在 VA-IPS 模式中且有使用電荷分享技術情況下，第一區域 A1 與第二區域 A2 之分佈面積對應的配置模擬數據。

● 【0036】 其中，液晶夾壓比例為液晶電容 CLC 所分佈之面積中電極間的電壓與第二液晶電容 CLC2 所分佈之面積中電極間的電壓之比例，在本實施範例中，此液晶夾壓比例不限定。第一區域 A1 包含液晶電容 CLC 所分佈之面積中之面積 1 及面積 2，而第二區域 A2 包含第二液晶電容 CLC2 所分佈之面積中之面積 3。舉例而言，在『第 8 圖』中，第一區域 A1 上半部之面積例如包含面積 1 及面積 2 的一部份，第一區域 A1 下半部之面積包含面積 1 及面積 2 的另一部份。藉由面積 1 及面積 2 在第一區域 A1 中平均分佈，能讓使用者在不同視角看到的色偏相同。並且，『第 8 圖』為本發明的一種實施範例，並無依實際比例繪製，且其電極配置方式並不以此為限。其中，間距 1 為面積 1 中每一電極間間距，而間距 2 為面積 2 中每一電極間間距，間距 3 為面積 3 中每一電極間間距。

● 【0037】 為了進行效能評估，利用前述之參數模擬 D 值(D-value)，此

D-value 例如為評估色偏程度的參數指標。也就是說，當 D-value 數值越小代表色偏的程度越小，有較佳的效能表現。

		第一區域 A1 (液晶夾壓為液晶電容 CLC 所分佈之面積)		第二區域 A2 (液晶夾壓為 第二液晶電 容 CLC2 所分 佈之面積)	
模式	液晶夾 壓比例	間距 1(um)/ 面積 1(%)	間距 2(um)/ 面積 2(%)	間距 3(um)/ 面積 3(%)	D-value
VA-IPS 模式 + 電荷分享技 術	1:0.7	4/16	14/54	16/30	0.196
	1:0.6	6/13	16/42	14/45	0.169
	1:0.7	6/16	14/31	14/53	0.177
	1:0.8	4/11	12/13	14/76	0.185
	1:0.9	6/14	10/9	14/77	0.205
	1:0.7	6/2	12/3	14/95	0.270
VA-IPS 模式	1:1	4/17	10/8	14/75	0.225

表 1

【0038】 表 1 為在 VA-IPS 模式中有使用電荷分享技術與沒有使用電荷分享技術之 D-value 模擬數據表。由表 1 可見，在液晶夾壓比例、間距 1、間距 2、間距 3、面積 1、面積 2 以及面積 3…等不同參數組合搭配下，VA-IPS 模式加上電荷分享技術之 D-value 模擬數值大部份比僅使用 VA-IPS 模式之 D-value 模擬數值低。也就是說，VA-IPS 模式加上電荷分享技術的方式，可



以讓色偏程度較小。而且，當第一區域 A1 之面積與第二區域 A2 之面積比例為 5：95 至 70：30 時，大部分的 D-value 有較低之數值，可改善液晶顯示裝置的色偏現象。即使，當第一區域 A1 之面積與第二區域 A2 之面積比例為 5：95 時，VA-IPS 模式加上電荷分享技術的 D-value 數值較僅有 VA-IPS 模式的顯示面板來的大，然相較於傳統顯示面板已是可接受的數據表現。此外，D-value 的計算是各個灰階的平均，因而當偏重於某一灰階的表現時，會使得 D-value 的數值不佳。因此，亦可利用另一種參數進行評估。

● 【0039】 爲了進行進一步效能評估，利用前述之參數模擬出色調演繹失真指標(Tone Rendering Distortion Index，TRDI)值，此 TRDI 例如爲評估色偏程度的另一參數指標。也就是說，當 TRDI 數值越小代表色偏的程度越小，也代表有較佳的效能表現。

		第一區域 A1 (液晶夾壓爲液晶電容 CLC 所分佈之面積)		第二區域 A2 (液晶夾壓爲 第二液晶電 容 CLC2 所分 佈之面積)	
模式	液晶夾壓 比例	間距 1(um)/ 面積 1(%)	間距 2(um)/ 面積 2(%)	間距 3(um)/ 面積 3(%)	TRDI
VA-IPS 模式+ 電荷分享技術	1:0.7	4/10	14/60	16/30	0.143
	1:0.6	4/5	16/46	14/49	0.130
	1:0.7	4/6	14/36	16/58	0.129

	1:0.8	4/7	12/8	16/85	0.132
	1:0.9	4/7	10/6	14/87	0.147
	1:0.7	6/2	12/3	14/95	0.158
VA-IPS 模式	1:1	4/8	10/5	16/87	0.165

表 2

【0040】 表 2 為第一區域 A1 與第二區域 A2 之分佈面積的配置之 TRDI 模擬數據表。由表 2 可見，VA-IPS 模式加上電荷分享技術之 TRDI 模擬數值皆比僅使用 VA-IPS 模式之 TRDI 模擬數值低。而且，當第一區域 A1 之面積與第二區域 A2 之面積比例為 5：95 至 70：30 時，TRDI 有較低之數值，可有效改善液晶顯示器之色偏現象。

【0041】 請參考『第 9 圖』，為畫素驅動電路 500 的模擬波形圖。並同時說明本發明之一示範例驅動方法與運作。其中當第一資料電壓是正電位時，第二資料電壓係為負電位。於第一時間導通第一開關 201、第二開關 202、第三開關 203 以及第四開關 204，並致能掃描線 G1 時，提供第一資料電壓經由該第一資料線 D11 至第一次電容 Csub1 及第一儲存電容 Cst1，而第一分壓單元 CS1 的電位 V(CS1)也會由上一週期的電位被感應至較高電位；以及提供極性不同於第一資料電壓的第二資料電壓經由第二資料線 D21 至第二次電容 Csub2 及第二儲存電容 Cst2，而第二分壓單元 CS2 電位 V(CS2)也會被感應至較低電位，第一畫素電極 P1、第二畫素電極 P2、第三畫素電極 S1、以及第四畫素電極 S2 分別被充電至所對應的資料電壓。

【0042】 接著，於第二時間導通第五開關 205 與第六開關 206，並重新分配儲存於第一次電容 Csub1 及第一分壓單元 CS1 之第一資料電壓，以

及重新分配儲存於第二次電容 C_{sub2} 及第二分壓單元 $CS2$ 之第二資料電壓。掃描線 $G1$ 關閉，而掃描線 $G2$ 打開時，原先第一次電容 C_{sub1} 所保持的電荷會經由第一電容 $C1$ 及第三電容 $C3$ 而重新分配畫素內電荷，由節點 $S1$ 分享電荷給第一分壓單元 $CS1$ ，且第二次電容 C_{sub2} 所保持的電荷會經由第二電容 $C2$ 及第四電容 $C4$ 而重新分配畫素內電荷，而第二分壓單元 $CS2$ 分享電荷給節點 $S2$ ，使得節點 $S1$ 電位與第一分壓單元 $CS1$ 電位相等，且節點 $S2$ 電位與第二分壓單元 $CS2$ 電位相等，同時第一畫素電極 $P1$ 的電位 $V(P1)$ 感應至較高電位而第二畫素電極 $P2$ 的電位 $V(P2)$ 感應至較低電位。藉而提高第一畫素電極 $P1$ 與第二畫素電極 $P2$ 之間形成的液晶電容 CLC 跨壓 $V(P1)-V(P2)$ ，使液晶跨壓高於資料電壓的驅動範圍。而第三畫素電極 $S1$ 與第四畫素電極 $S2$ 之間形成的第二液晶電容 $CLC2$ 則感受第一次電容 C_{sub1} 及第二次電容 C_{sub2} 之間的電壓變化，其兩側跨壓較小。

【0043】 於第一時間時致能掃描線 $G1$ 時，導通第一開關 201、第二開關 202、第三開關 203 以及第四開關 204，並提供第一資料電壓 $V(D1)$ ，第一畫素電極 $P1$ 電壓 $V(P1)$ 以及第三畫素電極 $S1$ 電壓 $V(S1)$ 也隨著第一資料電壓 $V(D1)$ 而上升。另外提供極性不同於第一資料電壓 $V(D1)$ 的第二資料電壓 $V(D2)$ ，第二畫素電極 $P2$ 電壓 $V(P2)$ 以及第四畫素電極 $S2$ 電壓 $V(S2)$ 也隨著第二資料電壓 $V(D2)$ 而下降。此時，第一畫素電極 $P1$ 與第三畫素電極 $S1$ 被第一資料線 $D11$ 充飽電至正電極，而第二畫素電極 $P2$ 與第四畫素電極 $S2$ 被第二資料線 $D21$ 充飽電至負電極。

【0044】 接著，於第二時間關閉掃描線 $G1$ 並致能掃描線 $G2$ 時，第一開關 201、第二開關 202、第三開關 203 以及第四開關 204 關閉，而第五

開關 205 以及第六開關 206 導通。此時原先第一次電容 C_{sub1} 所保持的電荷會經由第一電容 $C1$ 及第三電容 $C3$ 所組成的第一分壓單元 $CS1$ 而重新分配，電荷分享後使得第一畫素電極 $P1$ 電壓 $V(P1)$ 電位上升而第三畫素電極 $S1$ 電壓 $V(S1)$ 下降。同時間，第二次電容 C_{sub2} 所保持的電荷會經由第二電容 $C2$ 及第四電容 $C4$ 而重新分配畫素內電荷，第二畫素電極 $P2$ 電壓 $V(P2)$ 電位下降而第四畫素電極 $S2$ 電位 $V(S2)$ 上升，如此，液晶電容 CLC 的跨壓 $V(P1)-V(P2)$ 大幅被提升並且遠高於驅動電壓範圍。而第三畫素電極電位 $V(S1)$ 及第四畫素電極 $S2$ 電壓 $V(S2)$ 之間的變化 $V(S1)-V(S2)$ ，其兩側跨壓較小。本實施例具有兩階段， $V(P1)-V(P2)$ 用於驅動電極間距大的液晶跨壓，而 $V(S1)-V(S2)$ 用於驅動電極間距小的液晶跨壓，用於解決小電壓電極間距需求。然本發明不以此為限，當第三畫素電極 $S1$ 與第四畫素電極 $S2$ 之間間距大於第一畫素電極 $P1$ 與第二畫素電極 $P2$ 之間間距，亦可操作。

【0045】 根據本發明之畫素驅動電路，其藉由電荷分享結合兩條資料線的驅動方式，以於液晶電容兩端提供較高的液晶跨壓，使得液晶分子受到更強的電場驅動並有較大的傾倒角度，進而有更佳穿透率表現，而且藉由第一區域之面積與第二區域之面積配置比例為 5：95 至 70：30 時，有較低的 TRDI 數值，以改善側視色偏等問題。

【0046】 雖然本發明以前述之實施例揭露如上，然其並非用以限定本發明。在不脫離本發明之精神和範圍內，所為之更動與潤飾，均屬本發明之專利保護範圍。關於本發明所界定之保護範圍請參考所附之申請專利範圍。

【符號說明】

【0047】

100 畫素矩陣

G1~Gn 掃描線

D11 第一資料線

D21 第二資料線

P(1,1)~P(n,m) 畫素

200 畫素驅動電路

201 第一開關

202 第二開關

203 第三開關

204 第四開關

205 第五開關

206 第六開關

300、600、800 畫素陣列電路佈局

500 畫素驅動電路

CLC 液晶電容

Csub1 第一次電容

Csub2 第二次電容

Cst1 第一儲存電容

Cst2 第二儲存電容

CS1 第一分壓單元

CS2 第二分壓單元

C1 第一電容

C2 第二電容

C3 第三電容

C4 第四電容

V(D1) 第一資料電壓

V(D2) 第二資料電壓

V(P1) P1 電壓

V(P2) P2 電壓

V(S1) S1 電壓

V(S2) S2 電壓

CLC2 第二液晶電容

P1 第一畫素電極

P2 第二畫素電極

S1 第三畫素電極

S2 第四畫素電極

V(COM) 共電極

V(CS1) 電位

V(CS2) 電位

A1 第一區域

A2 第二區域

申請專利範圍

1. 一種畫素驅動電路，電性耦接於一第一資料線與一第二資料線之間，以及電性耦接於一第一掃描線與一第二掃描線之間，該畫素驅動電路包括：

一第一開關，具有一第一端、一第二端以及一控制端，該第一開關之該第一端電性連接至該第一資料線，該第一開關之該第二端電性連接至一第一畫素電極，該第一開關之該控制端電性連接至該第一掃描線；

一第二開關，具有一第一端、一第二端以及一控制端，該第二開關之該第一端電性連接至該第二資料線，該第二開關之該第二端電性連接至一第二畫素電極，該第二開關之該控制端電性連接至該第一掃描線；

一第三開關，具有一第一端、一第二端以及一控制端，該第三開關之該第一端電性連接至該第一資料線，該第三開關之該控制端電性連接至該第一掃描線；

一第四開關，具有一第一端、一第二端以及一控制端，該第四開關之該第一端電性連接至該第二資料線，該第四開關之該控制端電性連接至該第一掃描線；

一第一次電容，電性連接於該第三開關之該第二端與一參考電壓端之間；

一第二次電容，電性連接於該第四開關之該第二端與該參考電壓端

之間；

一第五開關，具有一第一端、一第二端以及一控制端，該第五開關之該第一端電性連接至該第三開關之該第二端，該第五開關之該控制端電性連接至該第二掃描線；

一第六開關，具有一第一端、一第二端以及一控制端，該第六開關之該第一端電性連接於該第四開關之該第二端，該第六開關之該控制端電性連接至該第二掃描線；

一第一分壓單元，耦接於該第五開關之該第二端與該參考電壓端之間；以及

一第二分壓單元，耦接於該第六開關之該第二端與該參考電壓端之間。

2. 如請求項 1 所述之畫素驅動電路，另包括：

一第三畫素電極，電連接於該第三開關之該第二端；以及

一第四畫素電極，電連接於該第四開關之該第二端。

3. 如請求項 1 或 2 所述之畫素驅動電路，其中該第一分壓單元包含：

一第一電容，電連接於該第五開關之該第二端以及該參考電壓端之間；以及

該第二分壓單元包含：

一第二電容，電連接於該第六開關之該第二端以及該參考電壓端之間。

4. 如請求項 3 所述之畫素驅動電路，其中該第一分壓單元另包含：

一第三電容，電連接於該第一開關之該第二端以及該第五開關之

該第二端之間；以及

該第二分壓單元另包含：

一第四電容，電連接於該第二開關之該第二端以及該第六開關之該第二端之間。

5. 如請求項 1 或 2 所述之畫素驅動電路，另包括：

一第一儲存電容，電性連接於該第一開關之該第二端與該參考電壓端之間；以及

一第二儲存電容，電性連接於該第二開關之該第二端與該參考電壓端之間。

6. 一種畫素驅動電路，電性耦接於一第一資料線與一第二資料線之間，以及電性耦接於一第一掃描線與一第二掃描線之間，該畫素驅動電路包括：

一第一開關，具有一第一端、一第二端以及一控制端，該第一開關之該第一端電性連接至該第一資料線，該第一開關之該第二端電性連接至一第一畫素電極，該第一開關之該控制端電性連接至該第一掃描線；

一第二開關，具有一第一端、一第二端以及一控制端，該第二開關之該第一端電性連接至該第二資料線，該第二開關之該第二端電性連接至一第二畫素電極，該第二開關之該控制端電性連接至該第一掃描線；

一第三開關，具有一第一端、一第二端以及一控制端，該第三開關之該第一端電性連接至該第一資料線，該第三開關之該控制端電性連

接至該第一掃描線；

一第四開關，具有一第一端、一第二端以及一控制端，該第四開關之該第一端電性連接至該第二資料線，該第四開關之該控制端電性連接至該第一掃描線；

一第一次電容，電性連接於該第三開關之該第二端與一參考電壓端之間；

一第二次電容，電性連接於該第四開關之該第二端與該參考電壓端之間；

一第五開關，具有一第一端、一第二端以及一控制端，該第五開關之該第一端電性連接至該第三開關之該第二端，該第五開關之該控制端電性連接至該第二掃描線；

一第六開關，具有一第一端、一第二端以及一控制端，該第六開關之該第一端電性連接於該第四開關之該第二端，該第六開關之該控制端電性連接至該第二掃描線；

一第一分壓單元，耦接於該第五開關之該第二端與該參考電壓端之間；

一第二分壓單元，耦接於該第六開關之該第二端與該參考電壓端之間；

一第三畫素電極，電性連接於該第三開關之該第二端；以及

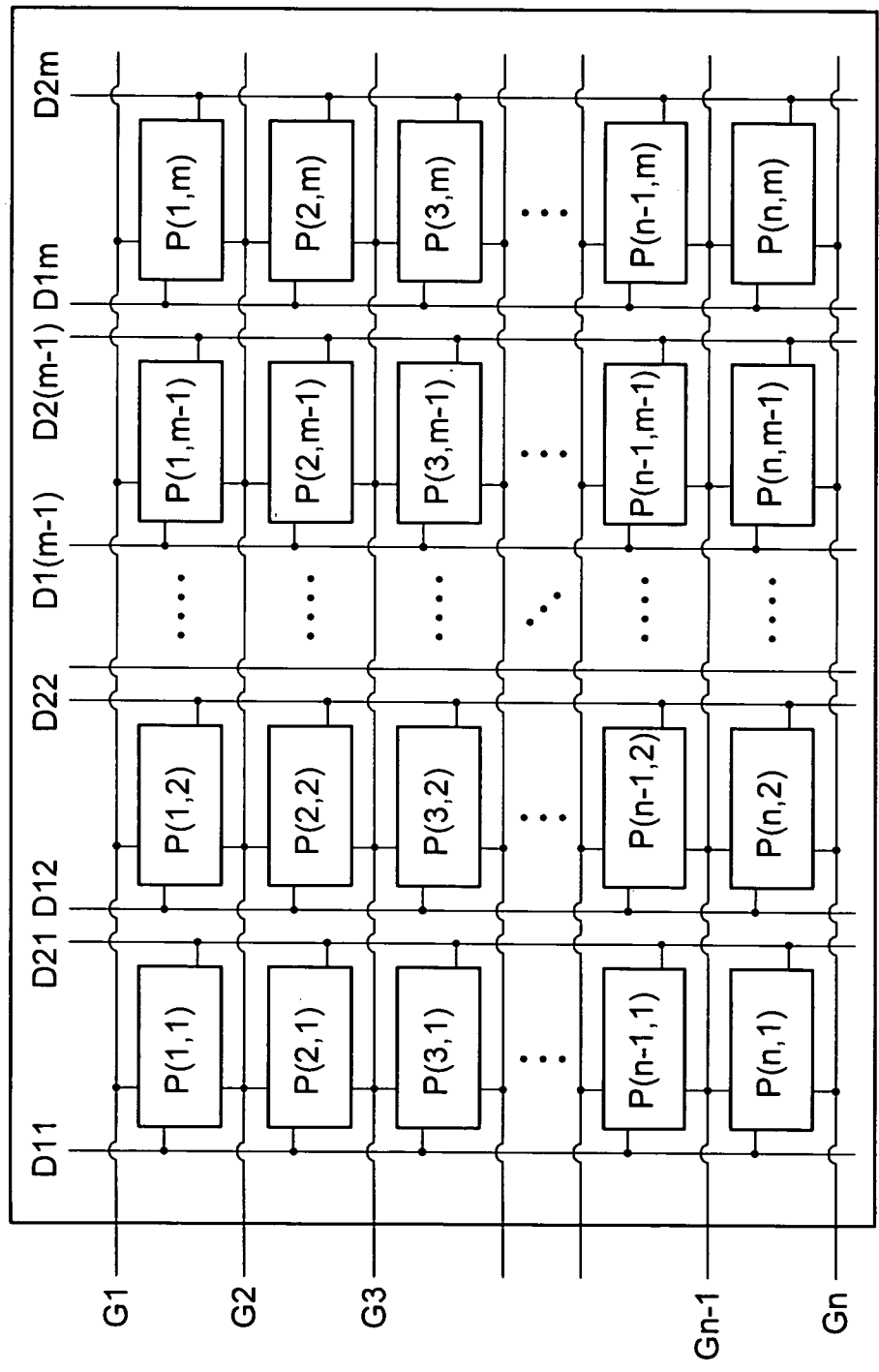
一第四畫素電極，電性連接於該第四開關之該第二端；

其中，該第一畫素電極與該第二畫素電極配置於一第一區域，該第三畫素電極與該第四畫素電極配置於一第二區域，該第一區域與該第二

區域彼此不重疊，且該第一區域與該第二區域的面積比落在 5：95 至 70：30 之間。

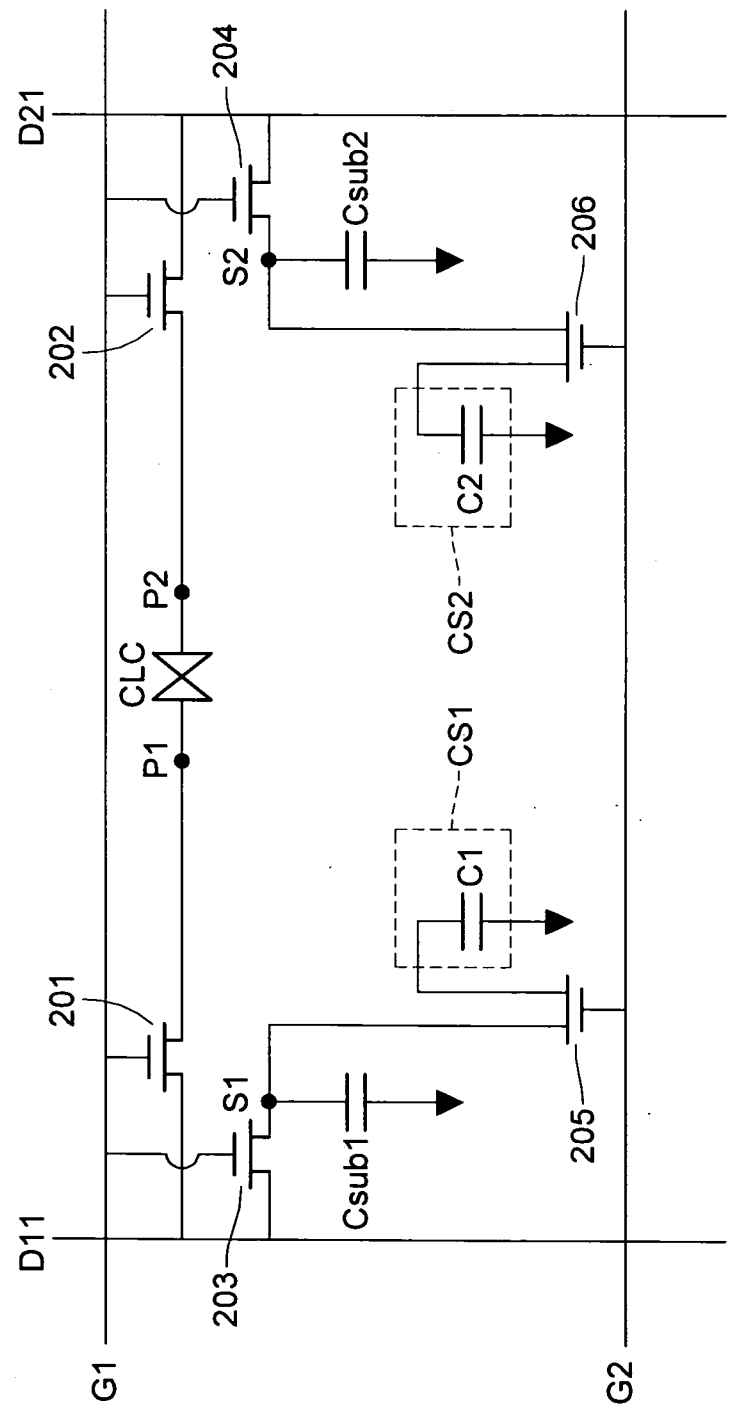
圖式

100



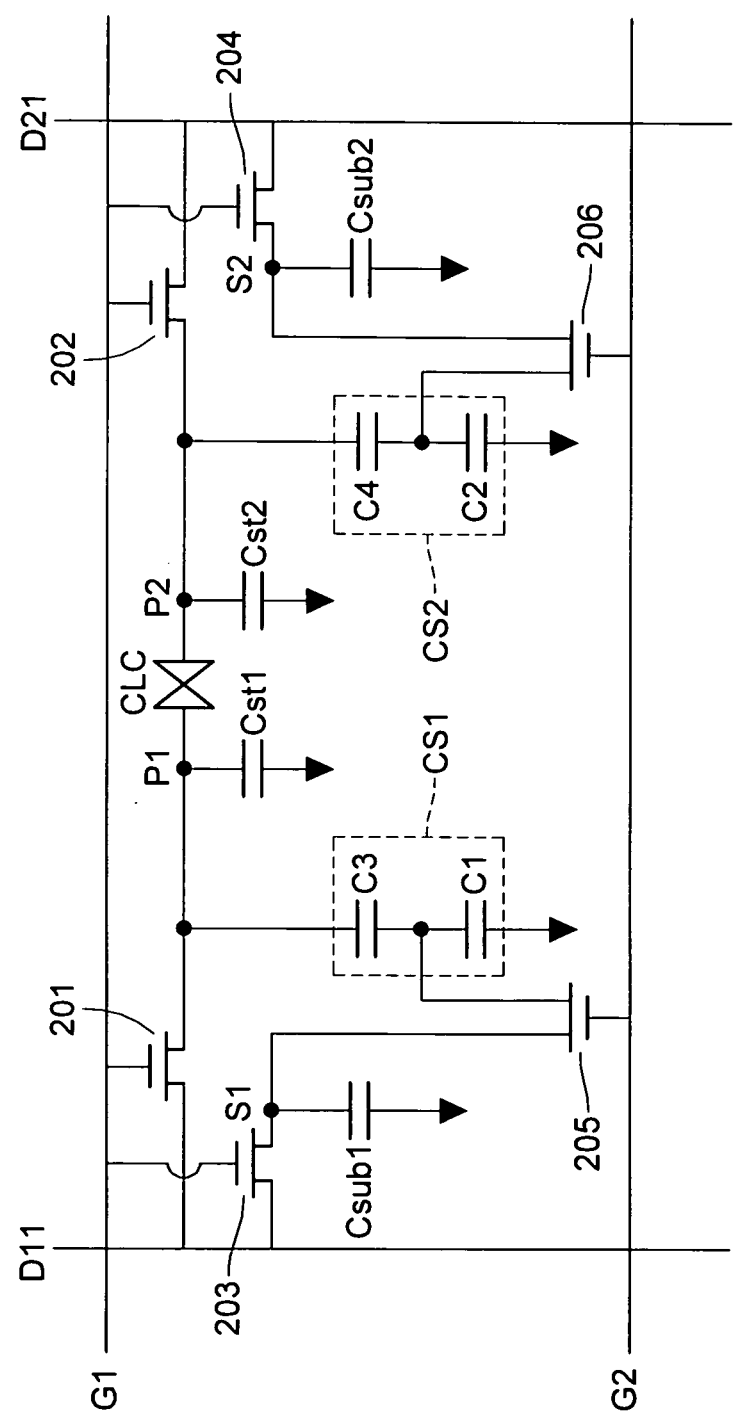
第1圖

200

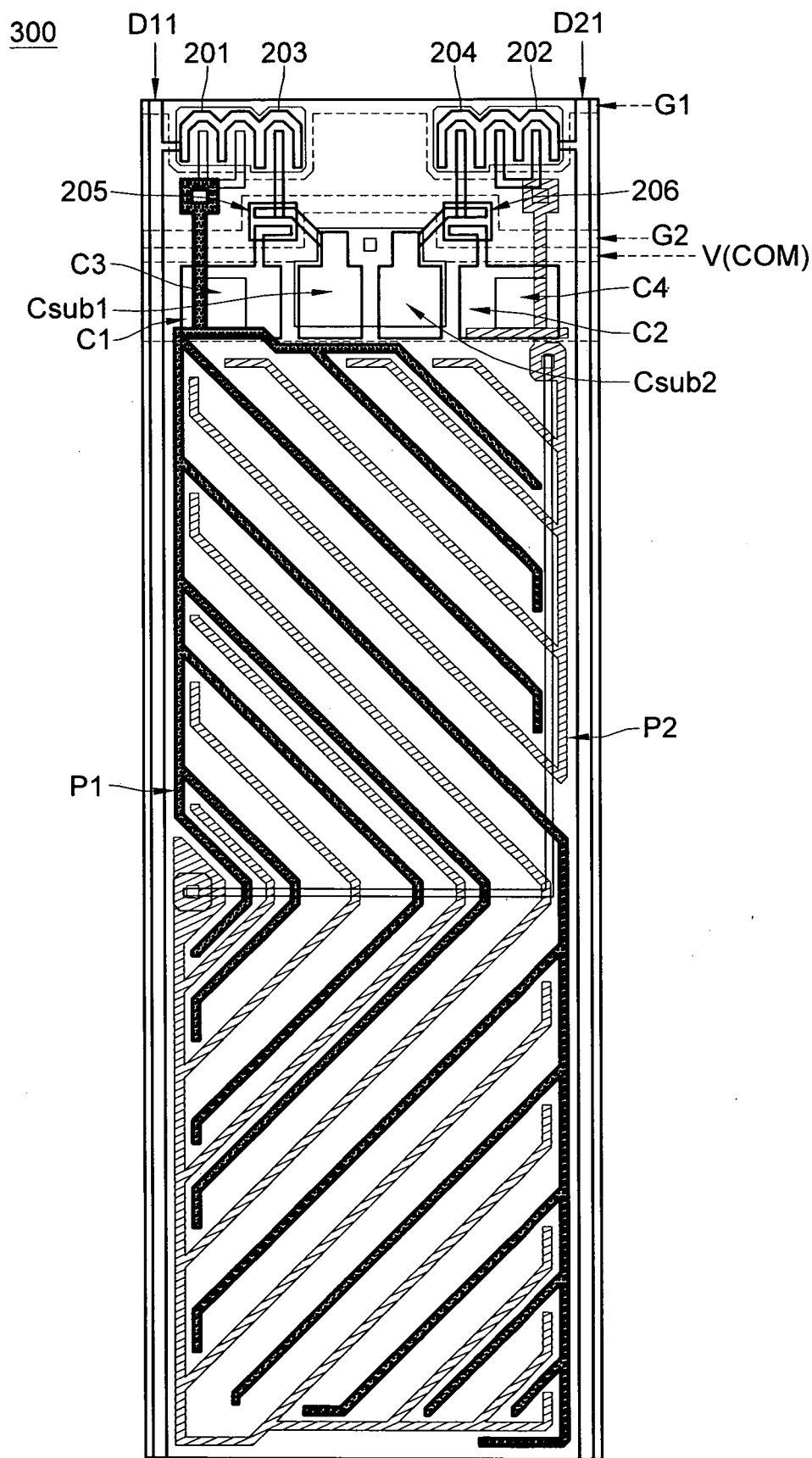


第2A圖

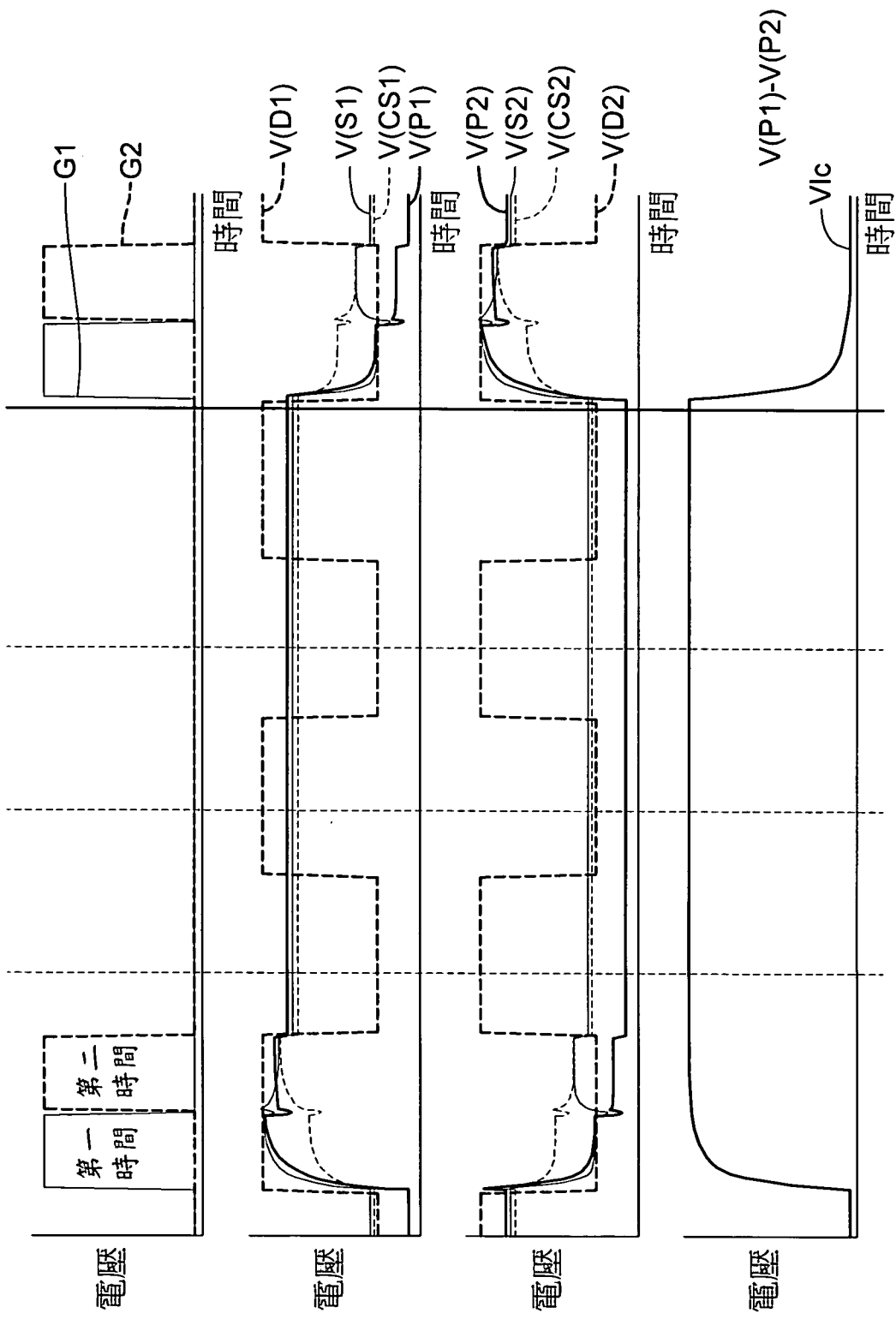
200



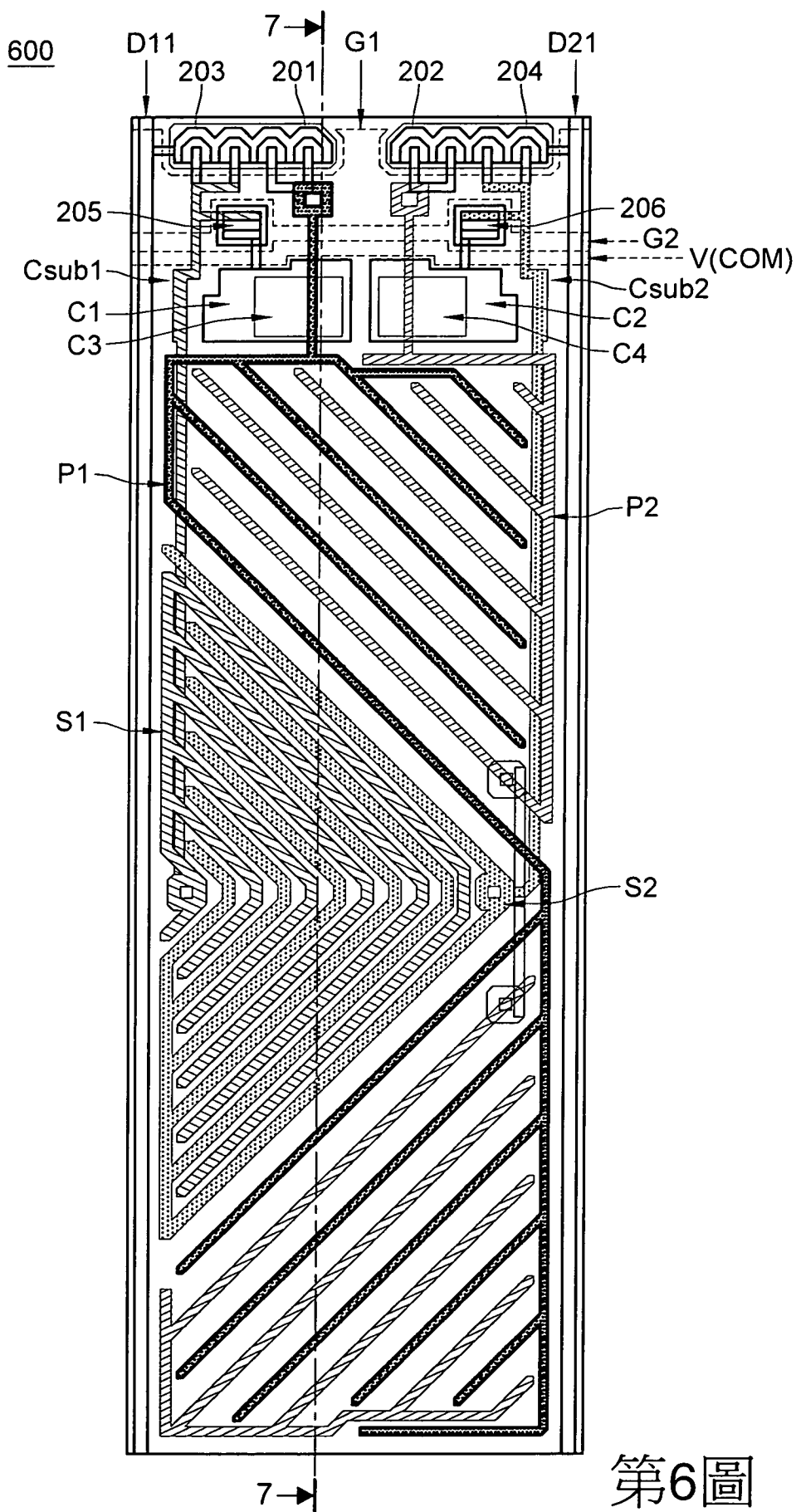
第2B圖



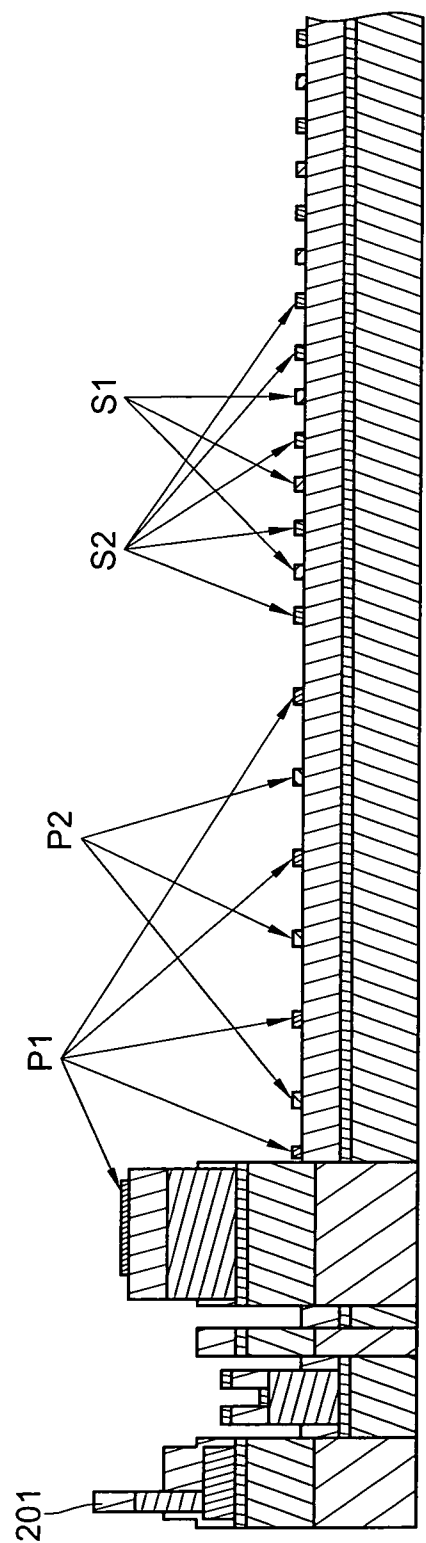
第3圖



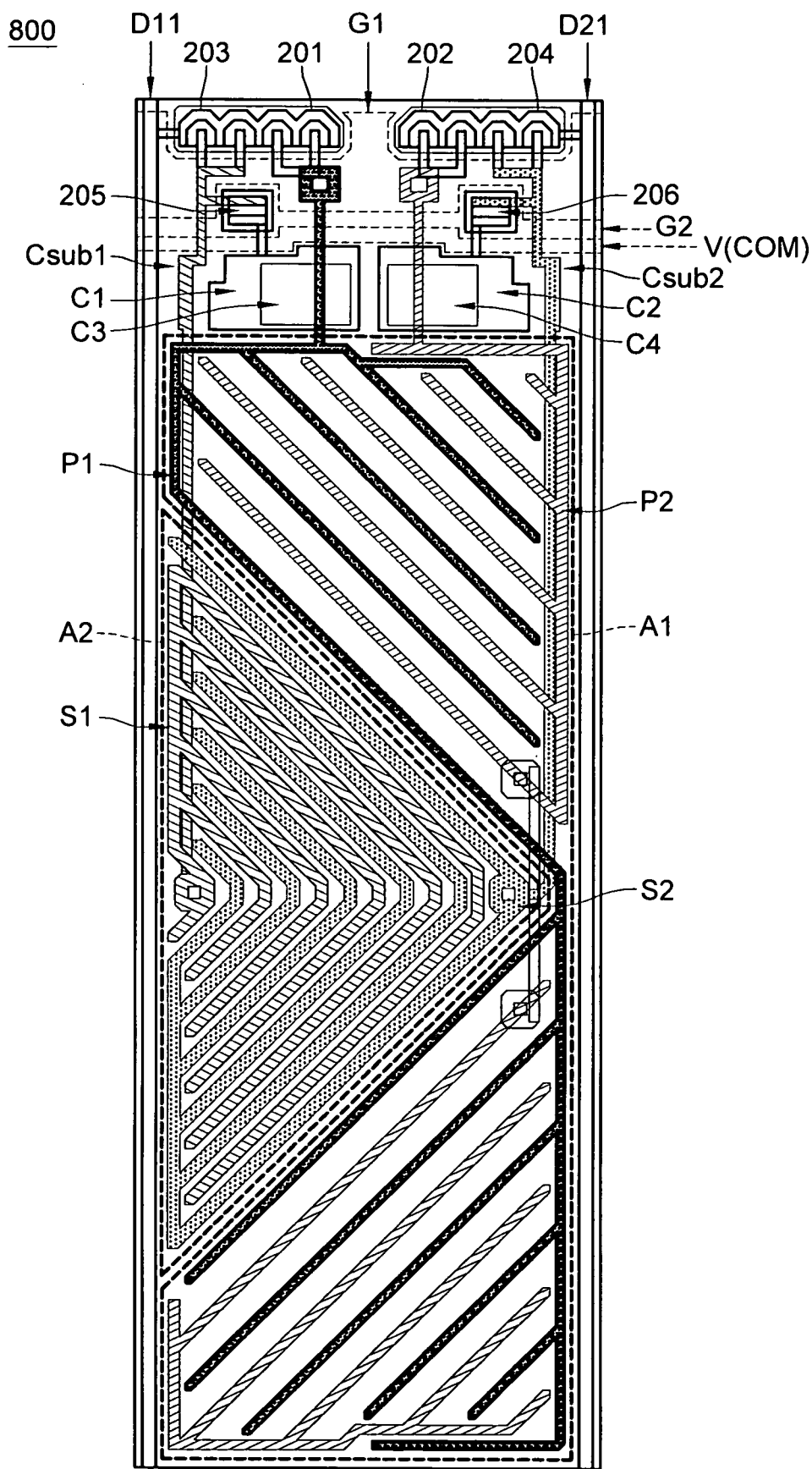
第4圖



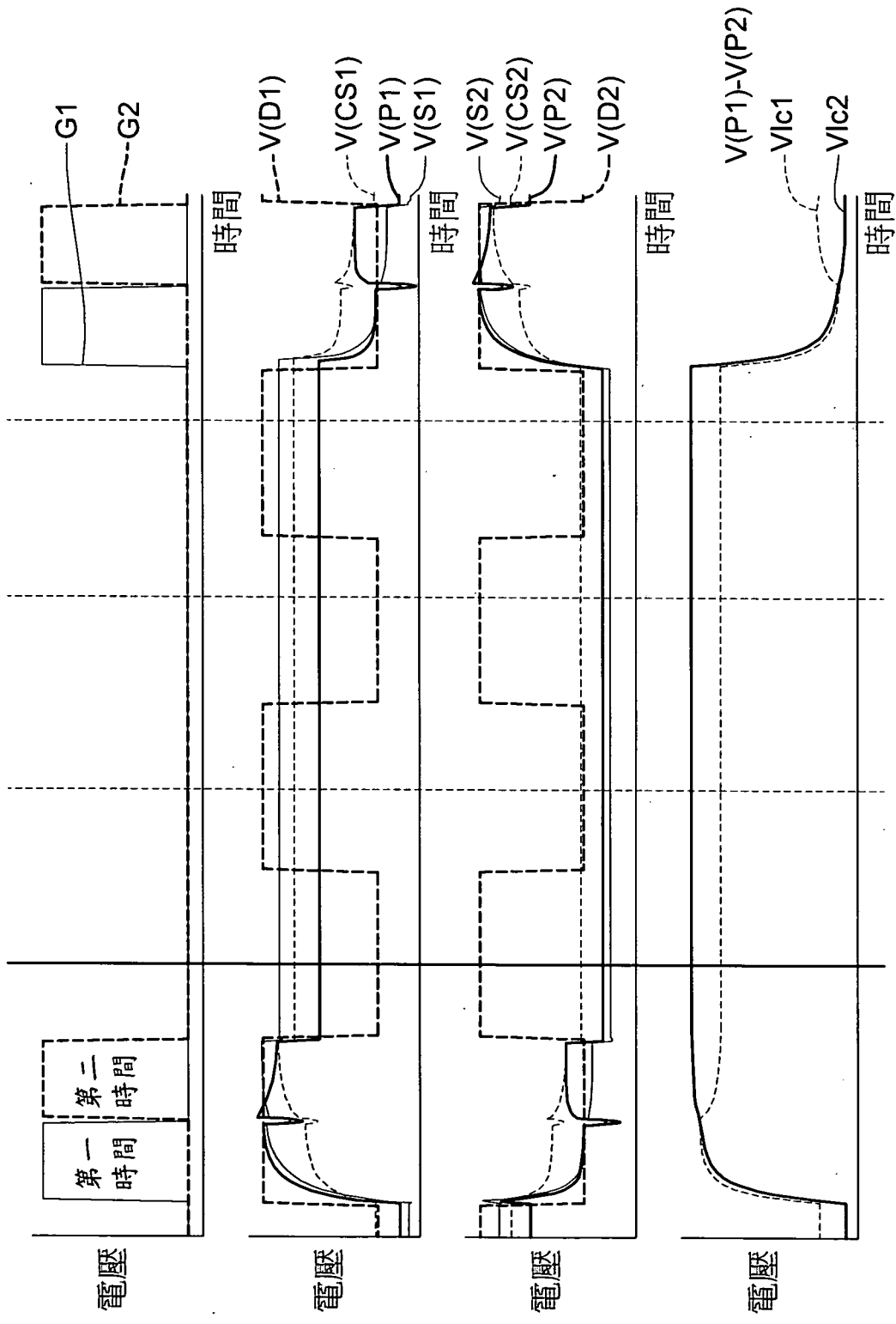
第6圖



第7圖



第8圖



第9圖