(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 119769190 A
(43)申请公布日 2025.04.04

(21)申请号 202380060987.3
(22)申请日 2023.08.04
(30)优先权数据
2022-133598 2022.08.24 JP
(85)PCT国际申请进入国家阶段日
2025.02.20
(86)PCT国际申请的申请数据
PCT/IB2023/057887 2023.08.04
(87)PCT国际申请的公布数据
WO2024/042404 JA 2024.02.29
(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县
(72)发明人 山崎舜平 国武宽司 松崎隆德
(74)专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 宋俊寅 张鑫
(51)Int.Cl.
H10B 53/30(2023.01)
H10B 53/20(2023.01)
H10D 1/68(2025.01)
H10D 30/63(2025.01)
H10D 30/67(2025.01)
H10D 84/80(2025.01)

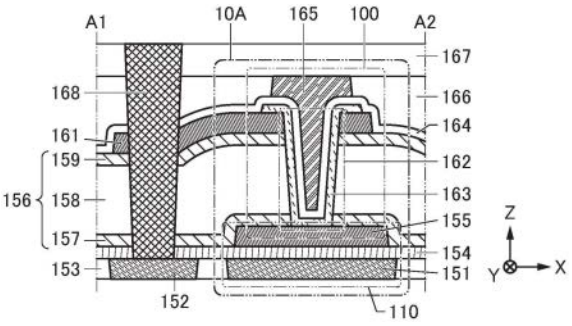
权利要求书3页 说明书47页 附图37页

(54)发明名称

半导体装置

(57)摘要

提供一种新颖半导体装置。在电容器上层叠设置垂直沟道型晶体管。作为电容器的介电层使用铁电体。铁电体优选包含铪、锆或者选自第13至15族元素中的至少一个元素。通过将氧化物半导体用于垂直沟道型晶体管的半导体层,源极与漏极间的绝缘耐压得到提高而可以缩短沟道长度。



CN 119769190 A

1.一种半导体装置,包括:

电容器;以及

所述电容器上的晶体管,

其中,所述电容器包括:

第一导电层;

所述第一导电层上的第一绝缘层;以及

所述第一绝缘层上的第二导电层,

所述晶体管包括:

所述第二导电层上的第二绝缘层;

所述第二绝缘层上的第三导电层;

设置在所述第二绝缘层及所述第三导电层中的开口;

覆盖所述开口的半导体层;

所述半导体层上的第三绝缘层;以及

所述第三绝缘层上的第四导电层,

所述开口与所述第二导电层重叠,

并且,所述第一绝缘层具有铁电体。

2.根据权利要求1所述的半导体装置,

其中所述开口中的所述第二绝缘层的侧面和所述第二绝缘层的底面所成的角度为45度以上且90度以下。

3.根据权利要求1或2所述的半导体装置,

其中150℃的环境温度下的存储保持期间为10天以上。

4.根据权利要求1或2所述的半导体装置,

其中所述第二绝缘层包括第四绝缘层、所述第四绝缘层上的第五绝缘层以及所述第五绝缘层上的第六绝缘层,

所述第四绝缘层及所述第六绝缘层都包含氮及硅,

并且所述第五绝缘层包含氧及硅。

5.根据权利要求4所述的半导体装置,

其中所述第四绝缘层及所述第六绝缘层都包含氢。

6.根据权利要求1或2所述的半导体装置,

其中所述半导体层包含氧化物半导体。

7.根据权利要求1或2所述的半导体装置,

其中所述第一绝缘层包含铪、锆及氧。

8.根据权利要求1或2所述的半导体装置,

其中所述第一导电层及所述第二导电层包含钛及氮。

9.根据权利要求1或2所述的半导体装置,

其中所述第四导电层被用作所述晶体管的栅电极,

所述第三导电层被用作所述晶体管的源电极和漏电极中的一个,

并且所述第二导电层被用作所述晶体管的源电极和漏电极中的另一个。

10.一种半导体装置,包括:

层叠的多个层;以及

穿过所述多个层的第一电极,

其中,所述多个层各自包括:

电容器;以及

所述电容器上的晶体管,

其中,所述电容器包括:

第一导电层;

所述第一导电层上的第一绝缘层;以及

所述第一绝缘层上的第二导电层,

所述晶体管包括:

所述第二导电层上的第二绝缘层;

所述第二绝缘层上的第三导电层;

设置在所述第二绝缘层及所述第三导电层中的开口;

覆盖所述开口的半导体层;

所述半导体层上的第三绝缘层;以及

所述第三绝缘层上的第四导电层,

所述开口与所述第二导电层重叠,

所述第一绝缘层具有铁电体,

并且,所述第三导电层与所述第一电极电连接。

11.根据权利要求10所述的半导体装置,

其中所述开口中的所述第二绝缘层的侧面和所述第二绝缘层的底面所成的角度为45度以上且90度以下。

12.根据权利要求10或11所述的半导体装置,

其中150℃的环境温度下的存储保持期间为10天以上。

13.根据权利要求10或11所述的半导体装置,

其中所述第一电极包括多个导电层。

14.根据权利要求10或11所述的半导体装置,

其中所述第二绝缘层包括第四绝缘层、所述第四绝缘层上的第五绝缘层以及所述第五绝缘层上的第六绝缘层,

所述第四绝缘层及所述第六绝缘层都包含氮及硅,

并且所述第五绝缘层包含氧及硅。

15.根据权利要求14所述的半导体装置,

其中所述第四绝缘层及所述第六绝缘层都包含氢。

16.根据权利要求10或11所述的半导体装置,

其中所述半导体层包含氧化物半导体。

17.根据权利要求10或11所述的半导体装置,

其中所述第一绝缘层包含铪、锆及氧。

18.根据权利要求10或11所述的半导体装置,

其中所述第一导电层及所述第二导电层包含钛及氮。

19.根据权利要求10或11所述的半导体装置，

其中所述第四导电层被用作所述晶体管的栅电极，

所述第三导电层被用作所述晶体管的源电极和漏电极中的一个，

并且所述第二导电层被用作所述晶体管的源电极和漏电极中的另一个。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置。

[0002] 此外,本发明的一个方式不限定于上述技术领域。本说明书等所公开的发明的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个方式涉及一种工序(process)、机器(machine)、产品(manufacture)或者组合物(composition of matter)。

[0003] 因此,作为根据本发明的一个方式的技术领域的例子,可以举出半导体装置、显示装置、液晶显示装置、发光装置、蓄电装置、摄像装置、存储装置、信号处理装置、处理器、电子设备、系统、它们的驱动方法、它们的制造方法、它们的检查方法或它们的使用方法等。

背景技术

[0004] 近年来,对LSI、CPU、存储器(存储装置)等半导体装置进行开发。这些半导体装置用于计算机、便携式信息终端等各种电子设备。此外,根据运算处理执行时的暂时存储、数据的长期存储等用途,开发各种存储方式的存储器。作为典型的存储方式的存储器,可以举出DRAM、SRAM及闪存等。

[0005] 此外,如非专利文献1所示,利用铁电体(ferroelectric)的存储器的研究开发活跃。此外,作为下一代的铁电存储器,铁电性HfO_2类材料的研究(非专利文献2)、关于铪氧化物薄膜的铁电性的研究(非专利文献3)、关于HfO_2薄膜的铁电性的研究(非专利文献4)以及使用铁电体$Hf_{0.5}Zr_{0.5}O_2$的FeRAM(Ferroelectric Random Access Memory:铁电存储器)与CMOS的统合的实证(非专利文献5)等有关氧化铪的研究也活跃。

[先行技术文献]

[非专利文献]

[0006] [非专利文献1]T.S.Boescke,et al,“Ferroelectricity in hafnium oxide thin films”,APL99,2011

[非专利文献2]Zhen Fan,et al,“Ferroelectric HfO_2-based materials for next-generation ferroelectric memories”,JOURNAL OF ADVANCED DIELECTRICS,Vol.6,No.2,2016

[非专利文献3]Jun Okuno,et al,“SoC compatible 1T1C FeRAM memory array based on ferroelectric $Hf_{0.5}Zr_{0.5}O_2$”,VLSI 2020

[非专利文献4]鳥海明、「HfO_2薄膜の強誘電性」、応用物理学会、第88巻、第9号、2019

[非专利文献5]T.Francois,et al,“Demonstration of BEOL-compatible ferroelectric $Hf_{0.5}Zr_{0.5}O_2$ scaled FeRAM co-integrated with 130nm CMOS for embedded NVM applications”,IEDM 2019

发明内容

发明所要解决的技术问题

[0007] 本发明的一个方式的目的之一是提供一种新颖半导体装置。此外,本发明的一个方式的目的之一是提供一种占有面积小的半导体装置。此外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置。此外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置。另外,本发明的一个方式的目的之一是提供一种存储容量大的半导体装置。

[0008] 注意,根据本发明的一个方式的目的不局限于上述列举的目的。上述列举的目的并不妨碍其他目的的存在。其他目的是指将在下面的记载中描述的上述以外的目的。所属技术领域的普通技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的目的。此外,本发明的一个方式并不需要实现所有的上述目的及其他目的。此外,本发明的一个方式实现上述列举的目的和其他目的中的至少一个。

解决技术问题的手段

[0009] 本发明的一个方式是一种半导体装置,包括:电容器;以及电容器上的晶体管,其中,电容器包括:第一导电层;第一导电层上的第一绝缘层;以及第一绝缘层上的第二导电层,晶体管包括:第二导电层上的第二绝缘层;第二绝缘层上的第三导电层;设置在第二绝缘层及第三导电层中的开口;覆盖开口的半导体层;半导体层上的第三绝缘层;以及第三绝缘层上的第四导电层,开口与第二导电层重叠,并且,第一绝缘层具有铁电体。

[0010] 本发明的另一个方式是一种半导体装置,包括:层叠的多个层;以及穿过多个层的第一电极,其中,多个层各自包括:电容器;以及电容器上的晶体管,电容器包括:第一导电层;第一导电层上的第一绝缘层;以及第一绝缘层上的第二导电层,晶体管包括:第二导电层上的第二绝缘层;第二绝缘层上的第三导电层;设置在第二绝缘层及第三导电层中的开口;覆盖开口的半导体层;半导体层上的第三绝缘层;以及第三绝缘层上的第四导电层,开口与第二导电层重叠,第一绝缘层具有铁电体,并且,第三导电层与第一电极电连接。

[0011] 上述开口中的第二绝缘层的侧面和第二绝缘层的底面所成的角度优选为45度以上且90度以下。

[0012] 另外,优选的是,上述半导体装置的150℃的环境温度下的存储保持期间为10天以上。

[0013] 第二绝缘层也可以包括第四绝缘层、第四绝缘层上的第五绝缘层以及第五绝缘层上的第六绝缘层。例如,第四绝缘层及第六绝缘层也可以都包含氮及硅。例如,第五绝缘层也可以包含氧及硅。另外,第四绝缘层及第六绝缘层也可以都包含氢。

[0014] 例如,作为半导体层也可以使用氧化物半导体。半导体层优选包含铟和锌中的至少一个以及氧。第一电极也可以包含多个导电层。第一绝缘层优选包含铪、锆及氧。第一导电层及第二导电层优选包含钛及氮。

发明效果

[0015] 根据本发明的一个方式,可以提供一种新颖半导体装置。另外,根据本发明的一个方式,可以提供一种占有面积小的半导体装置。此外,根据本发明的一个方式,可以提供一种可靠性高的半导体装置。此外,根据本发明的一个方式,可以提供一种功耗低的半导体装置。此外,根据本发明的一个方式,可以提供一种存储容量大的半导体装置。

[0016] 注意,本发明的一个方式的效果不局限于上述列举的效果。上述列举的效果并不妨碍其他效果的存在。因此,本发明的一个方式有时不具有上述列举的效果。其他效果是指

将在下面的记载中描述的上述以外的效果。所属技术领域的普通技术人员可以从说明书或附图等的记载中导出并适当抽出上述以外的效果。此外,本发明的一个方式具有上述列举的效果和其他效果中的至少一个。

附图简要说明

[0017] 图1A及图1B是示出半导体装置的结构例子的图。图1C及图1D是半导体装置的等效电路图。

图2A至图2C是示出半导体装置的结构例子的图。

图3A至图3E是示出半导体装置的结构例子的图。

图4A及图4B是示出半导体装置的结构例子的图。

图5A及图5B是示出半导体装置的结构例子的图。

图6A至图6C是示出半导体装置的结构例子的图。

图7A至图7C是示出半导体装置的结构例子的图。

图8A至图8C是示出半导体装置的结构例子的图。

图9A及图9B是示出半导体装置的结构例子的图。图9C是半导体装置的等效电路图。

图10是示出半导体装置的结构例子的图。

图11是半导体装置的等效电路图。

图12是示出半导体装置的结构例子的图。

图13是半导体装置的等效电路图。

图14A是说明存储单元的电路结构例子的图。图14B是示出滞后特性的一个例子的图表。图14C是示出存储单元的驱动方法例子的时序图。

图15A至图15C是示出存储装置的结构例子的图。

图16A是示出存储装置的结构例子的图。图16B是示出存储装置所包括的存储串的示意图。

图17A是示出存储装置的结构例子的图。图17B是存储装置所包括的存储串的示意图。

图18是示出存储装置的截面结构例子的图。

图19A及图19B是根据本发明的一个方式的半导体装置的示意图。

图20A及图20B是示出电子构件的一个例子的立体图。

图21A至图21J是说明电子设备的一个例子的图。

图22A至图22E是说明电子设备的一个例子的图。

图23A至图23C是说明电子设备的一个例子的图。

图24是示出太空设备的一个例子的图。

实施发明的方式

[0018] 下面,参照附图对实施方式进行说明。但是,所属技术领域的普通技术人员可以很容易地理解一个事实,就是实施方式可以以多个不同形式来实施,其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0019] 在本说明书等中,半导体装置是指利用半导体特性的装置并是指包含半导体元件

(晶体管、二极管、光电二极管等)的电路及具有该电路的装置等。另外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。此外,存储装置、显示装置、发光装置、照明装置以及电子设备等本身是半导体装置,并且有时包括半导体装置。

[0020] 在根据本说明书的附图等中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,本发明并不局限于附图中的大小或纵横比。此外,在附图中,示意性地示出理想的例子,因此本发明不局限于附图所示的形状或数值等。

[0021] 注意,在实施方式中的发明的结构中,有时在不同的附图中共同使用相同的附图标记来表示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。在立体图或俯视图等中,为了明确起见,有时省略部分构成要素的图示。

[0022] 注意,有时在附图等中附上表示X方向(沿着X轴的方向)、Y方向(沿着Y轴的方向)以及Z方向(沿着Z轴的方向)的箭头。注意,在本说明书等中,“X方向”是指沿着X轴的方向,除了明确指出的情况以外,有时不区别其顺向及逆向。“Y方向”及“Z方向”也是同样的。另外,X方向、Y方向以及Z方向是彼此交叉的方向。更具体而言,X方向、Y方向以及Z方向是彼此正交的方向。在本说明书等中,有时将X方向、Y方向和Z方向中的一个称为“第一方向”。此外,有时将其他另一个称为“第二方向”。另外,有时将剩下的一个称为“第三方向”。

[0023] 在本说明书等中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此,该序数词不限制构成要素的个数。此外,该序数词不限制构成要素的顺序。例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能是在其他的实施方式或权利要求书等中附有“第二”。此外,例如,本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他实施方式或权利要求书等中被省略。

[0024] 在本说明书等中,为了方便起见,有时使用“上”、“下”、“上方”或“下方”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各结构的方向适当地改变。因此,不局限于说明书等中所说明的词句,根据情况可以适当地换词句。例如,如果是“位于导电体的顶面的绝缘体”的表述,通过将所示的附图的方向旋转180度,则可以换称为“位于导电体的下面的绝缘体”。

[0025] 此外,“上”及“下”这样的词句不限定于构成要素的位置关系为“正上”或“正下”且直接接触的情况。例如,如果是“绝缘层A上的电极B”的表述,则不一定必须在绝缘层A上直接接触地形成有电极B,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0026] 在本说明书等中,“重叠”等词句不限定构成要素的叠层顺序等的状态。例如,“与绝缘层A重叠的电极B”不局限于在绝缘层A上形成有电极B的状态,还包括在绝缘层A下形成有电极B的状态或在绝缘层A的右侧(或左侧)形成有电极B的状态等。

[0027] 在本说明书等中,“相邻”及“接近”等词句不限定构成要素直接接触的状态。例如,如果是“与绝缘层A相邻的电极B”的表述,则不一定必须是绝缘层A与电极B直接接触的情况,也可以包括在绝缘层A与电极B之间包括其他构成要素的情况。

[0028] 此外,在本说明书等中,根据状况,可以互相调换“膜”和“层”等词句。例如,有时可以将“导电层”调换为“导电膜”。此外,有时可以将“绝缘膜”调换为“绝缘层”。此外,根据情况或状态,可以使用其他词句代替“膜”和“层”等词句。例如,有时可以将“导电层”或“导电

膜”调换为“导电体”。此外,有时可以将“导电体”调换为“导电层”或“导电膜”。此外,例如有时可以将“绝缘层”或“绝缘膜”调换为“绝缘体”。此外,有时可以将“绝缘体”调换为“绝缘层”或“绝缘膜”。

[0029] 注意,电压是指两个点电位之间的差,而电位是指静电场中的单位电荷在某一个点具有的静电能(电势能)。注意,一般而言,将某一点的电位与标准的电位(例如接地电位)之间的电位差简称为电位或电压,并且,在许多情况下电位和电压是同义词。因此,在本说明书等中,除了特别指定的情况以外,既可将“电位”称为“电压”,又可将“电压”称为“电位”。

[0030] 注意,在本说明书等中,“电极”、“布线”、“端子”等的词句不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”或“布线”还包括多个“电极”或“布线”被形成为一体的情况等。此外,例如,有时将“端子”用作“布线”或“电极”的一部分,反之亦然。再者,“端子”的词句包括多个“电极”、“布线”、“端子”等被形成为一体的情况等。因此,例如,“电极”可以为“布线”或“端子”的一部分,例如,“端子”可以为“布线”或“电极”的一部分。此外,“电极”、“布线”、“端子”等的词句有时置换为“区域”等的词句。

[0031] 在本说明书等中,根据情况或状态,可以互相调换“布线”、“信号线”及“电源线”等词句。例如,有时可以将“布线”调换为“信号线”。此外,例如有时可以将“布线”调换为“电源线”等。反之亦然,有时可以将“信号线”或“电源线”调换为“布线”。有时可以将“电源线”等调换为“信号线”等。反之亦然,有时可以将“信号线”等调换为“电源线”等。此外,根据情况或状态,可以互相将施加到布线的“电位”调换为“信号”。反之亦然,有时可以将“信号”调换为“电位”。

[0032] 在本说明书等中,“电容器”例如可以为具有高于0F的静电电容值的电路元件、具有高于0F的静电电容值的布线的区域、寄生电容或晶体管的栅极电容。此外,有时可以将“电容器”、“寄生电容”或“栅极电容”换称为“电容”。相对于此,有时可以将“电容”换称为“电容器”、“寄生电容”或“栅极电容”。此外,“电容”(包括三端子以上的“电容”)具有包括绝缘体及夹着该绝缘体的一对导电体的结构。因此,可以将“电容”的“一对导电体”换称为“一对电极”、“一对导电区域”、“一对区域”或“一对端子”。此外,有时将“一对端子中的一个”称为“一个端子”或“第一端子”。此外,有时将“一对端子中的另一个”称为“另一个端子”或“第二端子”。静电电容值例如可以为0.05fF以上且10pF以下。此外,例如,还可以为1pF以上且10μF以下。

[0033] 另外,在使用极性不同的晶体管的情况或电路工作的电流方向变化的情况等下,晶体管的“源极”及“漏极”的功能有时被互相调换。因此,在本说明书等中,可以互相调换使用“源极”和“漏极”。

[0034] 在本说明书等中,“栅极”是指栅电极及栅极布线的一部分或全部。栅极布线是指用来电连接至少一个晶体管的栅电极与其他电极或其他布线的布线。

[0035] 在本说明书等中,“源极”是指源极区域、源电极及源极布线的一部分或全部。源极区域是指半导体层中的电阻率为一定值以下的区域。源电极是指包括连接到源极区域的部分的导电层。源极布线是指用来电连接至少一个晶体管的源电极与其他电极或其他布线的布线。

[0036] 在本说明书等中,“漏极”是指漏极区域、漏电极及漏极布线的一部分或全部。漏极

区域是指半导体层中的电阻率为一定值以下的区域。漏电极是指包括连接到漏极区域的部分的导电层。漏极布线是指用来电连接至少一个晶体管的漏电极与其他电极或其他布线的布线。

[0037] 另外,在没有特别的说明的情况下,本说明书等所示的晶体管为增强型(常关闭型)场效应晶体管。另外,在本说明书等所示的晶体管为n沟道型晶体管且没有特别的说明的情况下,该晶体管的阈值电压(也称为“Vth”)大于0V。另外,在本说明书等所示的晶体管为p沟道型晶体管且没有特别的说明的情况下,该晶体管的阈值电压(也称为“Vth”)为0V以下。此外,当没有特别说明时,相同导电型的多个晶体管的Vth都相等。

[0038] 此外,在本说明书等中,在没有特别说明的情况下,关态电流(off-state current)是指晶体管处于关闭状态(也称为“非导通状态”或“遮断状态”)时流在源极与漏极间的电流(“漏极电流”或“Id”)。在没有特别说明的情况下,在n沟道晶体管中,关闭状态是指以源极为基准时的栅极与源极间的电位差(也称为“栅极电压”或“Vg”)低于阈值电压的状态,在p沟道晶体管中,关闭状态是指Vg高于阈值电压的状态。例如,有时n沟道晶体管的关态电流是指Vg低于Vth时的漏极电流。

[0039] 在本说明书等中,有时将关态电流记作泄漏电流。在本说明书等中,关态电流例如有时指在晶体管处于关闭状态时流在源极与漏极间的电流。

[0040] 在本说明书等中,在没有特别说明的情况下,通态电流是指晶体管处于开启状态(也称为“导通状态”)时的Id。在没有特别说明的情况下,在n沟道型晶体管中开启状态是指Vg为Vth以上的状态,在p沟道型晶体管中开启状态是指Vg为Vth以下的状态。例如,n沟道型晶体管的通态电流有时是指Vg为Vth以上时的漏极电流。

[0041] 在本说明书等中,“平行”是指两条直线形成的角度为-10度以上且10度以下的状态。因此,也包括该角度为-5度以上且5度以下的状态。“大致平行”是指两条直线形成的角度为-30度以上且30度以下的状态。另外,“垂直”是指两条直线形成的角度为80度以上且100度以下的状态。因此,也包括该角度为85度以上且95度以下的状态。另外,“大致垂直”是指两条直线形成的角度为60度以上且120度以下的状态。

[0042] 在本说明书等中,除非特别叙述,计数值或计量值“同一”、“相同”、“相等”或“均匀”(包括这些词的同义词)等的情况包括±20%的变动作为误差。

[0043] 在本说明书等中,在多个构成要素使用同一符号并且需要区分它们时,有时对符号附加“A”、“b”、“_1”、“[n]”、“[m,n]”等用于识别的符号。例如,有时将导电层242分为导电层242a和导电层242b而进行图示。

[0044] (实施方式1)

说明根据本发明的一个方式的半导体装置10A。半导体装置10A包括电容器110及电容器110上的晶体管100。图1A是半导体装置10A的俯视图。图1B是从Y方向看图1A中以点划线A1-A2所示的部位的截面图。注意,在图1A的俯视图中,为了明确起见省略了部分构成要素。

[0045] 图1C及图1D是半导体装置10A的等效电路图。在图1C及图1D中,晶体管100的源极和漏极中的一个与布线BL电连接,另一个与电容器110的一个电极电连接。晶体管100的栅极与布线WL电连接。另外,电容器110的另一个电极与布线PL电连接。半导体装置10A被用作存储电路(也称为“存储元件”或“存储单元”)。

[0046] 图1C及图1D分别为电容器110具有铁电体时的等效电路图及电容器110不具有铁电体时的等效电路图。

[0047] 另外,图2A是从X方向看图1A中以点划线A3-A4所示的部位的截面图。另外,图2B是放大从Z方向看图2A中以点划线B1-B2所示的部位的截面的图。另外,图2C是放大从Z方向看图2A中以点划线B3-B4所示的部位的截面的图。

[0048] 本发明的一个方式的半导体装置10A包括绝缘层153以及以嵌入绝缘层153中的方式形成的导电层151及导电层152。可以使用相同材料通过相同制造工序同时形成导电层151及导电层152。另外,优选利用化学机械抛光(CMP:Chemical Mechanical Polishing)法等使绝缘层153、导电层151及导电层152的顶面的位置(Z方向的位置)一致或大致一致。通过进行CMP处理可以减少样品表面的凹凸,从而可以提高之后形成的绝缘层及导电层的覆盖性。

[0049] 另外,在绝缘层153、导电层151及导电层152上包括绝缘层154,并且在绝缘层154上包括导电层155。导电层151和导电层155具有隔着该绝缘层154彼此重叠的区域。

[0050] 另外,半导体装置10A在绝缘层154及导电层155上包括绝缘层157,在绝缘层157上包括绝缘层158,并且在绝缘层158上包括绝缘层159。有时将绝缘层157、绝缘层158及绝缘层159总称为绝缘层156或间隔层。另外,在绝缘层159上包括导电层161。

[0051] 在与导电层155的一部分重叠的区域,导电层161、绝缘层159、绝缘层158及绝缘层157中设置有开口162(参照图1B及图2A)。半导体装置10A包括覆盖开口162的半导体层163。另外,半导体层163具有与开口162的底部重叠的区域以及与开口162的侧面重叠的区域。就是说,半导体层163具有与绝缘层156接触的区域。在图1B中,半导体层163具有与绝缘层157的侧面接触的区域、与绝缘层158的侧面接触的区域以及与绝缘层159的侧面接触的区域。

[0052] 另外,半导体层163具有与导电层155接触的区域以及与导电层161接触的区域。也就是说,半导体层163的一部分与导电层155电连接,半导体层163的其他一部分与导电层161电连接。另外,半导体层163也可以具有超过导电层161的端部延伸的区域(参照图1A及图2A)。

[0053] 另外,在绝缘层159、导电层161及半导体层163上包括绝缘层164。另外,在绝缘层164上包括导电层165。导电层165具有与开口162重叠的区域,并且在该区域中具有隔着绝缘层164及半导体层163与开口162的侧面及底部重叠的区域(参照图1B、图2A、图2B及图2C)。

[0054] 半导体层163的厚度优选为1nm以上、3nm以上或5nm以上且20nm以下、15nm以下、12nm以下或10nm以下。绝缘层164的厚度优选为0.5nm以上且15nm以下、更优选为0.5nm以上且12nm以下、进一步优选为0.5nm以上且10nm以下。绝缘层164的至少一部分是具有上述厚度的区域即可。

[0055] 另外,在绝缘层164上包括绝缘层166。优选使导电层165及绝缘层166的顶面位置(Z方向的位置)一致或大致一致。例如,通过进行CMP处理等使导电层165及绝缘层166的顶面位置(Z方向的位置)一致或大致一致,可以提高之后形成的绝缘层及导电层的覆盖性。

[0056] 另外,在导电层165及绝缘层166上包括绝缘层167。另外,在与导电层152重叠的区域中包括嵌入绝缘层167、绝缘层166、绝缘层164、导电层161、绝缘层159、绝缘层158、绝缘层157及绝缘层154的一部分中的导电层168。导电层168与导电层161及导电层152电连接。

导电层168及导电层152被用作接触插头。

[0057] 另外,导电层155被用作电容器110的一个电极。导电层151被用作电容器110的另一个电极。绝缘层154的与导电层155及导电层151重叠的区域被用作电容器110的介电质。

[0058] 导电层165及导电层151都延伸在Y方向上。导电层165被用作布线WL或布线WL的一部分,导电层151被用作布线PL或布线PL的一部分。另外,导电层168及导电层152被用作布线BL或布线BL的一部分。

[0059] 本发明的一个方式的半导体装置10A中重叠设置有晶体管100与电容器110。通过重叠设置晶体管100与电容器110,可以减小半导体装置10A的占有面积。

[0060] <晶体管100>

导电层161被用作晶体管100的源电极和漏电极中的一个。另外,导电层155被用作晶体管100的源电极和漏电极中的另一个。例如,在导电层161被用作晶体管100的漏电极时,导电层155被用作晶体管100的源电极。也可以说导电层161被用作布线BL或布线BL的一部分。

[0061] 半导体层163被用作晶体管100的形成沟道的半导体层(包括沟道形成区域的半导体层),绝缘层164被用作栅极绝缘层,导电层165被用作栅电极。因此,可以说晶体管100设置在包括开口162的区域。

[0062] 在晶体管100中,源电极及漏电极配置在Z方向上。就是说,晶体管100的源极及漏极都配置在不同的高度。换言之,晶体管100的源极及漏极都配置在Z方向上的不同位置上。这种晶体管也被称为“垂直沟道型晶体管”、“垂直型沟道晶体管”、“垂直型晶体管”或“VFET(Vertical Field Effect Transistor)”。

[0063] 在根据本发明的一个方式的垂直沟道型晶体管中,源电极及漏电极配置在Z方向上。就是说,沟道形成区域、源极区域及漏极区域配置在Z方向上。与在XY平面上分别设置沟道形成区域、源极区域及漏极区域的现有的晶体管相比,在使用垂直型晶体管时,可以减小晶体管100的占有面积。

[0064] 另外,通过将垂直沟道型晶体管用于半导体装置,可以减小半导体装置的占有面积。通过将垂直沟道型晶体管用于半导体装置,可以实现半导体装置的高集成化。另外,可以增加使用该半导体装置的存储装置的单位面积的存储容量。

[0065] 另外,现有的晶体管根据光刻法的曝光极限设定沟道长度。根据本发明的一个方式的垂直沟道型晶体管可以根据绝缘层156或绝缘层158的厚度设定沟道长度。因此,可以将晶体管100的沟道长度设定为光刻法的曝光极限以下的非常微细的结构(例如,60nm以下、50nm以下、40nm以下、30nm以下、20nm以下或10nm以下且1nm以上或5nm以上)。由此,晶体管100的通态电流增大,而可以提高频率特性。通过使用垂直沟道型晶体管,可以提供一种工作速度高的半导体装置。

[0066] 关于晶体管100的沟道长度L、沟道宽度W等,将在后面进行详细说明。

[0067] <电容器110>

导电层151及导电层155隔着绝缘层154彼此重叠的区域被用作电容器110。作为绝缘层154优选使用铁电体。铁电体具有从外部施加电场而内部发生极化且即使将该电场变为0也依然有极化的性质。因此,通过使用将该材料用作介电质的电容器(也称为铁电电容器),可以形成非易失性存储元件。

[0068] 另外,在将电容器110用作铁电电容器时,作为与铁电体的绝缘层154接触的导电层151及导电层155,优选使用容易使绝缘层154发生极化的材料。例如,作为导电层151及导电层155优选使用氮化钛。

[0069] 使用铁电电容器的非易失性存储元件有时被称为“FeRAM”或“铁电存储器”等。关于可具有铁电性的材料,将在后面进行详细说明。

[0070] 另外,绝缘层154也可以使用相对介电常数高的材料(也称为“high-k材料”)。通过作为绝缘层154使用high-k材料,可以确保电容器110所需的静电电容且可以增厚绝缘层154。通过增厚绝缘层154,导电层151与导电层155间的绝缘耐压得到提高且静电破坏得到抑制。因此,电容器110的可靠性得到提高。由此,使用电容器110的半导体装置的可靠性得到提高。

[0071] <半导体装置的构成材料>

说明可用于根据本发明的一个方式的半导体装置10A的材料的一个例子。

[0072] [衬底]

在将半导体装置10A设置在衬底上时,对用于该衬底的材料没有特别的限制。可以根据目的来考虑是否需要具有透光性及能够承受加热处理程度的耐热性等而决定。作为衬底,例如可以使用绝缘体衬底、半导体衬底或导电体衬底。作为绝缘体衬底,例如可以使用钡硼硅酸盐玻璃及铝硼硅酸盐玻璃等玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底、稳定化氧化锆衬底(氧化钇稳定氧化锆衬底等)等。另外,也可以使用半导体衬底、柔性衬底、树脂衬底等。

[0073] 例如,作为半导体衬底,可以举出由硅或锗等构成的半导体衬底,或者作为其材料使用碳化硅、硅锗、砷化镓、磷化铟、氧化锌或氧化镓等的化合物半导体衬底等。并且,还可以举出在上述半导体衬底内部具有绝缘体区域的半导体衬底,例如为SOI(Silicon On Insulator;绝缘体上硅)衬底等。另外,半导体衬底可以为单晶半导体或多晶半导体。

[0074] 作为导电体衬底,可以举出石墨衬底、金属衬底、合金衬底、导电树脂衬底等。或者,可以举出包含金属氮化物的衬底、包含金属氧化物的衬底等。此外,还可以举出设置有导电体或半导体的绝缘体衬底、设置有导电体或绝缘体的半导体衬底、设置有半导体或绝缘体的导电体衬底等。

[0075] 作为柔性衬底或树脂衬底等的材料,例如可以使用如下材料:聚对苯二甲酸乙二醇酯(PET)或聚萘二甲酸乙二醇酯(PEN)等聚酯树脂、聚丙烯腈树脂、丙烯酸树脂、聚酰亚胺树脂、聚甲基丙烯酸甲酯树脂、聚碳酸酯(PC)树脂、聚醚砜(PES)树脂、聚酰胺树脂(尼龙、芳族聚酰胺等)、聚硅氧烷树脂、环烯烃树脂、聚苯乙烯树脂、聚酰胺-酰亚胺树脂、聚氨酯树脂、聚氯乙烯树脂、聚偏二氯乙烯树脂、聚丙烯树脂、聚四氟乙烯(PTFE)树脂、ABS树脂以及纤维素纳米纤维等。

[0076] 通过作为衬底使用上述材料,可以提供包括晶体管100的轻量的半导体装置。此外,通过作为衬底使用上述材料,可以提供耐冲击性高的半导体装置。此外,通过作为衬底使用上述材料,可以提供不易破损的半导体装置。

[0077] 或者,也可以使用在这些衬底上设置有元件的衬底。作为设置在衬底上的元件,可以举出电容器、电阻器、开关元件、发光元件、存储元件等。

[0078] [绝缘层]

作为绝缘层,可以使用具有绝缘性的氧化物、氮化物、氧氮化物、氮氧化物、金属氧化物、金属氧氮化物、金属氮氧化物等。例如,作为绝缘层采用选自如下绝缘材料的单层或叠层:氮化铝、氧化铝、氮氧化铝、氧氮化铝、氧化镁、氮化硅、氧化硅、氮氧化硅、氧氮化硅、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽、铝硅酸盐等。另外,也可以使用在氧化物材料、氮化物材料、氧氮化物材料、氮氧化物材料中混合其多种的材料。

[0079] 在本说明书等中,氮氧化物是指含氮量大于含氧量的材料。另外,氧氮化物是指含氧量大于含氮量的材料。另外,例如可以使用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)等来测量各元素的含量。

[0080] 当进行晶体管的微型化及高集成化时,由于栅极绝缘层的薄膜化,有时发生泄漏电流等问题。通过作为用作栅极绝缘层的绝缘层使用high-k材料(高介电常数材料。相对介电常数高的材料。),可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外,作为绝缘层也有时可以使用锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)、(Ba,Sr)TiO_3(BST)等介电常数高的物质。另一方面,通过将相对介电常数较低的材料用于用作层间膜的绝缘层,可以减少产生在布线之间的寄生电容。因此,优选根据绝缘层被要求的功能选择材料。

[0081] 另外,作为相对介电常数高的材料,有氧化镓、氧化铪、氧化锆、具有铝及铪的氧化物、具有铝及铪的氧氮化物、具有硅及铪的氧化物、具有硅及铪的氧氮化物或具有硅及铪的氮化物等。

[0082] 另外,作为相对介电常数较低的材料,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。

[0083] 对绝缘材料的形成方法没有特别的限制,可以使用蒸镀法、ALD法、CVD法、溅射法、旋涂法等各种形成方法。

[0084] 尤其是,绝缘层153及绝缘层167优选使用不易透过杂质的绝缘材料形成。例如,可以使用包含硼、碳、氮、氧、氟、镁、铝、硅、磷、氯、氩、镓、锗、钇、锆、镧、钕、铪或钽的绝缘材料的单层或叠层。例如,作为不易使杂质透过的绝缘材料的一个例子,可以举出氧化铝、氮化铝、氧氮化铝、氮氧化铝、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化铪、氧化钽、氮化硅等。

[0085] 通过作为绝缘层153使用不易使杂质透过的绝缘材料,可以抑制从绝缘层153下方的杂质扩散而可以提高晶体管100的可靠性。就是说,可以提高包括晶体管100的半导体装置的可靠性。通过作为绝缘层167使用不易使杂质透过的绝缘材料,可以抑制从绝缘层167上方的杂质扩散而可以提高晶体管100的可靠性。就是说,可以提高包括晶体管100的半导体装置的可靠性。

[0086] 另外,作为绝缘层也可以使用用作平坦化层的绝缘层。作为用作平坦化层的材料,可以举出丙烯酸树脂、聚酰亚胺、环氧树脂、聚酰胺、聚酰亚胺酰胺、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及这些树脂的前体等。另外,除了上述有机材料以外,还可以使用low-k材料(低介电常数材料。相对介电常数小的材料。)、硅氧烷树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以层叠多个由这些材料形成的绝缘层。

[0087] 硅氧烷树脂相当于以硅氧烷类材料为起始材料而形成的包含Si-O-Si键的树脂。硅氧烷树脂也可以使用有机基(例如烷基或芳基)或氟基作为取代基。此外,有机基也可以

具有氟基。

[0088] 另外,作为用作电容器110的介电质的绝缘层154,也可以使用两层的氧化锆间夹持氧化铝的三层的绝缘层(也称“ZAZ”)。ZAZ是相对介电常数高的材料,通过作为电容器110的介电质使用ZAZ,可以减小电容器110的占有面积。

[0089] 如上所述,优选的是,作为绝缘层154使用可具有铁电性的材料而将电容器110用作铁电电容器。

[0090] 作为可具有铁电性的材料,例如优选使用氧化铪。或者,作为可具有铁电性的材料,也可以使用氧化锆、$HfZrO_X$(X为大于0的实数。以下,也称为“HfZrOx”)等金属氧化物。或者,作为可具有铁电性的材料,可以使用对氧化铪添加元素J1(在此,元素J1为选自锆(Zr)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料。

[0091] 在此,可以适当地设定铪原子与元素J1的原子数比。例如,可以将铪原子与锆原子的原子数设定为1:1或其附近。或者,作为可具有铁电性的材料,可以使用对氧化锆添加元素J2(在此,元素J2为选自铪(Hf)、硅(Si)、铝(Al)、钆(Gd)、钇(Y)、镧(La)、锶(Sr)等中的一个或多个)的材料等。此外,可以适当地设定锆原子与元素J2的原子数比,例如,可以将锆原子与元素J2的原子数比设定为1:1或其附近。此外,作为可具有铁电性的材料,也可以使用钛酸铅($PbTiO_X$)、钛酸钡锶(BST)、钛酸锶、锆钛酸铅(PZT)、钽酸锶铋(SBT)、铁酸铋(BFO)、钛酸钡等具有钙钛矿结构的压电陶瓷。

[0092] 此外,作为可具有铁电性的材料,可以使用氮化铝钪($Al_{1-a}Sc_aN_b$(a为大于0且小于0.5的实数,b为1或其附近的值。以下简称地记作AlScN))、Al-Ga-Sc氮化物、Ga-Sc氮化物等。此外,作为可具有铁电性的材料,可以使用包含元素M1、元素M2及氮的金属氮化物。在此,元素M1为选自铝(Al)、镓(Ga)、铟(In)等中的一个或多个。此外,元素M2为选自硼(B)、钪(Sc)、钇(Y)、镧系元素(镧(La)、铈(Ce)、镨(Pr)、钕(Nd)、钷(Pm)、钐(Sm)、铕(Eu)、钆(Gd)、铽(Tb)、镝(Dy)、钬(Ho)、铒(Er)、铥(Tm)、镱(Yb)以及镥(Lu))、锕系元素(锕(Ac)至铹(Lr)的十五个元素)、钛(Ti)、锆(Zr)、铪(Hf)、钒(V)、铌(Nb)、钽(Ta)、铬(Cr)等中的一个或多个。此外,可以适当地设定元素M1与元素M2的原子数比。另外,包含元素M1及氮的金属氧化物即便不包含元素M2也有时具有铁电性。此外,作为可具有铁电性的材料,可以使用对上述金属氮化物添加元素M3的材料。注意,元素M3为选自镁(Mg)、钙(Ca)、锶(Sr)、锌(Zn)、镉(Cd)等中的一个或多个。在此,可以适当地设定元素M1、元素M2与元素M3的原子数比。注意,因为上述金属氮化物至少包含第13族元素和第15族元素的氮,所以有时将该金属氮化物称为第13族-第15族铁电体、第13族氮化物的铁电体等。

[0093] 另外,作为可具有铁电性的材料,可以使用$SrTaO_2N$、$BaTaO_2N$等钙钛矿型氧氮化物、κ型氧化铝的$GaFeO_3$等。

[0094] 此外,作为可具有铁电性的材料,例如,可以使用由选自上述材料中的多个材料构成的混合物或化合物。此外,可具有铁电性的材料可以具有由选自上述材料中的多个材料构成的叠层结构。另外,上面列举的材料的结晶结构或特性有可能不仅由于沉积条件而且由于各种工序等而变化,所以在本说明书等中呈现铁电性的材料不仅被称为铁电体而且被称为可具有铁电性的材料或具有铁电性的材料。

[0095] 作为可具有铁电性的材料,优选使用包含氧化铪的材料或包含氧化铪及氧化锆的材料(典型的是HfZrOx),因为它们即使被加工为几nm的薄膜也可具有铁电性。

[0096] 在此,绝缘层154的厚度优选为100nm以下、更优选为50nm以下、进一步优选为20nm以下、更进一步优选为10nm以下(典型的是,2nm以上且9nm以下)。例如,绝缘层154的厚度优选为8nm以上且12nm以下。

[0097] 或者,作为可具有铁电性的材料,优选使用氮化铝钪(AlScN),因为它可以通过溅射法形成从而可以降低膜中的杂质浓度或者可以形成致密的膜。在作为可具有铁电性的材料使用氮化铝钪(AlScN)时,可期望形成可靠性高的膜。

[0098] 另外,可具有铁电性的材料的厚度可以为100nm以下、优选为50nm以下、更优选为20nm以下、进一步优选为10nm以下(典型的是,2nm以上且9nm以下)。例如,厚度优选为8nm以上且12nm以下。通过将可具有铁电性的材料的厚度设定为上述厚度,可以实现薄膜化和铁电性的呈现。通过进行薄膜化,可以将该铁电层夹在电容器的一对电极之间,并且可以将该电容器与被微型化了的晶体管等半导体元件组合来形成半导体装置。换言之,可以容易实现一种缩小占有面积的半导体装置。

[0099] 另外,在本说明书等中,可具有铁电性的材料有时被称为铁电性材料。另外,在本说明书等中,形成为层状的可具有铁电性的材料有时被称为铁电层、金属氧化物膜或金属氮化物膜。此外,在本说明书等中,有时将包括铁电层、金属氧化物膜或金属氮化物膜的装置称为“铁电器件”。

[0100] 另外,在作为可具有铁电性的材料使用HfZrOx时,优选使用ALD法尤其是使用热ALD法进行沉积。另外,当通过热ALD法沉积可具有铁电性的材料时,优选作为前驱物使用不包含烃(Hydro Carbon,也称为HC)的材料。当可具有铁电性的材料包含氢和碳中的一方或双方时,可具有铁电性的材料的晶化有时被阻挡。因此,优选的是,如上所述,通过使用不包含烃的前驱物来降低可具有铁电性的材料中的氢和碳中的一方或双方的浓度。例如,作为不包含烃的前驱物可以举出氯类材料。此外,当作为可具有铁电性的材料使用包含氧化铪及氧化锆的材料(HfZrOx)时,作为前驱物使用$HfCl_4$及/或$ZrCl_4$即可。另一方面,也可以对可呈现铁电性的材料添加用来控制极化状态的掺杂剂(典型的是硅、碳等)。在此情况下,作为添加碳作为掺杂剂的手段之一,也可以采用作为前驱物使用包含烃的材料的形成方法。

[0101] 此外,当沉积使用可具有铁电性的材料的膜时,通过彻底排除膜中的杂质,这里是指氢、烃和碳中的一个以上,可以形成高纯度本征的具有铁电性的膜。高纯度本征的具有铁电性的膜与后面的实施方式所示的高纯度本征的氧化物半导体之间的制造工艺整合性非常高。因此,可以提供生产率高的半导体装置的制造方法。

[0102] 另外,可具有铁电性的材料的杂质浓度优选低。尤其是,氢(H)及碳(C)的浓度越低越好。具体而言,可具有铁电性的材料的氢浓度优选为$5\times10^{20}atoms/cm^3$以下、更优选为$1\times10^{20}atoms/cm^3$以下。此外,可具有铁电性的材料的碳浓度优选为$5\times10^{19}atoms/cm^3$以下、更优选为$1\times10^{19}atoms/cm^3$以下。

[0103] 另外,当作为可具有铁电性的材料使用HfZrOx时,优选通过热ALD法以具有1:1的组成的方式交替沉积氧化铪和氧化锆。

[0104] 另外,当通过ALD法沉积可具有铁电性的材料时,作为氧化剂可以使用H_2O或O_3。注意,ALD法中的氧化剂不局限于此。例如,ALD法的氧化剂也可以包含选自O_2、O_3、N_2O、NO_2、H_2O和H_2O_2中的任何一个或多个。

[0105] 尤其是,当可具有铁电性的材料具有正交晶系结晶结构时呈现铁电性,所以是优

选的。另外,也可以除了正交晶系结晶结构以外还具有其他结晶结构。例如,也可以除了正交晶系结晶结构以外还具有选自等轴晶系、四方晶系和单斜晶系中的一个或多个结晶结构。此外,也可以在形成可具有铁电性的材料之前形成提高结晶性的层。例如,在作为可具有铁电性的材料使用HfZrOx时,提高结晶性的层可以使用如氧化铪或氧化锆等金属氧化物或者铪或锆。

[0106] 另外,在作为可具有铁电性的材料使用AlScN时,优选具有六方晶系的结晶结构。另外,也可以除了六方晶系结晶结构以外还具有其他结晶结构。作为提高结晶性的层,优选使用如氮化铝或氮化钪等金属氮化物或者铝或钪。

[0107] 此外,也可以在形成可具有铁电性的材料之后形成提高结晶性的层。或者,作为可具有铁电性的材料也可以采用具有非晶结构和结晶结构的复合结构。

[0108] [导电层]

作为用于构成半导体装置的各种布线及电极等的导电层的导电材料,可以使用选自铝(Al)、铬(Cr)、铜(Cu)、银(Ag)、金(Au)、铂(Pt)、钽(Ta)、镍(Ni)、钛(Ti)、钼(Mo)、钨(W)、铪(Hf)、钒(V)、铌(Nb)、锰(Mn)、镁(Mg)、锆(Zr)、铍(Be)等中的金属元素、以上述金属元素为成分的合金或组合上述金属元素的合金等。

[0109] 例如,优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外,氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料,所以是优选的。此外,也可以使用以包含磷等杂质元素的多晶硅为代表的导电率高的半导体以及镍硅化物等硅化物。对导电材料的形成方法没有特别的限制,可以使用蒸镀法、原子层沉积(ALD:Atomic Layer Deposition)法、CVD法、溅射法、旋涂法等各种形成方法。

[0110] 另外,作为导电材料,也可以使用Cu-X合金(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。使用Cu-X合金形成的层可以以湿蚀刻工序进行加工,从而可以抑制制造成本。此外,作为导电材料,也可以使用包含选自钛、钽、钨、钼、铬、钕和钪中的一种或多种的元素的铝合金。

[0111] 作为能够用于导电层的导电材料,也可以使用包含氧的导电材料诸如铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等。此外,也可以使用包含氮的导电材料诸如氮化钛、氮化钽、氮化钨等。另外,导电层也可以采用适当地组合包含氧的导电材料、包含氮的导电材料、包含上述金属元素的材料的叠层结构。

[0112] 例如,导电层可以采用包含硅的铝层的单层结构、在铝层上层叠钛层的两层结构、在氮化钛层上层叠钛层的两层结构、在氮化钛层上层叠钨层的两层结构、在氮化钽层上层叠钨层的两层结构以及依次层叠钛层、铝层和钛层的三层结构。

[0113] 另外,也可以层叠多个由上述导电材料形成的导电层。例如,导电层也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。例如,导电层也可以采用组合包含上述金属元素的材料和包含氧的导电材料的叠层结构。例如,导电层也可以采用组合包含上述金属元素的材料、包含氧的导电材料以及包含氮的导电材料的叠层结构。

[0114] 例如,导电层也可以采用依次层叠包含铟和锌中的至少一个及氧的导电层、包含铜的导电层以及包含铟和锌中的至少一个及氧的导电层的三层结构。此时,优选在包含铜

的导电层的侧面也由包含铟和锌中的至少一个及氧的导电层覆盖。另外,例如,作为导电层也可以采用层叠多个包含铟和锌中的至少一个及氧的导电层。

[0115] 另外,在将电容器110用作铁电电容器时,作为与铁电体的绝缘层154接触的导电层151及导电层155,优选使用容易使绝缘层154发生极化的材料。例如,作为导电层151及导电层155优选使用氮化钛。

[0116] [半导体层]

作为半导体层163,可以单独或组合地使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等。作为半导体材料,例如可以使用硅或锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氮化物半导体等化合物半导体。作为化合物半导体可以使用具有半导体特性的有机物或具有半导体特性的金属氧化物(也称为氧化物半导体)。注意,这些半导体材料也可以包含杂质作为掺杂剂。

[0117] 例如,作为半导体层163也可以使用单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅,例如也可以使用低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0118] 作为半导体层163使用非晶硅的晶体管可以形成在大型玻璃衬底上,可以以低成本制造。作为半导体层163使用多晶硅的晶体管具有高场效应迁移率而能够进行高速工作。此外,作为半导体层163使用微晶硅的晶体管与使用非晶硅的晶体管相比具有高场效应迁移率而能够进行高速工作。

[0119] 半导体层163也可以包含用作半导体的层状物质。层状物质是具有层状结晶结构的材料群的总称。层状结晶结构是由共价键或离子键形成的层通过如范德华力那样的比共价键及离子键弱的键合层叠的结构。层状物质在单位层中具有高导电性,即,具有高二维导电性。通过将用作半导体并具有高二维导电性的材料用于沟道形成区域,可以提供通态电流大的晶体管。

[0120] 作为上述层状物质,例如可以举出石墨烯、硅烯、硫族化物等。硫族化物是包含氧族元素(属于第16族的元素)的化合物。另外,作为硫族化物,可以举出过渡金属硫族化物、第13族硫族化物等。晶体管的作为能够用作半导体层的过渡金属硫族化物,具体地可以举出硫化钼(典型的是MoS_2)、硒化钼(典型的是$MoSe_2$)、碲化钼(典型的是$MoTe_2$)、硫化钨(典型的是WS_2)、硒化钨(典型的是WSe_2)、碲化钨(典型的是WTe_2)、硫化铪(典型的是HfS_2)、硒化铪(典型的是$HfSe_2$)、硫化锆(典型的是ZrS_2)、硒化锆(典型的是$ZrSe_2$)等。

[0121] 另外,氧化物半导体的带隙为2eV以上,因此在被形成沟道的半导体层中使用金属氧化物之一的氧化物半导体的晶体管(也称为“OS晶体管”)的关态电流极小。由此,可以降低包括OS晶体管的半导体装置的功耗。另外,OS晶体管即使在高温环境下也稳定地工作,特性变动较少。例如,即使在高温环境下,关态电流也几乎不增加。具体而言,即使在室温以上且200℃以下的环境温度下,关态电流也几乎不增加。此外,即使在高温环境下,通态电流也不容易下降。因此,包括OS晶体管的半导体装置即使在高温环境下也稳定地工作并具有高可靠性。

[0122] 因此,在作为电容器不使用铁电电容器的存储装置也可以长时间保持写入数据。例如,在一般的DRAM中刷新工作频率需要约为1次/60msec,但是在本发明的一个方式的存储装置中刷新工作频率可以为1次/10sec,即一般的DRAM的10倍以上或100倍以上。通过采用本发明的一个方式的存储装置,刷新工作频率可以为每1sec以上且100sec以下一次、优

选为每5sec以上且50sec以下一次。

[0123] 在本实施方式等中,作为晶体管100优选使用OS晶体管。OS晶体管的源极与漏极间的绝缘耐压较高,所以可以缩小沟道长度。因此,可以增大通态电流。OS晶体管适合于垂直沟道型晶体管。

[0124] 作为可用于OS晶体管的半导体层的金属氧化物,例如可以举出铟氧化物、镓氧化物及锌氧化物。金属氧化物优选至少包含铟(In)或锌(Zn)。另外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。注意,元素M为与氧的键合能高的金属元素或半金属元素,例如,为与氧的键合能比铟高的金属元素或半金属元素。

[0125] 作为元素M,具体而言可以举出铝、镓、锡、钇、钛、钒、铬、锰、铁、钴、镍、锆、钼、铪、钽、钨、镧、铈、钕、镁、钙、锶、钡、硼、硅、锗及锑等。金属氧化物所包含的元素M优选为上述元素中的任一种或多种,更优选为选自铝、镓、锡和钇中的一种或多种,进一步优选为镓。注意,在本说明书等中,有时将金属元素及半金属元素总称为“金属元素”,有时本说明书等所记载的“金属元素”包括半金属元素。

[0126] 例如,可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,也记为“GZO”)、铝锌氧化物(Al-Zn氧化物,也记为“AZO”)、铟铝锌氧化物(In-Al-Zn氧化物,也记为“IAZO”)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为“IGZO”)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为“IGZTO”)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为“IGAZO”或“IAGZO”)等。或者,可以使用包含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0127] 通过提高包含在金属氧化物中的相对于所有金属元素的原子数的总和的铟的原子数的比率,可以提高晶体管的场效应迁移率。

[0128] 注意,金属氧化物也可以代替铟或除了铟以外还包含一种或多种周期数大的金属元素。或者,金属氧化物也可以代替铟或除了铟以外还包含一种或多种周期数大的金属元素。金属氧化物有金属元素的轨道的重叠越大金属氧化物中的载流子传导越大的倾向。因此,通过包含周期数大的金属元素,有时可以提高晶体管的场效应迁移率。作为周期数大的金属元素,可以举出属于第5周期的金属元素及属于第6周期的金属元素等。作为该金属元素,具体而言,可以举出钇、锆、银、镉、锡、锑、钡、铅、铋、镧、铈、镨、钕、钜、钐及铕等。注意,镧、铈、镨、钕、钜、钐及铕被称为轻稀土元素。

[0129] 金属氧化物也可以包含非金属元素的一种或多种。通过金属氧化物包含非金属元素,有时可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0130] 通过提高包含在金属氧化物中的主要成分元素中相对于金属元素的原子数的总和的锌的原子数的比率,成为结晶性高的金属氧化物,由此可以抑制金属氧化物中的杂质的扩散。因此,晶体管的电特性的变动得到抑制且可以提高可靠性。

[0131] 通过提高包含在金属氧化物中的主要成分元素中相对于金属元素的原子数的总和的元素M的原子数的比率,可以抑制在金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,由此可以实现关态电流小的晶体管。此外,晶体管的电特性的变动得

到抑制,由此可以提高可靠性。

[0132] 根据用于半导体层的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0133] 在作为OS晶体管的半导体层使用In-Zn氧化物的情况下,也可以使用铟的原子数比为锌的原子数比以上的金属氧化物。例如,也可以使用金属元素的原子数比为In:Zn=1:1、In:Zn=2:1、In:Zn=3:1、In:Zn=4:1、In:Zn=5:1、In:Zn=7:1、In:Zn=10:1或其附近的金属氧化物。

[0134] 在作为OS晶体管的半导体层使用In-Sn氧化物的情况下,也可以使用铟的原子数比为锡的原子数比以上的金属氧化物。例如,也可以使用金属元素的原子数比为In:Sn=1:1、In:Sn=2:1、In:Sn=3:1、In:Sn=4:1、In:Sn=5:1、In:Sn=7:1、In:Sn=10:1或其附近的金属氧化物。

[0135] 在作为OS晶体管的半导体层使用In-Sn-Zn氧化物的情况下,也可以使用铟的原子数比高于锡的原子数比的金属氧化物。再者,优选使用锌的原子数比高于锡的原子数比的金属氧化物。例如,可以使用金属元素的原子数比为In:Sn:Zn=2:1:3、In:Sn:Zn=3:1:2、In:Sn:Zn=4:2:3、In:Sn:Zn=4:2:4.1、In:Sn:Zn=5:1:3、In:Sn:Zn=5:1:6、In:Sn:Zn=5:1:7、In:Sn:Zn=5:1:8、In:Sn:Zn=6:1:6、In:Sn:Zn=10:1:3、In:Sn:Zn=10:1:6、In:Sn:Zn=10:1:7、In:Sn:Zn=10:1:8、In:Sn:Zn=5:2:5、In:Sn:Zn=10:1:10、In:Sn:Zn=20:1:10、In:Sn:Zn=40:1:10或其附近的金属氧化物。

[0136] 在作为OS晶体管的半导体层使用In-Al-Zn氧化物的情况下,也可以使用铟的原子数比高于铝的原子数比的金属氧化物。再者,优选使用锌的原子数比高于铝的原子数比的金属氧化物。例如,也可以使用金属元素的原子数比为In:Al:Zn=2:1:3、In:Al:Zn=3:1:2、In:Al:Zn=4:2:3、In:Al:Zn=4:2:4.1、In:Al:Zn=5:1:3、In:Al:Zn=5:1:6、In:Al:Zn=5:1:7、In:Al:Zn=5:1:8、In:Al:Zn=6:1:6、In:Al:Zn=10:1:3、In:Al:Zn=10:1:6、In:Al:Zn=10:1:7、In:Al:Zn=10:1:8、In:Al:Zn=5:2:5、In:Al:Zn=10:1:10、In:Al:Zn=20:1:10、In:Al:Zn=40:1:10或其附近的金属氧化物。

[0137] 在作为OS晶体管的半导体层使用In-Ga-Zn氧化物的情况下,也可以使用相对于In-Ga-Zn氧化物中的金属元素的原子数之和的铟的原子数比高于镓的原子数比的金属氧化物。再者,优选使用锌的原子数比高于镓的原子数比的金属氧化物。例如,半导体层也可以使用金属元素的原子数比为In:Ga:Zn=2:1:3、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、In:Ga:Zn=4:2:4.1、In:Ga:Zn=5:1:3、In:Ga:Zn=5:1:6、In:Ga:Zn=5:1:7、In:Ga:Zn=5:1:8、In:Ga:Zn=6:1:6、In:Ga:Zn=10:1:3、In:Ga:Zn=10:1:6、In:Ga:Zn=10:1:7、In:Ga:Zn=10:1:8、In:Ga:Zn=5:2:5、In:Ga:Zn=10:1:10、In:Ga:Zn=20:1:10、In:Ga:Zn=40:1:10或其附近的金属氧化物。

[0138] 在作为OS晶体管的半导体层使用In-M-Zn氧化物的情况下,也可以使用相对于In-M-Zn氧化物中的金属元素的原子数之和的铟的原子数比高于元素M的原子数比的金属氧化物。再者,优选使用锌的原子数比高于元素M的原子数比的金属氧化物。例如,半导体层也可以使用金属元素的原子数比为In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:

Zn=6:1:6、In:M:Zn=10:1:3、In:M:Zn=10:1:6、In:M:Zn=10:1:7、In:M:Zn=10:1:8、In:M:Zn=5:2:5、In:M:Zn=10:1:10、In:M:Zn=20:1:10、In:M:Zn=40:1:10或其附近的金属氧化物。

[0139] 在作为半导体层使用In-M-Zn氧化物时,也可以使用如下金属氧化物:金属元素的原子数比为In:M:Zn=1:3:2[原子数比]或其附近的组成、In:M:Zn=1:3:4[原子数比]或其附近的组成、In:M:Zn=1:1:0.5[原子数比]或其附近的组成、In:M:Zn=1:1:1[原子数比]或其附近的组成、In:M:Zn=1:1:1.2[原子数比]或其附近的组成、In:M:Zn=1:1:2[原子数比]或其附近的组成或者In:M:Zn=4:2:3[原子数比]或其附近的组成。注意,附近的组成包括所希望的原子数比的±30%的范围。此外,作为元素M优选使用镓。

[0140] 注意,在作为元素M包含多个金属元素时,该金属元素的原子数比的总计可以为元素M的原子数比。例如,在采用作为元素M包含镓及铝的In-Ga-Al-Zn氧化物时,镓的原子数比和铝的原子数比的总计可以为元素M的原子数比。此外,铟、元素M及锌的原子数比优选在上述范围内。

[0141] 优选使用如下金属氧化物:包含在金属氧化物中的主要成分元素中相对于金属元素的原子数的总和的铟的原子数的比率为30原子%以上且100原子%以下、优选为30原子%以上且95原子%以下、更优选为35原子%以上且95原子%以下、更优选为35原子%以上且90原子%以下、更优选为40原子%以上且90原子%以下、更优选为45原子%以上且90原子%以下、更优选为50原子%以上且80原子%以下、更优选为60原子%以上且80原子%以下、更优选为70原子%以上且80原子%以下。例如,在作为半导体层使用In-M-Zn氧化物的情况下,相对于铟、元素M及锌的原子数的总计的铟的原子数的比率优选在上述范围内。

[0142] 如上所述,当提高包含在金属氧化物中的主要成分元素中相对于金属元素的原子数的总和的铟的原子数的比率时,可以提高晶体管的场效应迁移率。通过使用该晶体管,可以制造能够进行高速工作的电路。再者,可以缩小电路的占有面积。

[0143] 金属氧化物的组成的分析例如可以使用能量色散X射线光谱法(EDX:Energy Dispersive X-ray spectroscopy)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectroscopy)、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0144] 金属氧化物可以适当地利用溅射法或原子层沉积法形成。注意,在利用溅射法形成金属氧化物的情况下,有时靶材的原子数比与该金属氧化物的原子数比不同。尤其是,金属氧化物中的锌的原子数比有时小于靶材中的锌的原子数比。具体而言,该锌的原子数比有时为靶材中的锌的原子数比的40%以上且90%以下左右。

[0145] 此外,在通过溅射法沉积金属氧化物时,上述原子数比不局限于所沉积的金属氧化物的原子数比,而也可以是用于金属氧化物的沉积的溅射靶材的原子数比。

[0146] 这里,说明晶体管的可靠性。作为评价晶体管的可靠性的指标之一,有保持对栅极施加电场的状态的GBT(Gate Bias Temperature)应力测试。其中,相对于源极电位及漏极电位,对栅极施加正电位(正偏压)的状态下在高温下保持的测试称为PBTS(Positive Bias

Temperature Stress)测试,对栅极施加负电位(负偏压)的状态下在高温下保持的测试称为NBTS(Negative Bias Temperature Stress)测试。此外,将在照射光的状态下进行的PBTS测试及NBTS测试分别称为PBTIS(Positive Bias Temperature Illumination Stress)测试及NBTIS(Negative Bias Temperature Illumination Stress)测试。

[0147] 在n沟道型晶体管中,使晶体管成为开启状态时对栅极施加正电位,因此PBTS测试的阈值电压的变动量为作为晶体管的可靠性指标要着眼的重要因素之一。

[0148] 通过在半导体层中使用不包含镓或镓的含有率低的金属氧化物,可以实现对于正偏压施加的可靠性高的晶体管。也就是说,可以实现PBTS测试中的阈值电压的变动量小的晶体管。此外,在使用含镓的金属氧化物时,镓的含有率优选比铟的含有率低。由此,可以实现可靠性高的晶体管。

[0149] 作为PBTS测试中的阈值电压的变动的原因之一,可以举出在半导体层和栅极绝缘层的界面或界面附近的缺陷态。缺陷态密度越大,PBTS测试中的劣化越显著。通过降低半导体层的与栅极绝缘层接触的区域的镓的含有率,可以抑制该缺陷态的生成。

[0150] 作为通过将不包含镓或镓含有率低的金属氧化物用于半导体层可以抑制PBTS测试中的阈值电压的变动的理由例如为如下。包含在金属氧化物中的镓与其他金属元素(例如铟或锌)相比更容易抽吸氧。因此,可推测在包含更多的镓的金属氧化物与栅极绝缘层的界面,通过镓与栅极绝缘层中的过剩氧键合,容易产生载流子(这里是电子)陷阱位点(trap site)。因此,当对栅极施加正电位时,在半导体层与栅极绝缘层的界面载流子被俘获,阈值电压会变动。

[0151] 更具体而言,在作为半导体层使用In-Ga-Zn氧化物的情况下,可以将铟的原子数比高于镓的原子数比的金属氧化物用于半导体层。更优选使用锌的原子数比大于镓的原子数比的金属氧化物。换言之,将金属元素的原子数比满足In>Ga且Zn>Ga的金属氧化物用于半导体层。

[0152] 例如,OS晶体管的半导体层可以使用金属元素的原子数比为In:Ga:Zn=2:1:3、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、In:Ga:Zn=4:2:4.1、In:Ga:Zn=5:1:3、In:Ga:Zn=5:1:6、In:Ga:Zn=5:1:7、In:Ga:Zn=5:1:8、In:Ga:Zn=6:1:6、In:Ga:Zn=10:1:3、In:Ga:Zn=10:1:6、In:Ga:Zn=10:1:7、In:Ga:Zn=10:1:8、In:Ga:Zn=5:2:5、In:Ga:Zn=10:1:10、In:Ga:Zn=20:1:10、In:Ga:Zn=40:1:10或其附近的金属氧化物。

[0153] OS晶体管的半导体层优选使用如下金属氧化物:相对于所包含的金属元素的原子数的镓的原子数的比率高于0原子%且为50原子%以下,优选为0.1原子%以上且40原子%以下,更优选为0.1原子%以上且35原子%以下,更优选为0.1原子%以上且30原子%以下,更优选为0.1原子%以上且25原子%以下,更优选为0.1原子%以上且20原子%以下,更优选为0.1原子%以上且15原子%以下,更优选为0.1原子%以上且10原子%以下。通过降低半导体层中的镓的含有率,可以实现对于PBTS测试的耐性高的晶体管。注意,通过在金属氧化物中含有镓,具有不容易在金属氧化物中产生氧空位(V_O:Oxygen Vacancy)的效果。

[0154] 作为OS晶体管的半导体层,也可以使用不包含镓的金属氧化物。例如,可以将In-Zn氧化物用于半导体层。此时,当提高包含在金属氧化物中的相对于金属元素的原子数的铟的原子数比时,可以提高晶体管的场效应迁移率。另一方面,当提高包含在金属氧化物中的相对于金属元素的原子数的锌的原子数比时,金属氧化物具有高结晶性,因此晶体管的

电特性的变动得到抑制,可以提高可靠性。此外,作为半导体层也可以使用氧化铟等不包含镓及锌的金属氧化物。通过使用不包含镓的金属氧化物,尤其是可以使PBTS测试中的阈值电压的变动极为小。

[0155] 例如,可以作为半导体层使用包含铟及锌的氧化物。此时,可以使用例如金属元素的原子数比为In:Zn=2:3、In:Zn=4:1或其附近的金属氧化物。

[0156] 注意,以镓为例进行说明,但也可以应用于使用元素M代替镓的情况。优选将铟的原子数比高于元素M的原子数比的金属氧化物用于半导体层。此外,优选使用锌的原子数比高于元素M的原子数比的金属氧化物。

[0157] 通过作为半导体层使用元素M的含有率低的金属氧化物,可以实现对于正偏压施加具有高可靠性的晶体管。通过将该晶体管用作需要对于正偏压施加具有高可靠性的晶体管,可以实现具有高可靠性的半导体装置。

[0158] 半导体层也可以具有包括两个以上的金属氧化物层的叠层结构。半导体层所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。

[0159] 半导体层所包括的两个以上的金属氧化物层的组成也可以互不相等。例如,可以适当地使用具有In:M:Zn=1:3:4[原子数比]或其附近的组成的第一金属氧化物层与设置在该第一金属氧化物层上的具有In:M:Zn=1:1:1[原子数比]或其附近的组成的第二金属氧化物层的叠层结构。此外,作为元素M尤其优选使用镓或铝。例如,可以使用选自铟氧化物、铟镓氧化物和IGZO中的任一个与选自IAZO、IAGZO和ITZO(注册商标)中的任一个的叠层结构等。

[0160] 另外,例如,可以适当地使用In:M:Zn=1:1:1[原子数比]或其附近的组成的第一金属氧化物层以及设置于该第一金属氧化物层上的In:Zn=4:1[原子数比]或其附近的组成的第二金属氧化物层的叠层结构。

[0161] 作为半导体层优选使用具有结晶性的金属氧化物层。例如,可以使用具有将在后面说明的CAAC(c-axis aligned crystal)结构、多晶结构、微晶(nc:nano-crystal)结构等的金属氧化物层。通过将具有结晶性的金属氧化物层用于半导体层,可以降低半导体层中的缺陷态密度,由此可以实现可靠性高的显示装置。

[0162] 用于半导体层的金属氧化物层的结晶性越高,越可以降低半导体层中的缺陷态密度。另一方面,通过使用结晶性低的金属氧化物层,可以实现能够流过大电流的晶体管。

[0163] 在利用溅射法形成金属氧化物层时,形成时的衬底温度(载物台温度)越高,越可以形成结晶性高的金属氧化物层。此外,相对于在形成时使用的沉积气体整体的氧气体的流量比率(以下,也称为氧流量比)越高,越可以形成结晶性高的金属氧化物层。

[0164] OS晶体管的半导体层也可以具有结晶性不同的两个以上的金属氧化物层的叠层结构。例如,可以具有第一金属氧化物层及设置在该第一金属氧化物层上的第二金属氧化物层的叠层结构,第二金属氧化物层可以具有其结晶性比第一金属氧化物层高的区域。或者,第二金属氧化物层可以具有其结晶性比第一金属氧化物层低的区域。半导体层所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。例如,通过使用相同溅射靶材使氧流量比不同,可以形成结晶性不同的两个以上的金属氧化物层

的叠层结构。注意,半导体层所包括的两个以上的金属氧化物层的组成也可以彼此不同。

[0165] 在半导体层163使用氧化物半导体时,绝缘层157及绝缘层159优选使用包含氢的材料。当包含氢的绝缘层与氧化物半导体接触时,该绝缘层接触的区域的氧化物半导体被n型化,可以将其用作源极区域或漏极区域。作为该绝缘层,例如可以使用含硅、氮及氢的材料。具体而言,可以使用含氢的氮化硅或含氢的氮氧化硅等。

[0166] 绝缘层157及绝缘层159的厚度都优选为1nm以上且15nm以下、更优选为2nm以上且10nm以下、进一步优选为3nm以上且7nm以下、更进一步优选为3nm以上且5nm以下。在作为半导体层163使用氧化物半导体时,半导体层163的接触包含氢的绝缘层157的区域和接触包含氢的绝缘层159的区域用作源极区域或漏极区域。通过调整绝缘层157及绝缘层159的厚度,可以控制形成在半导体层163中的源极区域及漏极区域的尺寸。

[0167] 绝缘层158的厚度优选为1nm以上且50nm以下、更优选为2nm以上且30nm以下、进一步优选为3nm以上且2nm以下。通过调整绝缘层158的厚度,可以控制半导体层163的沟道形成区域的尺寸。

[0168] 绝缘层157、绝缘层158及绝缘层159的厚度可以根据晶体管100被要求的特性适当地设定。

[0169] 另外,绝缘层157、绝缘层158及绝缘层159的沉积优选以中途不暴露于大气环境的方式连续进行。通过以中途不暴露于大气环境的方式连续进行绝缘层157、绝缘层158及绝缘层159的沉积,可以防止杂质或水分从大气环境附着于绝缘层157与绝缘层158的界面及其附近以及绝缘层158与绝缘层159的界面及其附近。

[0170] 另外,当将氧化物半导体用于半导体层163时,与半导体层163接触的导电层155以及与半导体层163接触的导电层161优选使用使氧化物半导体n型化的导电材料。例如,可以使用包含氮的导电材料。例如,使用含钛或钽以及氮的导电材料即可。另外,也可以以与含氮的导电材料重叠的方式设置其他导电材料。

[0171] 另一方面,绝缘层158优选使用氢得到降低且含氧的材料。例如,使用含硅及氧的材料即可。具体而言,使用氧化硅或氧氮化硅等。在氧化物半导体中氢是杂质元素,因此在氧化物半导体的半导体层163与减少氢的绝缘层158接触时,半导体层163不容易被n型化。另外,当氧化物半导体的半导体层163与包含氧的绝缘层158接触时,半导体层163的氧空位得到减少而晶体管100的特性变稳定,可靠性得到提高。

[0172] 另外,当将氧化物半导体用于半导体层163时,绝缘层158优选包含过剩氧。在本说明书等中,过剩氧是指通过加热脱离的氧。此外,在绝缘层158使用含过剩氧的材料时,绝缘层157及绝缘层159优选使用不易使氧透过的材料。作为不易使氧透过的材料,例如可以使用包含铝和铪中的一方或双方的氧化物、硅的氮化物等。通过绝缘层157及绝缘层159使用不易使氧透过的材料,包含在绝缘层158中的过剩氧不容易脱离到下层或上层。因此,可以对氧化物半导体供应充分的氧。例如,在含硅及氮的两层绝缘层(绝缘层157、绝缘层159)之间包括含硅及氧的绝缘层(绝缘层158)即可。

[0173] 另外,通过作为半导体层163使用氧化物半导体且作为绝缘层157及绝缘层159使用含氢的材料,半导体层163的与绝缘层157接触的区域以及半导体层163的与绝缘层159接触的区域被供应氢而半导体层163中的各区域被n型化。因此,半导体层163的与导电层161接触的区域及半导体层163的与绝缘层159接触的区域被用作源极(源极区域)和漏极(漏极

区域)中的一个。此外,半导体层163的与导电层155接触的区域及半导体层163的与绝缘层157接触的区域被用作源极(源极区域)和漏极(漏极区域)中的另一个。

[0174] 在此情况下,从X方向或Y方向看时的绝缘层158侧面的长度为沟道长度L(沟道长度L1)(参照图3A)。因此,根据绝缘层158的厚度t决定晶体管100的沟道长度L。图3A是放大图1B所示的晶体管100的截面图。另外,图4A及图4B是图3A的变形例子,相当于放大图1B所示的晶体管100的截面图。

[0175] 另外,绝缘层157及绝缘层159也可以使用不包含氢或者氢极少的材料。例如,也可以使用氢极少的氮化硅或氢极少的氮氧化硅等。此时,半导体层163与绝缘层157接触的区域及半导体层163与绝缘层159接触的区域不被n型化。因此,半导体层163的与导电层161接触的区域被用作源极(源极区域)和漏极(漏极区域)中的一个。另外,半导体层163的与导电层155接触的区域被用作源极(源极区域)和漏极(漏极区域)中的另一个。另外,半导体层163的与绝缘层158接触的区域被用作沟道形成区域。

[0176] 在此情况下,从X方向或Y方向看时的绝缘层157、绝缘层158及绝缘层159各自的侧面的总长度为沟道长度L(沟道长度L2)。因此,根据绝缘层157、绝缘层158及绝缘层159的总计厚度ts决定晶体管100的沟道长度L。

[0177] 另外,也可以不设置绝缘层157及绝缘层159而只设置绝缘层158使绝缘层158与导电层155及导电层161接触(参照图4A)。在此情况下,从X方向或Y方向看时的绝缘层158侧面的长度为沟道长度L。因此,根据绝缘层158的厚度t决定晶体管100的沟道长度L。另外,在采用图4A所示的结构时,有时将绝缘层158称为绝缘层156。

[0178] 另外,在作为半导体层163使用氧化物半导体,作为绝缘层157及绝缘层159使用含氢的材料,并且作为绝缘层158使用含有过剩氧的材料时,绝缘层157及绝缘层159中的氢与绝缘层158中的过剩氧键合,半导体层163的与绝缘层157接触的区域及半导体层163的与绝缘层159接触的区域不被供应充分的氢而不容易被n型化。同样地,半导体层163的与绝缘层158接触的区域不被供应充分的氧。

[0179] 为了解决上述问题,也可以将氧及氮不容易透过的绝缘层171设置在绝缘层157与绝缘层158间且将氧及氮不容易透过的绝缘层172设置在绝缘层159与绝缘层158间(参照图4B)。例如,可以使用硅的氮化物等实现氧及氮不容易透过的材料。注意,在采用图4B所示的结构时,有时将绝缘层157、绝缘层171、绝缘层158、绝缘层172及绝缘层159总称为绝缘层156。

[0180] 在作为绝缘层171及绝缘层172使用氧不容易透过的材料时,绝缘层157及绝缘层159中的氢及绝缘层158中的过剩氧的键合被阻挡。因此,半导体层163的与绝缘层157接触的区域及半导体层163的与绝缘层159接触的区域被供应充分的氢。同样地,半导体层163的与绝缘层158接触的区域被供应充分的氧。

[0181] 在此情况下,从X方向或Y方向看时的绝缘层171、绝缘层158及绝缘层172的侧面的总长度为沟道长度L。因此,根据绝缘层171、绝缘层158及绝缘层172的总计厚度tm决定晶体管100的沟道长度L。

[0182] 根据本实施方式所示的晶体管100根据设置在导电层161与导电层155之间的绝缘层的厚度决定沟道长度L。因此,可以以高精度制造沟道长度L短的晶体管。此外,可以减少多个晶体管100间的特性不均匀。因此,包括晶体管100的半导体装置的工作稳定,可以提高

可靠性。另外,当特性不均匀减小时,半导体装置的电路设计自由度提升,还可以降低工作电压。因此,可以降低半导体装置的功耗。

[0183] 在本实施方式中,在导电层155与导电层161之间包括三层绝缘层(绝缘层157、绝缘层158、绝缘层159),但在导电层155与导电层161之间的绝缘层的层数不局限于此。在导电层155与导电层161之间的绝缘层也可以为一层、两层或者四层以上。

[0184] 另外,为了提高形成在开口162中的半导体层163、绝缘层164及导电层165的覆盖性,将开口162侧面的锥角θ即绝缘层157、绝缘层158及绝缘层159的每一个的侧面的锥角θ设定为45度以上且90度以下、优选为50度以上且75度以下,即可。层(绝缘层、导电层或半导体层)侧面的锥角θ是指该层的底面与侧面所成的角度(参照图3A)。

[0185] 由于半导体层163设置在开口162中,因此从Z方向看时的开口162的周长为晶体管100的沟道宽度W(参照图3B)。作为周长,例如求出绝缘层158的厚度t的一半(t/2)的位置或厚度ts的一半(ts/2)的位置的周长即可。注意,根据需要,也可以将开口162的任意位置的周长设定为沟道宽度W。例如,也可以将开口162的最下部的周长设定为沟道宽度W或者将开口162的最上部的周长设定为沟道宽度W。

[0186] 另外,在本发明的一个方式的存储装置中,沟道长度L优选至少小于沟道宽度W。本发明的一个方式的沟道长度L优选为沟道宽度W的0.1倍以上且0.99倍以下、优选为0.5倍以上且0.8倍以下。

[0187] 另外,在图3B中,以圆形示出从Z方向看时的开口162的轮廓(平面形状),但不局限于此。例如,从Z方向看时的开口162的轮廓也可以为椭圆形(参照图3C)或矩形(参照图3D)。注意,图3D示出角部弯曲的矩形。此外,例如,从Z方向看时的开口162的轮廓也可以为包括直线部和曲线部中的一方或双方的形状(参照图3E)。

[0188] 另外,开口162优选微小。例如,从Z方向看时的开口162的最大宽度(开口162呈圆形时是指最大径)优选为60nm以下、更优选为50nm以下、进一步优选为40nm以下、尤其优选为30nm以下。从Z方向看时的开口162的最大宽度也可以为20nm以下。另外,在从Z方向看时的开口162的最小宽度(开口162呈圆形时是指最小径)优选为1nm以上、更优选为5nm以上。为了形成上述微小开口162,优选利用使用EUV光等短波长的光或电子束的光刻法。

[0189] 图5A及图5B示出以矩阵状配置半导体装置10A的平面布局的一个例子。图5A示出平面布局,其中沿着X方向交替配置导电层168及开口162(半导体装置10A)的区域、沿着Y方向反复配置导电层168的区域以及沿着Y方向反复配置开口162(半导体装置10A)的区域。在图5A所示的平面布局中,从X方向看时导电层168与开口162重叠。

[0190] 图5B示出平面布局,其中沿着X方向反复配置导电层168的区域、沿着X方向反复配置开口162(半导体装置10A)的区域、沿着Y方向反复配置导电层168的区域以及沿着Y方向反复配置开口162(半导体装置10A)的区域。

[0191] 在图5B所示的平面布局中,导电层168及开口162倾斜地配置。另外,在图5B中,使导电层168与半导体装置10A电连接的导电层161倾斜地配置。就是说,从Z方向看时,连接导电层168的中央与开口162的中央的直线不与X方向和Y方向正交。通过倾斜地配置导电层168及开口162,有时可以高效地配置半导体装置10A。因此,半导体装置10A的集成度得到提高而有时可以增加包括半导体装置10A的存储装置的单位面积的存储容量。

[0192] <变形例子1>

图6A及图6B示出半导体装置10A的变形例子的半导体装置10B。图6A是半导体装置10B的俯视图。图6B是图6A中以点划线A1-A2所示的部位的截面图。图6C是图6A中以点划线A3-A4所示的部位的截面图。

[0193] 通过减小开口162的底部的面积,可以增大开口162侧面的锥角θ而无需增大半导体装置10B的占有面积。通过增大开口162侧面的锥角θ,可以提高半导体层163、绝缘层164及导电层165的覆盖性。

[0194] 另外,在减小开口162的底部的面积时,在开口162中导电层165有时向开口162的底部变细。有时将上述导电层165的形状称为“针状”或“锥形状”。

[0195] <变形例子2>

图7A及图7B示出半导体装置10A的变形例子的半导体装置10C。图7A是半导体装置10C的俯视图。图7B是图7A中以点划线A1-A2所示的部位的截面图。图7C是图7A中以点划线A3-A4所示的部位的截面图。

[0196] 半导体装置10C不在开口162的侧面设置有锥角。如果半导体层163、绝缘层164、导电层165的覆盖性没有发生问题,就可以使开口162的侧面垂直或大致垂直。通过使开口162的侧面垂直或大致垂直,可以减小晶体管100的占有面积。因此,可以减小包括晶体管100的半导体装置的占有面积。

[0197] <变形例子3>

图8A及图8B示出半导体装置10C的变形例子的半导体装置10D。图8A是半导体装置10D的俯视图。图8B是图8A中以点划线A1-A2所示的部位的截面图。图8C是图8A中以点划线A3-A4所示的部位的截面图。

[0198] 图8所示的半导体装置10D具有从半导体装置10A去除导电层155的结构。由于不设置导电层155,与半导体装置10A相比,半导体装置10D可以缩短其制造工序并可以提高生产率。另外,在半导体装置10D中,半导体层163的一部分被用作电容器110的一个电极。具体而言,在开口162的底部,与绝缘层154及导电层151重叠的半导体层163的区域被用作电容器110的一个电极。

[0199] <变形例子4>

图9A是示出两个半导体装置10A(半导体装置10Aa及半导体装置10Ab)与一个布线BL(导电层168及导电层152)电连接的结构例子的截面图。图9B是从Y方向看图9A中以点划线A1-A2所示的部位的截面图。图9C是图9B所示的截面图的等效电路图。

[0200] 半导体装置10Aa与布线WLa、布线PLa及布线BL电连接。半导体装置10Ab与布线WLb、布线PLb及布线BL电连接。通过采用两个半导体装置10A与一个布线BL电连接的结构,可以减小包括半导体装置10A的半导体装置的占有面积。

[0201] 半导体装置10Aa所包括的导电层165被用作布线WLa的一部分。半导体装置10Aa所包括的导电层151被用作布线PLa。半导体装置10Ab所包括的导电层165被用作布线WLb。半导体装置10Ab所包括的导电层151被用作布线PLb。

[0202] 另外,在对布线PLa及布线PLb供应相同电位时,也可以使它们电连接。

[0203] 另外,延伸在Y方向上的导电层165可以被用作配置在Y方向上的多个半导体装置10A的导电层165(参照图9A)。换言之,半导体装置10Aa所包括的导电层165也可以与配置在Y方向上的其他半导体装置10Aa的导电层165电连接。

[0204] 另外,延伸在Y方向上的导电层151可以被用作配置在Y方向上的多个半导体装置10A的导电层151。换言之,半导体装置10Aa所包括的导电层151也可以与配置在Y方向上的其他半导体装置10Aa的导电层151电连接。

[0205] <变形例子5>

通过层叠设置多个半导体装置10A,可以减小半导体装置10A的占有面积。例如,通过层叠设置两个半导体装置10A,每一个半导体装置10A的占有面积成为一半。

[0206] 图10是示出在Z方向上层叠四个半导体装置10A(半导体装置10A[1]、半导体装置10A[2]、半导体装置10A[3]及半导体装置10A[4])的结构例子的截面图。图11是图10所示的叠层结构例子的等效电路图。在图10及图11中,将形成在第一层、第二层、第三层及第四层中的半导体装置10A分别记作半导体装置10A[1]、半导体装置10A[2]、半导体装置10A[3]及半导体装置10A[4]。另外,在本实施方式等中,有时将第一层、第二层、第三层及第四层分别称为“第一个层”、“第二个层”、“第三个层”及“第四个层”。

[0207] 半导体装置10A[1]与布线WL[1]、布线PL[1]及布线BL电连接(参照图11)。半导体装置10A[2]与布线WL[2]、布线PL[2]及布线BL电连接。半导体装置10A[3]与布线WL[3]、布线PL[3]及布线BL电连接。半导体装置10A[4]与布线WL[4]、布线PL[4]及布线BL电连接。

[0208] 半导体装置10A[1]所包括的导电层165与布线WL[1]电连接。另外,半导体装置10A[1]所包括的导电层165有时被用作布线WL[1]或布线WL[1]的一部分。半导体装置10A[1]所包括的导电层151与布线PL[1]电连接。另外,半导体装置10A[1]所包括的导电层151有时被用作布线PL[1]或布线PL[1]的一部分。

[0209] 半导体装置10A[2]所包括的导电层165与布线WL[2]电连接。另外,半导体装置10A[2]所包括的导电层165有时被用作布线WL[2]或布线WL[2]的一部分。半导体装置10A[2]所包括的导电层151与布线PL[2]电连接。另外,半导体装置10A[2]所包括的导电层151有时被用作布线PL[2]或布线PL[2]的一部分。

[0210] 半导体装置10A[3]所包括的导电层165与布线WL[3]电连接。另外,半导体装置10A[3]所包括的导电层165有时被用作布线WL[3]或布线WL[3]的一部分。半导体装置10A[3]所包括的导电层151与布线PL[3]电连接。另外,半导体装置10A[3]所包括的导电层151有时被用作布线PL[3]或布线PL[3]的一部分。

[0211] 半导体装置10A[4]所包括的导电层165与布线WL[4]电连接。另外,半导体装置10A[4]所包括的导电层165有时被用作布线WL[4]或布线WL[4]的一部分。半导体装置10A[4]所包括的导电层151与布线PL[4]电连接。另外,半导体装置10A[4]所包括的导电层151有时被用作布线PL[4]或布线PL[4]的一部分。

[0212] 在图10中,半导体装置10A[1]上设置有半导体装置10A[2],半导体装置10A[2]上设置有半导体装置10A[3],并且半导体装置10A[3]上设置有半导体装置10A[4]。图10所示的半导体装置10A[1]至半导体装置10A[4]都包括导电层152及导电层168。图10所示的半导体装置10A[1]至半导体装置10A[4]的每一个所包括的导电层168通过半导体装置10A[1]至半导体装置10A[4]的每一个所包括的导电层152彼此电连接。

[0213] 具体而言,在图10中,半导体装置10A[1]所包括的导电层152通过半导体装置10A[1]所包括的导电层168与半导体装置10A[2]所包括的导电层152电连接。另外,半导体装置10A[2]所包括的导电层152通过半导体装置10A[2]所包括的导电层168与半导体装置10A

[3]所包括的导电层152电连接。另外,半导体装置10A[3]所包括的导电层152通过半导体装置10A[3]所包括的导电层168与半导体装置10A[4]所包括的导电层152电连接。如图10所示,在多个导电层168与多个导电层152电连接时,它们被用作延伸在Z方向上的一个电极。换言之,多个导电层168及多个导电层152被用作一个布线BL。

[0214] 如图10及图11所示,半导体装置10A[1]至半导体装置10A[4]的每一个所包括的晶体管100与布线BL电连接。具体而言,半导体装置10A[1]所包括的晶体管100的源极和漏极中的一个、半导体装置10A[2]所包括的晶体管100的源极和漏极中的一个、半导体装置10A[3]所包括的晶体管100的源极和漏极中的一个以及半导体装置10A[4]所包括的晶体管100的源极和漏极中的一个与布线BL电连接。

[0215] 通过多个半导体装置10A与一个布线BL电连接,即多个半导体装置10A共用一个布线BL,可以减小包括半导体装置10A的半导体装置的占有面积。另外,通过在Z方向重叠设置多个半导体装置10A,可以减小半导体装置10A的占有面积。因此,可以进一步减小包括半导体装置10A的半导体装置的占有面积。另外,通过在Z方向上重叠设置多个半导体装置10A,可以增大包括半导体装置10A的存储装置的单位面积的存储容量。

[0216] <变形例子6>

通过组合变形例子4及变形例子5,可以进一步减小每一个半导体装置10A的占有面积。

[0217] 图12是示出多个半导体装置10A的叠层结构例子的截面图。图13是图12所示的叠层结构例子的等效电路图。图12及图13示出以形成在同一平面上的两个半导体装置10A(半导体装置10Aa及半导体装置10Ab)为一组将一组半导体装置10A层叠设置四层(也称为“级”)的例子。

[0218] 在图12及图13中,将第一个层中的半导体装置10Aa、半导体装置10Ab分别记作半导体装置10Aa[1]、半导体装置10Ab[1]。另外,将第二个层中的半导体装置10Aa、半导体装置10Ab分别记作半导体装置10Aa[2]、半导体装置10Ab[2]。另外,将第三个层中的半导体装置10Aa、半导体装置10Ab分别记作半导体装置10Aa[3]、半导体装置10Ab[3]。另外,将第四个层中的半导体装置10Aa、半导体装置10Ab分别记作半导体装置10Aa[4]、半导体装置10Ab[4]。

[0219] 另外,半导体装置10Aa[1]与布线WLa[1]、布线PLa[1]及布线BL电连接(参照图13)。半导体装置10Ab[1]与布线WLb[1]、布线PLb[1]及布线BL电连接。半导体装置10Aa[2]与布线WLa[2]、布线PLa[2]及布线BL电连接。半导体装置10Ab[2]与布线WLb[2]、布线PLb[2]及布线BL电连接。半导体装置10Aa[3]与布线WLa[3]、布线PLa[3]及布线BL电连接。半导体装置10Ab[3]与布线WLb[3]、布线PLb[3]及布线BL电连接。半导体装置10Aa[4]与布线WLa[4]、布线PLa[4]及布线BL电连接。半导体装置10Ab[4]与布线WLb[4]、布线PLb[4]及布线BL电连接。

[0220] 通过采用图12及图13所示的结构,可以进一步减小包括半导体装置10A的半导体装置的占有面积。另外,可以增大使用半导体装置10A的存储装置的单位面积的存储容量。

[0221] <半导体装置10的工作例子>

接着,说明半导体装置10(半导体装置10A、半导体装置10C及半导体装置10D)的工作例子。图14A示出半导体装置10的等效电路图。图14A所示的半导体装置10被用作包括一

个晶体管M及一个电容器Cfe的DRAM型(1Tr1C型)的存储元件(存储单元)。

[0222] 另外,电容器Cfe为在两个电极间包含可具有铁电性的材料作为介电层的铁电电容器。因此,半导体装置10被用作FeRAM。图14A所示的晶体管M相当于晶体管100,电容器Cfe相当于电容器110。

[0223] 作为晶体管M的形成沟道的半导体层,可以使用各种半导体材料。例如,作为晶体管M的形成沟道的半导体层,可以单独或组合地使用单晶半导体、多晶半导体、微晶半导体或非晶半导体等。另外,作为半导体材料,例如可以使用硅或锗等。此外,也可以使用硅锗、碳化硅、砷化镓、氧化物半导体、氮化物半导体等化合物半导体。

[0224] 尤其是,作为晶体管M优选使用OS晶体管。OS晶体管具有源极与漏极间的绝缘耐压性高的特性。因此,通过晶体管M使用OS晶体管,即使使晶体管M微型化也可以向晶体管M施加高电压。通过使晶体管M微型化,可以减小半导体装置10的占有面积。例如,图14A所示的半导体装置10的每一个的占有面积可以为SRAM(Static Random Access Memory)的每一个单元的占有面积的1/3至1/6。因此,可以以高密度配置半导体装置10。由此,可以实现存储容量大的存储装置。

[0225] 在使用OS晶体管作为构成存储单元的晶体管的情况下,该存储单元可以被称为“OS存储器”。尤其是,有时将DRAM型的OS存储器称为DOSRAM(注册商标)。另外,有时将作为构成存储单元的晶体管使用OS晶体管的FeRAM称为FeDOSRAM。

[0226] 布线WL被用作字线,通过控制布线WL的电位,可以控制晶体管M的开启状态及关闭状态。例如,在晶体管M为n沟道型晶体管的情况下,通过使布线WL的电位成为高电位,可以使晶体管M处于开启状态,通过使布线WL的电位成为低电位,可以使晶体管M处于关闭状态。

[0227] 布线BL被用作位线,在晶体管M处于开启状态时布线BL的电位被供应到电容器Cfe的一个电极。

[0228] 布线PL被用作板线。电容器Cfe的另一个电极通过布线PL被供应电位。

[0229] <铁电层的滞后特性>

电容器Cfe所包括的铁电层具有滞后特性。图14B是示出该滞后特性的一个例子的图表。在图14B中,横轴表示施加到铁电层的电压。该电压例如可以为电容器Cfe的一个电极的电位与电容器Cfe的另一个电极的电位之差。

[0230] 另外,在图14B中,纵轴表示铁电层的极化,在极化为正值时表示正电荷偏于电容器Cfe的一个电极一侧且负电荷偏于电容器Cfe的另一个电极一侧。另一方面,在极化为负值时表示正电荷偏于电容器Cfe的另一个电极一侧且负电荷偏于电容器Cfe的一个电极一侧。

[0231] 另外,图14B的图表的横轴所示的电压也可以为电容器Cfe的另一个电极的电位与电容器Cfe的一个电极的电位之差。另外,图14B的图表的纵轴所示的极化也可以在正电荷偏于电容器Cfe的另一个电极一侧且负电荷偏于电容器Cfe的一个电极一侧时为正值,并且在正电荷偏于电容器Cfe的一个电极一侧且负电荷偏于电容器Cfe的另一个电极一侧时为负值。

[0232] 如图14B所示,铁电层的滞后特性可以以曲线51及曲线52表示。将曲线51和曲线52的交点的电压作为VSP及-VSP。可以说,VSP和-VSP的极性不同。

[0233] 在对铁电层施加-VSP以下的电压之后提高施加到铁电层的电压时,铁电层的极化

根据曲线51增加。另一方面,在对铁电层施加VSP以上的电压之后降低施加到铁电层的电压时,铁电层的极化根据曲线52减少。因此,VSP及-VSP可以说是饱和极化电压。注意,有时例如将VSP称为第一饱和极化电压并将-VSP称为第二饱和极化电压。另外,在图14B中,第一饱和极化电压的绝对值和第二饱和极化电压的绝对值相等,但是也可以不同。

[0234] 在此,将当在铁电层的极化根据曲线51变化的情况下铁电层的极化为“0”时施加到铁电层的电压记作Vc。另外,将当在铁电层的极化根据曲线52变化的情况下铁电层的极化为“0”时施加到铁电层的电压记作-Vc。Vc及-Vc可以说是矫顽电压。可以说Vc值和-Vc值是介于-VSP和VSP之间的值。注意,有时例如将Vc称为第一矫顽电压并将-Vc称为第二矫顽电压。另外,在图14B中第一矫顽电压的绝对值和第二矫顽电压的绝对值相等,但也可以不相等。

[0235] 此外,不对铁电层施加电压时的极化的最大值称为“剩余极化Pr”,最小值称为“剩余极化-Pr”。此外,剩余极化Pr与剩余极化-Pr之差称为“剩余极化2Pr”。

[0236] 如上所述那样,施加到电容器Cfe所包括的铁电层的电压可以以电容器Cfe的一个电极的电位和电容器Cfe的另一个电极的电位之差表示。另外,如上所述那样,电容器Cfe的另一个电极与布线PL电连接。因此,通过控制布线PL的电位,可以控制施加到电容器Cfe所包括的铁电层的电压。

[0237] 说明用作存储单元的半导体装置10的驱动方法的一个例子。在以下说明中,施加到电容器Cfe的铁电层的电压表示电容器Cfe的一个电极的电位和电容器Cfe的另一个电极(布线PL)的电位之差。晶体管M是n沟道晶体管。

[0238] 图14C是示出半导体装置10的驱动方法例子的时序图。图14C示出对半导体装置10写入2值的数字数据且从半导体装置10读出2值的数字数据的例子。具体而言,图14C示出如下例子:在时刻T01至时刻T02向半导体装置10写入数据“1”,在时刻T03至时刻T05进行读出及改写,在时刻T11至时刻T13进行读出并向半导体装置10写入数据“0”,在时刻T14至时刻T16进行读出及改写,并且在时刻T17至时刻T19进行读出并向半导体装置10写入数据“1”。

[0239] 与布线BL电连接的读出放大器被供应Vref作为基准电位。在图14C等所示的读出工作中,在布线BL的电位高于Vref时通过位线驱动电路读出数据“1”。另一方面,在布线BL的电位低于Vref时通过位线驱动电路读出数据“0”。

[0240] 在时刻T01至时刻T02,使布线WL的电位成为高电位。由此,晶体管M成为开启状态。另外,使布线BL的电位成为Vw。因为晶体管M成为开启状态,所以电容器Cfe的一个电极的电位成为Vw。并且,使布线PL的电位成为GND。因此,施加到电容器Cfe的铁电层的电压成为“Vw-GND”。从而,可以对半导体装置10写入数据“1”。由此,时刻T01至时刻T02可以说是进行写入工作的期间。

[0241] 在此,Vw优选为VSP以上,例如优选相等于VSP。注意,在本说明书等中GND是接地电位,但是只要可以以满足本发明的一个方式的宗旨的方式驱动半导体装置10,GND就不一定需要为接地电位。例如,当第一饱和极化电压的绝对值和第二饱和极化电压的绝对值不同且第一矫顽电压的绝对值和第二矫顽电压的绝对值不同时,GND可以为接地之外的电位。

[0242] 在时刻T02至时刻T03,使布线BL的电位及布线PL的电位成为GND。由此,施加到电容器Cfe的铁电层的电压成为0V。在时刻T01至时刻T02施加到电容器Cfe的铁电层的电压“Vw-GND”可以为VSP以上,由此在时刻T02至时刻T03,电容器Cfe的铁电层的极化量根据图

14B所示的曲线52变化。由此,在时刻T02至时刻T03,电容器Cfe的铁电层中不发生极化反转。

[0243] 使布线BL的电位及布线PL的电位成为GND,然后使布线WL的电位成为低电位。因此,晶体管M成为关闭状态。由此,写入工作结束,数据“1”保持在半导体装置10中。注意,如果电容器Cfe的铁电层中不发生极化反转,即施加到电容器Cfe的铁电层的电压为第二矫顽电压的-Vc以上,布线BL及布线PL的电位就可以为任意电位。

[0244] 在时刻T03至时刻T04,使布线WL的电位成为高电位。由此,晶体管M成为开启状态。另外,使布线PL的电位成为Vw。通过使布线PL的电位成为Vw,施加到电容器Cfe的铁电层的电压成为“GND-Vw”。如上所述那样,在时刻T01至时刻T02施加到电容器Cfe的铁电层的电压为“Vw-GND”。因此,电容器Cfe的铁电层中发生极化反转。在极化反转中,电流流过布线BL,而布线BL的电位高于Vref。由此,位线驱动电路可以读出半导体装置10所保持的数据“1”。因此,时刻T03至时刻T04可以说是进行读出工作的期间。注意,虽然设想Vref高于GND且低于Vw,但例如也可以高于Vw。

[0245] 因为上述读出是破坏读出,所以半导体装置10所保持的数据“1”消失。于是,在时刻T04至时刻T05,使布线BL的电位及布线PL的电位分别成为Vw及GND。因此,可以对半导体装置10改写数据“1”。由此,时刻T04至时刻T05可以说是进行改写工作的期间。

[0246] 在时刻T05至时刻T11,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,改写工作结束,数据“1”保持在半导体装置10中。

[0247] 在时刻T11至时刻T12,使布线WL的电位及布线PL的电位分别成为高电位及Vw。因为半导体装置10保持数据“1”,所以布线BL的电位高于Vref,而半导体装置10所保持的数据“1”被读出。因此,时刻T11至时刻T12可以说是进行读出工作的期间。

[0248] 在时刻T12至时刻T13,使布线BL的电位成为GND。因为晶体管M成为开启状态,所以电容器Cfe的一个电极的电位成为GND。另外,使布线PL的电位成为Vw。从而,施加到电容器Cfe的铁电层的电压成为“GND-Vw”。因此,可以对半导体装置10写入数据“0”。由此,时刻T12至时刻T13可以说是进行写入工作的期间。

[0249] 在时刻T13至时刻T14,使布线BL的电位及布线PL的电位成为GND。由此,施加到电容器Cfe的铁电层的电压成为0V。在时刻T12至时刻T13施加到电容器Cfe的铁电层的电压“GND-Vw”可以为-VSP以下,由此在时刻T13至时刻T14,电容器Cfe的铁电层的极化量根据图14B所示的曲线51变化。由此,在时刻T13至时刻T14,电容器Cfe的铁电层中不发生极化反转。

[0250] 使布线BL的电位及布线PL的电位成为GND,然后使布线WL的电位成为低电位。因此,晶体管M成为关闭状态。由此,写入工作结束,数据“0”保持在半导体装置10中。注意,如果电容器Cfe的铁电层中不发生极化反转,即施加到电容器Cfe的铁电层的电压成为第一矫顽电压的Vc以下,布线BL及布线PL的电位就可以为任意电位。

[0251] 在时刻T14至时刻T15,使布线WL的电位成为高电位。由此,晶体管M成为开启状态。另外,使布线PL的电位成为Vw。使布线PL的电位成为Vw,由此施加到电容器Cfe的铁电层的电压成为“GND-Vw”。如上所述那样,在时刻T12至时刻T13施加到电容器Cfe的铁电层的电压为“GND-Vw”。因此,电容器Cfe的铁电层中不发生极化反转。因此,流过布线BL的电流量比电容器Cfe的铁电层中发生极化反转的情况更小。由此,布线BL的电位的上升幅度比电容器

Cfe的铁电层中发生极化反转的情况更小,具体而言,布线BL的电位成为Vref以下。由此,位线驱动电路可以读出半导体装置10所保持的数据“0”。因此,时刻T14至时刻T15可以说是进行读出工作的期间。

[0252] 在时刻T15至时刻T16,使布线BL的电位及布线PL的电位分别成为GND及Vw。由此,可以对半导体装置10改写数据“0”。因此,时刻T15至时刻T16可以说是进行改写工作的期间。

[0253] 在时刻T16至时刻T17,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,改写工作结束,数据“0”保持在半导体装置10中。

[0254] 在时刻T17至时刻T18,使布线WL的电位及布线PL的电位分别成为高电位及Vw。因为半导体装置10保持数据“0”,所以布线BL的电位低于Vref,而半导体装置10所保持的数据“0”被读出。因此,时刻T17至时刻T18可以说是进行读出工作的期间。

[0255] 在时刻T18至时刻T19,使布线BL的电位成为Vw。因为晶体管M处于开启状态,所以电容器Cfe的一个电极的电位成为Vw。另外,使布线PL的电位成为GND。由此,施加到电容器Cfe的铁电层的电压成为“Vw-GND”。因此,可以对半导体装置10写入数据“1”。由此,时刻T18至时刻T19可以说是进行写入工作的期间。

[0256] 在时刻T19以后,使布线BL的电位及布线PL的电位成为GND。然后,使布线WL的电位成为低电位。由此,写入工作结束,数据“1”保持在半导体装置10中。

[0257] 将铁电层用于电容器Cfe的半导体装置10被用作即使供电停止也能够保持被写入的信息的非易失性存储元件。

[0258] 另外,DRAM(Dynamic Random Access Memory)需要定期刷新工作,因此功耗增加。将铁电层用于电容器Cfe的半导体装置10不需要进行刷新工作,由此可以降低功耗。

[0259] 在本说明书等中,有时将包括铁电层的存储元件或存储电路称为“铁电存储器”或“FE存储器”。因此,半导体装置10为铁电存储器,也为FE存储器。FE存储器可以被期待实现1×10^{10}以上、优选为1×10^{12}以上、更优选为1×10^{15}以上的改写次数。此外,FE存储器可以被期待实现10MHz以上、优选为1GHz以上的工作频率。

[0260] 此外,在FE存储器中,剩余极化2Pr与数据保持能力相关,如果剩余极化2Pr变小,数据保持能力就下降。在本说明书等中,将直到剩余极化2Pr下降5%(数据保持能力下降5%)为止的期间称为“存储保持期间”。FE存储器可以被期待在150℃或200℃的温度环境下实现10天以上、优选为1年以上、更优选为10年以上的存储保持期间。

[0261] 此外,FE存储器也可以应用于CPU(Central Processing Unit:中央处理器)、GPU(Graphics Processing Unit:图形处理单元)等的高速缓冲存储器及寄存器等。通过将CPU的高速缓冲存储器及寄存器与FE存储器组合,可以实现Noff-CPU(Nomaly off CPU)。通过将GPU的高速缓冲存储器及寄存器等与FE存储器组合,可以实现Noff-GPU(Nomaly off GPU)。

[0262] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0263] (实施方式2)

在本实施方式中,说明将半导体装置10用作存储单元的存储装置300的结构例子。

[0264] 图15A是示出根据本发明的一个方式的存储装置300的结构例子的方框图。图15A所示的存储装置300包括驱动电路21及存储器阵列20。存储器阵列20包括多个半导体装置

10。图15A示出存储器阵列20包括配置为m行n列(m及n为2以上的整数)的矩阵状的多个半导体装置10的例子。

[0265] 另外,行、列延伸在彼此正交的方向上。在本实施方式中,将Y方向设定为“行”且将X方向设定为“列”,但是也可以将Y方向设定为“列”且将X方向设定为“行”。

[0266] 在图15A中,将第一行第一列的半导体装置10记作半导体装置10[1,1]且将第m行第n列的半导体装置10记作半导体装置10[m,n]。另外,在本实施方式等中,有时记作“i行”来表示任意行。另外,有时记作“j列”来表示任意列。因此,i为1以上且m以下的整数,j为1以上且n以下的整数。另外,在本实施方式等中,将第i行第j列的半导体装置10记作半导体装置10[i,j]。在本实施方式等中,当表示为“i+α”(α为正整数或负整数)时,“i+α”不小于1且不大于m。同样,当表示为“j+α”时,“j+α”不小于1且不大于n。

[0267] 另外,存储器阵列20包括延伸在行方向(Y方向)上的m个布线WL、延伸在行方向(Y方向)上的m个布线PL以及延伸在Z方向上的n个布线BL。注意,n个布线BL延伸在Z方向上,但是为了简单地示出布线WL及布线PL与布线BL的关系,图15A示出n个布线BL延伸在列方向(X方向)上。

[0268] 在本实施方式等中,将第一个(第一行)设置的布线WL表示为布线WL[1],将第m个(第m行)设置的布线WL表示为布线WL[m]。同样地,将第一个(第一行)设置的布线PL表示为布线PL[1],将第m个(第m行)设置的布线PL表示为布线PL[m]。同样地,将第一个(第一列)设置的布线BL表示为布线BL[1],将第n个(第n列)设置的布线BL表示为布线BL[n]。

[0269] 设置在第i行的多个半导体装置10与第i行布线WL(布线WL[i])和第i行布线PL(布线PL[i])电连接。设置在第j列的多个半导体装置10与第j列布线BL(布线BL[j])电连接。

[0270] 驱动电路21包括PSW22(功率开关)、PSW23及外围电路31。外围电路31包括外围电路41、控制电路32(Control Circuit)及电压生成电路33。

[0271] 在存储装置300中,根据需要可以适当地取舍上述各电路、各信号及各电压。或者,也可以增加其它电路或其它信号。信号BW、信号CE、信号GW、信号CLK、信号WAKE、信号ADDR、信号WDA、信号PON1、信号PON2为从外部输入的信号,信号RDA为输出到外部的信号。信号CLK为时钟信号。

[0272] 此外,信号BW、信号CE及信号GW为控制信号。信号CE为芯片使能信号,信号GW为全局写入使能信号,信号BW为字节写入使能信号。信号ADDR为地址信号。信号WDA为写入数据,信号RDA为读出数据。信号PON1、PON2为电源门控控制用信号。此外,信号PON1、信号PON2也可以在控制电路32中生成。

[0273] 控制电路32为具有控制存储装置300的整体工作的功能的逻辑电路。例如,控制电路对信号CE、信号GW及信号BW进行逻辑运算来决定存储装置300的工作模式(例如,写入工作、读出工作)。或者,控制电路32生成外围电路41的控制信号,以执行上述工作模式。

[0274] 电压生成电路33具有生成电压的功能。信号WAKE具有控制对电压生成电路33输入信号CLK的功能。例如,当信号WAKE被施加H电平的信号时,信号CLK被输入到电压生成电路33,电压生成电路33生成电压。

[0275] 外围电路41是用来对半导体装置10进行数据的写入及读出的电路。外围电路41包括行译码器42、列译码器44、行驱动器43、列驱动器45、输入电路47、输出电路48及读出放大器46。

[0276] 行译码器42及列译码器44具有对信号ADDR进行译码的功能。行译码器42是用来指定要访问行的电路,列译码器44是用来指定要访问列的电路。行驱动器43具有选择由行译码器42指定的布线WL的功能。列驱动器45具有如下功能:将数据写入到半导体装置10的功能;从半导体装置10读出数据的功能;保持所读出的数据的功能等。

[0277] 输入电路47具有保持信号WDA的功能。输入电路47中保持的数据输出到列驱动器45。输入电路47的输出数据是写入到半导体装置10的数据(Din)。列驱动器45从半导体装置10读出的数据(Dout)被输出至输出电路48。输出电路48具有保持Dout的功能。此外,输出电路48具有将Dout输出到存储装置300的外部的功能。从输出电路48输出的数据为信号RDA。

[0278] PSW22具有控制向外围电路31供给VDD的功能。PSW23具有控制向行驱动器43供给VHM的功能。在此,存储装置300的高电源电压为VDD,低电源电压为GND(接地电位)。此外,VHM是用来使字线成为高电平的高电源电压,其高于VDD。利用信号PON1控制PSW22的开启/关闭,利用信号PON2控制PSW23的开启/关闭。在图15A中,外围电路31中被供应VDD的电源域的个数为1,但是也可以为多个。此时,可以对各电源域设置功率开关。

[0279] 驱动电路21及存储器阵列20也可以设置在同一平面上。此外,如图15B所示,也可以在包括驱动电路21的层的正上重叠设置包括存储器阵列20的层。通过重叠设置驱动电路21和存储器阵列20,可以缩短驱动电路21和存储器阵列20之间的信号传输距离。因此,驱动电路21和存储器阵列20之间的电阻及寄生电容得到降低,可以实现功耗及信号延迟的降低。另外,可以实现存储装置300的小型化。

[0280] 另外,在图15B中驱动电路21上重叠设置有一层存储器阵列20,但是也可以在驱动电路21上重叠设置多层存储器阵列20。图15C示出在驱动电路21上重叠设置k层(k为2以上的整数)的存储器阵列20的例子。在图15C等中,将在第一层中设置的存储器阵列20记作存储器阵列20[1],将在第二层中设置的存储器阵列20记作存储器阵列20[2],将在第k层中设置的存储器阵列20记作存储器阵列20[k]。

[0281] 图16A是说明存储装置300的结构例子的示意图。图16A所示的存储装置300包括设置在驱动电路21上的六层存储器阵列20。如上所述,在图16A等中,将在第三层中设置的存储器阵列20记作存储器阵列20[3],将在第四层中设置的存储器阵列20记作存储器阵列20[4],将在第五层中设置的存储器阵列20记作存储器阵列20[5],并且将在第六层中设置的存储器阵列20记作存储器阵列20[6]。

[0282] 各层的存储器阵列20都包括以矩阵状配置的多个半导体装置10以及延伸在Y方向上的布线WL及布线PL。注意,为了简化起见,附图中省略第一层至第五层的存储器阵列20各自包括的布线WL及布线PL的记载。

[0283] 另外,图16A所示的存储装置300包括延伸在Z方向上的多个布线BL。布线BL穿过六层存储器阵列20而形成且与驱动电路21电连接。从Z方向看时,多个布线BL配置为矩阵状。

[0284] 通过使布线BL延伸在Z方向上且与驱动电路21电连接,与使布线BL延伸在X方向或Y方向的情况相比,可以缩短半导体装置10与驱动电路21的连接距离。因此,半导体装置10与驱动电路21间的信号传送距离减小,由此可以提高存储装置的工作速度。另外,布线BL的寄生电容得到降低,由此可以降低功耗。

[0285] 另外,各层的存储器阵列20的每一个中,存储器阵列20所包括的多个半导体装置10中的一个与多个布线BL中的一个电连接。因此,在图16A所示的存储装置300中,一个布线

BL与各层的存储器阵列20中的一个半导体装置10,即总共六个半导体装置10电连接。

[0286] 另外,将一个布线BL与多个存储单元(半导体装置10)电连接的结构也称为“存储串(memory string)”。因此,可以说图16A所示的存储装置300包括多个存储串。

[0287] 图16B是图16A所示的存储装置300所包括的存储串的示意图。注意,为了简化起见,在图16B所示的存储串的示意图中,省略与半导体装置10电连接的布线WL及布线PL的记载。另外,图16B还示出存储串的等效电路的一部分。

[0288] 图17A是说明存储装置300的结构例子的示意图。图17A所示的存储装置300是图16A所示的存储装置300的变形例子。因此,为了减少重复说明,主要说明与图16A所示的存储装置300不同之处。

[0289] 图17A所示的存储装置300与图16A所示的存储装置300不同之处在于:在各层的存储器阵列20的每一个中,存储器阵列20所包括的多个半导体装置10中的两个与多个布线BL中的一个电连接。就是说,一个布线BL与总共十二个半导体装置10电连接。

[0290] 图17B是图17A所示的存储装置300所包括的存储串的示意图。另外,图17B还示出存储串的等效电路的一部分。

[0291] 图17A所示的存储装置300中的布线BL的个数可以少于图16A所示的存储装置300中的布线BL的个数。因此,存储装置300的占有面积得到减小。

[0292] 另外,根据本发明的一个方式的半导体装置10是FE存储器,即使停止供电也可以长期间保持写入信息。另外,不需要DRAM所需的刷新工作,所以可以实现功耗低的存储装置300。

[0293] [半导体装置的结构例子]

图18示出根据本发明的一个方式的存储装置300的截面结构例子。图18所示的存储装置300在驱动电路21上方包括k层的存储器阵列20。在图18中,作为k层的存储器阵列20示出图11及图17所示的结构。为了减少重复说明,在此省略k层的存储器阵列20的说明。

[0294] 此外,图18示出驱动电路21所包括的晶体管400。晶体管400设置在半导体衬底311上,并包括:用作栅极的导电层316、用作栅极绝缘体的绝缘层315、由衬底311的一部分构成的半导体区域313;以及用作源极区域或漏极区域的低电阻区域314a及低电阻区域314b。晶体管400可以是p沟道型晶体管或n沟道型晶体管。作为衬底311,例如可以使用单晶硅衬底。

[0295] 在此,在图18所示的晶体管400中,形成沟道的半导体区域313(衬底311的一部分)具有凸形状。另外,导电层316隔着绝缘层315覆盖半导体区域313的侧面及顶面。另外,导电层316也可以使用调整功函数的材料。因为利用半导体衬底的凸部,所以这种晶体管400也被称为FIN型晶体管。另外,也可以以与凸部的上表面接触的方式具有用作用来形成凸部的掩模的绝缘体。此外,虽然在此示出对半导体衬底的一部分进行加工来形成凸部的情况,但是也可以对SOI衬底进行加工来形成具有凸形状的半导体膜。

[0296] 注意,图18所示的晶体管400的结构只是一个例子,不局限于上述结构,根据电路结构或驱动方法使用适当的晶体管即可。

[0297] 在各结构体之间也可以设置有包括层间膜、布线及插头等的布线层。此外,布线层可以根据设计而设置为多个层。此外,在本说明书等中,布线、与布线电连接的插头也可以是一个构成要素。就是说,导电体的一部分有时被用作布线,并且导电体的一部分有时被用作插头。

[0298] 例如,在晶体管400上作为层间膜依次层叠地设置有绝缘层320、绝缘层322、绝缘层324及绝缘层326。另外,绝缘层320、绝缘层322、绝缘层324及绝缘层326嵌入有与导电层152电连接的导电层328及导电层330等。另外,导电层328及导电层330被用作接触插头或布线。

[0299] 此外,用作层间膜的绝缘体可以被用作覆盖其下方的凹凸形状的平坦化膜。例如,为了提高绝缘层322的顶面的平坦性,也可以进行CMP处理等。

[0300] 另外,也可以在绝缘层326及导电层330上设置布线层。例如,在图18中,绝缘层326及导电层330上依次层叠有绝缘层350、绝缘层352及绝缘层354。另外,在绝缘层350、绝缘层352及绝缘层354中形成有导电层356。导电层356被用作接触插头或布线。导电层356与导电层152电连接。

[0301] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0302] (实施方式3)

在本实施方式中,说明可用于上述实施方式中说明的OS晶体管的金属氧化物(以下,也称为氧化物半导体)。

[0303] 用于OS晶体管的金属氧化物优选至少包含铟或锌,更优选包含铟及锌。例如,金属氧化物优选包含铟、M(M为选自镓、铝、钇、锡、硅、硼、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁和钴中的一种或多种)及锌。尤其是,M优选为选自镓、铝、钇、锑和锡中的一种或多种,更优选为镓。

[0304] 金属氧化物可以通过溅射法、有机金属化学气相沉积(MOCVD:Metal Organic Chemical Vapor Deposition)法等化学气相沉积法(CVD:Chemical Vapor Depositio)或原子层沉积法等形成。

[0305] 以下,作为金属氧化物的一个例子说明包含铟(In)、镓(Ga)及锌(Zn)的氧化物。注意,有时将包含铟(In)、镓(Ga)及锌(Zn)的氧化物称为In-Ga-Zn氧化物。

[0306] <结晶结构的分类>

作为氧化物半导体的结晶结构,可以举出非晶(包括completely amorphous)、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、CAC(cloud-aligned composite)、单晶(single crystal)及多晶(poly crystal)等。

[0307] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。例如,可以使用GIXD(Grazing-Incidence XRD)测量测得的XRD谱进行评价。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。以下,有时将GIXD测量所得的XRD谱简单地记为XRD谱。

[0308] 例如,石英玻璃衬底的XRD谱的峰形状大致为左右对称。另一方面,具有结晶结构的In-Ga-Zn氧化物膜的XRD谱的峰形状是左右不对称。XRD谱的峰的形状是左右不对称说明膜中或衬底中存在结晶。换言之,除非XRD谱峰形状左右对称,否则不能说膜或衬底处于非晶状态。

[0309] 此外,可以使用通过纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。例如,在石英玻璃衬底的衍射图案中观察到光晕,可以确认石英玻璃处于非晶状态。此外,以室温沉积的In-Ga-Zn氧化物膜的衍射图案中观察到斑点状的图案而没有观察到光

晕。因此可以推测,以室温沉积的In-Ga-Zn氧化物处于既不是单晶或多晶也不是非晶态的中间态,不能得出该In-Ga-Zn氧化物是非晶态的结论。

[0310] [氧化物半导体的结构]

此外,在着眼于氧化物半导体的结构的情况下,有时氧化物半导体的分类与上述不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0311] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0312] [CAAC-OS]

CAAC-OS是具有多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0313] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,在结晶区域由多个微小结晶构成的情况下,有时该结晶区域的最大径为几十nm左右。

[0314] 此外,在In-Ga-Zn氧化物中,CAAC-OS有具有层叠有含有铟(In)及氧的层(以下,In层)、含有镓(Ga)、锌(Zn)及氧的层(以下,(Ga,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和镓可以彼此置换。因此,有时(Ga,Zn)层包含铟。此外,有时In层包含镓。注意,有时In层包含锌。该层状结构例如在高分辨率TEM(Transmission Electron Microscope)图像中被观察作为晶格像。

[0315] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,在2θ=31度或其附近检测出表示c轴取向的峰。注意,表示c轴取向的峰的位置(2θ值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0316] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0317] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六角形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0318] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶。晶界成为复合中心而载

流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选为包含Zn的结构。例如,In-Zn氧化物及In-Ga-Zn氧化物可以比In氧化物抑制晶界的产生,所以是优选的。

[0319] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入及/或缺陷的生成等而降低,因此可以说CAAC-OS是杂质及缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。此外,CAAC-OS对制造工序中的高温度(所谓热积存:thermal budget)也很稳定。因此,在对OS晶体管使用CAAC-OS时,能够扩大制造工序的自由度。

[0320] [nc-OS]

在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS及非晶氧化物半导体没有差别。例如,在对nc-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,检测不出表示结晶性的峰。此外,在对nc-OS膜进行使用其束径比纳米晶大(例如,50nm以上)的电子束的电子衍射(也称为选区电子衍射)时,观察到类似光晕图案的衍射图案。另一方面,在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下,有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0321] [a-like OS]

a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外,a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0322] [氧化物半导体的构成]

接着,说明上述的CAC-OS的详细内容。此外,CAC-OS与材料构成有关。

[0323] [CAC-OS]

CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成,其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。注意,在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且3nm以下或近似的尺寸。

[0324] 再者,CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(下面也称为云状)。就是说,CAC-OS是指具有该第一区域和该第二区域混合的结构的复合金属氧化物。

[0325] 在此,将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子数

比的每一个记为[In]、[Ga]及[Zn]。例如,在In-Ga-Zn氧化物的CAC-OS中,第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。另外,第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。另外,例如,第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。另外,第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0326] 具体而言,上述第一区域是以铟氧化物或铟锌氧化物等为主要成分的区域。此外,上述第二区域是以镓氧化物或镓锌氧化物等为主要成分的区域。换言之,可以将上述第一区域称为以In为主要成分的区域。此外,可以将上述第二区域称为以Ga为主要成分的区域。

[0327] 注意,有时观察不到上述第一区域和上述第二区域的明确的边界。

[0328] 此外,In-Ga-Zn氧化物中的CAC-OS是指如下构成:在包含In、Ga、Zn及O的材料构成中,部分主要成分为Ga的区域与部分主要成分为In的区域无规律地以马赛克状存在。因此,可推测,CAC-OS具有金属元素不均匀地分布的结构。

[0329] CAC-OS例如可以通过在对衬底不进行意图性的加热的条件下利用溅射法来形成。在利用溅射法形成CAC-OS的情况下,作为沉积气体,可以使用选自惰性气体(典型的是氩)、氧气体和氮气体中的任一种或多种。此外,沉积时的沉积气体的总流量中的氧气体的流量比越低越好。例如,使沉积时的沉积气体的总流量中的氧气体的流量比为0%以上且低于30%,优选为0%以上且10%以下。

[0330] 例如,在In-Ga-Zn氧化物的CAC-OS中,根据通过能量色散X射线光谱法(EDX:Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像,可确认到具有以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合的结构。

[0331] 在此,第一区域是具有比第二区域高的导电性的区域。就是说,当载流子流过第一区域时,呈现作为金属氧化物的导电性。因此,当第一区域以云状分布在金属氧化物中时,可以实现高场效应迁移率(μ)。

[0332] 另一方面,第二区域是具有比第一区域高的绝缘性的区域。就是说,当第二区域分布在金属氧化物中时,可以抑制泄漏电流。

[0333] 在将CAC-OS用于晶体管的情况下,通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用,可以使CAC-OS具有开关功能(控制开启/关闭的功能)。换言之,在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能,在材料的整体中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离,可以最大限度地提高各功能。因此,通过将CAC-OS用于晶体管,可以实现大通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0334] 此外,使用CAC-OS的晶体管具有高可靠性。因此,CAC-OS最适合于显示装置等各种半导体装置。

[0335] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包含非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0336] <OS晶体管>

通过将本发明的一个方式的金属氧化物(氧化物半导体)用于晶体管,可以实现场

效应迁移率高的晶体管。此外,可以实现可靠性高的晶体管。此外,可以实现微型化或高集成化的晶体管。例如,可以制造沟道长度为2nm以上且30nm以下的晶体管。

[0337] 另外,优选将载流子浓度低的氧化物半导体用于晶体管的沟道形成区域。例如,氧化物半导体的沟道形成区域的载流子浓度可以为$1\times10^{18}cm^{-3}$以下、优选为$1\times10^{17}cm^{-3}$以下、更优选为$1\times10^{15}cm^{-3}$以下、进一步优选为$1\times10^{13}cm^{-3}$以下、更进一步优选为$1\times10^{11}cm^{-3}$以下、还进一步优选低于$1\times10^{10}cm^{-3}$,且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下,可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。另外,有时将载流子浓度低的氧化物半导体称为高纯度本征或实质上高纯度本征的氧化物半导体。

[0338] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。

[0339] 此外,被氧化物半导体的陷阱态俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性有时不稳定。

[0340] 因此,为了使晶体管的电特性稳定,降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度,优选还降低附近膜中的杂质浓度。作为杂质,可以举出氢、碳、氮等。注意,氧化物半导体中的杂质例如是指构成氧化物半导体的主要成分之外的元素。例如,浓度低于0.1原子%的元素可以说为杂质。

[0341] 另外,氧化物半导体的带隙优选比硅的带隙(典型的是1.1eV)大,优选为2eV以上、更优选为2.5eV以上、进一步优选为3.0eV以上。通过使用带隙大的氧化物半导体,可以降低晶体管的关态电流(也称为Ioff)。

[0342] 此外,在Si晶体管(形成沟道的半导体层中使用硅的晶体管)中,随着晶体管的微型化发展出现短沟道效应(Short Channel Effect,也称为SCE)。因此,Si晶体管的微型化很困难。作为出现短沟道效应的原因之一可以举出硅的带隙较小。另一方面,在OS晶体管中,使用作为带隙大的半导体材料的氧化物半导体,因此可以抑制短沟道效应。换言之,OS晶体管是没有短沟道效应或短沟道效应极少的晶体管。

[0343] 短沟道效应是指随着晶体管的微型化(沟道长度的缩小)出现的电特性的下降。作为短沟道效应的具体例子,有阈值电压的降低、亚阈值摆幅值(有时记载为S值)的增大、泄漏电流的增大等。在此,S值是指:以固定的漏极电压使漏极电流的值变化一个位数的亚阈值区域中的栅极电压的变化量。

[0344] 作为对短沟道效应的耐性的指标,广泛地使用特征长度(Characteristic Length)。特性长度是指沟道形成区域的势的弯曲性指标。特性长度越小,势急剧上升,因此可以说抗短沟道效应能力高。

[0345] OS晶体管为积累型晶体管,Si晶体管为反转型晶体管。因此,与Si晶体管相比,OS晶体管中的源极区域-沟道形成区域间的特征长度及漏极区域-沟道形成区域间的特征长度小。因此,OS晶体管的抗短沟道效应能力比Si晶体管高。就是说,当想要制造沟道长度小的晶体管时,OS晶体管比Si晶体管更合适。

[0346] 即使在将氧化物半导体的载流子浓度降低到沟道形成区域被i型化或实质上被i

型化的情况下,在短沟道晶体管中由于Conduction-Band-Lowering(CBL,导带降低)效应而沟道形成区域的导带底也变低,因此源极区域或漏极区域与沟道形成区域之间的导带底的能量差有可能减小到0.1eV以上且0.2eV以下。由此,可以将OS晶体管看作具有$n^+/n^-/n^+$的积累型无结晶体管结构或$n^+/n^-/n^+$的积累型non-junction晶体管结构,其中沟道形成区域为n^-型区域,源极区域及漏极区域为n^+型区域。

[0347] 当作为OS晶体管采用上述结构时,即便使半导体装置微型化或高集成化也可以实现良好的电特性。例如,即使OS晶体管的沟道长度或栅极长度为20nm以下、15nm以下、10nm以下、7nm以下或6nm以下且1nm以上、3nm以上或5nm以上,也可以得到良好的电特性。另一方面,在Si晶体管中,因为出现短沟道效应所以有时难以具有20nm以下或15nm以下的栅极长度。因此,与Si晶体管相比,OS晶体管更适合用作沟道长度小的晶体管。注意,栅极长度是指在晶体管工作时载流子在沟道形成区域内迁移的方向上的栅电极长度。

[0348] 此外,通过实现OS晶体管的微型化,可以提高晶体管的高频特性。具体而言,可以提高晶体管的截止频率。当OS晶体管的栅极长度在于上述范围内时,例如在室温环境下,晶体管的截止频率可以为50GHz以上,优选为100GHz以上,更优选为150GHz以上。

[0349] 如以上的说明那样,OS晶体管具有比Si晶体管优异的效果,诸如关态电流小以及可以制造沟道长度小的晶体管。

[0350] <OS中的杂质>

在此,说明金属氧化物(氧化物半导体)中的各杂质的影响。

[0351] 在氧化物半导体包含第14族元素之一的硅或碳时,在氧化物半导体中形成缺陷态。因此,将通过SIMS测得的氧化物半导体的沟道形成区域中的碳浓度设定为1×10^{20}atoms/cm^3以下、优选为5×10^{19}atoms/cm^3以下、更优选为3×10^{19}atoms/cm^3以下、进一步优选为1×10^{19}atoms/cm^3以下、更进一步优选为3×10^{18}atoms/cm^3以下、还进一步优选为1×10^{18}atoms/cm^3以下。另外,将通过SIMS测得的氧化物半导体的沟道形成区域中的硅浓度设定为1×10^{20}atoms/cm^3以下、优选为5×10^{19}atoms/cm^3以下、更优选为3×10^{19}atoms/cm^3以下、进一步优选为1×10^{19}atoms/cm^3以下、更进一步优选为3×10^{18}atoms/cm^3以下、还进一步优选为1×10^{18}atoms/cm^3以下。

[0352] 当氧化物半导体包含氮时,产生作为载流子的电子,使载流子浓度增高,而容易被n型化。其结果是,将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启特性。或者,在氧化物半导体包含氮时,有时形成陷阱态。其结果是,有时晶体管的电特性不稳定。因此,将通过SIMS测得的氧化物半导体的沟道形成区域中的氮浓度设定为1×10^{20}atoms/cm^3以下、优选为5×10^{19}atoms/cm^3以下、更优选为1×10^{19}atoms/cm^3以下、进一步优选为5×10^{18}atoms/cm^3以下、更进一步优选为1×10^{18}atoms/cm^3以下、还进一步优选为5×10^{17}atoms/cm^3以下。

[0353] 另外,包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水,因此有时形成氧空位。当氢进入该氧空位时,有时生成作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用含有氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体的沟道形成区域中的氢。具体而言,将通过SIMS测得的氧化物半导体的沟道形成区域中的氢浓度设定为低于1×10^{20}atoms/cm^3、优选低于5×10^{19}atoms/cm^3、更优选低于1×10^{19}atoms/cm^3、进一步优选低

于5×10^{18}atoms/cm^3、还进一步优选低于1×10^{18}atoms/cm^3。

[0354] 此外,当氧化物半导体包含碱金属或碱土金属时,有时形成缺陷态而形成载流子。因此,使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此,将利用SIMS分析测得的氧化物半导体的沟道形成区域中的碱金属或碱土金属的浓度设定为1×10^{18}atoms/cm^3以下,优选为2×10^{16}atoms/cm^3以下。

[0355] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域,可以使晶体管具有稳定的电特性。

[0356] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0357] (实施方式4)

在本实施方式中,参照图19A和图19B说明安装有本发明的半导体装置的芯片1200的一个例子。在芯片1200上安装有多个电路(系统)。如此,在一个芯片上集成有多个电路(系统)的技术有时被称为系统芯片(System on Chip:SoC)。

[0358] 如图19A所示,芯片1200包括CPU1211、GPU1212、一个或多个模拟运算部1213、一个或多个存储控制器1214、一个或多个接口1215、一个或多个网络电路1216等。

[0359] 在芯片1200上设置有凸块(未图示),该凸块如图19B所示那样与封装基板1201的第一面连接。此外,在封装基板1201的第一面的背面设置有多个凸块1202,该凸块1202与母板1203连接。

[0360] 此外,也可以在母板1203上设置有存储装置1221、闪存1222等的存储装置。例如,可以将半导体装置10应用于存储装置1221。另外,例如,也可以使用半导体装置10代替闪存1222。

[0361] CPU1211优选具有多个CPU核心。此外,GPU1212优选具有多个GPU核心。此外,CPU1211和GPU1212可以分别具有暂时储存数据的存储器。或者,也可以在芯片1200上设置有CPU1211和GPU1212共同使用的存储器。可以将半导体装置10应用于该存储器。此外,GPU1212适合用于多个数据的并行计算,其可以用于图像处理或积和运算。通过作为GPU1212设置使用氧化物半导体的图像处理电路或积和运算电路,可以以低功耗执行图像处理及积和运算。

[0362] 此外,因为在同一芯片上设置有CPU1211和GPU1212,所以可以缩短CPU1211和GPU1212之间的布线,并可以以高速进行从CPU1211到GPU1212的数据传送、CPU1211及GPU1212所具有的存储器之间的数据传送以及GPU1212中的运算结束之后的从GPU1212到CPU1211的运算结果传送。

[0363] 模拟运算部1213具有A/D(模拟/数字)转换电路和D/A(数字/模拟)转换电路中的一方或双方。此外,也可以在模拟运算部1213中设置上述积和运算电路。

[0364] 存储控制器1214具有用作存储装置1221的控制器的电路及用作闪存1222的接口的电路。

[0365] 接口1215具有与如显示装置、扬声器、麦克风、照相机、控制器等外部连接设备之间的接口电路。控制器包括鼠标、键盘、游戏机用控制器等。作为上述接口,可以使用USB(Universal Serial Bus:通用串行总线)、HDMI(High-Definition Multimedia Interface:高清晰度多媒体接口)(注册商标)等。

[0366] 网络电路1216具有LAN(Local Area Network:局域网)等网络电路。此外,还可以

具有网络安全用电路。

[0367] 上述电路(系统)可以经同一制造工艺形成在芯片1200上。由此,即使芯片1200所需的电路个数增多,也不需要增加制造工艺,可以以低成本制造芯片1200。

[0368] 可以将包括设置有具有GPU1212的芯片1200的封装基板1201、存储装置1221以及闪存1222的母板1203称为GPU模块1204。

[0369] GPU模块1204因具有使用SoC技术的芯片1200而可以减小其尺寸。此外,GPU模块1204因具有高图像处理能力而适合用于智能手机、平板终端、膝上型个人计算机、便携式(可携带)游戏机等便携式电子设备。此外,通过利用使用GPU1212的积和运算电路,可以执行深度神经网络(DNN)、卷积神经网络(CNN)、递归神经网络(RNN)、自动编码器、深度玻尔兹曼机(DBM)、深度置信网络(DBN)等方法,由此可以将芯片1200用作AI芯片,或者,可以将GPU模块1204用作AI系统模块。

[0370] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0371] (实施方式5)

本实施方式示出安装有上述实施方式所示的半导体装置等的电子构件的一个例子。

[0372] <电子构件>

图20A示出电子构件700及安装有电子构件700的基板(电路板704)的立体图。图20A所示的电子构件700在模子711内包括存储装置720。在图20A中,省略电子构件700的一部分以表示其内部。电子构件700在模子711的外侧包括连接盘(land)712。连接盘712电连接于电极焊盘713,电极焊盘713通过引线714电连接于存储装置720。电子构件700例如安装于印刷电路板702上。通过组合多个该电子构件并使其分别在印刷电路板702上电连接,由此完成电路板704。

[0373] 存储装置720包括驱动电路层721及存储电路层722。存储装置720可以使用根据本发明的一个方式的存储装置300。因此,可以说驱动电路层721是包括驱动电路21的层。另外,存储电路层722可以使用单层或多层存储器阵列20。因此,可以说驱动电路层721是包括存储器阵列20的层。

[0374] 图20B示出电子构件730的立体图。电子构件730是SiP(System in Package:系统封装)或MCM(Multi Chip Module:多芯片模块)的一个例子。在电子构件730中,封装基板732(印刷电路板)上设置有插板(interposer)731,插板731上设置有半导体装置735及多个存储装置720。

[0375] 电子构件730示出将存储装置720用作高带宽存储器(HBM:High Bandwidth Memory)的例子。此外,半导体装置735可以使用CPU、GPU、FPGA等集成电路(半导体装置)。

[0376] 封装基板732可以使用陶瓷衬底、塑料衬底、玻璃环氧衬底等。插板731可以使用硅插板、树脂插板等。

[0377] 插板731具有多个布线并具有电连接端子间距不同的多个集成电路的功能。多个布线由单层或多层构成。此外,插板731具有将设置于插板731上的集成电路与设置于封装基板732上的电极电连接的功能。因此,有时将插板也称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外,有时通过在插板731中设置贯通电极,通过该贯通电极使集成电路与封装基板732电连接。此外,在使用硅插板的情况下,也可以使用TSV(Through

Silicon Via:硅通孔)作为贯通电极。

[0378] 作为插板731优选使用硅插板。由于硅插板不需要设置有源元件,所以可以以比集成电路更低的成本制造。另一方面,硅插板的布线形成可以在半导体工序中进行,因此很容易形成在使用树脂插板时很难形成的微细布线。

[0379] 在HBM中,为了实现宽存储器带宽需要连接许多布线。为此,要求安装HBM的插板上能够高密度地形成微细的布线。因此,作为安装HBM的插板优选使用硅插板。

[0380] 此外,在使用硅插板的SiP或MCM等中,不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外,由于硅插板的表面平坦性高,所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装),其中多个集成电路横着排放并配置于插板上。

[0381] 此外,也可以与电子构件730重叠地设置散热器(散热板)。在设置散热器的情况下,优选使设置于插板731上的集成电路的高度一致。例如,在本实施方式所示的电子构件730中,优选使存储装置720与半导体装置735的高度一致。

[0382] 为了将电子构件730安装在其他衬底上,也可以在封装基板732的底部设置电极733。图20B示出用焊球形成电极733的例子。通过在封装基板732的底部以矩阵状设置焊球,可以实现BGA(Ball Grid Array:球栅阵列)的安装。此外,电极733也可以使用导电针形成。通过在封装基板732的底部以矩阵状设置导电针,可以实现PGA(Pin Grid Array:针栅阵列)的安装。

[0383] 电子构件730可以通过各种安装方法安装在其他衬底上,而不局限于BGA及PGA。例如,可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0384] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0385] (实施方式6)

在本实施方式中说明根据本发明的一个方式的半导体装置的应用例子。

[0386] 根据本发明的一个方式的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码静态相机、视频摄像机、录像再现装置、导航系统、游戏机等)的存储装置。此外,也可以应用于图像传感器、IoT(Internet of Things:物联网)以及医疗设备等。这里,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0387] 对包括根据本发明的一个方式的半导体装置的电子设备的一个例子进行说明。图21A至图21J、图22A至图22E示出具有该半导体装置的电子构件700或电子构件730包括在各电子设备中的情况。

[0388] [移动电话机]

图21A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中包括触控面板,并且在外壳5510上设置有按钮。

[0389] 通过将根据本发明的一个方式的半导体装置应用于信息终端5500,可以保持在执

行程序时生成的临时文件(例如,使用网页浏览器时的缓存等)。

[0390] [可穿戴终端]

此外,图21B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳5901、显示部5902、操作开关5903、操作开关5904、表带5905等。

[0391] 与上述信息终端5500同样,通过将根据本发明的一个方式的半导体装置应用于可穿戴终端,可以保持在执行程序时生成的临时文件。

[0392] [信息终端]

图21C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0393] 与上述信息终端5500同样,通过将根据本发明的一个方式的半导体装置应用于台式信息终端5300,可以保持在执行程序时生成的临时文件。

[0394] 注意,在上面的说明中,图21A至图21C分别示出智能手机、可穿戴终端及台式信息终端作为电子设备的例子,但是也可以应用智能手机、可穿戴终端及台式信息终端以外的信息终端。作为智能手机、可穿戴终端及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数字助理)、笔记本信息终端、工作站等。

[0395] [电器产品]

此外,图21D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于IoT(Internet of Things:物联网)的电冷藏冷冻箱。

[0396] 可以将根据本发明的一个方式的半导体装置应用于电冷藏冷冻箱5800。通过利用互联网等,可以使电冷藏冷冻箱5800对信息终端等发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在该半导体装置中保持在发送该信息时生成的临时文件。

[0397] 在上述例子中,作为电器产品说明电冷藏冷冻箱,但是作为其他电器产品,例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空調机、洗衣机、干衣机、视听设备等。

[0398] [游戏机]

此外,图21E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0399] 此外,图21F示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外,虽然在图21F中未图示,但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入界面的触控面板及控制杆、旋转式抓手或滑动式抓手等。此外,控制器7522不局限于图21F所示的形状,也可以根据游戏的种类改变控制器7522的形状。例如,在FPS(First Person Shooter,第一人称射击类游戏)等射击游戏中,作为扳机使用按钮,可以使用模仿枪的形状的控制器。此外,例如,在音乐游戏等中,可以使用模仿乐器、音乐器件等的形状的控制器。再者,固定式游戏机也可以设置照相机、深度传感器、麦克风等,由游戏玩者的手势或声音等操作以代替控制器操作。

[0400] 此外,上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、

头戴显示器等显示装置输出。

[0401] 通过将上述实施方式所说明的半导体装置用于便携式游戏机5200或固定式游戏机7500,可以实现低功耗的便携式游戏机5200或固定式游戏机7500。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0402] 并且,通过将上述实施方式所说明的半导体装置用于便携式游戏机5200或固定式游戏机7500,可以保持在执行游戏时生成的用于运算的临时文件。

[0403] 在图21E中,作为游戏机的例子示出便携式游戏机。另外,图21F示出家用固定式游戏机。本发明的一个方式的电子设备不局限于此。作为本发明的一个方式的电子设备,例如可以举出设置在娱乐设施(游戏中心,游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0404] [移动体]

上述实施方式所说明的半导体装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0405] 图21G示出作为移动体的一个例子的汽车5700。

[0406] 汽车5700的驾驶座位附近设置有能够显示速度表、转速计、行驶距离、加油量、排档状态、空调的设定等以提供各种信息的仪表板。此外,驾驶座位附近也可以设置有表示上述信息的显示装置。

[0407] 尤其是,通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上,可以补充被支柱等遮挡的视野、驾驶座位的死角等,从而可以提高安全性。也就是说,通过显示设置在汽车5700外侧的拍摄装置所拍摄的图像,可以补充视野来避免死角,以提高安全性。

[0408] 上述实施方式所说明的半导体装置能够保持储存信息,例如,可以将该半导体装置应用于汽车5700的进行自动驾驶、导航、危险预测等的系统等来暂时保持必要信息。此外,也可以在该显示装置上暂时显示导航、危险预测等信息。此外,也可以保持安装在汽车5700上的行车记录仪的录像。

[0409] 虽然在上述例子中作为移动体的一个例子说明汽车,但是移动体不局限于汽车。例如,作为移动体,也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0410] [照相机]

上述实施方式所说明的半导体装置可以应用于照相机。

[0411] 图21H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243、快门按钮6244等,并且安装有可装卸的镜头6246。在此,数码相机6240采用能够从外壳6241拆卸下镜头6246的结构,但是镜头6246及外壳6241也可以被形成为一体。此外,数码相机6240还可以包括另外安装的闪光灯装置及取景器等。

[0412] 通过将上述实施方式所说明的半导体装置用于数码相机6240,可以实现低功耗的数码相机6240。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0413] [视频摄像机]

上述实施方式所说明的半导体装置可以应用于视频摄像机。

[0414] 图21I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305、连接部6306等。操作开关6304及镜头6305设置在第一外壳6301上，显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接，第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0415] 当记录由视频摄像机6300拍摄的图像时，需要进行根据数据记录方式的编码。借助于上述半导体装置，视频摄像机6300可以保持在进行编码时生成的临时文件。

[0416] [ICD]

可以将上述实施方式所说明的半导体装置应用于埋藏式心律转复除颤器(ICD)。

[0417] 图21J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0418] ICD主体5400通过手术设置在体内，两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406，并且其中一个金属丝的先端设置于右心室，另一个金属丝的先端设置于右心房。

[0419] ICD主体5400具有心脏起搏器的功能，并在心律在规定范围之外时对心脏进行起搏。此外，在即使进行起搏也不改善心律时(室性心动过速、心室颤动等)进行利用除颤的治疗。

[0420] 为了适当地进行起搏及除颤，ICD主体5400需要经常监视心律。因此，ICD主体5400包括用来检测心律的传感器。此外，ICD主体5400可以在电子构件700中储存通过该传感器测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0421] 此外，因为由天线5404接收电力，且该电力被充电到电池5401。此外，通过使ICD主体5400包括多个电池，可以提高安全性。具体而言，即使ICD主体5400中的部分电池产生故障，其他电池可以起作用而被用作辅助电源。

[0422] 此外，除了能够接收电力的天线5404，还可以包括能够发送生理信号的天线，例如，也可以构成能够由外部的监视装置确认脉搏、呼吸次数、心律、体温等生理信号的监视心脏活动的系统。

[0423] [PC用扩展装置]

上述实施方式所说明的半导体装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0424] 图22A示出该扩展装置的一个例子的可以携带且安装有能够储存信息的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB等连接于PC，可以利用该芯片储存信息。注意，虽然图22A示出可携带的扩展装置6100，但是根据本发明的一个方式的扩展装置不局限于此，例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0425] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的半导体装置等的电路。例如，衬底6104安装有电子构件700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0426] [SD卡]

上述实施方式所说明的半导体装置可以应用于能够安装在信息终端、数码相机等电子设备上的SD卡。

[0427] 图22B是SD卡的外观示意图,图22C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有半导体装置及驱动半导体装置的电路。例如,衬底5113安装有电子构件700、控制器芯片5115。此外,电子构件700及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,电子构件所包括的写入电路、行驱动器、读出电路等也可以不安装在电子构件700上而安装在控制器芯片5115上。

[0428] 通过在衬底5113的背面一侧也设置电子构件700,可以增大SD卡5110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行电子构件700的数据的读出及写入。

[0429] [SSD]

上述实施方式所说明的半导体装置可以应用于能够安装在信息终端等电子设备上的SSD(Solid State Drive:固态驱动器)。

[0430] 图22D是SSD的外观示意图,图22E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有存储装置及驱动存储装置的电路。例如,衬底5153安装有电子构件700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件700,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例如,可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意,电子构件700、存储器芯片5155及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,控制器芯片5156中也可以设置用作工作存储器的存储器。

[0431] [计算机]

图23A所示的计算机5600是主要用于科学计算的大型计算机(超级计算机)的例子。科学计算需要以高速进行庞大的运算,因此功耗大且芯片的发热高。例如,在包括多个计算机5600的数据中心中,使用的数字数据量非常庞大。具体而言,估计为:全球数字数据量超过10^{24}(yotta(尧))字节或10^{30}(quetta(昆))字节。

[0432] 通过将本发明的一个方式的半导体装置用于计算机5600,可以实现低功耗超级计算机。此外,借助于低功耗,可以降低来自电路的发热,由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。另外,通过使用本发明的一个方式的半导体装置,可以实现低功耗超级计算机。由此,可以期待减少全球数字数据量而可以大大有助于全球气候变暖的措施。

[0433] 在计算机5600中,多个机架式计算机5620收纳在机架5610中。计算机5620例如可以具有图23B所示的立体图的结构。在图23B中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0434] 图23C所示的个人计算机卡5621是包括CPU、GPU、存储装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端

子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图23C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,可以参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明。

[0435] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0436] 连接端子5623、连接端子5624、连接端子5625例如可以用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0437] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0438] 半导体装置5627包括多个端子,通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA(Field Programmable Gate Array:现场可编程门阵列)、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件730。

[0439] 半导体装置5628包括多个端子,通过将该端子例如以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件700。

[0440] 计算机5600可以用作并行计算机。通过将计算机5600用作并行计算机,例如可以进行人工智能的学习及推论所需要的大规模计算。

[0441] 通过将本发明的一个方式的半导体装置用于上述各种电子设备,可以实现电子设备的小型化及低功耗化。此外,本发明的一个方式的半导体装置的功耗低,由此可以降低电路发热。由此,可以减少因该发热而给电路本身、外围电路及模块带来的负面影响。此外,通过使用本发明的一个方式的半导体装置,可以实现高温环境下也稳定工作的电子设备。由此,可以提高电子设备的可靠性。

[0442] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[0443] (实施方式7)

本发明的一个方式的半导体装置包括OS晶体管。该OS晶体管的因辐射线的照射而导致的电特性变动小。换言之,对于辐射线的耐性高,所以在有可能入射辐射线的环境下也可以适当地使用。例如,可以在宇宙空间中使用的情况下适当地使用OS晶体管。在本实施方式中,使用图24说明将本发明的一个方式的半导体装置应用于太空设备的情况的具体例子。

[0444] 在图24中,作为太空设备的一个例子示出人造卫星6800。人造卫星6800包括主体6801、太阳能电池板6802、天线6803、二次电池6805以及控制装置6807。另外,图24示出在宇宙空间有行星6804的例子。注意,宇宙空间例如是指高度100km以上,但是本说明书所示的宇宙空间也可以包括热层、中间层及平流层。

[0445] 另外,宇宙空间是其辐射剂量为地面的100倍以上的环境。作为辐射线,例如可以举出:以X射线及γ射线为代表的电磁波(电磁辐射线);以及以α射线、β射线、中子射线、质子射线、重离子射线、介子射线等为代表的粒子辐射线。

[0446] 在阳光照射到太阳能电池板6802时生成人造卫星6800进行工作所需的电力。然而,例如在阳光不照射到太阳能电池板的情况或者在照射到太阳能电池板的阳光量较小的情况下,所产生的电力量减小。因此,有可能不会产生人造卫星6800进行工作所需的电力。为了在所产生的电力较少的情况下也使人造卫星6800工作,优选在人造卫星6800中设置二次电池6805。另外,有时将太阳能电池板称为太阳能电池模块。

[0447] 人造卫星6800可以生成信号。该信号通过天线6803传送,例如地面上的接收机或其他人造卫星可以接收该信号。通过接收人造卫星6800所传送的信号,可以测量接收该信号的接收机的位置。由此,人造卫星6800可以构成卫星定位系统。

[0448] 另外,控制装置6807具有控制人造卫星6800的功能。控制装置6807例如使用选自CPU、GPU和存储装置中的一个或多个构成。另外,作为控制装置6807优选使用包括本发明的一个方式的OS晶体管的半导体装置。与Si晶体管相比,OS晶体管的因辐射线的照射而导致的电特性变动小。也就是说,OS晶体管在有可能入射辐射线的环境下也具有高可靠性且可以适当地使用。

[0449] 另外,人造卫星6800可以包括传感器。例如,通过包括可见光传感器,人造卫星6800可以具有检测地面上的物体反射的阳光的功能。或者,通过包括热红外线传感器,人造卫星6800可以具有检测从地表释放的热红外线的功能。由此,人造卫星6800例如可以被用作地球观测卫星。

[0450] 注意,在本实施方式中,作为太空设备的一个例子示出人造卫星,但是不局限于此。例如,本发明的一个方式的半导体装置可以适当地应用于宇宙飞船、太空舱、太空探测器等太空设备。

[0451] 本实施方式可以与本说明书所示的其他实施方式等适当地组合。

[符号说明]

[0452] 100:晶体管、110:电容器、151:导电层、152:导电层、153:绝缘层、154:绝缘层、155:导电层、157:绝缘层、158:绝缘层、159:绝缘层、161:导电层、162:开口、163:半导体层。

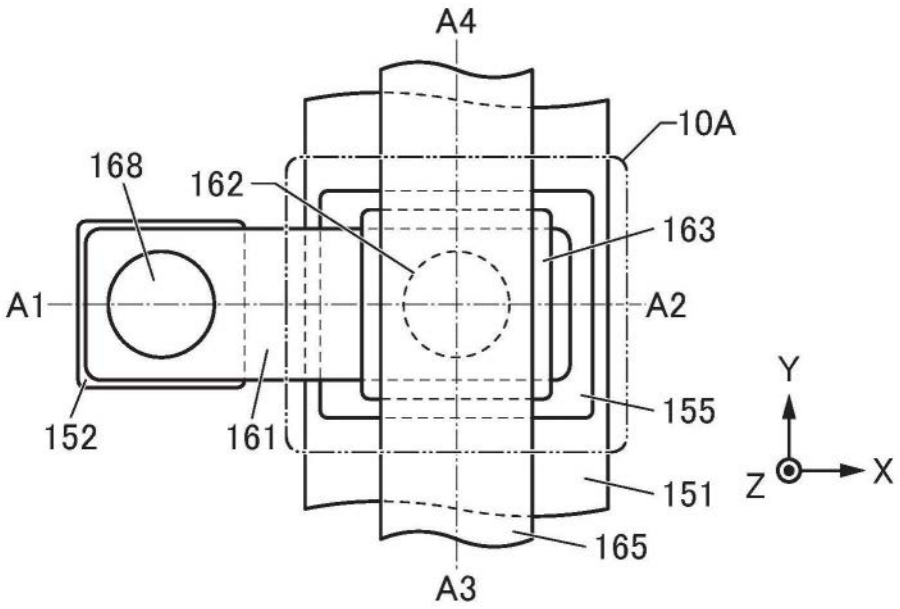

A4
10A
168
162
163
A1
A2
155
Y
152
161
151
Z
X
165
A3

图1A

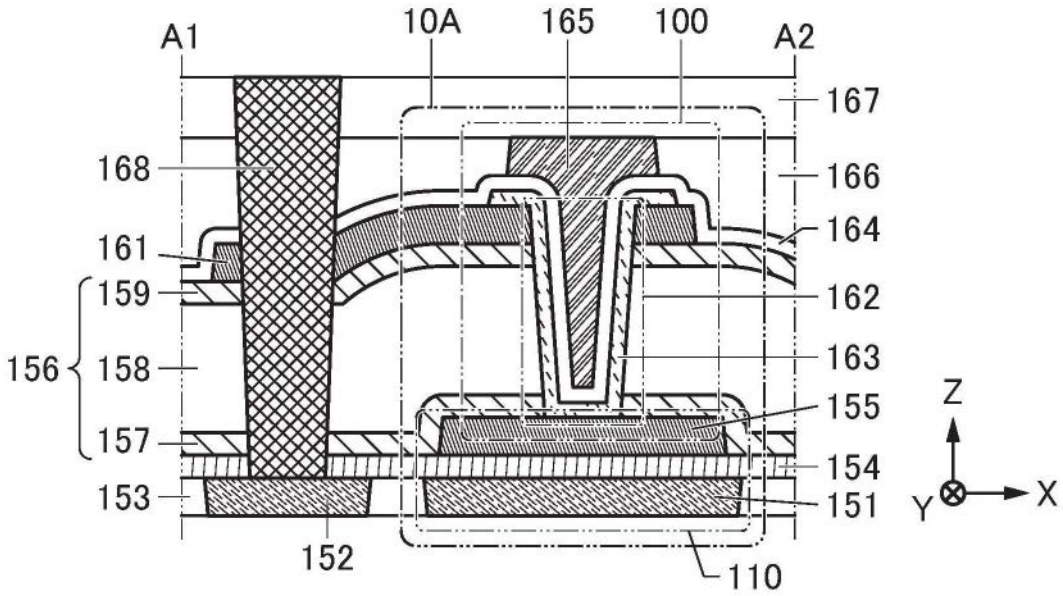

A1
10A
165
100
A2
167
168
166
164
161
159
162
156
158
163
155
Z
157
154
153
151
Y
X
152
110

图1B

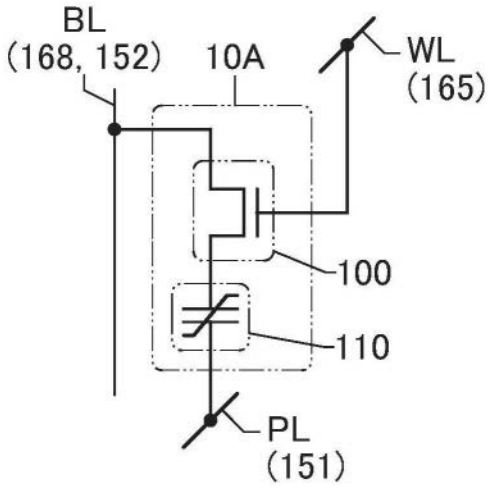

BL
(168, 152)
10A
WL
(165)
100
110
PL
(151)

图1C

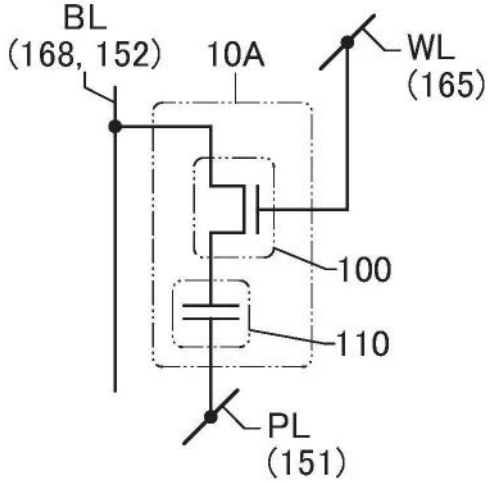

BL
(168, 152)
10A
WL
(165)
100
110
PL
(151)

图1D

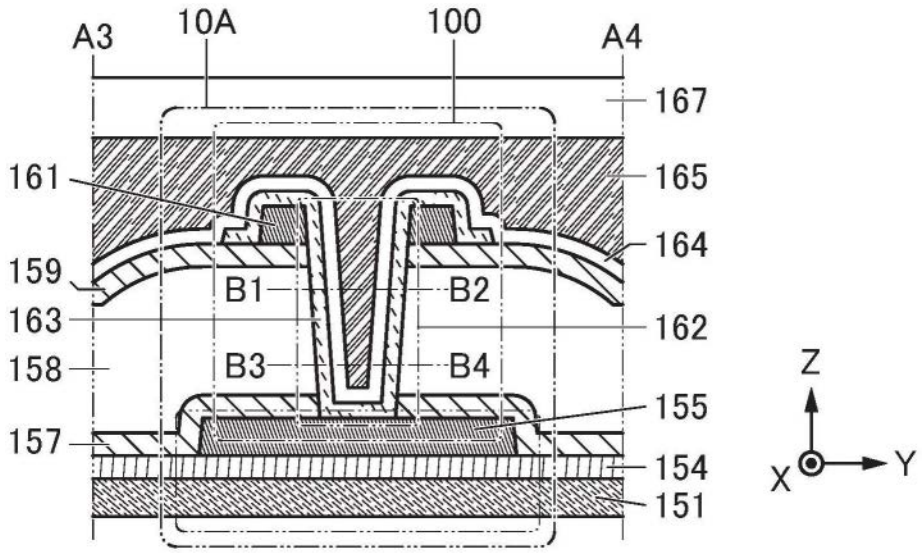

A3
10A
100
A4
167
161
165
164
159
B1
B2
163
162
158
B3
B4
155
157
154
151
Z
X
Y

图2A

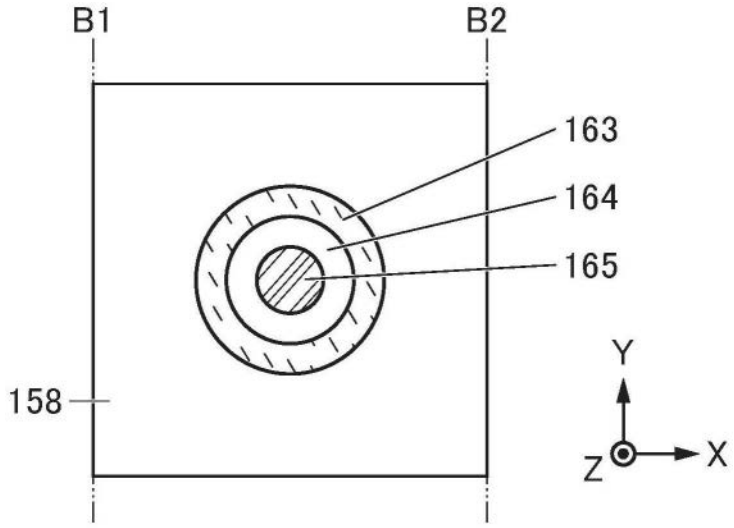

B1
B2
163
164
165
158
Y
Z
X

图2B

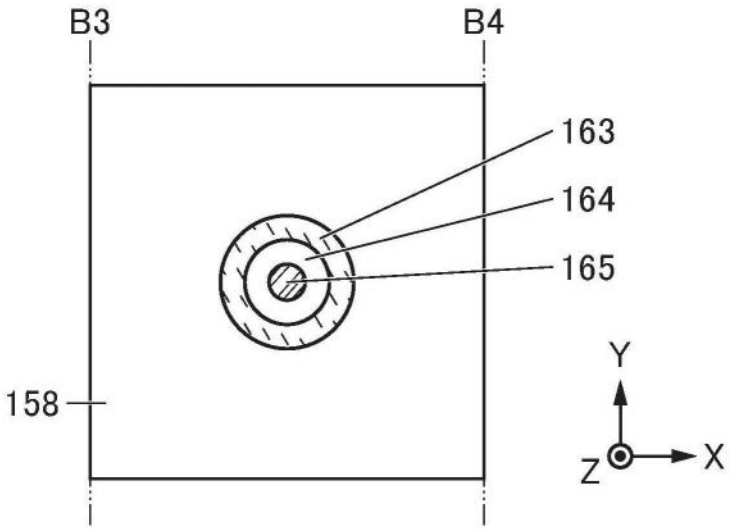

B3
B4
163
164
165
158
Y
Z
X

图2C

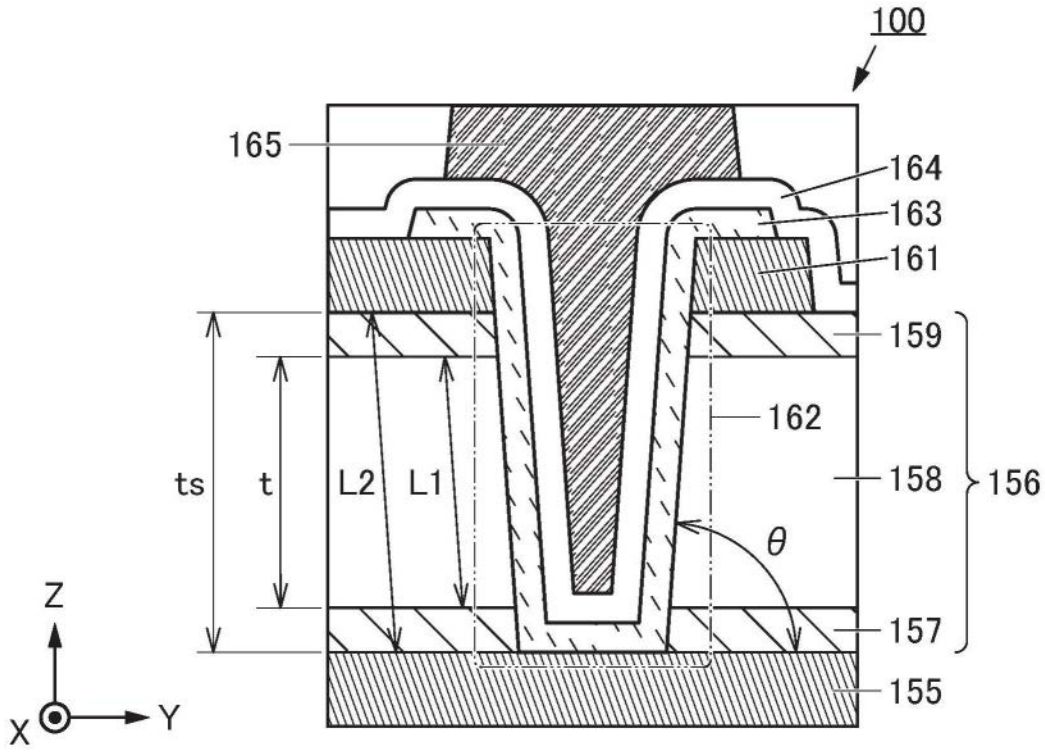

100
165
164
163
161
159
162
158
156
157
155
ts
t
L2
L1
θ
Z
X
Y

图3A

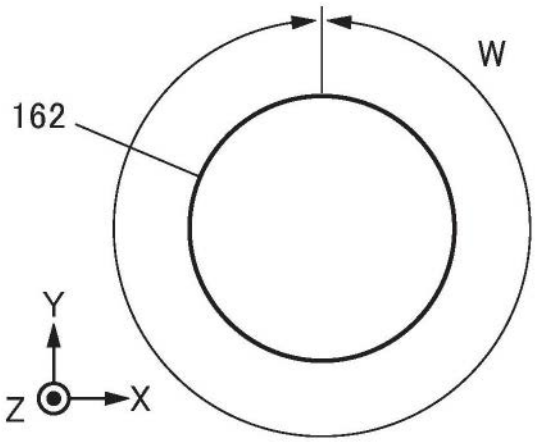


图3B

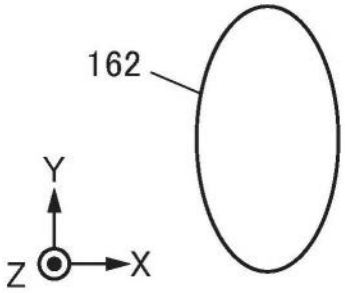


图3C

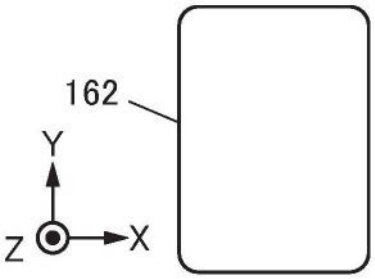


图3D

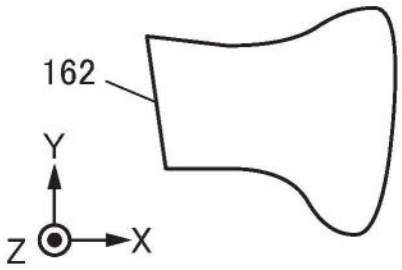


图3E

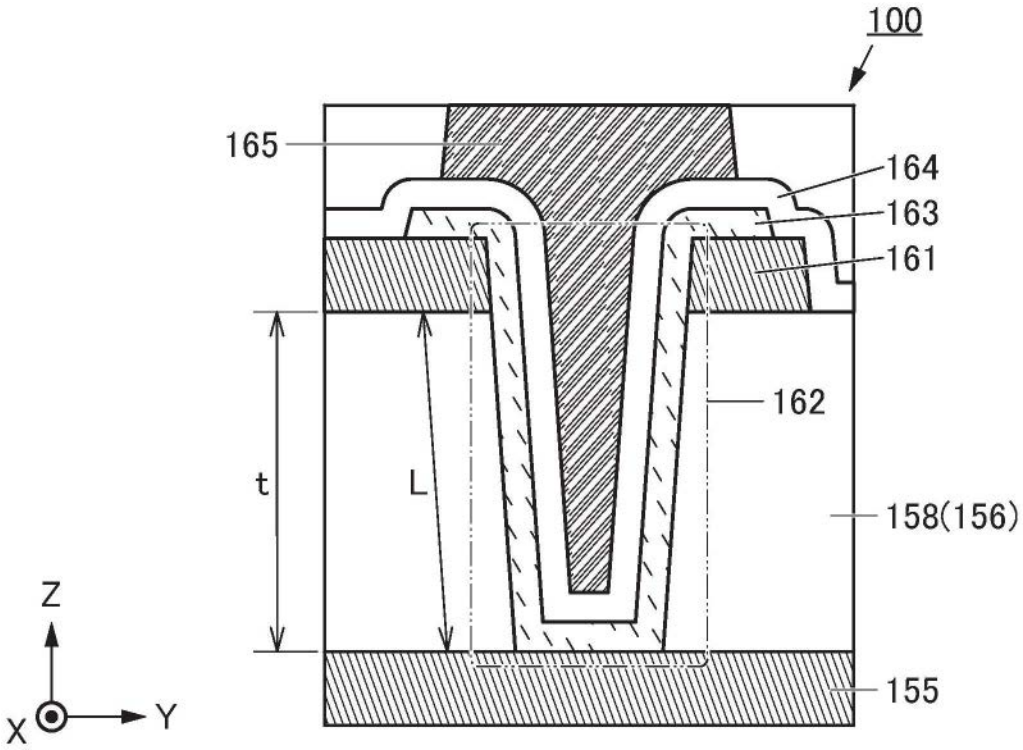


图4A

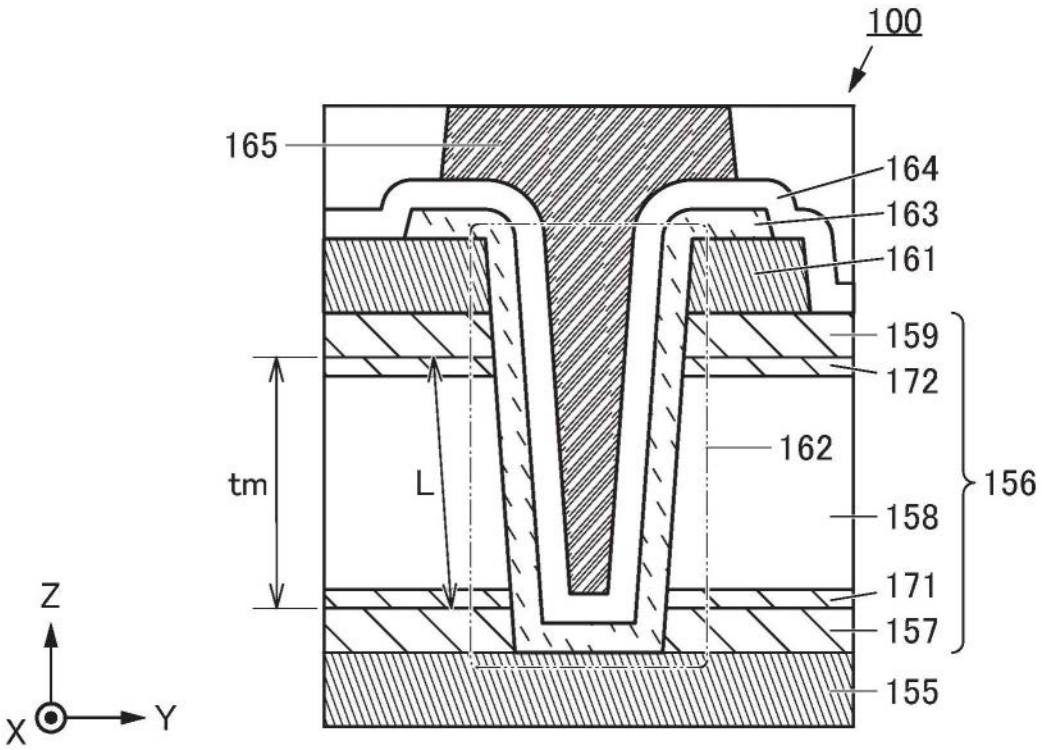

100
165
164
163
161
159
172
162
156
tm
L
158
171
157
155
Z
X
Y

图4B

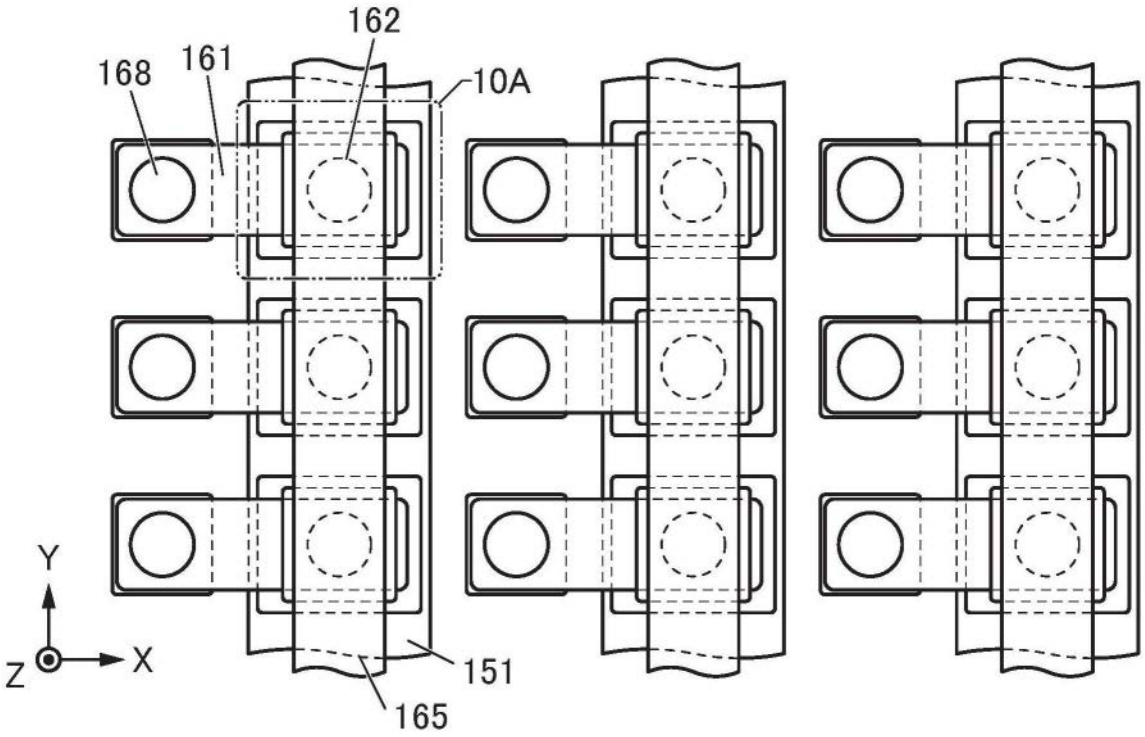

162
168
161
10A
Y
Z
X
151
165

图5A

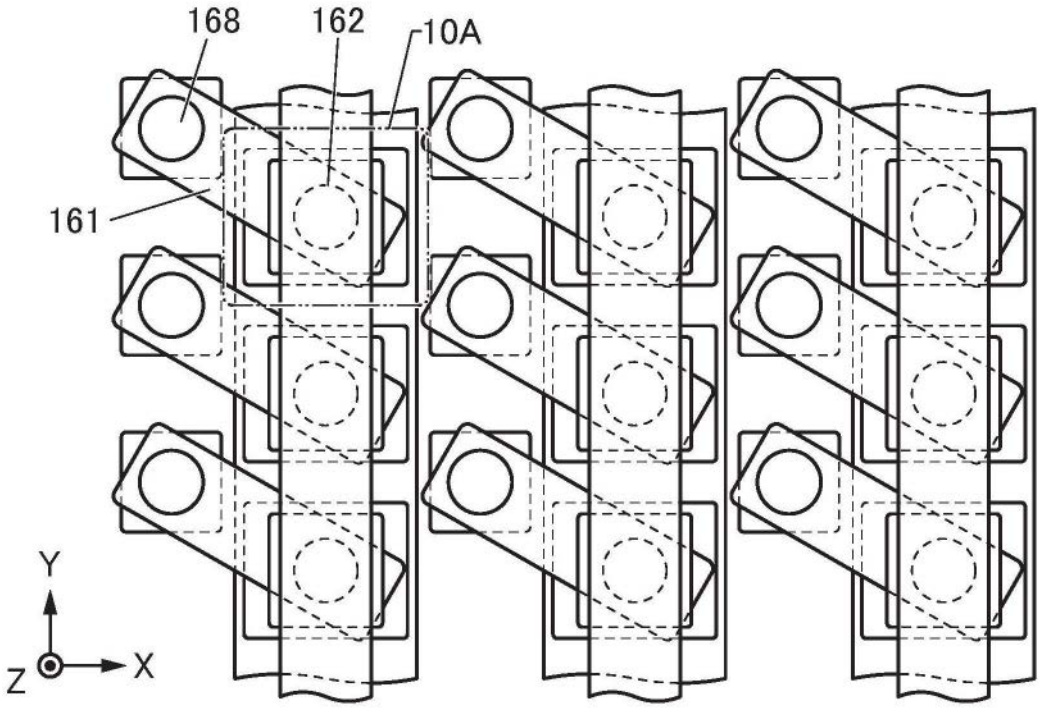

168
162
10A
161
Y
Z
X

图5B

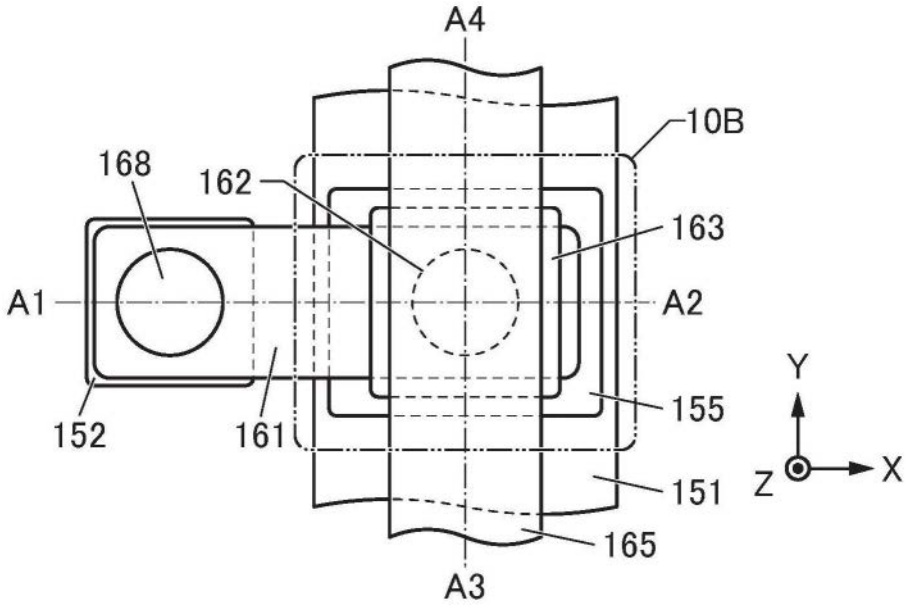

A4
10B
168
162
163
A1
A2
155
152
161
151
165
A3
Y
Z
X

图6A

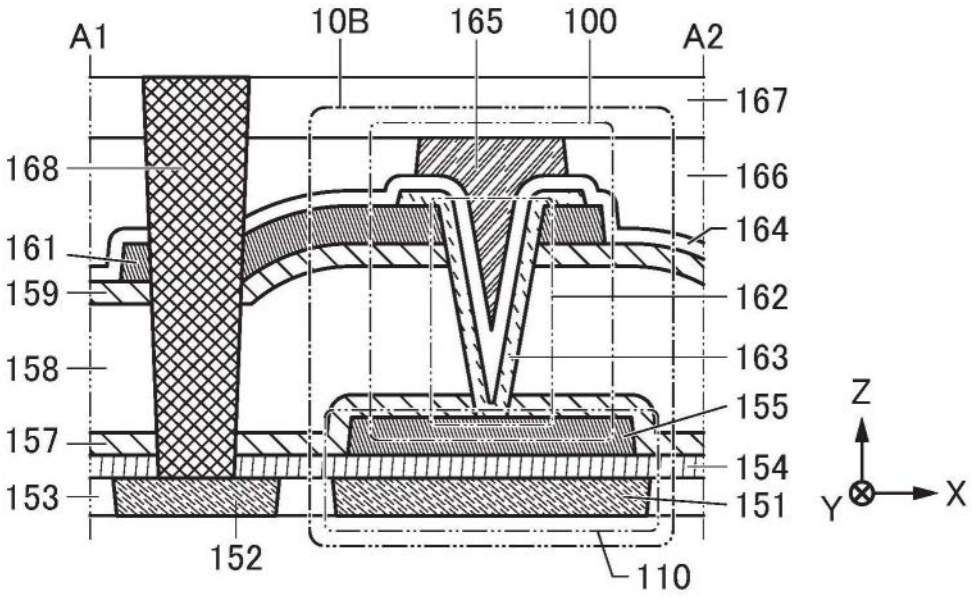

A1
10B
165
100
A2
167
168
166
161
164
159
162
158
163
155
157
154
153
151
152
110
Z
Y
X

图6B

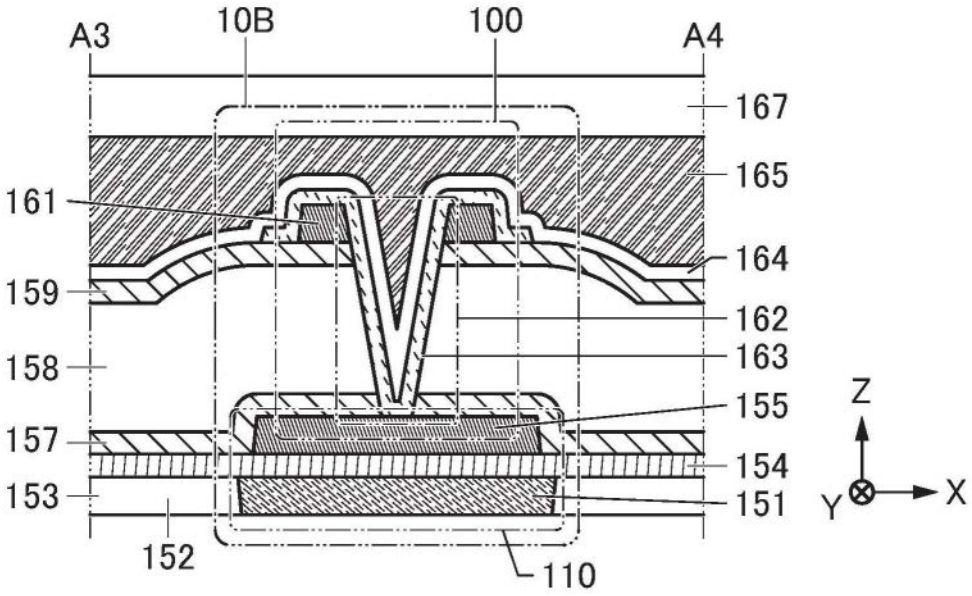

A3
10B
100
A4
167
161
165
164
159
162
158
163
155
157
154
153
151
152
110
Z
Y
X

图6C

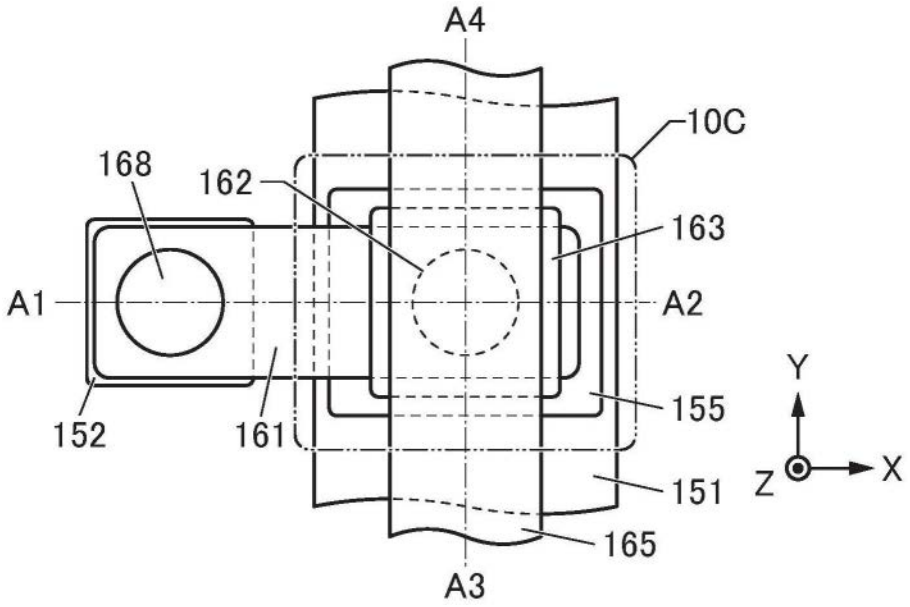

A4
10C
168
162
163
A1
A2
155
152
161
151
165
A3
Y
Z
X

图7A

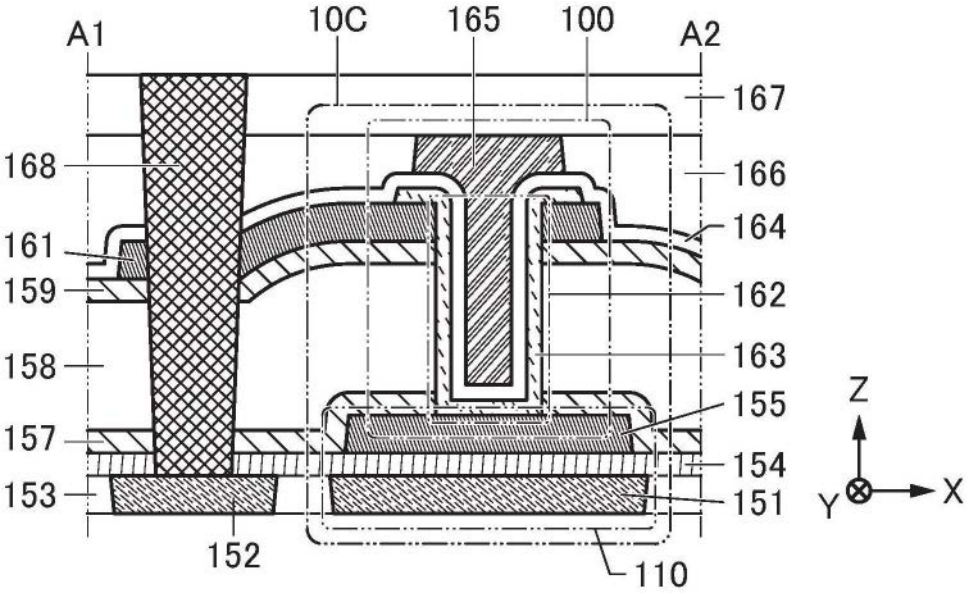

A1
10C
165
100
A2
167
168
166
164
161
159
162
158
163
155
157
154
153
151
152
110
Z
Y
X

图7B

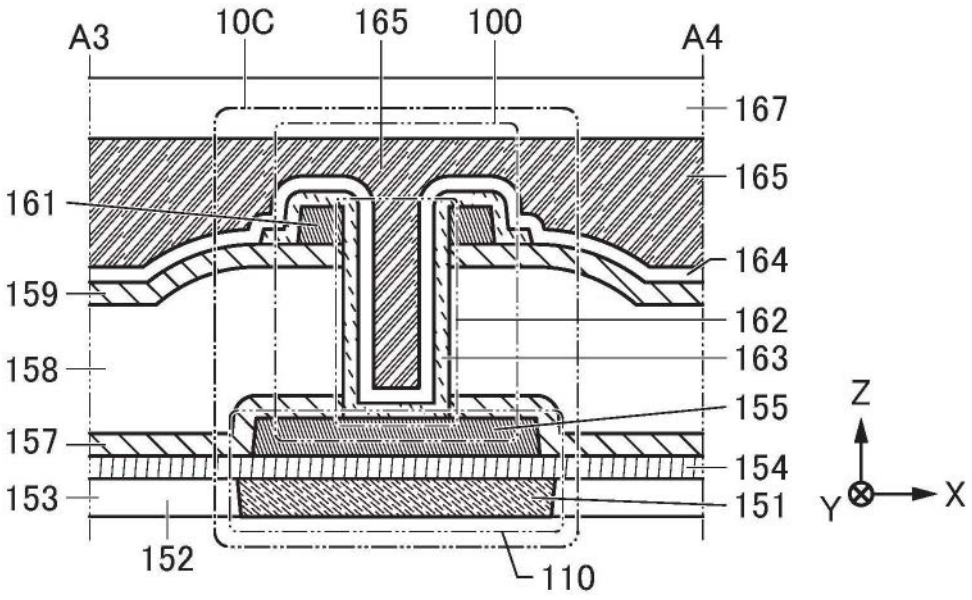

A3
10C
165
100
A4
167
165
161
164
159
162
158
163
155
157
154
153
151
152
110
Z
Y
X

图7C

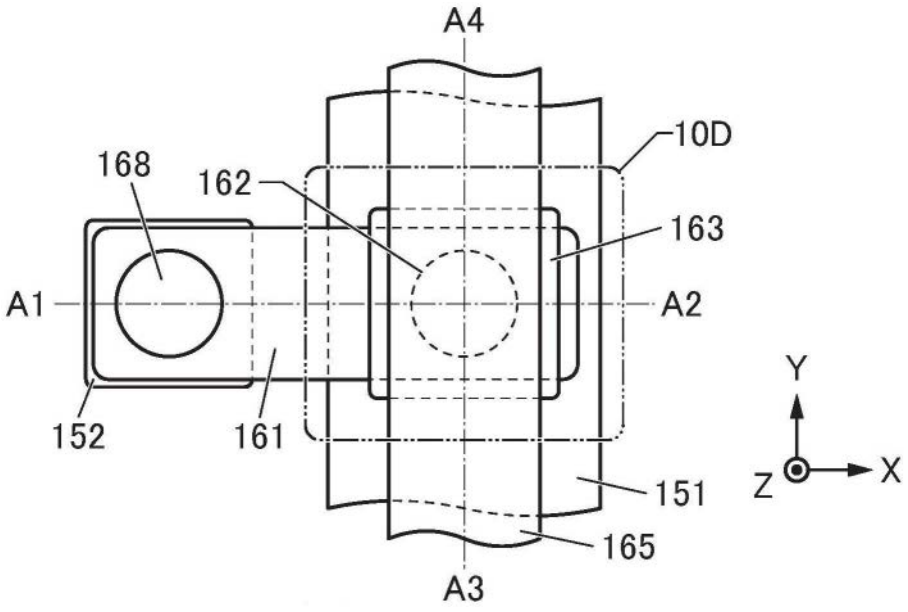

A4
10D
168
162
163
A1
A2
152
161
151
165
A3
Y
Z
X

图8A

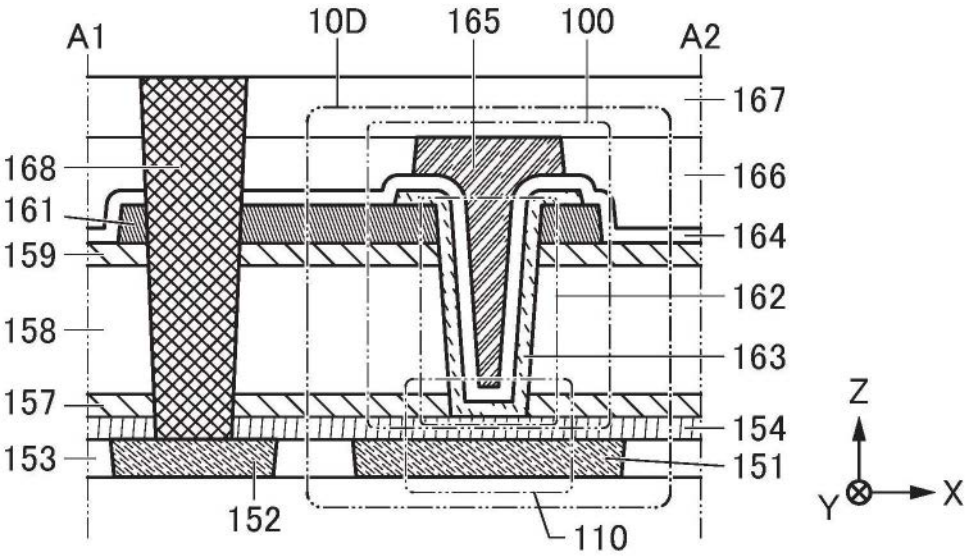

A1
10D
165
100
A2
167
168
166
161
164
159
162
158
163
157
154
153
151
152
110
Z
Y
X

图8B

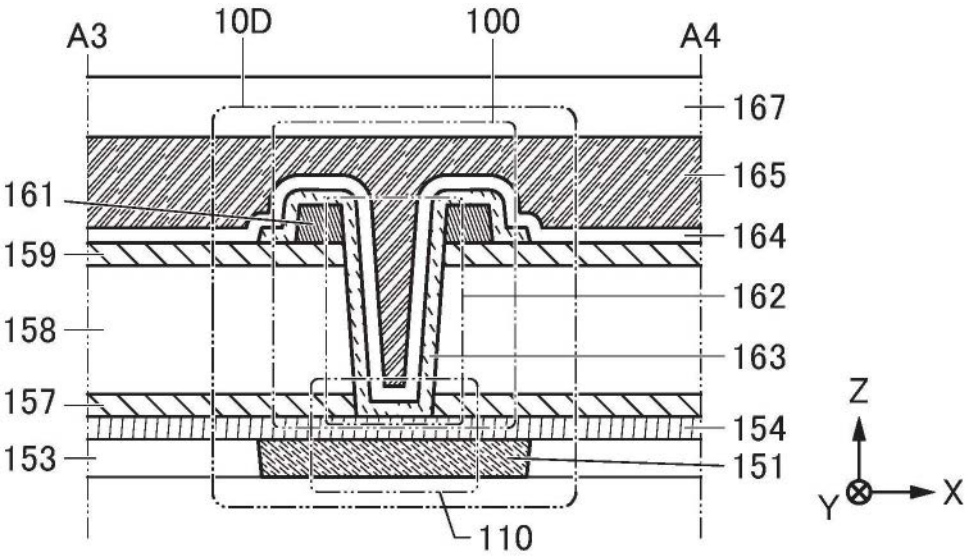

A3
10D
100
A4
167
165
161
164
159
162
158
163
157
154
153
151
110
Z
Y
X

图8C

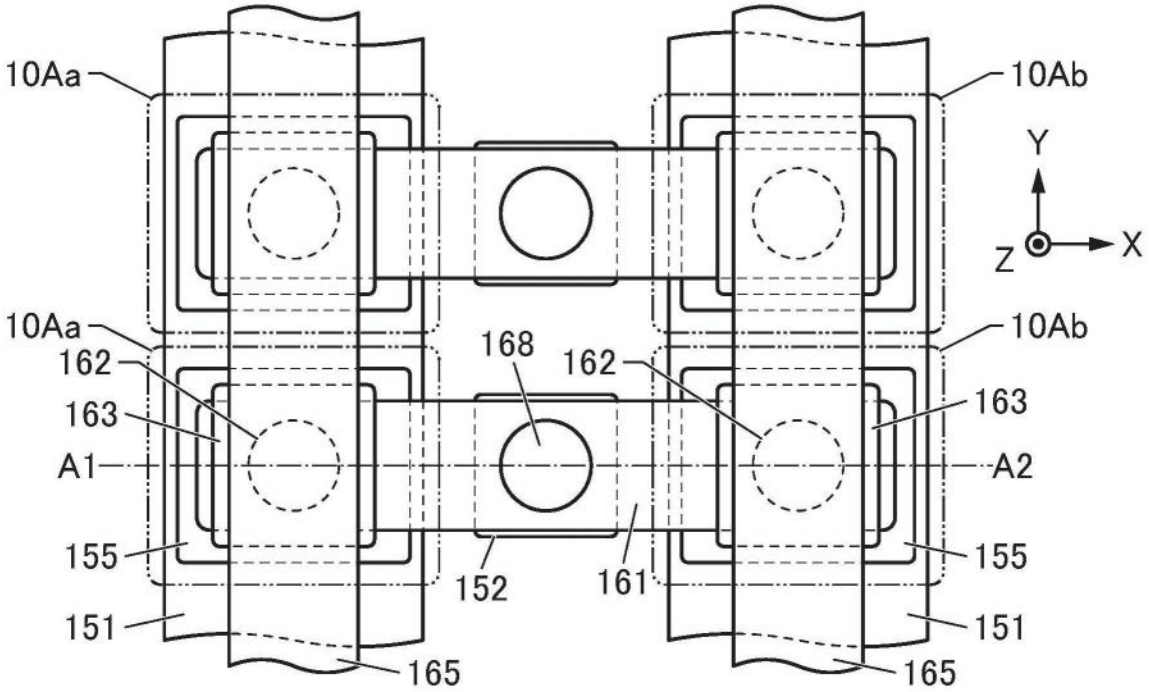

10Aa
10Ab
Y
Z
X
10Aa
10Ab
162
168
162
163
163
A1
A2
155
155
152
161
151
151
165
165

图9A

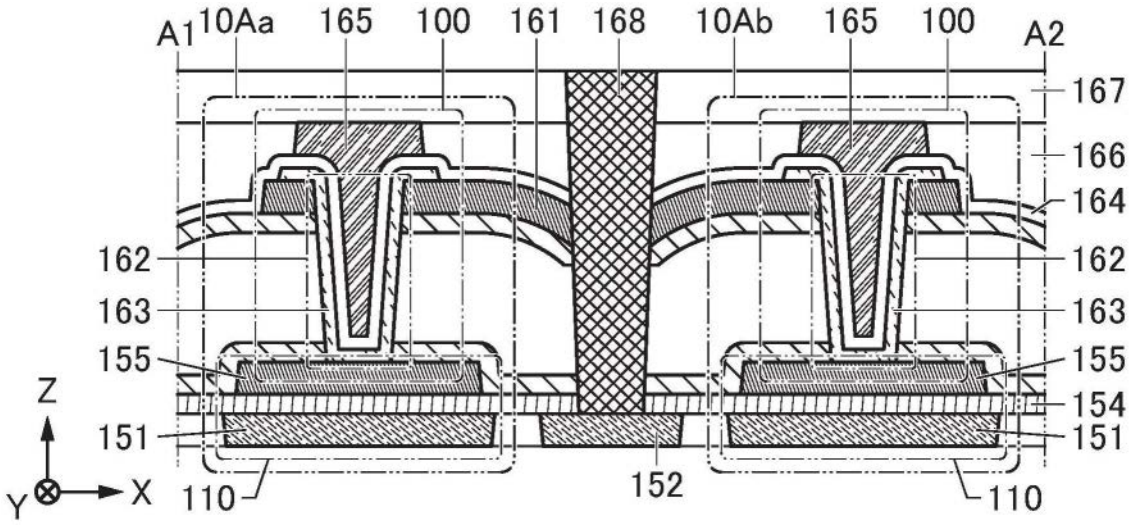

A1
10Aa
165
100
161
168
10Ab
165
100
A2
167
166
164
162
162
163
163
155
155
154
151
151
Z
Y
X
110
152
110

图9B

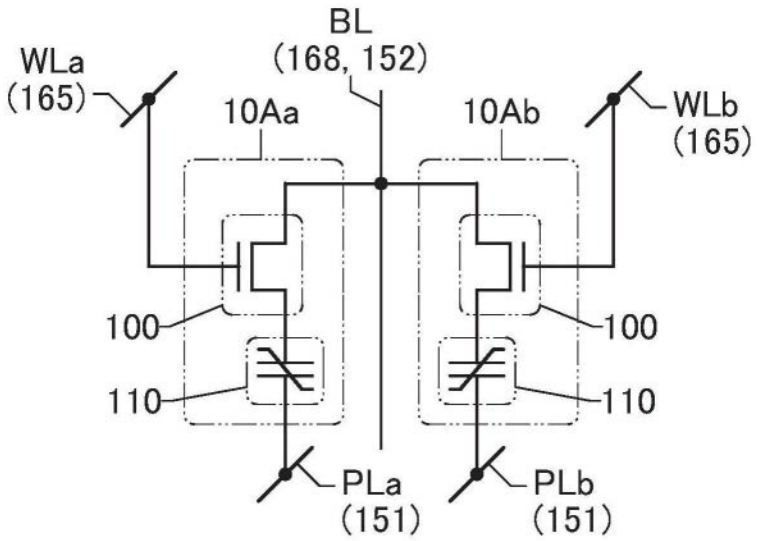

BL
(168, 152)
WLa
(165)
10Aa
10Ab
WLb
(165)
100
100
110
110
PLa
(151)
PLb
(151)

图9C

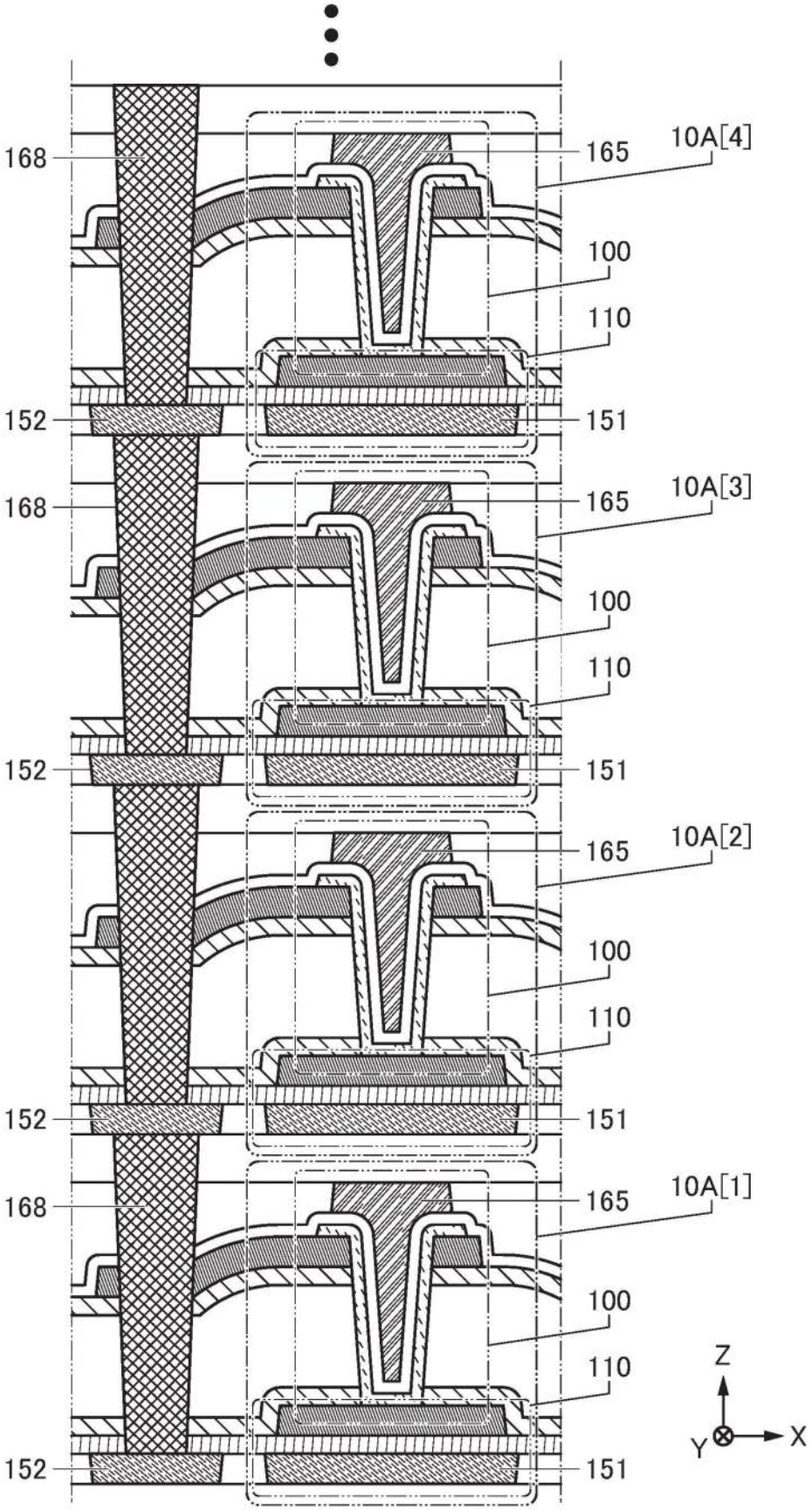

168
165
10A[4]
100
110
152
151
168
165
10A[3]
100
110
152
151
152
165
10A[2]
100
110
152
151
168
165
10A[1]
100
110
152
151
Z
Y
X

图10

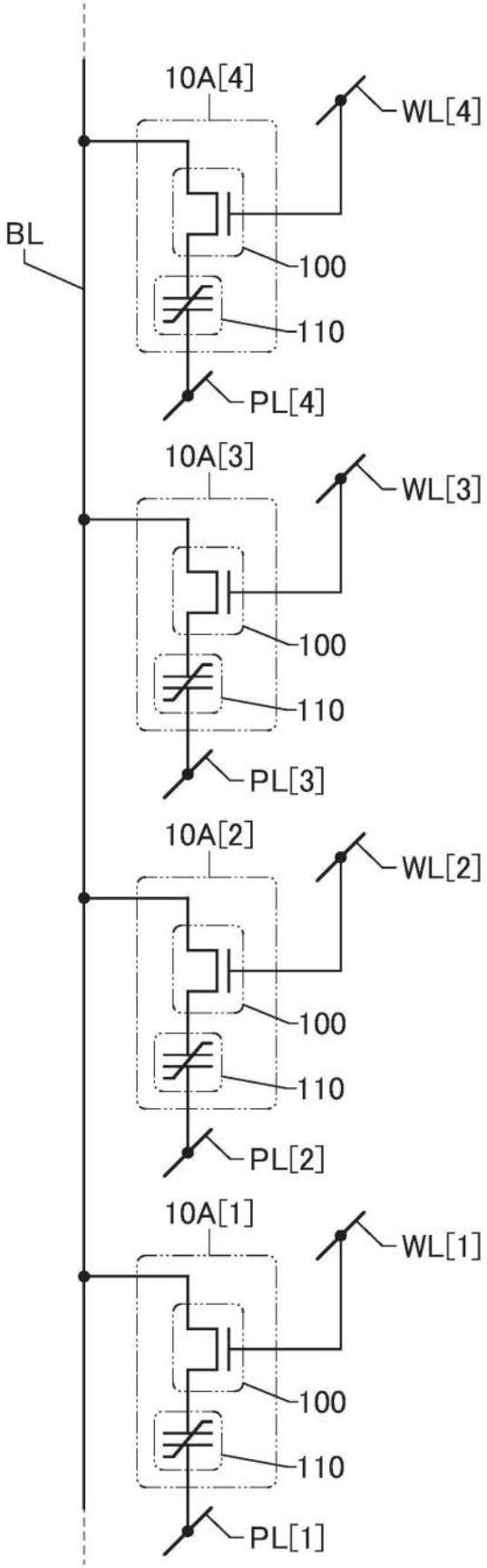

10A[4]
WL[4]
BL
100
110
PL[4]
10A[3]
WL[3]
100
110
PL[3]
10A[2]
WL[2]
100
110
PL[2]
10A[1]
WL[1]
100
110
PL[1]

图11

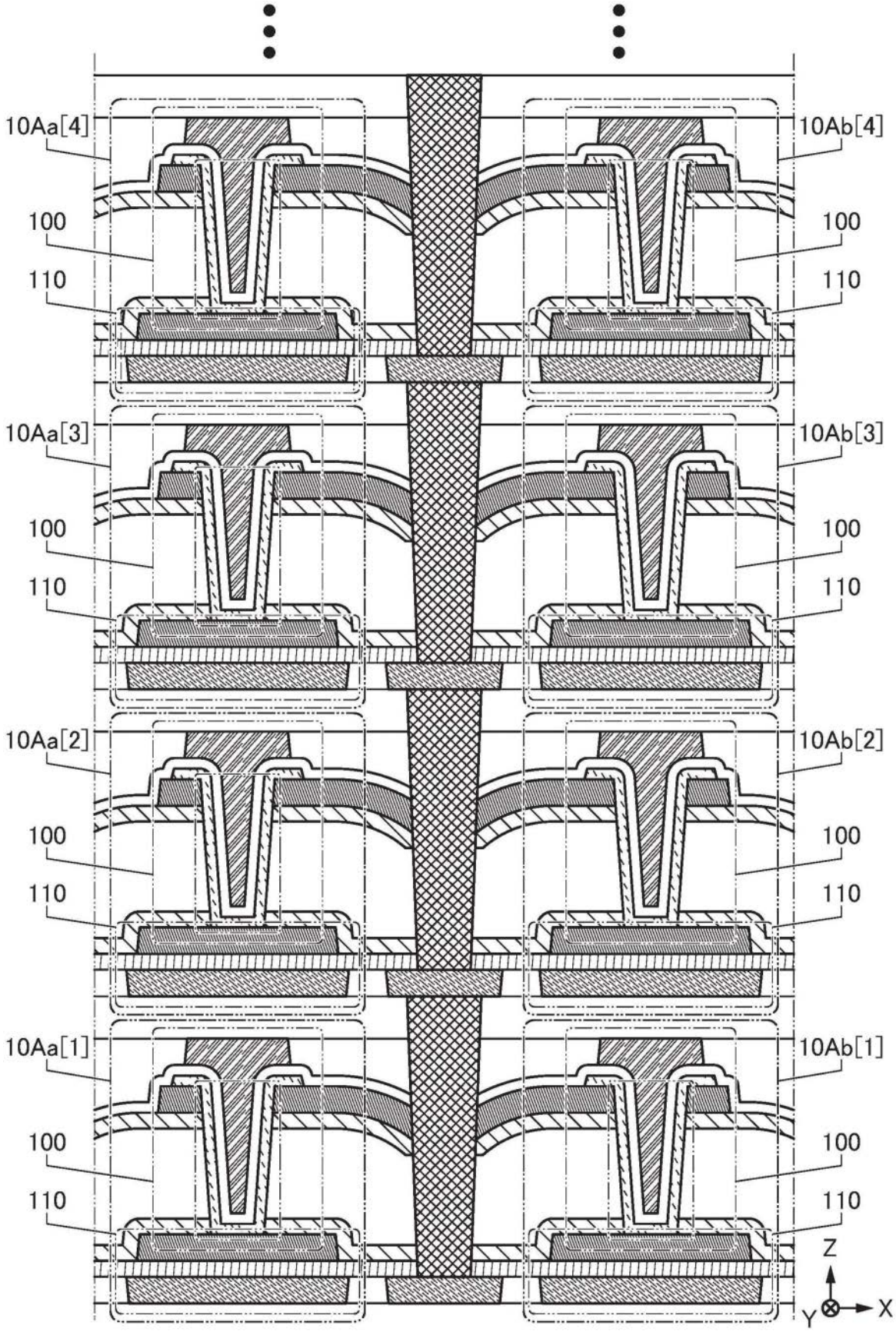


图12

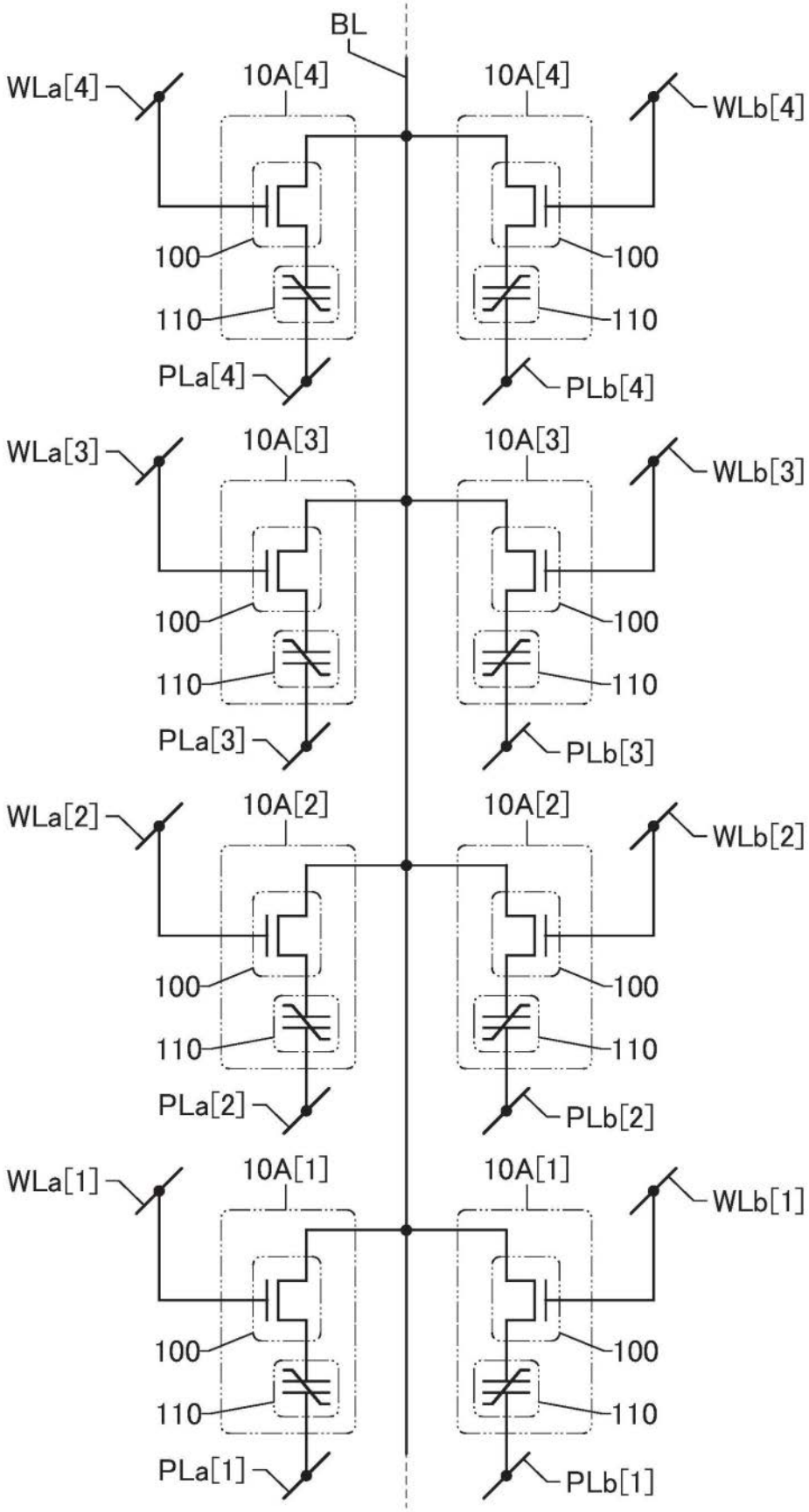

BL
WLa[4]
10A[4]
10A[4]
WLb[4]
100
100
110
110
PLa[4]
PLb[4]
WLa[3]
10A[3]
10A[3]
WLb[3]
100
100
110
110
PLa[3]
PLb[3]
WLa[2]
10A[2]
10A[2]
WLb[2]
100
100
110
110
PLa[2]
PLb[2]
WLa[1]
10A[1]
10A[1]
WLb[1]
100
100
110
110
PLa[1]
PLb[1]

图13

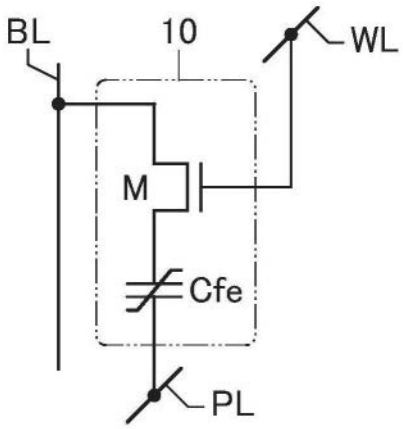


图14A

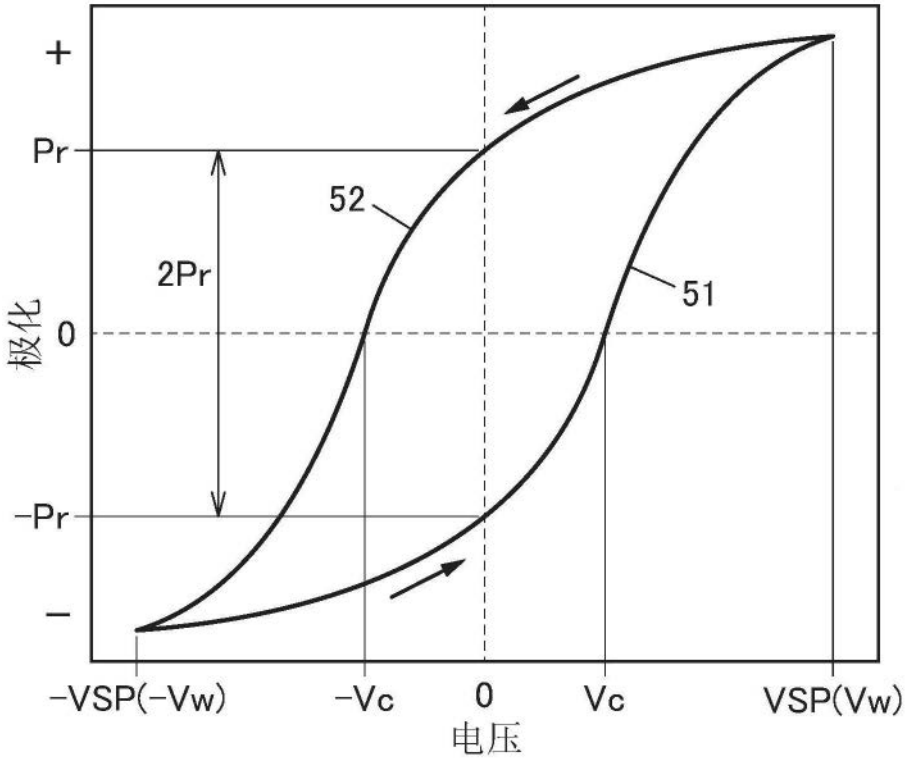


图14B

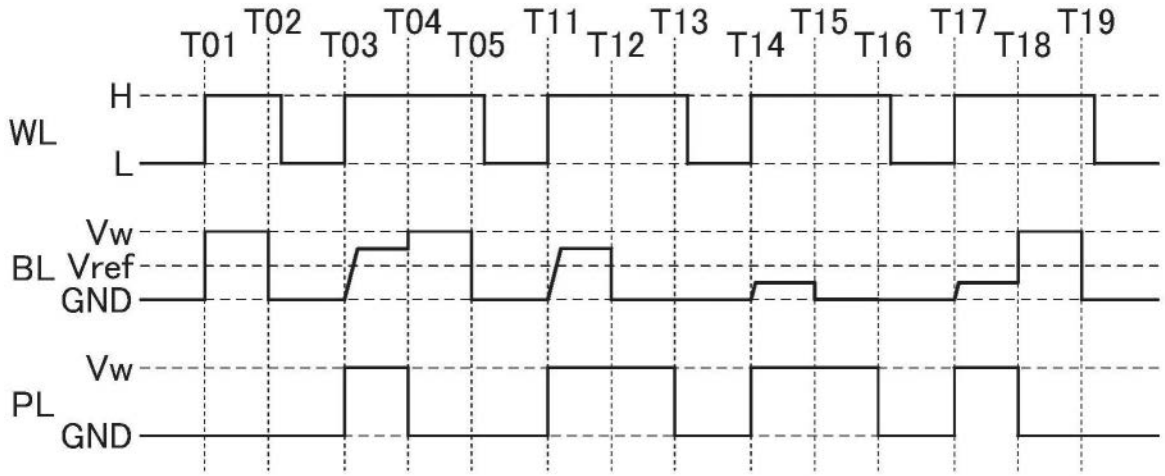

T01
T02
T03
T04
T05
T11
T12
T13
T14
T15
T16
T17
T18
T19
WL
H
L
BL
Vw
Vref
GND
PL
Vw
GND

图14C

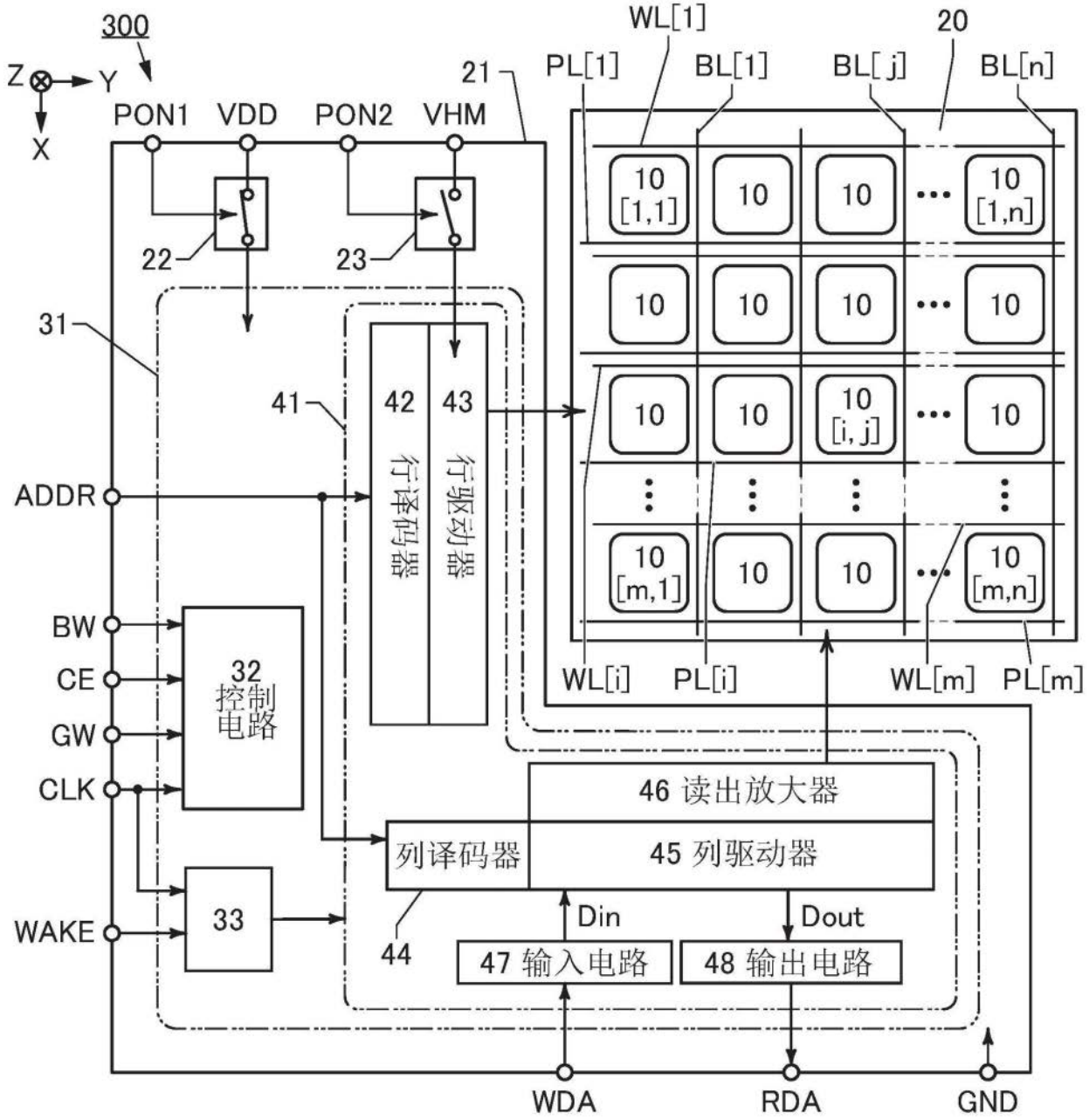

300
Z
Y
X
PON1
VDD
PON2
VHM
21
WL[1]
PL[1]
BL[1]
BL[j]
20
BL[n]
10 [1,1]
10 [1,n]
10 [i, j]
10 [m,1]
10 [m,n]
22
23
31
41
42
43
行译码器
行驱动器
ADDR
BW
CE
GW
CLK
32 控制电路
WAKE
33
WL[i]
PL[i]
WL[m]
PL[m]
46 读出放大器
列译码器
45 列驱动器
44
Din
Dout
47 输入电路
48 输出电路
WDA
RDA
GND

图15A

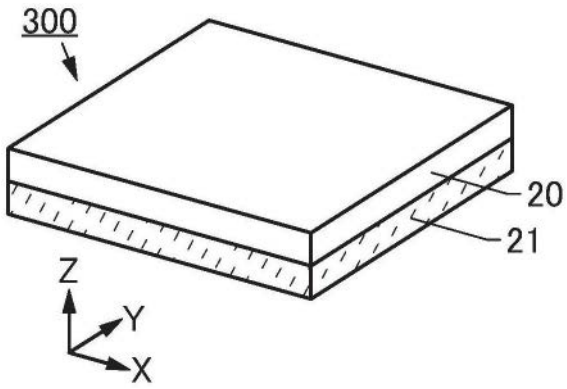


图15B

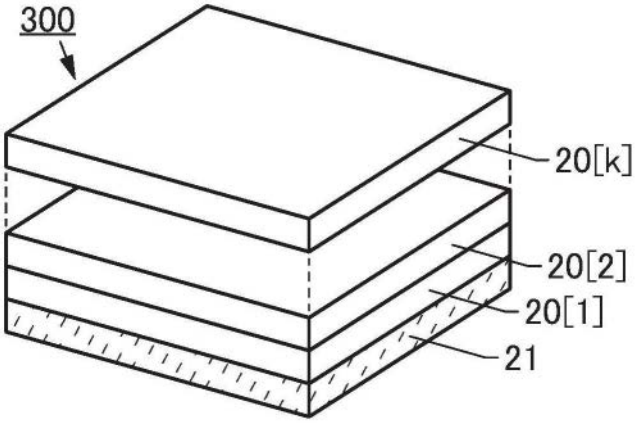


图15C

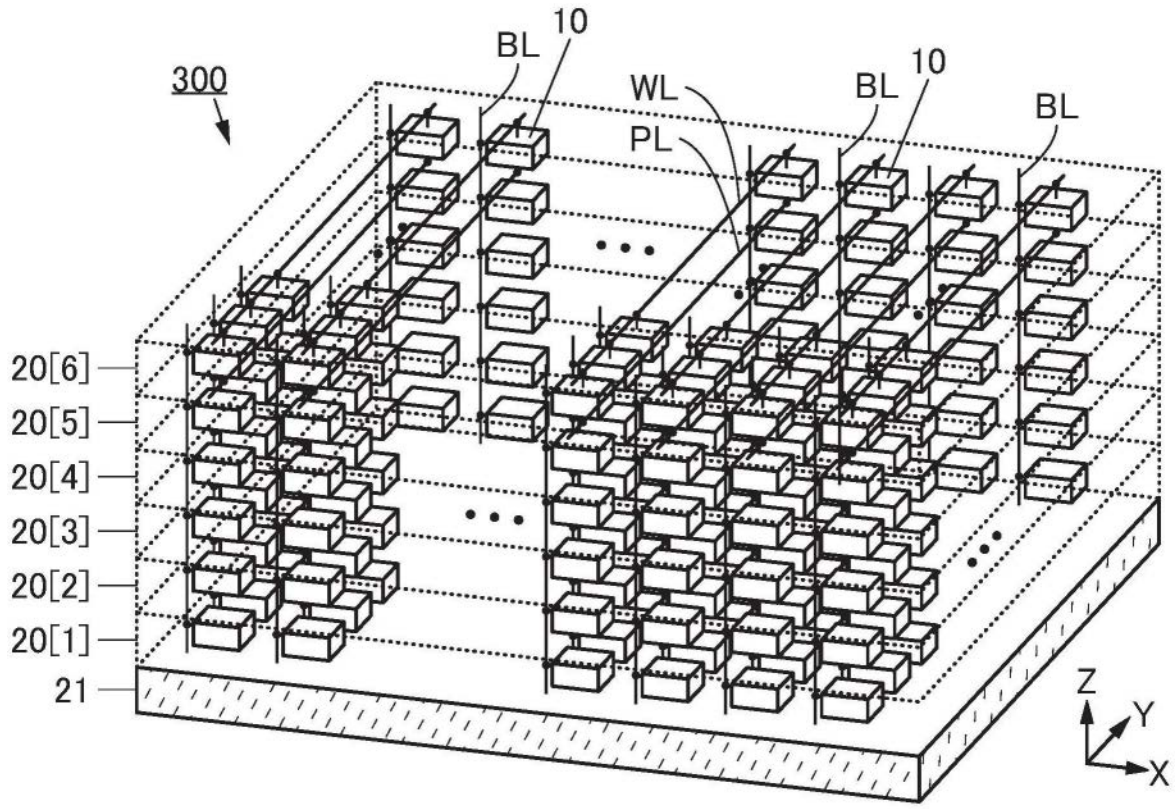


图16A

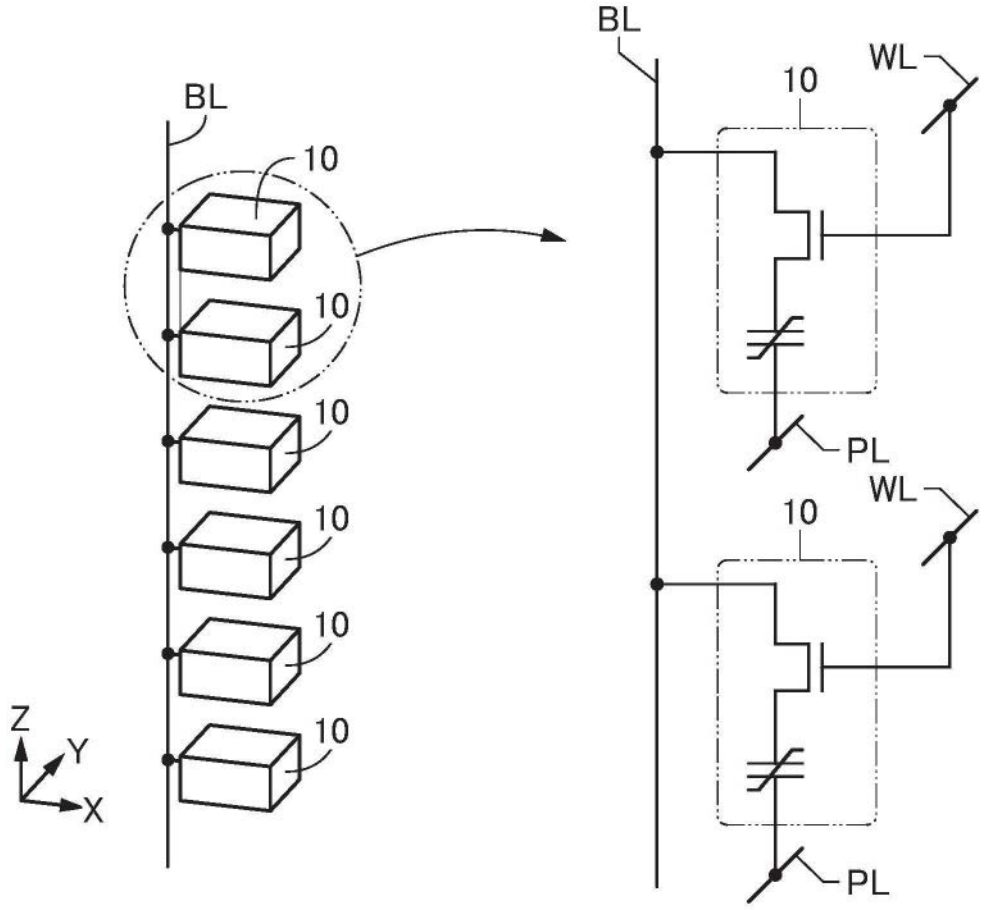


图16B

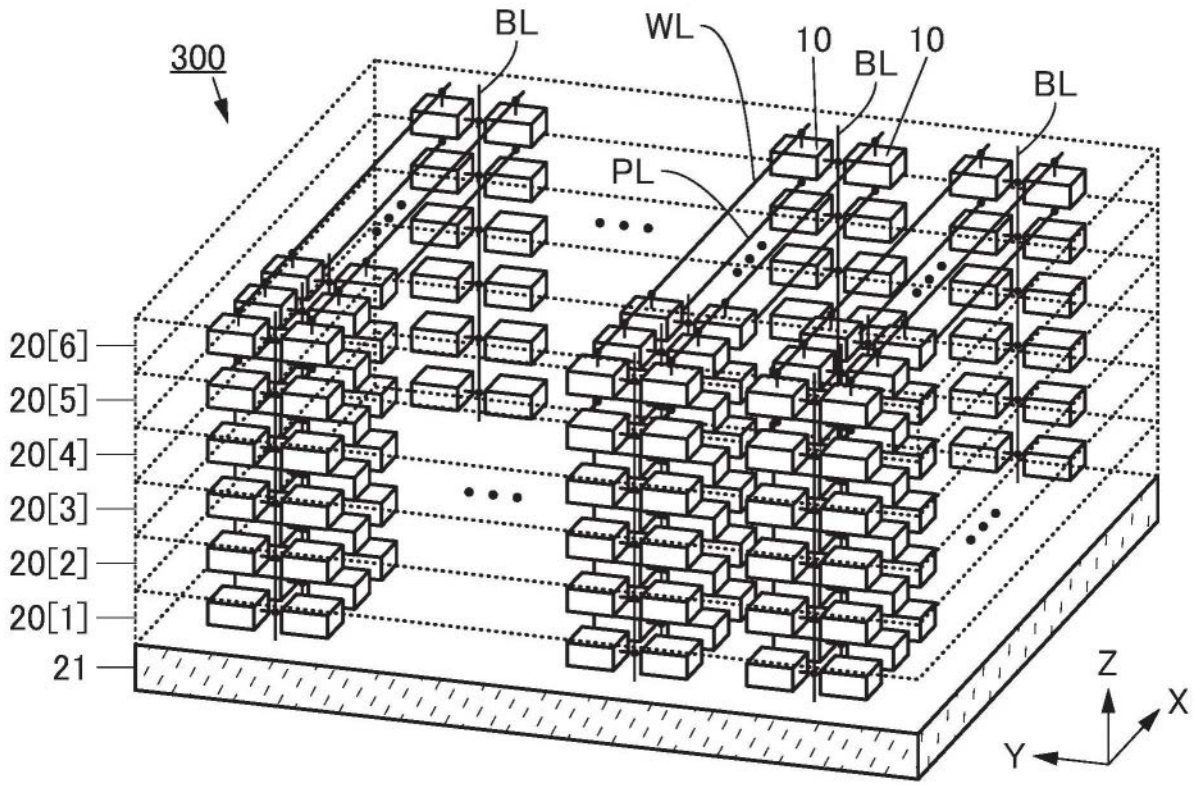


图17A

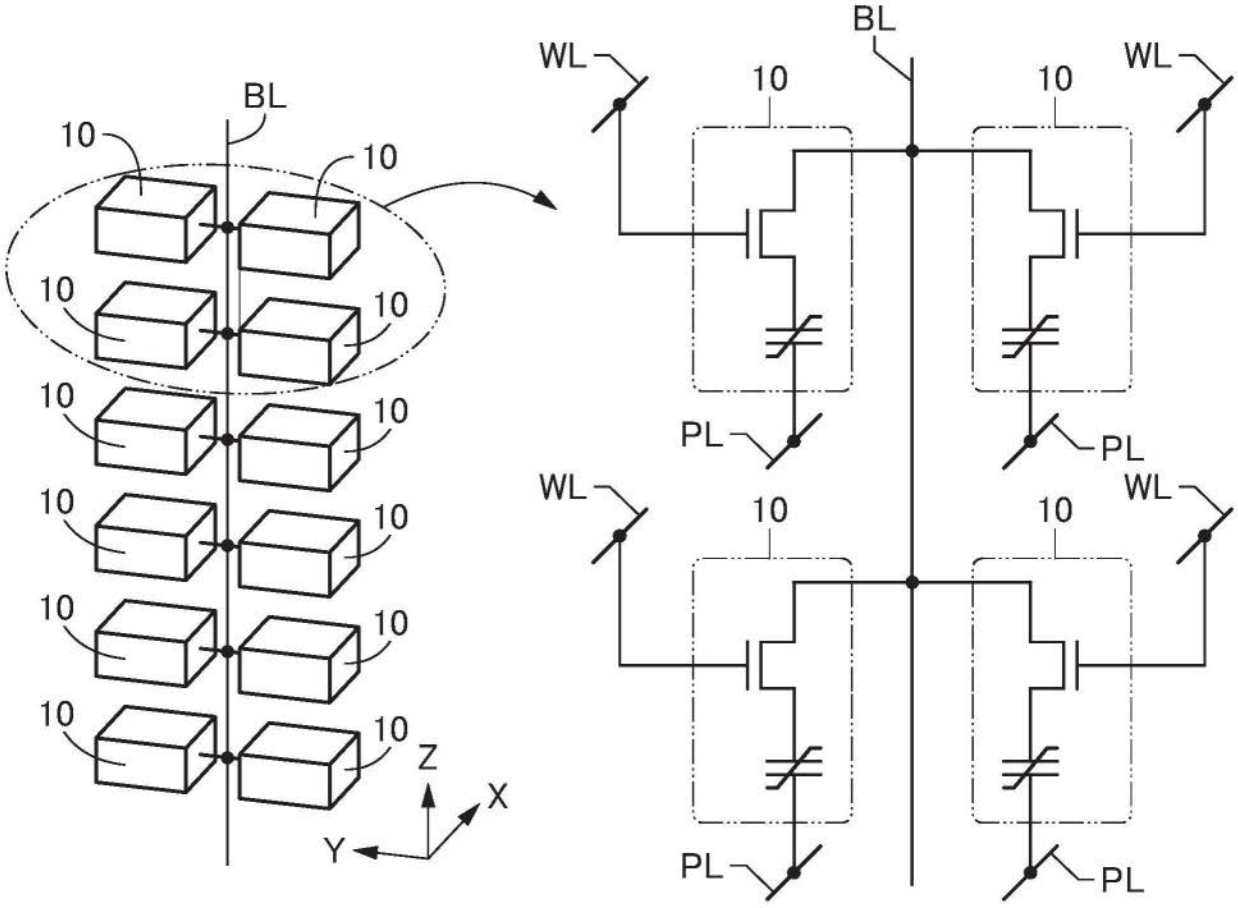

BL
10
10
10
10
10
10
10
10
10
10
10
10
10
10
Z
X
Y
BL
WL
10
10
WL
PL
PL
WL
10
10
WL
PL
PL

图17B

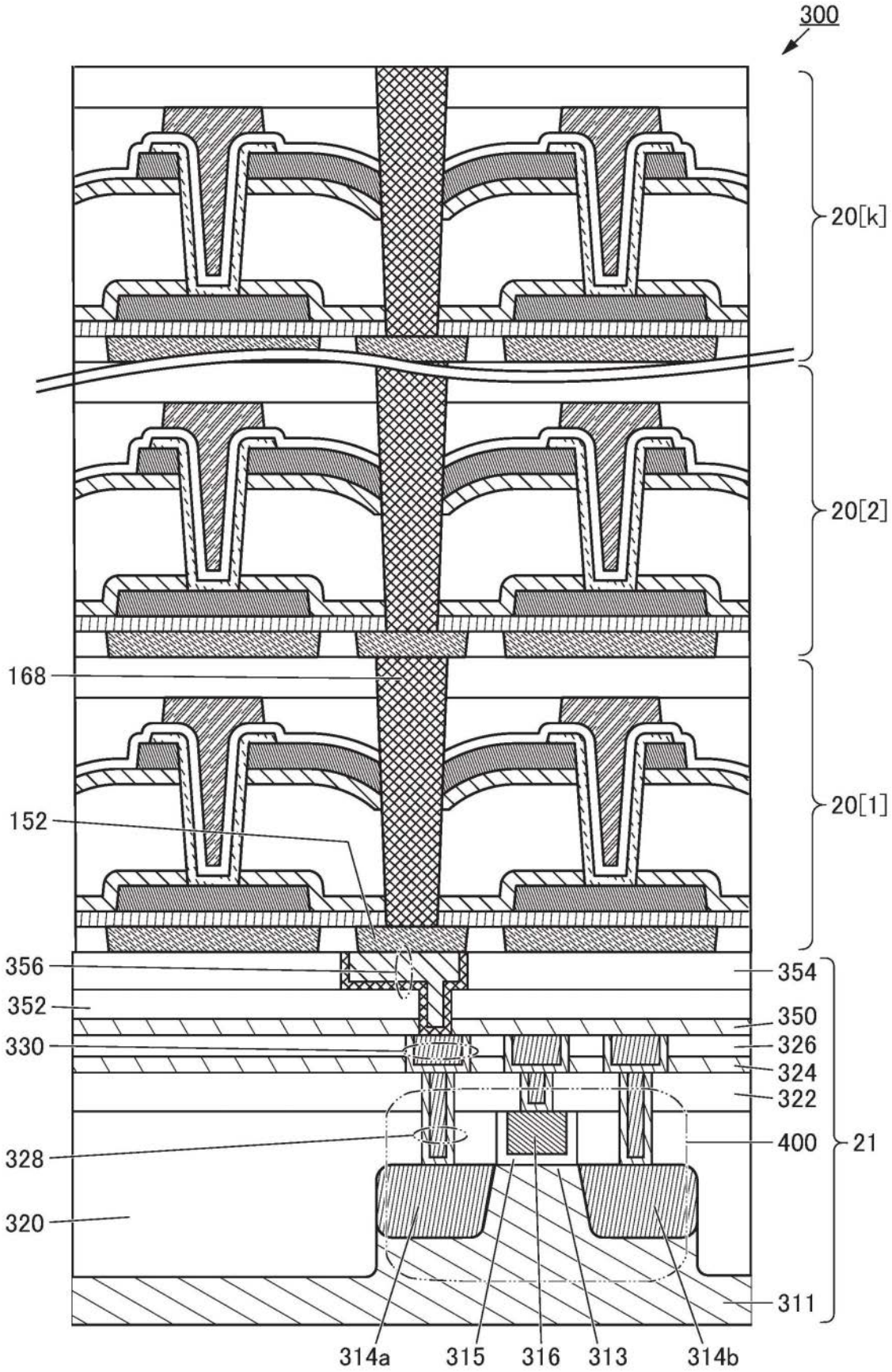

300
20[k]
20[2]
20[1]
168
152
356
352
330
328
320
354
350
326
324
322
400
21
311
314a
315
316
313
314b

图18

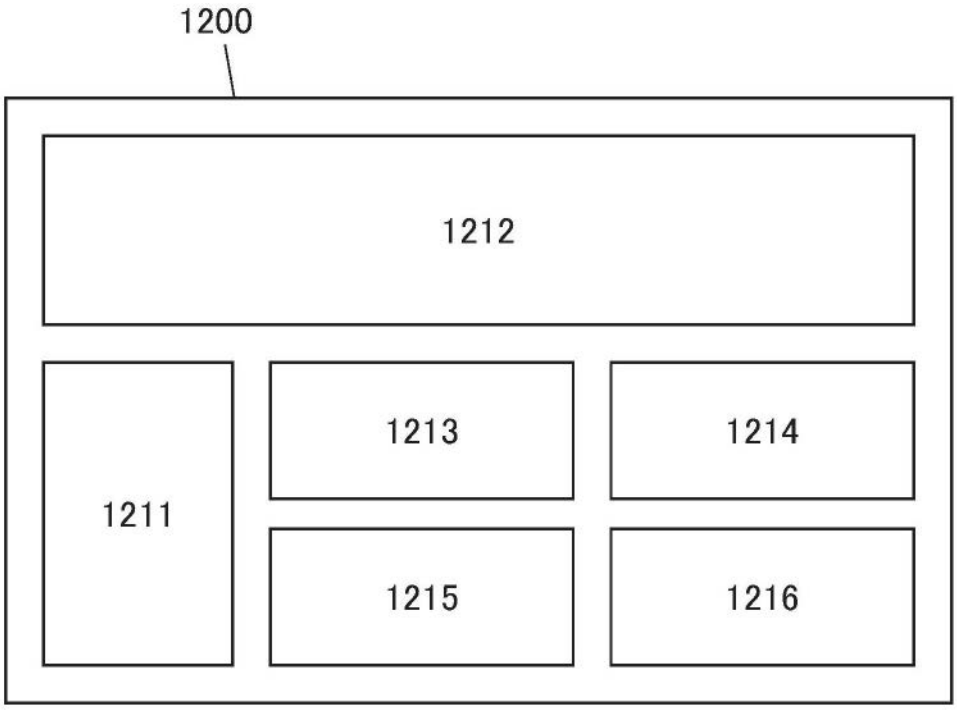

1200
1212
1211
1213
1214
1215
1216

图19A

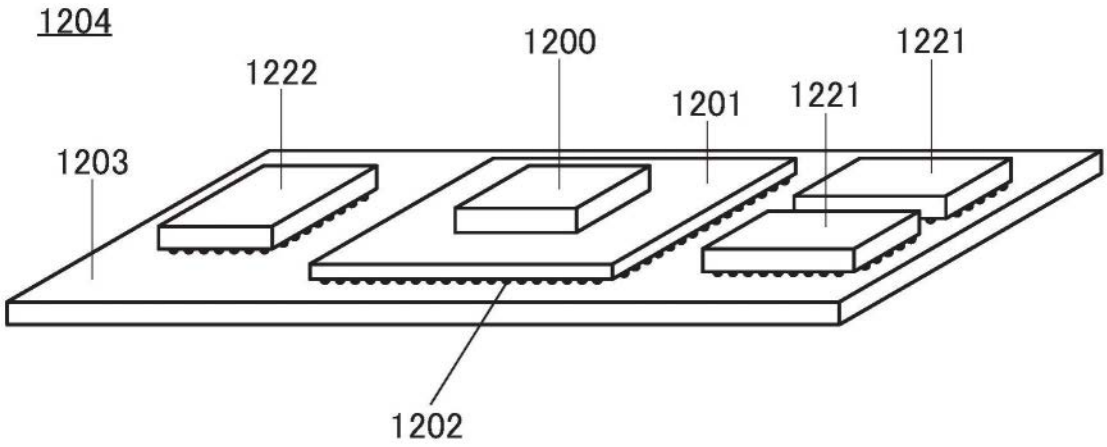

1204
1222
1200
1201
1221
1221
1203
1202

图19B

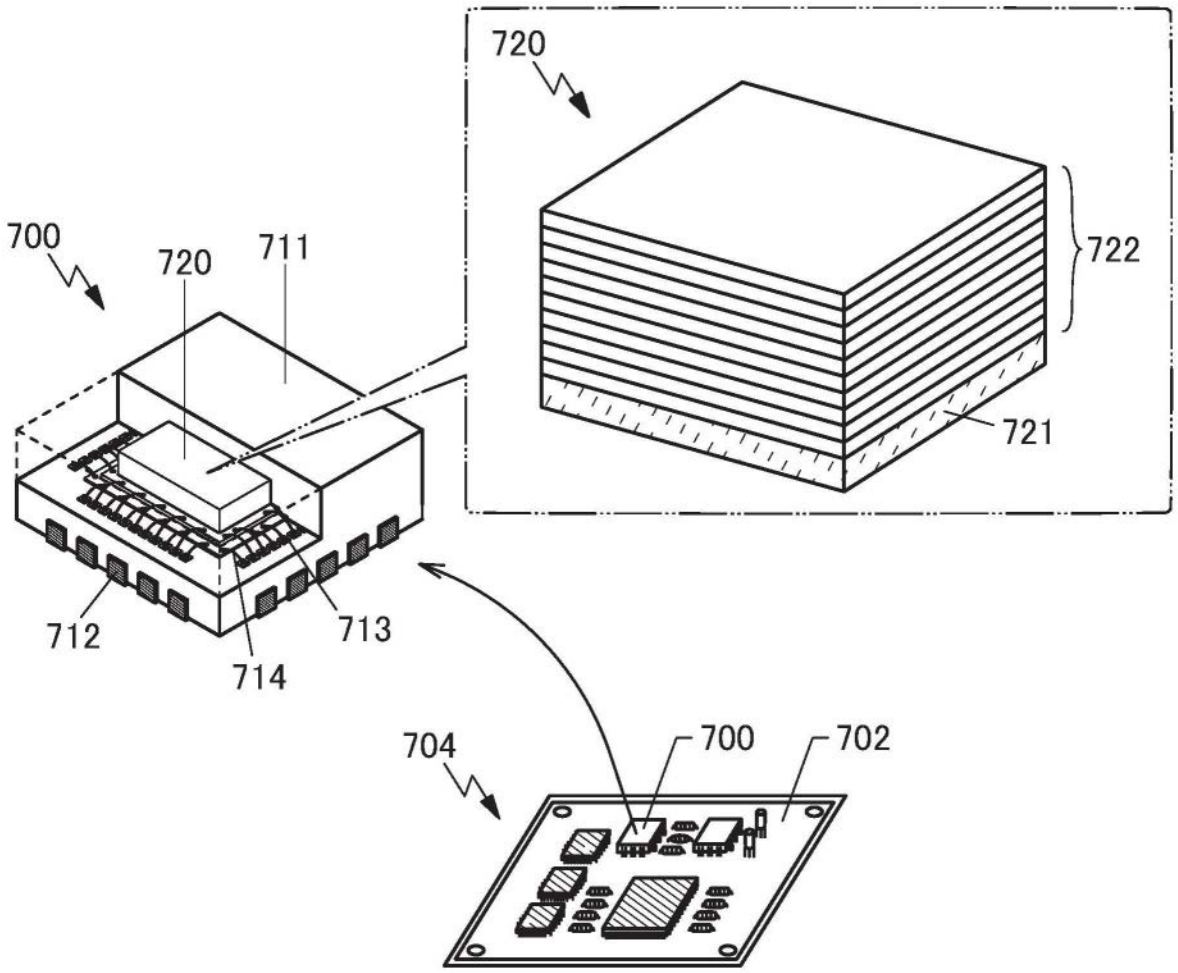

720
722
721
700
720
711
712
713
714
704
700
702

图20A

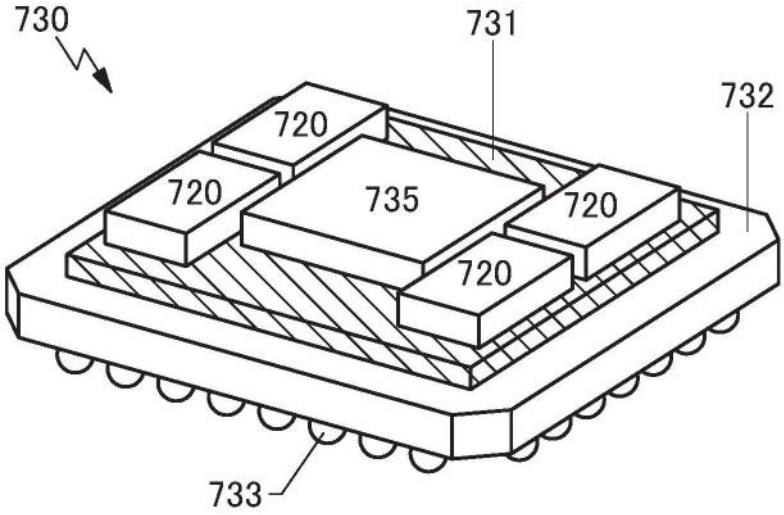

730
731
732
720
720
735
720
720
733

图20B

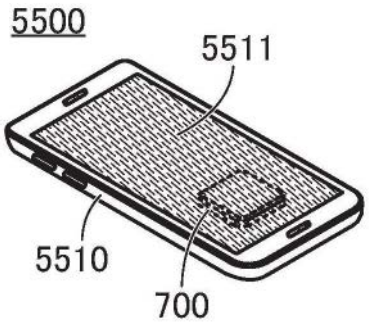


图21A

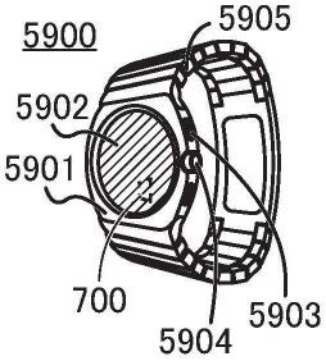


图21B

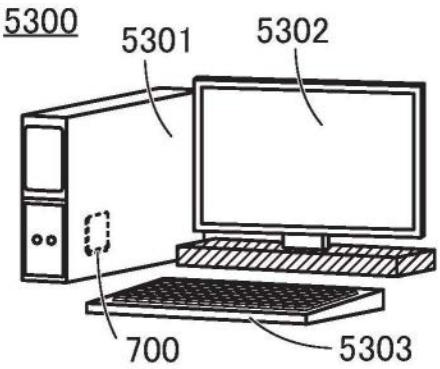


图21C

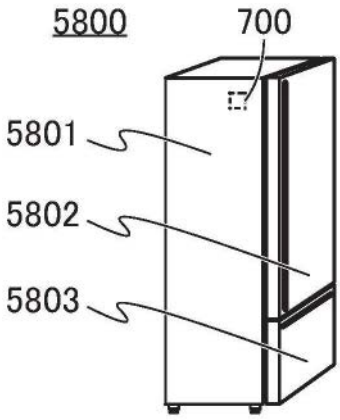


图21D

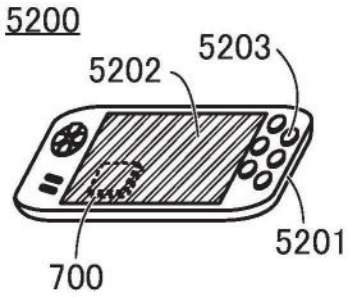


图21E

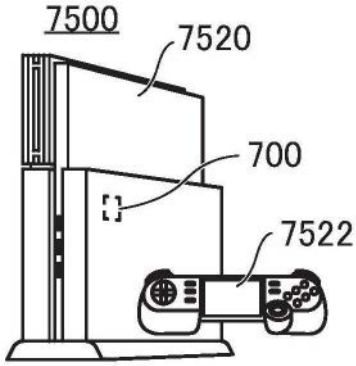


图21F

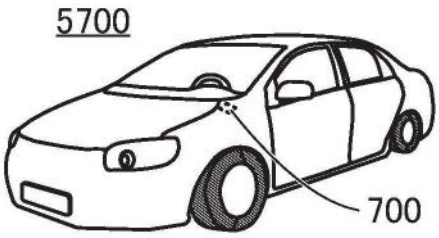


图21G

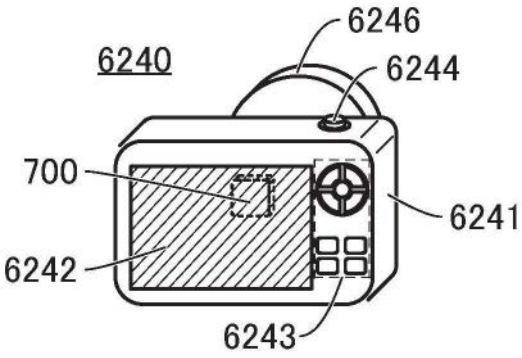


图21H

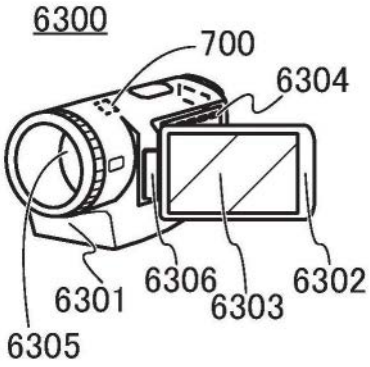


图21I

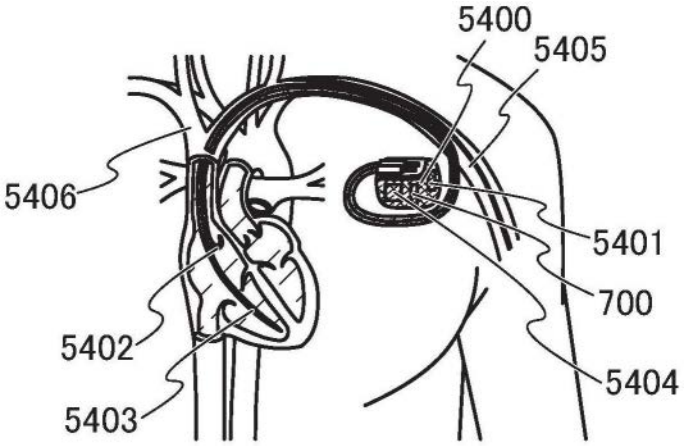


图21J

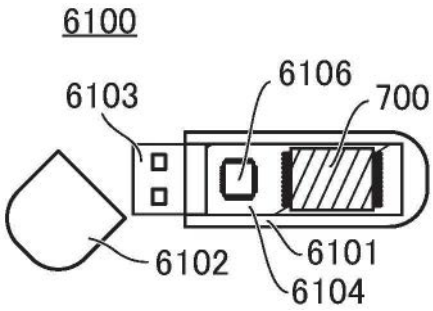


图22A

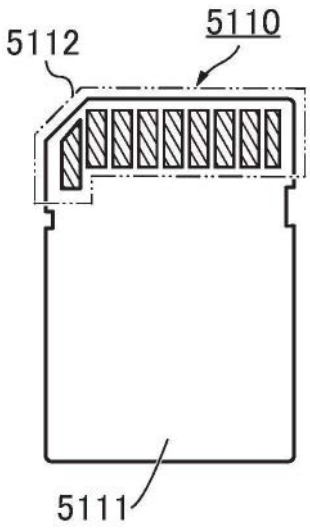


图22B

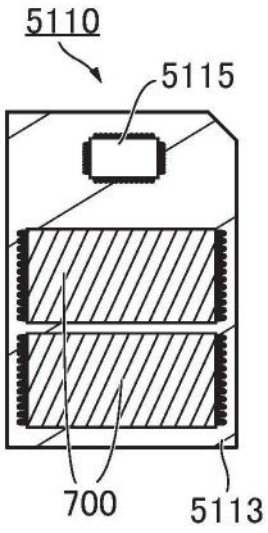


图22C

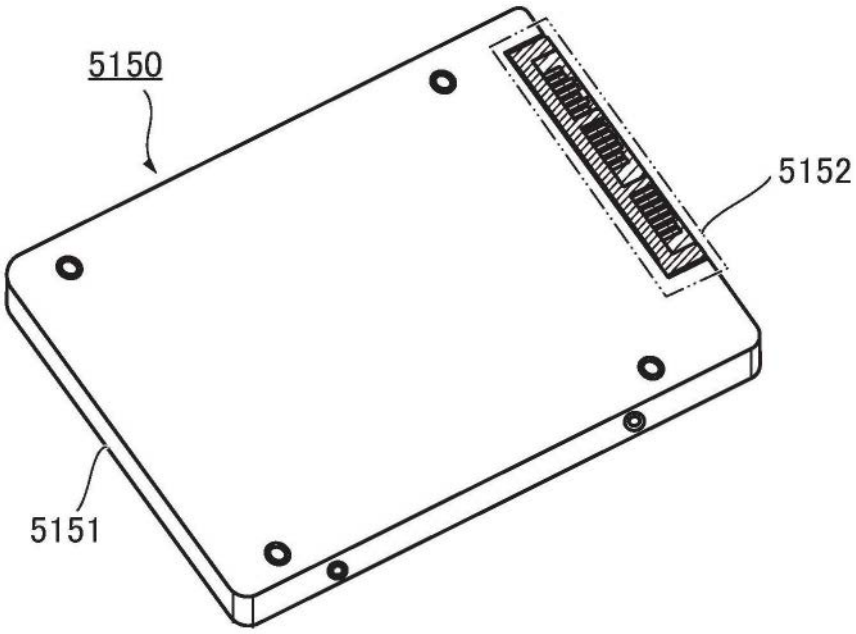


图22D

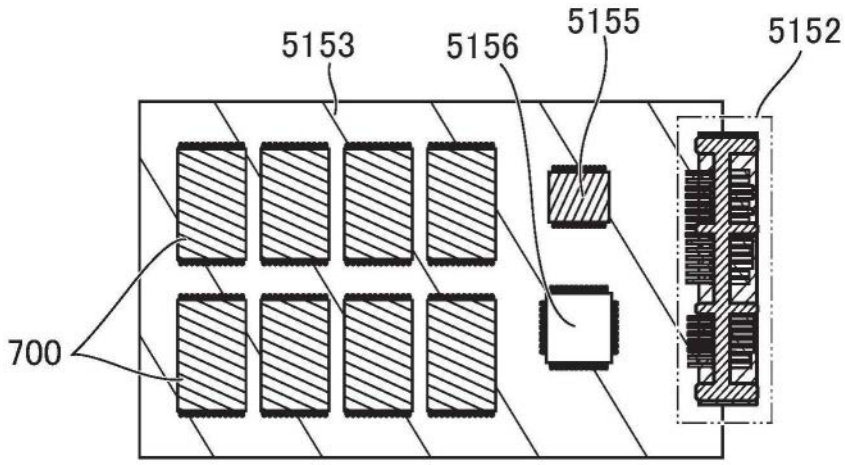


图22E

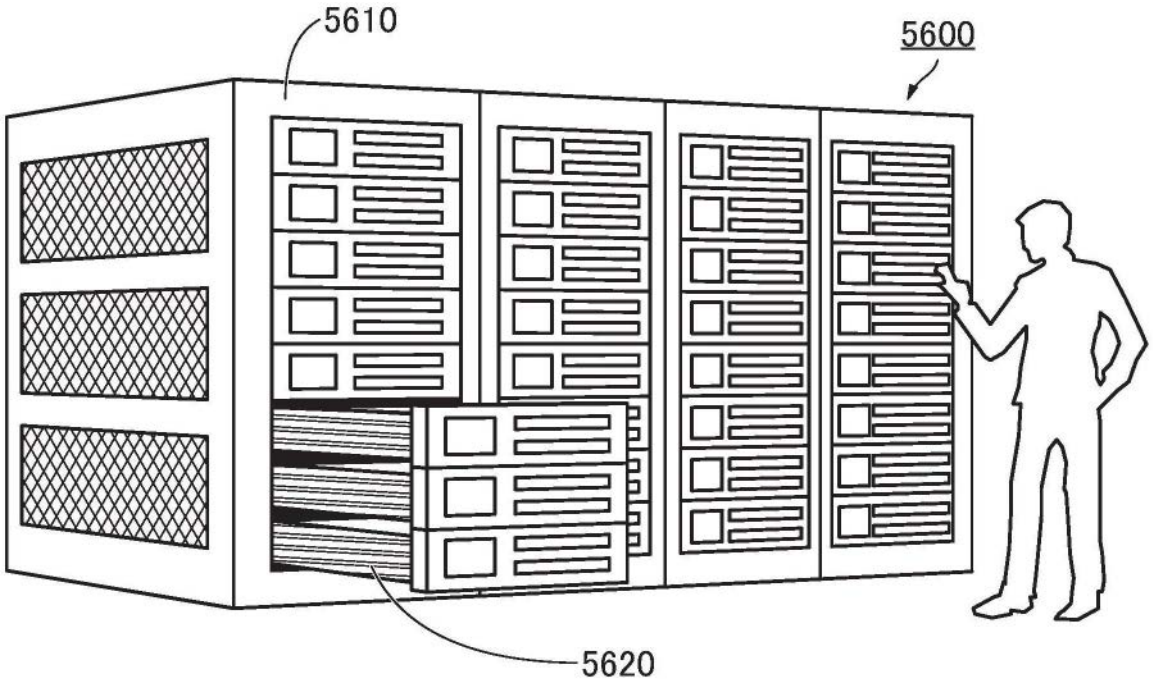


图23A

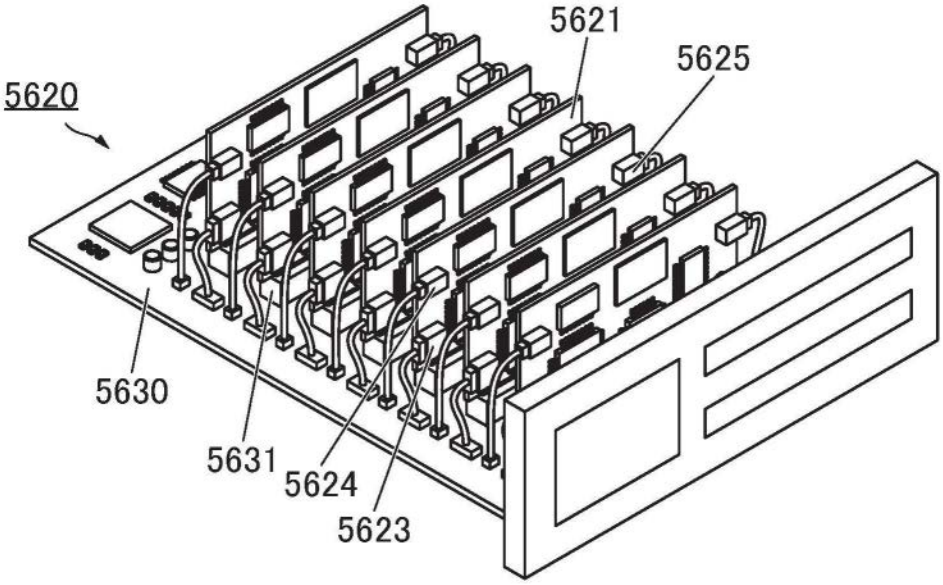

5620
5621
5625
5630
5631
5624
5623

图23B

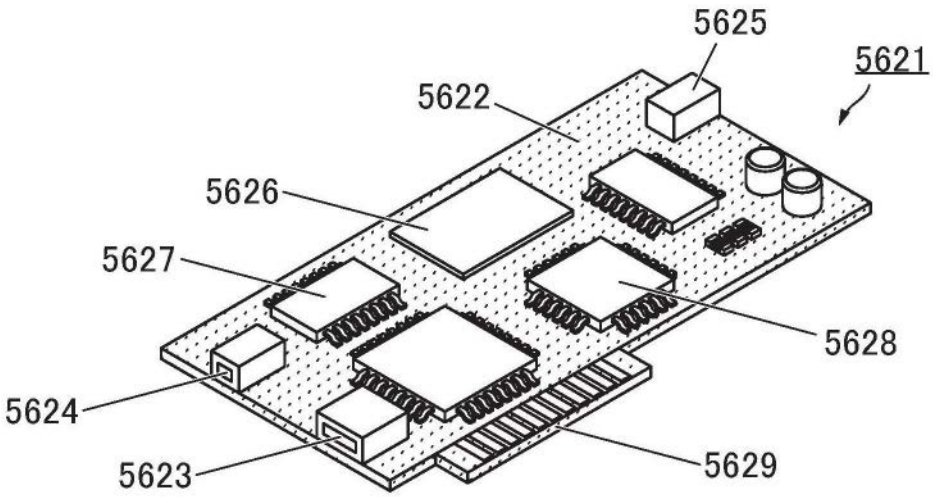

5625
5621
5622
5626
5627
5628
5624
5623
5629

图23C

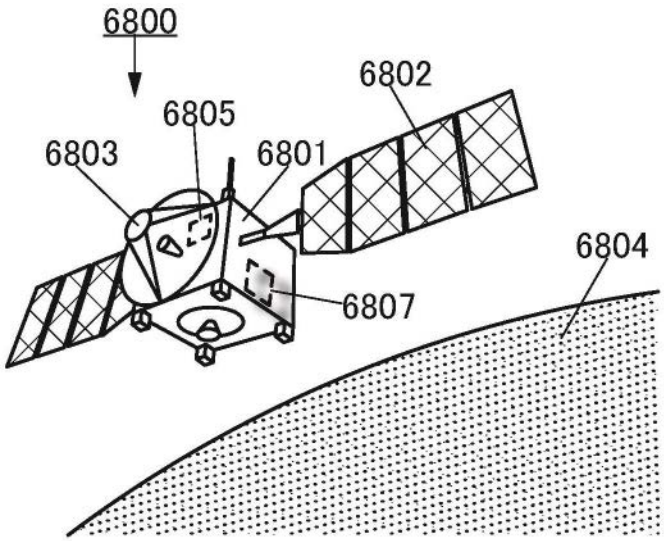


图24