	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2013-0000296 (43) 공개일자 2013년01월02일
(51) 국제특허분류(Int. Cl.) H01L 21/20 (2006.01)	(71) 출원인 엘지이노텍 주식회사 서울특별시 중구 한강대로 416 (남대문로5가, 서울스퀘어)	
(21) 출원번호 10-2011-0060906 (22) 출원일자 2011년06월22일 심사청구일자 없음	(72) 발명자 강석민 서울특별시 중구 한강대로 416, 20층 (남대문로5가, 서울스퀘어) 김무성 서울특별시 중구 한강대로 416, 20층 (남대문로5가, 서울스퀘어)	
	(74) 대리인 서교준	

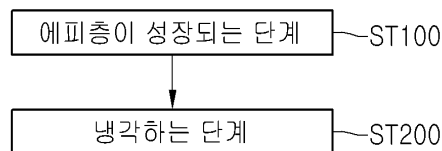
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 웨이퍼 제조 방법

(57) 요약

실시예에 따른 웨이퍼 제조 방법은 성장 온도에서 웨이퍼 표면에 에피층이 성장하는 단계; 및 상기 에피층의 성장 후, 냉각하는 단계를 포함하고, 상기 냉각하는 단계에서는 단계적 냉각이 이루어진다.

대표도 - 도1



특허청구의 범위

청구항 1

성장 온도에서 웨이퍼 표면에 에피층이 성장하는 단계; 및
상기 에피층의 성장 후, 냉각하는 단계를 포함하고,
상기 냉각하는 단계에서는 단계적 냉각이 이루어지는 웨이퍼 제조 방법.

청구항 2

제1항에 있어서,
상기 단계적 냉각은 0.1 °C/h 내지 10 °C/h 의 속도로 이루어지는 웨이퍼 제조 방법.

청구항 3

제1항에 있어서,
상기 냉각하는 단계는 제1 온도까지 냉각하는 단계, 상기 제1 온도에서 유지하는 단계, 상기 제1 온도보다 낮은 제2 온도까지 냉각하는 단계, 상기 제2 온도에서 유지하는 단계, 상기 제2 온도보다 낮은 제3 온도까지 냉각하는 단계 및 상기 제3 온도에서 유지하는 단계를 포함하는 웨이퍼 제조 방법.

청구항 4

제3항에 있어서,
상기 냉각하는 단계는 상기 제3 온도보다 낮은 제4 온도까지 냉각하는 단계 및 상기 제4 온도에서 유지하는 단계를 더 포함하는 웨이퍼 제조 방법

명세서

기술 분야

[0001] 본 기재는 웨이퍼 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 지지하는 반도체 소자에 있어서, 기판 위에 성장되는 반도체층의 결정 결함을 줄이고 반도체층의 결정성을 향상시키는 것이 반도체 소자의 효율 및 특성 향상을 위한 가장 큰 연구 과제이다.

[0003] 에피택셜 웨이퍼(epitaxial wafer) 제조시 형성되는 결함(이하, 에피 결함)들은 그 종류가 다양하다. 격자의 기저면으로부터 생성된 결함, 격자의 틀어짐으로 인한 결함 및 상기 웨이퍼 표면에서 생성된 결함들이 존재할 수 있다. 상기 결함들은 상기 웨이퍼가 적용된 반도체 소자에 악영향을 미칠 수 있다. 또한, 이러한 웨이퍼를 이용한 소자를 제작함에 있어서 금속 전극 증착 및 패터닝의 불균일화에 의한 누설 전류를 크게 할 수 있다.

[0004] 결정 성장 과정에서 전위 결함을 줄이기 위하여 버퍼층을 형성하는데, 이 버퍼층을 위해 마스크 형성, 식각 등을 이용하여 패터닝을 기판 표면에 형성시키는 단계 또는 재성장 공정 단계 등이 더 필요하다.

[0005] 따라서 이러한 추가적인 공정으로 인해 공정이 복잡하고 비용이 상승하며 기판 표면의 품질이 악화되는 등의 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 실시예는 고품질의 웨이퍼를 제공한다.

과제의 해결 수단

[0007] 실시예에 따른 웨이퍼 제조 방법은 성장 온도에서 웨이퍼 표면에 에피층이 성장하는 단계; 및 상기 에피층의 성장 후, 냉각하는 단계를 포함하고, 상기 냉각하는 단계에서는 단계적 냉각이 이루어진다.

발명의 효과

[0008] 실시예에 따른 웨이퍼 제조 방법은, 단계적으로 냉각하는 단계를 포함한다. 상기 단계적 냉각을 통해 상기 에피층이 성장되는 단계에서 발생한 열응력에 의한 변형(strain)을 완화할 수 있다. 따라서, 결함의 생성을 방지하고, 상기 결함을 제어하여 에피층의 성능을 향상시킬 수 있다. 또한, 에피택셜 웨이퍼의 휨과 뒤틀림을 제어하여 고품질의 웨이퍼를 제공할 수 있다.

[0009] 이어서, 본 실시예에서는 이러한 버퍼층 없이 결함을 제거할 수 있어 공정을 단축시킬 수 있다. 또한, 버퍼층을 형성하기 위한 추가적인 공정 단계를 줄여 공정 비용을 절감할 수 있고, 기판 표면의 품질을 높일 수 있다.

도면의 간단한 설명

[0010] 도 1은 실시예에 따른 웨이퍼 제조 방법의 공정 흐름도이다.

도 2는 실시예에 따른 웨이퍼 제조 방법을 설명하기 위한 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0011] 실시예들의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 “상/위(on)”에 또는 “하/아래(under)”에 형성된다는 기재는, 직접(directly) 또는 다른 층을 개재하여 형성되는 것을 모두 포함한다. 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.

[0012] 도면에서 각 층(막), 영역, 패턴 또는 구조물들의 두께나 크기는 설명의 명확성 및 편의를 위하여 변형될 수 있으므로, 실제 크기를 전적으로 반영하는 것은 아니다.

[0013] 이하, 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명하면 다음과 같다.

[0014] 도 1 및 도 2를 참조하여, 실시예에 따른 웨이퍼 제조 방법을 상세하게 설명한다. 도 1은 실시예에 따른 웨이퍼 제조 방법의 공정 흐름도이다. 도 2는 실시예에 따른 웨이퍼 제조 방법을 설명하기 위한 그래프이다.

[0015] 도 1 및 도 2를 참조하면, 실시예에 따른 웨이퍼 제조 방법은 에피층(epitaxial layer)이 성장되는 단계(ST100), 및 냉각하는 단계(ST200)를 포함한다.

[0016] 상기 에피층이 성장되는 단계(ST100)에서는 웨이퍼의 표면에 에피층이 성장될 수 있다. 에피층 형성은 단결정 웨이퍼 표면에 웨이퍼 재질과 동일하거나 또는 다른 재질의 단결정층을 성장시키는 것이다.

[0017] 통상, 에피층은 화학기상증착(Chemical Vapor Depositon, CVD) 공정을 통해 형성될 수 있다. 특히, 화학기상증착 공정의 경우 열 화학기상증착, 플라즈마 강화 화학기상증착, 저압 화학기상증착, 금속 유기물 화학기상증착 및 원자층 증착 등을 포함할 수 있으며, 상기 공정들은 목적하는 막의 특성에 따라 적절하게 선택될 수 있다.

[0018] 상기 화학기상증착 공정의 경우, 진공 챔버 내에 위치된 웨이퍼 상에 소스 가스, 캐리어 가스 및 압력 조절 가스 등의 반응 가스를 제공하고, 상기 반응 가스와 상기 웨이퍼 사이의 표면 반응을 이용하여 상기 웨이퍼 상에 에피층을 형성할 수 있다. 일례로, 화학기상증착장치에서 수소(H₂) 및 아르곤(Ar) 기체를 캐리어로 하여 실란(Silane, SiH₄) 또는 DCS(Dichlorosilane, SiH₂) 기체와 도펀트 가스(Dopant gas)를 웨이퍼 표면에 증착시켜서 형성할 수 있다.

[0019] 상기 에피층이 성장되는 단계(ST100)는 일정한 성장 온도(T_G)에서 성장될 수 있다. 일례로, 상기 성장 온도(T_G)는 1300 ℃ 내지 1700 ℃ 일 수 있다.

[0020] 종래에는 상기 에피층이 성장된 후, 에피택셜 웨이퍼(epitaxial wafer)를 바로 냉각하였다.

[0021] 그런데, 상기 냉각 시, 상기 웨이퍼 내에서 냉각되는 속도가 동일하지 않을 수 있다. 즉, 상기 웨이퍼의 중심부가 상기 웨이퍼의 외곽부보다 냉각되는 속도가 느릴 수 있다. 따라서, 상기 웨이퍼의 중심부에서 상대적으로 온도가 천천히 떨어질 수 있다. 이는 상기 웨이퍼 내에서 온도구배를 유발할 수 있다. 이때, 상기 온도구배로 인해 상기 웨이퍼에서 결함이 발생할 수 있다.

[0022] 일반적으로 상기 에피층 내에는 웨이퍼에서 기인된 결함들이 많이 생겨난다. 이러한 결함들은 반도체 수율을 저

하시키기 때문에 관리 대상으로 항상 제어되어야 한다.

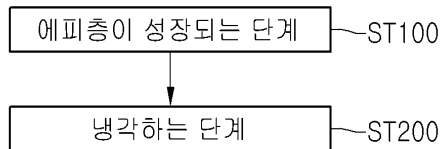
- [0023] 에피택셜 웨이퍼 제조시 형성되는 결함(이하, 에피 결함)들은 그 종류가 다양하다. 격자의 기저면으로부터 생성된 결함, 격자의 틀어짐으로 인한 결함 및 상기 웨이퍼 표면에서 생성된 결함들이 존재할 수 있다. 상기 결함들은 상기 웨이퍼가 적용된 반도체 소자에 악영향을 미칠 수 있다. 또한, 이러한 웨이퍼를 이용한 소자를 제작함에 있어서 금속 전극 증착 및 패터닝의 불균일화에 의한 누설 전류를 크게 할 수 있다.
- [0024] 가장 관리되어야 하는 에피결함은 스택킹 폴트(stacking fault)와 전위(dislocation)이다. 이러한 에피 결함은 서브 웨이퍼에 형성되어있는 결함이나 파티클이 원인이지만, 에피 성장 공정에서 형성된다. 또한 실리콘 에피층 표면에 큰 사이즈로 형성되기 때문에 파티클 카운터나 육안에 의하여 쉽게 관찰할 수 있다.
- [0025] 특히, 탄화규소를 포함하는 웨이퍼는 기저면 전위 결함(Basal Plane Dislocation, BPD)을 포함한다. 상기 기저면 전위 결함은 웨이퍼 내에 존재하는 온도구배, 열팽창에 의한 미스매치 등에 의해 야기될 수 있다. 또한, 소성변형 및 열응력 등의 원인에 의해서도 형성될 수 있다. 또한, 이러한 기저면 전위 결함(BPD)은 반도체 소자의 신뢰성에 많은 영향을 주기 때문에 이를 감소시키는 것이 중요하다.
- [0026] 상기 기저면 전위 결함은 4° off-axis 4H-SiC 웨이퍼 또는 8° off-axis 4H-SiC 웨이퍼에서 많이 나타날 수 있다. 오늘날 상업적인 웨이퍼는 4H-SiC 의 경우 특정 방향으로 4° 또는 8° 로 절단되어 있으며, 상기 4° off-axis 4H-SiC 웨이퍼 및 8° off-axis 4H-SiC 웨이퍼는 각각 4° 와 8° 로 절단한 웨이퍼를 말한다.
- [0027] 본 실시예에서는 상기 에피층의 성장 후, 단계적인 냉각을 함으로써, 상기 결함을 억제할 수 있다. 이를 자세히 설명하면 다음과 같다.
- [0028] 상기 냉각하는 단계(ST200)에서는, 상기 에피택셜 웨이퍼를 냉각할 수 있다. 상기 냉각하는 단계(ST200)에서는 상기 성장 온도(T_0)로부터 단계적 냉각이 이루어질 수 있다.
- [0029] 구체적으로, 상기 냉각하는 단계(ST200)는 제1 온도(T_1)까지 냉각하는 단계, 상기 제1 온도(T_1)에서 유지하는 단계(K1), 상기 제1 온도(T_1)보다 낮은 제2 온도(T_2)까지 냉각하는 단계, 상기 제2 온도(T_2)에서 유지하는 단계(K2), 상기 제2 온도(T_2)보다 낮은 제3 온도(T_3)까지 냉각하는 단계 및 상기 제3 온도(T_3)에서 유지하는 단계(K3)를 포함할 수 있다.
- [0030] 상기 냉각하는 단계(ST200)는 상기 제3 온도(T_3)보다 낮은 제4 온도(T_4)까지 냉각하는 단계 및 상기 제4 온도(T_4)에서 유지하는 단계(K4)를 더 포함할 수 있다.
- [0031] 도면에서는 제4 온도(T_4)까지 냉각하는 단계 및 제4 온도(T_4)에서 유지하는 단계까지만 도시하였으나, 실시예가 이에 한정되는 것은 아니다. 따라서, 상기 제4 온도(T_4)까지 냉각하는 단계 및 상기 제4 온도(T_4)에서 유지하는 단계 이후에 상기 단계적 냉각이 계속될 수 있다.
- [0032] 상기 단계적 냉각은 0.1°C/h 내지 10°C/h 의 속도로 이루어질 수 있다.
- [0033] 상기 단계적 냉각을 통해 상기 에피층이 성장되는 단계(ST100)에서 발생한 열응력에 의한 변형(strain)을 완화할 수 있다. 따라서, 결함의 생성을 방지하고, 상기 결함을 제어하여 에피층의 성능을 향상시킬 수 있다. 또한, 에피택셜 웨이퍼의 휨과 뒤틀림을 제어하여 고품질의 웨이퍼를 제공할 수 있다.
- [0034] 종래에는 기저면 전위 결함(BPD) 등을 억제하기 위해 웨이퍼에 버퍼층을 더 형성하고, 버퍼층 위에 에피층을 형성하였다. 즉, 버퍼층을 통해 웨이퍼와 에피층 사이에 존재하는 격자 상수 불일치 및 열 팽창 계수 차이로 인한 결정 결함 발생을 방지하였다. 그러나 이러한 버퍼층을 형성하기 위해 추가적인 식각 등 패터닝 공정 또는 재성장 공정 단계가 더 필요하기도 하였다.
- [0035] 그러나 본 실시예에서는 이러한 버퍼층 없이 결함을 제거할 수 있어 공정을 단축시킬 수 있다. 또한, 버퍼층을 형성하기 위한 추가적인 공정 단계를 줄여 공정 비용을 절감할 수 있고, 기판 표면의 품질을 높일 수 있다.
- [0036] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

[0037]

또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

도면1



도면2

