(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0115033
(43) 공개일자 2018년10월22일

(51) 국제특허분류(Int. Cl.)
*H03K 3/03* (2006.01) *G06F 1/12* (2006.01)
*H03K 5/135* (2006.01) *H03L 7/00* (2006.01)
(52) CPC특허분류
*H03K 3/0315* (2013.01)
*G06F 1/12* (2013.01)
(21) 출원번호 10-2017-0047164
(22) 출원일자 2017년04월12일
심사청구일자 2017년04월12일

(71) 출원인
**한림대학교 산학협력단**
강원도 춘천시 한림대학길 1, 한림대학교(옥천동)
(72) 발명자
**문규**
강원도 춘천시 소양로 171번길 10, 4층
**허강인**
경기도 고양시 덕양구 통일로771번길 36-11, 6동 202호(관산동, 한신아르빌)
*(뒷면에 계속)*
(74) 대리인
**김남혁**

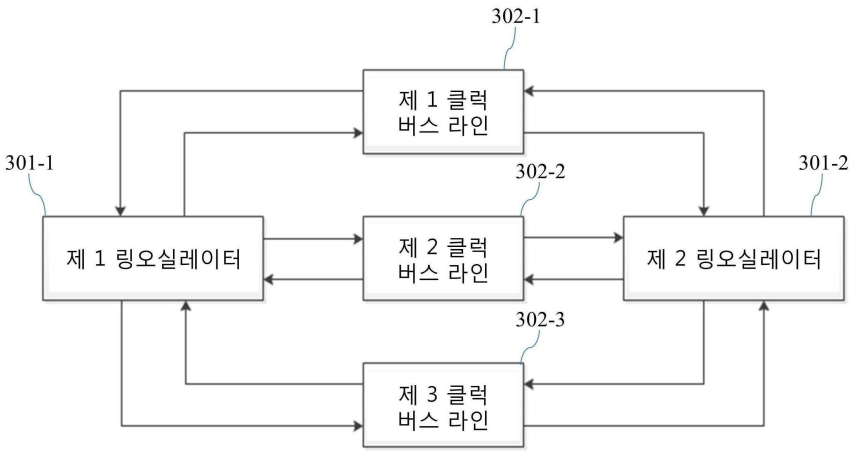
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **클럭 버스 라인을 이용하여 클럭 동기화를 수행하는 발진기 시스템**

## (57) 요 약

본 발명은, 클럭 버스 라인이라는 새로운 타입의 버스 라인을 도입하여 복수 개의 발진기의 클럭 동기화를 수행할 수 있는 발진기 시스템에 관한 것이다. 구체적으로 본 발명은, 제 1 클럭 신호를 생성하는 제 1 오실레이터, 제 2 클럭 신호를 생성하는 제 2 오실레이터, 및 상기 제 1 및 제 2 오실레이터는 복수 개의 반전 증폭기의 2차원 또는 3차원의 프랙탈 구조(fractal structure)로 구성되며, 상기 제 1 오실레이터 상의 제 1 노드와, 상기 특정 노드에 대응되는 제 2 오실레이터 상의 제 2 노드를 연결하는 클럭 버스 라인(Clock Bus line)을 포함하는, 발진기 시스템에 관한 것이다.

## 대 표 도



(52) CPC특허분류
*H03K 5/135* (2013.01)
*H03L 7/00* (2013.01)
(72) 발명자
**김성진**
경기도 가평군 청평면 경춘로 807-18, 102동 1204호(청평청구아파트)
**김현수**
서울특별시 성북구 한천로99길 64, 101호(장위동)

# 명 세 서

## 청구범위

### 청구항 1

제 1 클럭 신호(Clock signal)를 생성하는 제 1 오실레이터;

제 2 클럭 신호를 생성하는 제 2 오실레이터; 및

상기 제 1 및 제 2 오실레이터는 복수 개의 반전 증폭기의 2차원 또는 3차원의 프랙탈 구조(fractal structure)로 구성되며,

상기 제 1 오실레이터 상의 제 1 노드와, 상기 특정 노드에 대응되는 제 2 오실레이터 상의 제 2 노드를 연결하는 클럭 버스 라인(Clock Bus line)을 포함하는,

발진기 시스템.

### 청구항 2

제 1 항에 있어서,

상기 프랙탈 구조는 반도체 칩상에 서로 120° 의 위상차를 갖도록 세 개의 노드를 포함하여 이루어진 환상발진기 형태의 구조를 기본 단위(unit)으로 하는 것을 특징으로 하는,

발진기 시스템.

### 청구항 3

제 2 항에 있어서,

상기 기본 단위의 상기 세 개의 노드는 제 1 내지 제 3 반전 증폭기에 의해 삼각형 형태를 형성되는 것을 특징으로 하는,

발진기 시스템.

### 청구항 4

제 3 항에 있어서,

상기 세 개의 노드는,

상기 제 1 반전 증폭기의 입력단과 상기 제 3 반전 증폭기의 출력단이 연결되어 형성하는 제 1 노드,

상기 제 2 반전 증폭기의 입력단과 상기 제 1 반전 증폭기의 출력단이 연결되어 형성하는 제 2 노드, 및

상기 제 3 반전 증폭기의 입력단과 상기 제 2 반전 증폭기의 출력단이 연결되어 형성하는 제 3 노드로 구성되는,

발진기 시스템.

### 청구항 5

제 2 항에 있어서,

상기 프랙탈 구조는,

세 개의 노드가 삼각형 형태로 형성되는 복수 개의 기본 단위가 2차원 또는 3차원으로 반복적으로 연결되는 것을 특징으로 하는,

발진기 시스템.

### 청구항 6

제 5 항에 있어서,

상기 프랙탈 구조에 있어서 기본 단위의 개수는,

첫째항이 1이고 공차가 1인 등차수열의 합으로 형성되는 것을 특징으로 하는,

발진기 시스템.

**청구항 7**

제 6 항에 있어서,

상기 기본 단위의 개수는,

$\frac{n(n+1)}{2}$ 이고, n은 정수인 것을 특징으로 하는,

발진기 시스템.

**청구항 8**

제 5 항에 있어서, 상기 프랙탈 구조는,

제 1 내지 제 3 기본 단위를 포함하고,

상기 제 1 기본 단위의 노드와 상기 제 2 기본 단위의 노드가 연결되어 제 4 노드를 형성하고,

상기 제 2 기본 단위의 노드와 상기 제 3 기본 단위의 노드가 연결되어 제 5 노드를 형성하며,

상기 제 3 기본 단위의 노드와 상기 제 1 기본 단위의 노드가 연결되어 제 6 노드를 형성하는 것을 특징으로 하는,

발진기 시스템.

**청구항 9**

제 1 항에 있어서,

상기 제 1 및 제 2 오실레이터는 동일한 주파수 및 동일한 위상을 갖는 것을 특징으로 하는,

발진기 시스템.

**청구항 10**

제 1 항에 있어서,

상기 프랙탈 구조는 전체로서 삼각형 형상을 형성하는 것을 특징으로 하는,

발진기 시스템.

**청구항 11**

제 10 항에 있어서,

상기 프랙탈 구조는 형성하는 제 1 및 제 2 링오실레이터는 각각 30개의 반전 증폭기로 구성되는 것을 특징으로 하는,

발진기 시스템.

**청구항 12**

제 11 항에 있어서,

상기 제 1 및 제 2 링오실레이터는 각각 서로 다른 칩의 발진기로 사용되는 것을 특징으로 하는,

발진기 시스템.

**청구항 13**

제 12 항에 있어서,

상기 서로 다른 칩은 적어도 세 개의 클럭 버스 라인에 의해서 연결되는 것을 특징으로 하는,

발진기 시스템.

**청구항 14**

제 1 항에 있어서,

상기 제 1 및 제 2 링오실레이터는 CMOS(Complementary metal-oxide-semiconductor)로 레이아웃 되는 것을 특징으로 하는,

발진기 시스템.

**청구항 15**

제 1 항에 있어서,

상기 제 1 및 제 2 링오실레이터의 구조는 홀수 개의 반전 증폭기가 직렬로 연결된 형태인 것을 특징으로 하는,

발진기 시스템.

## *발명의 설명*

### *기 술 분 야*

[0001] 본 발명은 클럭 버스 라인이라는 새로운 타입의 버스 라인을 이용하여 두 개 이상의 발진기에서 생성되는 신호의 주파수와 위상을 정확하게 동기화시킬 수 있는 발진기 시스템에 관한 것이다.

### *배 경 기 술*

[0002] 오늘날 SoC(System on Chip)설계기술의 발달로 시스템을 구성하는 집적회로의 클럭 신호는 대다수 GHz급이며, 동작속도는 계속 증가되고 있다. 이러한 초고속 클럭신호의 생성과 분배(Ultra High-Speed Clock Generation and Distribution)는 집적회로 설계에 있어 매우 중요한 기술사항이다.

[0003] 그러므로 SoC 기술의 발달로 초고속으로 작동되는 2개 또는 다수개의 칩에서의 동기화는 매우 중요한 기술요구사항이다. 환경적요인으로 mV 단위의 미세하게 상이한 차이를 가지는 전압이 발생되어 각 칩에 공급하게 된다면, 클럭 신호 생성과 분배에 문제를 야기할 수 있다. 이는 각 칩의 클럭 신호 비동기화로 문제로 이어져 시스템의 장애율을 높이는 근본적인 원인을 제공할 수 있다.

[0004] 만약 클럭 스큐(Clock Skew)가 발생되면 클럭 신호를 필요로 하는 시스템의 동작에 오류가 발생할 수 있다. 현재에는 발생된 클럭 신호의 위상차를 검출하고 회로의 동기화 문제를 해결하기 위한 방안으로 PLL(Phase Locked Loop)회로 사용을 선호하고 있다. 하지만 PLL회로는 구조가 복잡하여 배선면적에 의한 칩 사이즈가 커지는 부담을 가지고 있다.

[0005] 이에 따라 추가되는 회로없이 간단한 방법으로 전체적인 동기화를 이룰 수 있는 기술이 요구되는 실정이다.

## *발명의 내용*

### *해결하려는 과제*

[0006] 본 발명은 전술한 문제 및 다른 문제를 해결하는 것을 목적으로 한다. 또 다른 목적은 칩 사이즈의 변화를 최소화하면서도 클럭 스큐와 비동기 동작에 의한 오류를 최대한 줄이는 발진기 시스템을 제공하는 것을 그 목적으로 한다.

[0007] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급하지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

## 과제의 해결 수단

[0008] 상기 또는 다른 목적을 달성하기 위해 본 발명의 일 측면에 따르면, 제 1 클럭 신호(Clock signal)를 생성하는 제 1 오실레이터; 제 2 클럭 신호를 생성하는 제 2 오실레이터; 및 상기 제 1 및 제 2 오실레이터는 복수 개의 반전 증폭기의 2차원 또는 3차원의 프랙탈 구조(fractal structure)로 구성되며, 상기 제 1 오실레이터 상의 제 1 노드와, 상기 특정 노드에 대응되는 제 2 오실레이터 상의 제 2 노드를 연결하는 클럭 버스 라인(Clock Bus line)을 포함하는, 발진기 시스템를 제공한다.

[0009] 상기 프랙탈 구조는 반도체 칩상에 서로 120° 의 위상차를 갖도록 세 개의 노드를 포함하여 이루어진 환상발진기 형태의 구조를 기본 단위(unit)으로 할 수 있다.

[0010] 이때 상기 기본 단위의 상기 세 개의 노드는 제 1 내지 제 3 반전 증폭기에 의해 삼각형 형태를 형성될 수 있다.

[0011] 그리고, 상기 세 개의 노드는, 상기 제 1 반전 증폭기의 입력단과 상기 제 3 반전 증폭기의 출력단이 연결되어 형성하는 제 1 노드, 상기 제 2 반전 증폭기의 입력단과 상기 제 1 반전 증폭기의 출력단이 연결되어 형성하는 제 2 노드, 및 상기 제 3 반전 증폭기의 입력단과 상기 제 2 반전 증폭기의 출력단이 연결되어 형성하는 제 3 노드로 구성될 수 있다.

[0012] 또한 상기 프랙탈 구조는, 세 개의 노드가 삼각형 형태로 형성되는 복수 개의 기본 단위가 2차원 또는 3차원으로 반복적으로 연결될 수 있다.

[0013] 상기 프랙탈 구조에 있어서 기본 단위의 개수는, 첫째항이 1이고 공차가 1인 등차수열의 합으로 형성 가능하다.

$$\frac{n(n+1)}{2}$$

[0014] 구체적으로 상기 기본 단위의 개수는, 이고, n은 정수일 수 있다.

[0015] 상기 프랙탈 구조는, 제 1 내지 제 3 기본 단위를 포함하고, 상기 제 1 기본 단위의 노드와 상기 제 2 기본 단위의 노드가 연결되어 제 4 노드를 형성하고, 상기 제 2 기본 단위의 노드와 상기 제 3 기본 단위의 노드가 연결되어 제 5 노드를 형성하며, 상기 제 3 기본 단위의 노드와 상기 제 1 기본 단위의 노드가 연결되어 제 6 노드를 형성할 수 있다.

[0016] 상기 제 1 및 제 2 오실레이터는 동일한 주파수 및 동일한 위상을 가질 수 있다.

## 발명의 효과

[0017] 본 발명에 따른 발진기 시스템의 효과에 대해 설명하면 다음과 같다.

[0018] 본 발명의 실시 예들 중 적어도 하나에 의하면, 다수의 칩 상에서 발생되는 클럭 신호의 위상을 동기화시킬 수 있다는 장점이 있다.

[0019] 또한, 본 발명의 실시 예들 중 적어도 하나에 의하면, 링오실레이터 회로를 이용하여 동위상을 클럭라인으로 단순 연결을 해줌으로써, 시스템 안에 다수개의 칩에서 발생되는 클럭 신호들이 칩간 전원전압의 차이에 따라 갖게 되는 클럭 스큐와 비동기 동작에 의한 오류를 최대한 줄일 수 있다는 장점이 있다.

[0020] 본 발명의 적용 가능성의 추가적인 범위는 이하의 상세한 설명으로부터 명백해질 것이다. 그러나 본 발명의 사상 및 범위 내에서 다양한 변경 및 수정은 당업자에게 명확하게 이해될 수 있으므로, 상세한 설명 및 본 발명의 바람직한 실시 예와 같은 특정 실시 예는 단지 예시로 주어진 것으로 이해되어야 한다.

## 도면의 간단한 설명

[0021] 도 1은 본 발명의 일실시예에 따른 링오실레이터의 구조를 도시하는 도면이다.

도 2는 본 발명의 일실시예에 따른 링오실레이터의 프랙탈 구조(100)를 형성하기 위하여 기본 유닛(101)이 배치되는 개수 및 방식을 도시하는 도면이다.

도 3 및 도 4는 본 발명의 일실시예에 따라, 제 1 및 제 2 링오실레이터(301-1, 301-2)의 클럭 신호를 동기화하기 위한 개념도를 도시하는 도면이다.

도 5 및 도 6은 본 발명의 일실시예에 따른 각 링오실레이터(301-1, 301-2)에 클럭 버스 라인이 없을 경우의 클럭 신호를 도시하는 도면이다.

도 7은 상기 도 6에서 발생된 클럭 스큐를 확대한 도면이다.

도 8은 클럭 버스 라인이 없는 경우 전압변동에 따른 측정된 클럭 스큐를 측정한 결과를 나타내는 표이다.

도 9는 클럭 버스 라인으로 연결한 후 전압변동에 따른 측정된 클럭 스큐를 측정한 결과를 나타내는 표이다.

도 10은 본 발명의 일실시예에 따른 링오실레이터를 CMOS로 레이아웃한 이미지를 도시한다.

## *발명을 실시하기 위한 구체적인 내용*

[0022] 이하, 첨부된 도면을 참조하여 본 명세서에 개시된 실시 예를 상세히 설명하되, 도면 부호에 관계없이 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다. 이하의 설명에서 사용되는 구성요소에 대한 접미사 "모듈" 및 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다. 또한, 본 명세서에 개시된 실시 예를 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 명세서에 개시된 실시 예의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 첨부된 도면은 본 명세서에 개시된 실시 예를 쉽게 이해할 수 있도록 하기 위한 것일 뿐, 첨부된 도면에 의해 본 명세서에 개시된 기술적 사상이 제한되지 않으며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0023] 제1, 제2 등과 같이 서수를 포함하는 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0024] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다.

[0025] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0026] 본 출원에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0027] 최근, 반도체 제조 기술의 발달로 인해 반도체 칩의 집적도가 증가되고 있다. 그 결과, 단일 반도체 칩상에 다양한 기능을 수행하는 회로들을 구현하는 것이 가능하게 되었다. 과거에는 디지털 블록과 아날로그 블록이 구분되어 제작되었으나, 근래에는 시스템-온-칩(systemon-a chip, SOC)과 같이 하나의 시스템이 단일 반도체 칩상에서 구현될 수 있게 되었다. 한편, 단일 반도체 칩상에 하나의 시스템을 구현하기 위해서는 수백만개 이상의 게이트들이 탑재되어야 한다. 그러나, 이렇게 많은 수의 게이트들이 단일 반도체 칩상에 탑재될 때, 각 게이트들간의 라우팅(routing) 길이가 서로 다르게 될 수 있다. 따라서, 라우팅이 완료된 후 발생되는 각 게이트들간 클럭 신호의 위상차(즉, 신호 지연)가 심각한 문제로 대두될 수 있다.

[0028] 이러한 게이트들간 클럭 신호의 위상차는 전체 시스템의 기능 에러(function error)를 발생시키는 주요 원인으로 작용하며, 회로 설계 단계에서는 예측할 수 없는 파라미터이다.

[0029] 따라서, 게이트들간의 위상차에 따른 시스템의 기능 에러는 회로 설계 단계에서는 발견되지 않고, 라우팅이 완료된 후에 수행되는 포스트 검증(post verification) 단계에서 발견되는 경우가 많이 있다. 포스트 검증 단계에서 이러한 기능 에러가 발생될 때, 회로를 재설계해야 하므로 설계 기간이 증가되는 문제점이 있다.

[0030] 현재에는 발생된 클럭 신호의 위상차를 검출하고 회로의 동기화 문제를 해결하기 위한 방안으로 PLL(Phase Locked Loop)회로 사용을 선호하고 있다. 하지만 PLL회로는 구조가 복잡하여 배선면적에 의한 칩 사이즈가 커지는 부담을 가지고 있다.

[0031] 본 발명에서는 동위상 클럭 라인을 이용한 멀티칩 시스템 클럭 신호분배 및 동기화 기법 및 이를 적용한 시스템을 제안한다. 제안된 기법은 링오실레이터 회로를 이용하여 동위상을 클럭 라인(클럭 버스 라인, clock bus

line)으로 연결을 해줌으로써, 시스템 안에 다수개의 칩에서 발생되는 클럭 신호들이 칩간 전원전압의 차이에 따라 갖게 되는 클럭 스큐와 비동기 동작에 의한 오류를 최대한 줄이고자 한다. CMOS 링오실레이터는 발진시 모든 노드가 동일한 주파수로 동작된다. 이 구조는 부분적인 전압과 온도 차이에도 네트워크 전체의 클럭 신호 동기화를 실현시키고, 별도로 설계된 회로의 추가없이 인버터 개수를 증가시킴으로써, 주파수 변조(Frequency-shift keying)에도 매우 효과적이다. 또한, 본 발명의 실시예에서와 같이, 동일한 구조로 설계된 서로 다른 다수개의 링오실레이터의 동위상을 연결한다면 전체 칩내의 링오실레이터도 동일한 주파수를 필연적으로 갖게 된다.

[0032] 본 발명의 일실시예에 따른 발진기 시스템은, 제 1 클럭 신호(Clock signal)를 생성하는 제 1 오실레이터; 제 2 클럭 신호를 생성하는 제 2 오실레이터; 및 상기 제 1 및 제 2 오실레이터는 복수 개의 반전 증폭기의 2차원 또는 3차원의 프랙탈 구조(100, fractal structure)로 구성되며, 상기 제 1 오실레이터 상의 제 1 노드와, 상기 특정 노드에 대응되는 제 2 오실레이터 상의 제 2 노드를 연결하는 클럭 버스 라인(Clock Bus line)을 포함할 수 있다. 이때 상기 제 1 및 제 2 오실레이터는 링오실레이터로 구비되도록 제안한다.

[0033] 도 1은 본 발명의 일실시예에 따른 링오실레이터의 구조를 도시하는 도면이다.

[0034] 본 발명의 일실시예에 따른 링오실레이터 구조는 홀수개의 인버터(Inverter, 또는 반전 증폭기, inverting amplifier)가 직렬로 연결된 형태이다. 가장 단순하게 3개의 인버터로 구성되는 링오실레이터는 120° 의 위상차를 갖지만 3개의 인버터를 통과하게 되면 어떠한 지점이든 동일한 주파수와 위상을 갖게 된다. 이 구조에서 하나의 셀(Cell)은 3개의 인버터로 구성되며 n개의 피드팩 루프를 가지고 있다.

[0035] 링오실레이터의 프랙탈 구조는 반도체 칩상에 서로 120° 의 위상차를 갖도록 세 개의 노드(102-1 내지 102-3)를 포함하여 이루어진 환상발진기 형태의 구조를 기본 단위(101, unit)로 할 수 있다. 도시된 도면에서와 같이 상기 기본 단위(101)의 상기 세 개의 노드(102-1 내지 102-3)는 제 1 내지 제 3 반전 증폭기(103-1 내지 103-3)에 의해 삼각형 형태를 형성할 수 있다.

[0036] 구체적으로 상기 세 개의 노드(102-1 내지 102-3)는, 상기 제 1 반전 증폭기(103-1)의 입력단과 상기 제 3 반전 증폭기(103-3)의 출력단이 연결되어 형성하는 제 1 노드(102-1), 상기 제 2 반전 증폭기(103-2)의 입력단과 상기 제 1 반전 증폭기(103-1)의 출력단이 연결되어 형성하는 제 2 노드(102-2), 및 상기 제 3 반전 증폭기(103-3)의 입력단과 상기 제 2 반전 증폭기(103-2)의 출력단이 연결되어 형성하는 제 3 노드(102-3)로 구성될 수 있다.

[0037] 도 2는 본 발명의 일실시예에 따른 링오실레이터의 프랙탈 구조(100)를 형성하기 위하여 기본 단위(101-1 내지 101-3)가 배치되는 개수 및 방식을 도시하는 도면이다.

[0038] 도 1 및 도 2에 도시된 바와 같이 상기 프랙탈 구조(100)는, 세 개의 노드(102-1 내지 102-3)가 삼각형 형태로 형성되는 복수 개의 기본 단위(101)가 2차원 또는 3차원으로 반복적으로 연결될 수 있다.

[0039] 상기 프랙탈 구조(100)에 있어서 기본 단위(101)의 개수는, 첫째항이 1이고 공차가 1인 등차수열의 합으로 계산될 수 있다. 구체적으로 위 등차수열을 수식으로 표현하면 아래 수학식 1과 같다.

*수학식 1*

[0040] $$\frac{n(n+1)}{2}$$

[0041] 이때 n은 정수이다.

[0042] 상기 프랙탈 구조에 대해서 보다 상세하게 살펴본다.

[0043] 상기 프랙탈 구조는, 제 1 내지 제 3 기본 단위(101-1 내지 101-3)를 포함하고, 상기 제 1 기본 단위(101-1)의 노드와 상기 제 2 기본 단위(101-2)의 노드가 연결되어 제 4 노드(102-4)를 형성하고, 상기 제 2 기본 단위(101-2)의 노드와 상기 제 3 기본 단위(101-3)의 노드가 연결되어 제 5 노드(102-5)를 형성하며, 상기 제 3 기본 단위(101-3)의 노드와 상기 제 1 기본 단위(101-1)의 노드가 연결되어 제 6 노드(102-6)를 형성할 수 있다.

[0044] 본 발명에서는 상기 도 1 및 도 2를 참조하여 상술한 링오실레이터 복수 개의 클럭 신호를 동기화 하는 방법에

대해서 제안하고자 한다.

[0045] 도 3 및 도 4는 본 발명의 일실시예에 따라, 제 1 및 제 2 링오실레이터(301-1, 301-2)의 클럭 신호를 동기화하기 위한 개념도를 도시하는 도면이다.

[0046] 도시된 바와 같이, 본 발명에서는 제 1 및 제 2 링오실레이터(301-1, 301-2)를 연결하는 적어도 하나의 클럭 버스 라인을 구비할 수 있다.

[0047] 보다 구체적으로는, 상기 제 1 링오실레이터(301-1) 상의 제 1 노드와, 상기 특정 노드에 대응되는 제 2 링오실레이터(301-2) 상의 제 2 노드를 연결하는 클럭 버스 라인(302-1 내지 302-3, Clock Bus line)을 포함할 수 있다.

[0048] 본 발명에서는 상기 클럭 버스 라인(302-1 내지 302-3)이 구비되는 노드의 위치에 대해서 더 제안한다.

[0049] 본 발명의 일실시예에서는 전체 프랙탈 구조의 삼각형 형상에서 꼭지점에 대응하는 세 개의 노드의 위치에 클럭 버스 라인(302-1 내지 302-3)을 구비하도록 제안한다.

[0050] 제 1 링오실레이터(301-1)의 전체 프랙탈 구조가 형성하는 삼각형 형상에서 꼭지점에 대응하는 제 1 내지 제 3 꼭지점 노드(401-1 내지 401-3)과 제 1 내지 제 3 꼭지점 노드(401-1 내지 401-3) 각각과 동위상 노드인 제 4 내지 제 6 꼭지점 노드(401-4 내지 401-6)를 연결시키는 것이다.

[0051] 좀 더 상세하게 설명하면, 제 1 링오실레이터(301-1)의 제 1 꼭지점 노드(401-1)와 동위상인 제 2 링오실레이터(301-2)의 제 4 꼭지점 노드(401-4)를 제 1 클럭 버스 라인(302-1)으로 연결할 수 있다. 그리고, 제 1 링오실레이터(301-1)의 제 2 꼭지점 노드(401-2)와 동위상인 제 2 링오실레이터(301-2)의 제 5 꼭지점 노드(401-5)를 제 2 클럭 버스 라인(302-2)으로 연결할 수 있다. 마지막으로, 제 1 링오실레이터(301-1)의 제 3 꼭지점 노드(401-3)와 동위상인 제 2 링오실레이터(301-2)의 제 6 꼭지점 노드(401-6)를 제 3 클럭 버스 라인(302-3)으로 연결할 수 있다.

[0052] 도 4의 예시에서 각 링오실레이터(301-1, 301-2)는 30개의 반전 증폭기로 구성되며 서로 다른 두 개의 칩에 발진기로 사용된다. 3개의 클럭 버스 라인(CL)에 의하여 2개의 오실레이터 동위상 노드가 연결되어 있다. 도 3 및 도 4에 도시된 본 발명의 실시예에 따른 시스템에서는 2개의 칩에 공급되는 전압의 차이가 근소하게 발생하더라도 3개의 연결에 의해 전체 오실레이터 네트워크는 동일한 주파수, 동일한 위상으로 발진하게 된다.

[0053] 이하에서는 상술한 본 발명의 실시예에 대한 실험 결과를 도시 및 설명한다.

[0054] 도 5 및 도 6은 본 발명의 일실시예에 따른 각 링오실레이터(301-1, 301-2)에 클럭 버스 라인이 없을 경우의 클럭 신호를 도시하는 도면이다.

[0055] 도 5는 각 링오실레이터(301-1, 301-2)에 동일 전압을 인가하였을 경우 클럭 신호를, 도 6은 각 링오실레이터(301-1, 301-2)에 인가되는 전압을 1% 차이가 나도록 공급하였을 때의 클럭 신호를 도시하는 도면이다. 도 5 및 도 6의 클럭 신호는 상기 도 4에서의 노드 13에서의 신호를 측정한 결과이다.

[0056] 도 5에서와 같이 두 개의 칩 상에 개별적으로 존재하는 각 링오실레이터(301-1, 301-2)에 동일한 전압원이 제공된다면 동위상 동주파수가 발생(즉 위상차 없음)할 것이다. 이러한 경우에는 두 개의 칩이 클럭 라인으로 연결되어 있지 않더라도 중앙 노드 2개는 (도 4의 노드 13) 정확히 동위상 상태가 됨을 알 수 있다.

[0057] 하지만, 문제는 각 칩에 공급되는 전압에 차이가 발생하는 경우이다. 도 6은 제 1 칩에 존재하는 제 1 링오실레이터(301-1)의 인가전압을 3V로 고정한 상태에서 제 2 칩에 존재하는 제 2 링오실레이터(301-2)에 1% 증가한 전압을 공급했을 경우의 시뮬레이션 출력파형을 나타낸다. 서로 다른  두 개의 칩에서 전압변동 범위가 클수록 클럭 스큐 범위는 증가할 것이다. 8ns에서 10ns의 구간에서 두 클럭 신호간에 위상차가 발생된 것을 알 수 있다.

[0058] 도 7은 상기 도 6에서 발생된 클럭 스큐를 확대한 도면이다.

[0059] 제 1 링오실레이터(301-1)에서 발생한 제 1 클럭 신호(701-1)와 제 2 링오실레이터(301-2)에서 발생한 제 2 클럭 신호(701-2)의 위상차이가 나는 것을 확인할 수 있다.

[0060] 도 8은 클럭 버스 라인이 없는 경우 전압변동에 따른 측정된 클럭 스큐를 측정한 결과를 나타내는 표이다. 도 9는 클럭 버스 라인으로 연결한 후 전압변동에 따른 측정된 클럭 스큐를 측정한 결과를 나타내는 표이다.

[0061] 도 8의 표는 동위상 노드를 클럭 버스 라인으로 연결하지 않은 상태에서 제공되는 전압에 변동률을 -2%에서 +2%까지 적용하여 측정한 결과를 나타낸다. 도 8에 도시된 바를 참조하면 두 개의 칩에 최대 2%의 전압차이가 있을

경우 143ps의 대칭적 위상차(주기대비 : 22.04%)가 발생함을 확인할 수 있다.

[0062] 도 9는 본 발명의 상술한 실시예에 따라서, 두 개의 칩 동위상 지점을 상술한 세 개의 클럭 라인(302-1 내지 302-3)으로 연결한 상태에서 측정한 값이다.

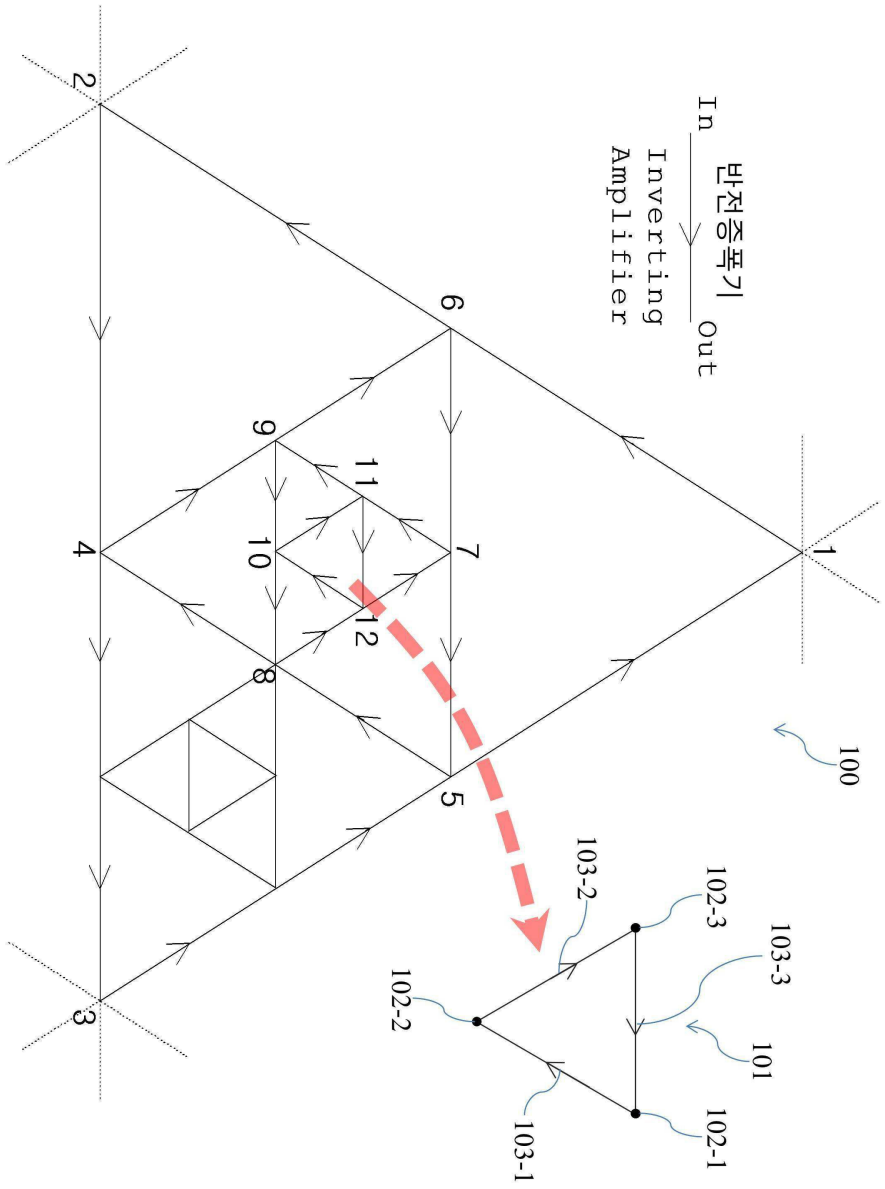
[0063] 본 발명에서 제안된 방법으로 세 개의 동일한 위상 지점을 클럭 버스 라인(302-1 내지 302-3)으로 연결하면 도 9에 도시된 바와 같이 19.51ps의 대칭적 위상차(주기대비 : 2.98%)가 발생된다. 따라서 스큐가 현저하게 줄어드는 것을 볼 수 있다.

[0064] 도 10은 본 발명의 일실시예에 따른 링오실레이터를 CMOS(Complementary metal-oxide-semiconductor)로 레이아웃한 이미지를 도시한다.

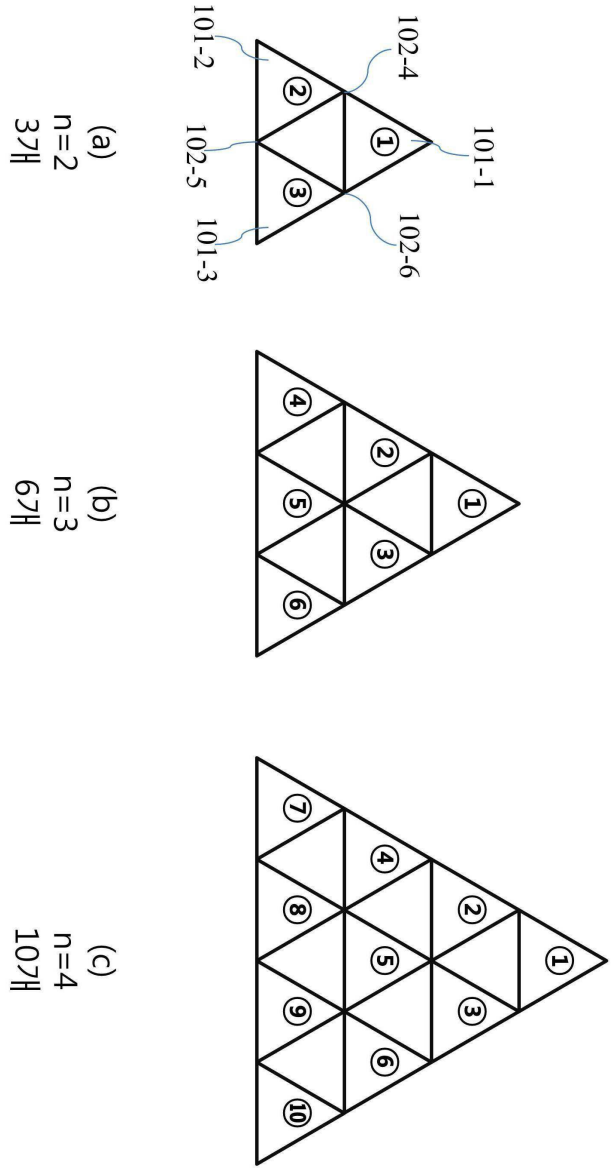
[0065] 이상으로 본 발명에 따른 발진기 시스템의 실시예를 설시하였으나 이는 적어도 하나의 실시예로서 설명되는 것이며, 이에 의하여 본 발명의 기술적 사상과 그 구성 및 작용이 제한되지는 아니하는 것으로, 본 발명의 기술적 사상의 범위가 도면 또는 도면을 참조한 설명에 의해 한정/제한되지는 아니하는 것이다. 또한 본 발명에서 제시된 발명의 개념과 실시예가 본 발명의 동일 목적을 수행하기 위하여 다른 구조로 수정하거나 설계하기 위한 기초로써 본 발명이 속하는 기술분야의 통상의 지식을 가진 자에 의해 사용되어질 수 있을 것인데, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자에 의한 수정 또는 변경된 등가 구조는 특허청구범위에서 기술되는 본 발명의 기술적 범위에 구속되는 것으로서, 특허청구범위에서 기술한 발명의 사상이나 범위를 벗어나지 않는 한도 내에서 다양한 변화, 치환 및 변경이 가능한 것이다.

도면

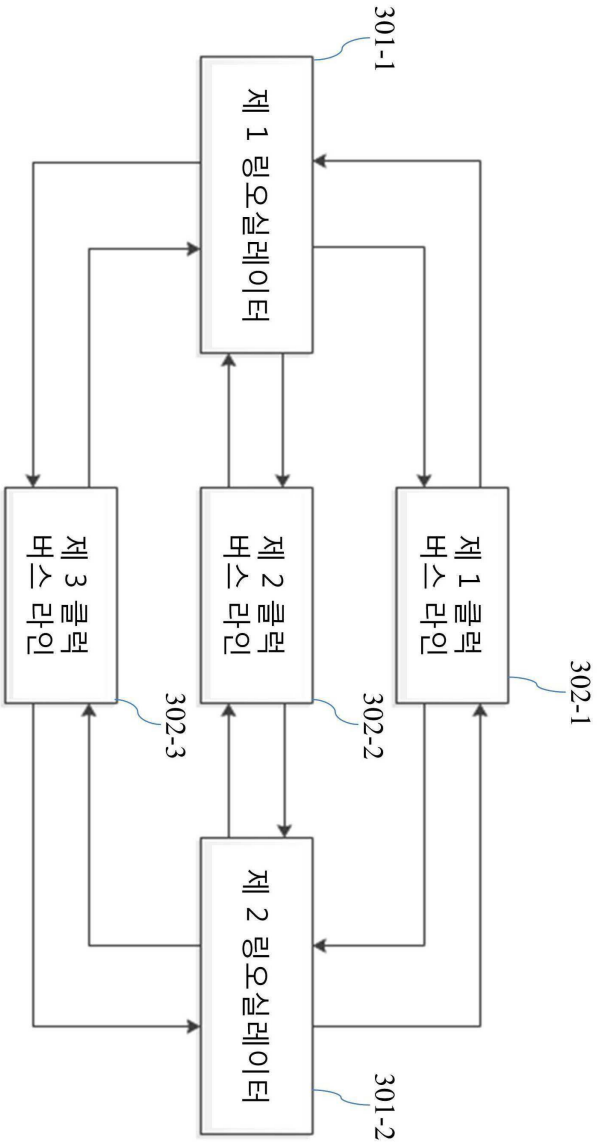
도면1


In
반전증폭기
Inverting
Amplifier
Out
1
2
3
4
5
6
7
8
9
10
11
12
100
101
102-1
102-2
102-3
103-1
103-2
103-3

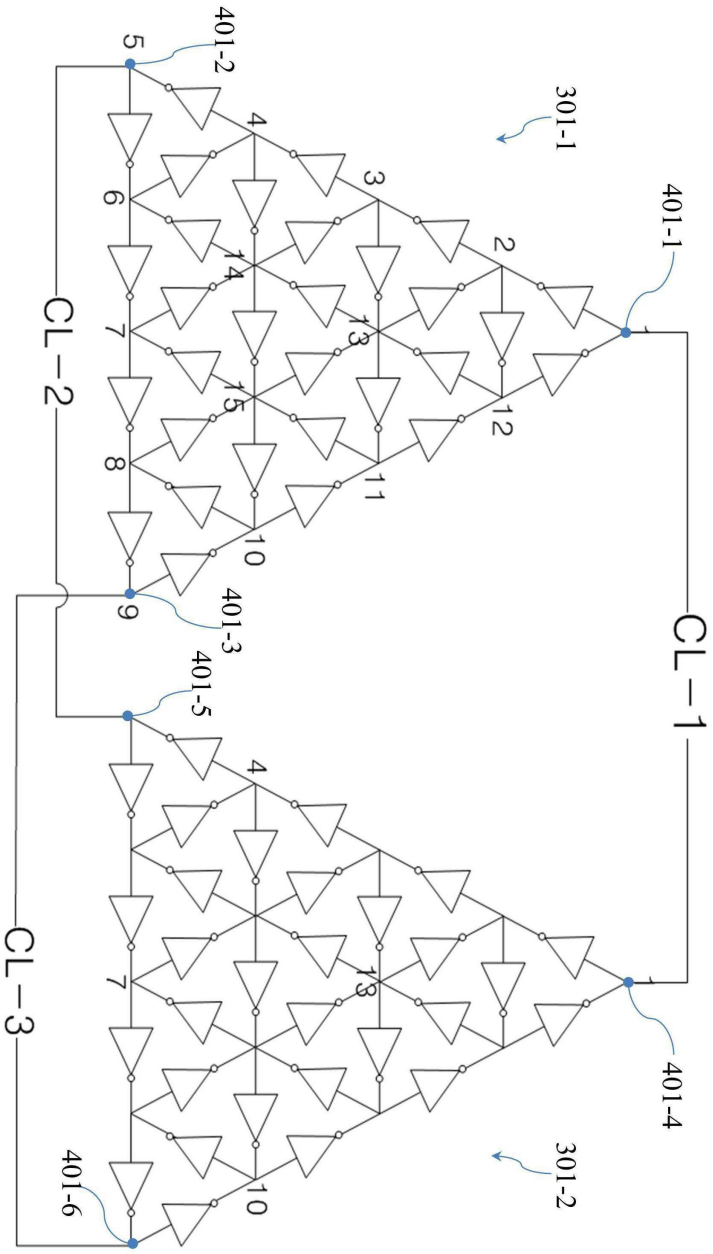
도면2



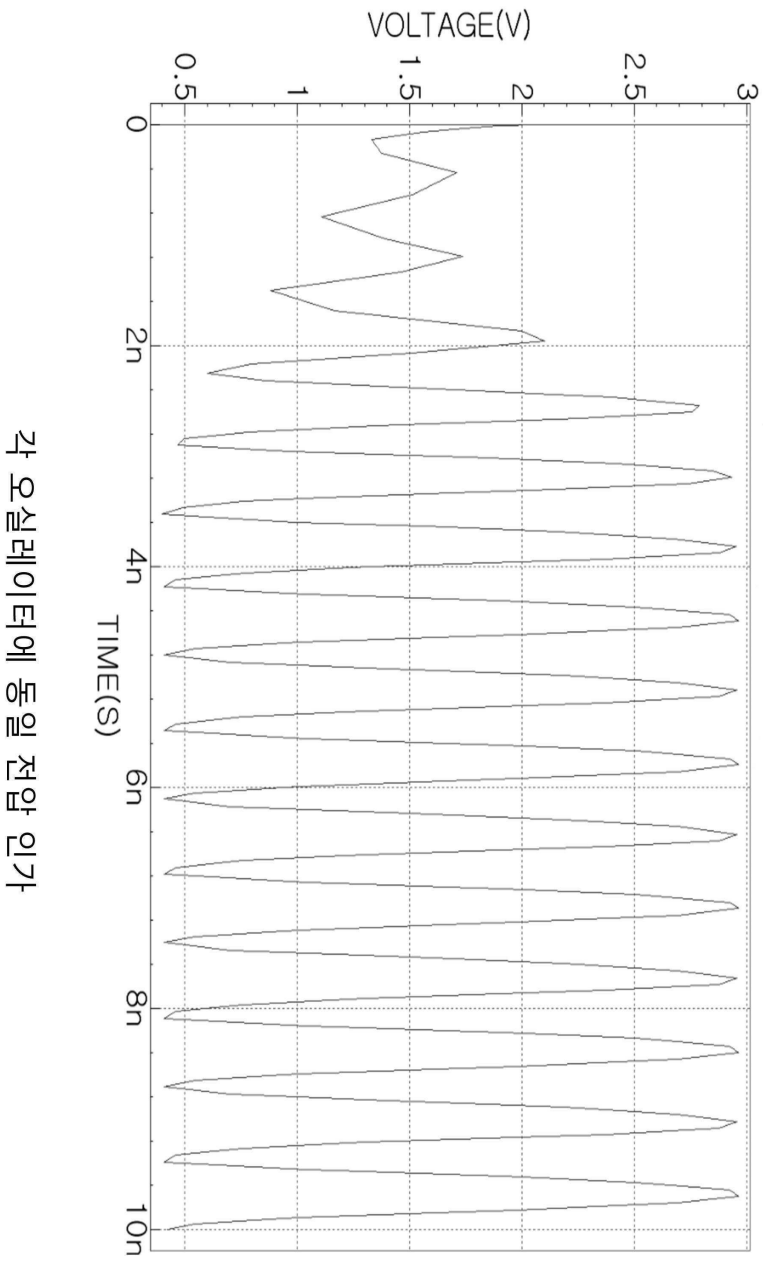
도면3


301-1
제 1 링오실레이터
제 3 클럭 버스 라인
제 2 클럭 버스 라인
제 1 클럭 버스 라인
302-3
302-2
302-1
제 2 링오실레이터
301-2

도면4

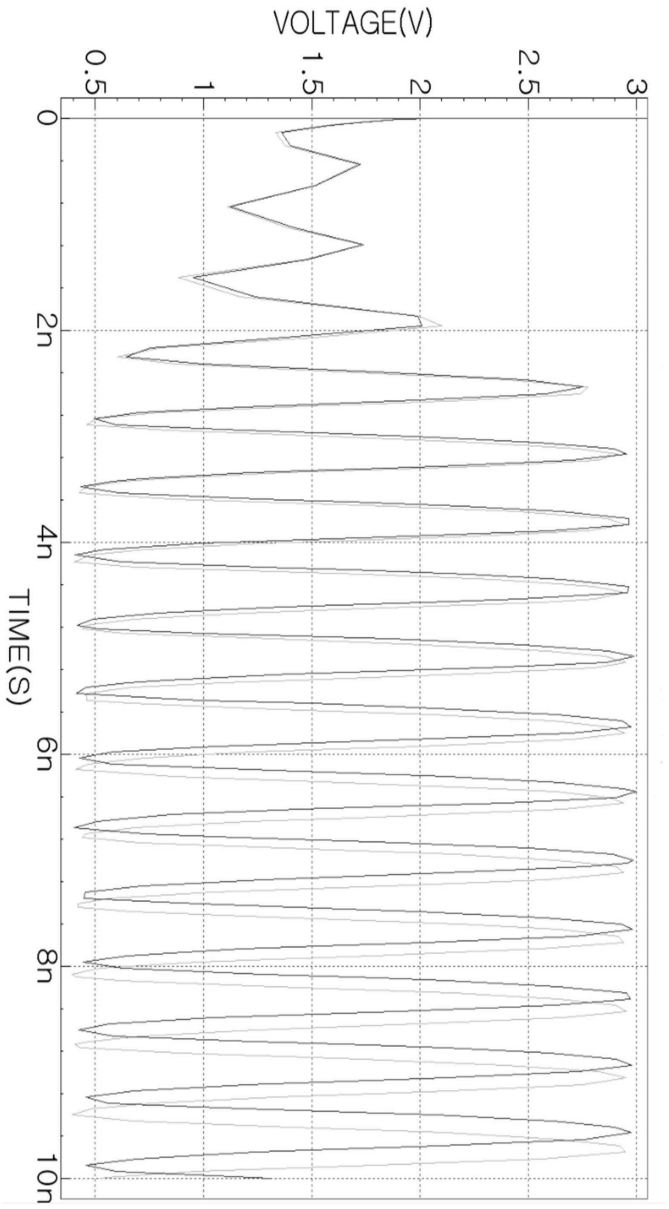


도면5



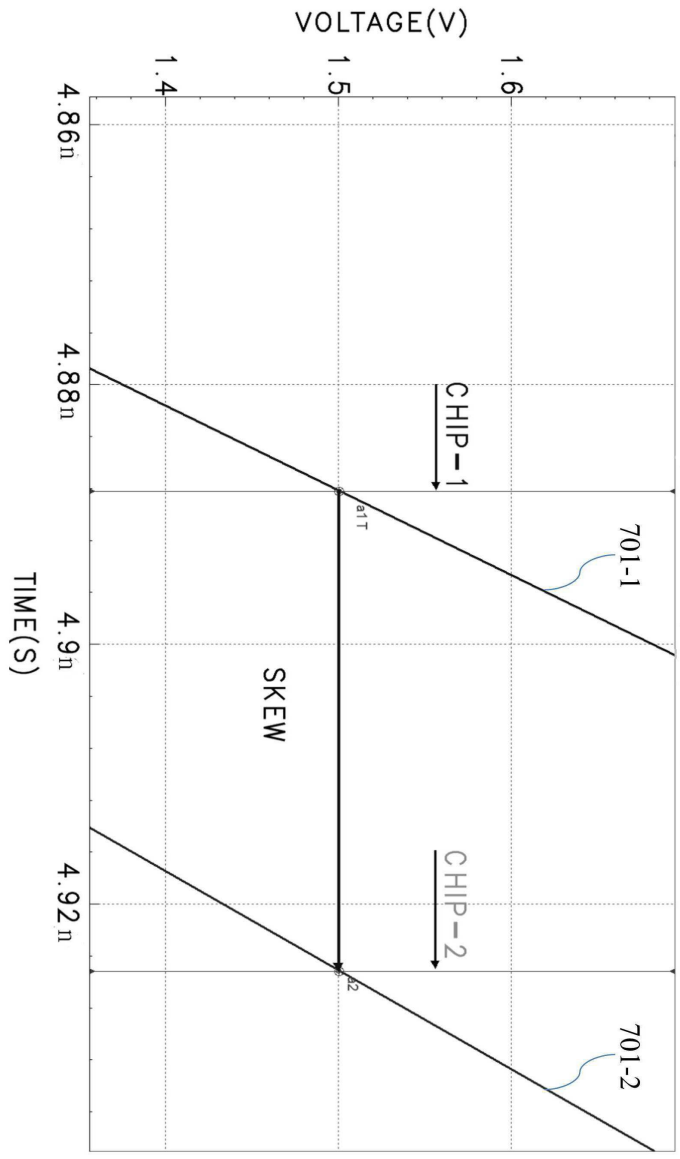

각 오실레이터에 동일 전압 인가

도면6




각 오실레이터에 인가되는 전압이 1% 차이

도면7


VOLTAGE(V)
1.4
1.5
1.6
4.86n
4.88n
4.9n
4.92n
TIME(S)
CHIP-1
CHIP-2
SKEW
701-1
701-2
a1T
a2

도면8

| Voltage[V] | Variation[%] | Clock Skew Ratio[ps] |
|---|---|---|
| 3.06V | 2 | 143.57 |
| 3.03V | 1 | 20.35 |
| 3V | 0 | 0 |
| 2.97V | -1 | 20.19 |
| 2.94V | -2 | 134.87 |

도면9

| Voltage[V] | Variation[%] | Clock Skew Ratio[ps] |
|---|---|---|
| 3.06V | 2 | 15.16 |
| 3.03V | 1 | 12.34 |
| 3V | 0 | 0 |
| 2.97V | -1 | 16.14 |
| 2.94V | -2 | 19.51 |

도면10

