

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2000年12月15日 09/738,081 有 無主張優先權

有關微生物已寄存於：

寄存日期：

，寄存號碼：

裝

訂

線

五、發明說明 (1)

發明說明發明背景

本發明是有關於處理器中的例外處理。

一種可程式化微處理器，諸如數位信號處理器，典型地包含例外處理硬體，用於處理在處理指令期間所可能遭遇到之錯誤。例如，處理器可能遭遇到不合法的指令(不支援的操作程式)、錯誤結合的指令、存取記憶體保護區的指令、不合法的記憶體地址、匯流排錯誤或其他類似的指令。

在諸如偵測到錯誤之事件中，例外處理硬體典型地引發對應軟體例行程序，通常被稱為錯誤處理，用於對錯誤狀況之回應。

圖式說明

圖1是說明根據本發明實施例所裝配可程式化處理器範例之方塊圖。

圖2是說明可程式化處理器執行管線範例之方塊圖。

圖3是根據本發明實施例之例外管線電路圖。

圖4是根據本發明實施例之例外管線的另一個電路圖。

發明說明

圖1是說明根據本發明實施例適用於處理例外之可程式化處理器範例之方塊圖。處理器2可以包含執行管線4、例外管線5及控制單元6。

執行管線4可以包含一些管線階段，用於同時處理一個以上之指令。指令可以被載入執行管線4之第一階段且通過

五、發明說明 (2)

隨後的階段被處理。在系統之週期期間，資料可以在管線4之階段之間傳送。指令之結果可以迅速連續地出現於管線4之末端。

控制單元6可以根據系統時脈控制指令及/或資料通過執行管線4之流動。例如，在指令之處理期間，控制單元6可以指揮管線4之零件將指令解碼且正確地執行相對應的操作，例如，包含將結果寫回記憶體。

在錯誤狀況之事件中，執行管線4之不同的階段可以產生一或多個例外信號17，其可以是以例外碼的形式代表特別的錯誤情況。例外管線5可以具有一些管線階段，用於接收來自執行管線4之例外且同時傳送指令作為引發錯誤情況的原因。如下文所詳細說明，例外管線5是與執行管線4"互鎖(interlocked)"以確保流過例外管線5之例外保持與流過執行管線4之指令同步。例如，如果一停止狀況出現在執行管線4中，則例外管線5會停止同等數目之週期。

圖2是說明根據本發明之實施例之例外管線方塊圖。控制單元6可以確立控制信號18以控制指令及資料通過執行管線4之流動。

例如，管線4可以具有5個階段：指令取得(IF)、指令解碼(DEC)、地址計算(AC)、執行(EX)及回寫(WB)。指令可以在第一階段(IF)期間由取得單元11取自記憶體裝置，諸如，例如主記憶體7或取自指令快取，且在第二階段(DEC)期間被指令解碼單元12解碼。在下一時脈週期中，結果被傳送至第三階段(AC)，在那裡資料地址產生器13會計算任

五、發明說明 (3)

何記憶體地址以執行操作。

在執行階段(EX)期間，執行單元15會執行一或多個由指令所指定之操作，諸如將兩個數字相加或相乘。執行單元15可以包含專門的硬體，用於執行包含，例如，一或多個數學邏輯單元(ALU)、浮點單元(FPU)及高速轉換器等操作。多樣化的資料可以被應用至執行單元15，諸如資料地址產生器13所產生之地址、取自記憶體之資料或取自資料暫存器14之資料。在最後階段(WB)中，回寫單元16可將任何結果寫回至資料記憶體或資料暫存器14。

管線4之階段包含儲存電路，諸如管線暫存器19，用於儲存現在階段之任何結果。階段暫存器19典型地根據系統時脈柵鎖住結果。階段暫存器19接收控制信號18，包含一或多個停止信號，其控制階段暫存器19是否柵鎖住來自前一階段之結果。在此方法中，控制單元6可以同步停止管線4之一或多個階段。如下文所詳細說明，例外管線5(圖1)亦接收控制信號18且與執行管線4同步地停止。

執行管線4之不同階段可以產生一或多個例外信號(EXPS)，其指示在相對應階段中已經偵測到一錯誤狀況。例如，當遇到錯誤排列的指令時，取得單元11可以確立其中一個例外信號17。當未支援(不合法)的指令操作碼被解碼時，解碼單元12可以確立一例外信號17。當不合法的記憶體地址被計算時，資料地址產生器13可以確立一例外信號17。當操作導致錯誤情況時，諸如溢位(overflow)狀況，執行單元15可以確立一例外信號17。當指令嘗試將結

五、發明說明 (4)

果寫入記憶體的保護區域時，回寫單元16確立一例外信號17。這些錯誤被列出只是為了舉例的目的且只代表在指令執行期間會出現的一部份錯誤。

圖3是說明具有複數個階段之示範例外管線5之方塊圖。例如，例外管線5可以具有指令取得(IF)階段、解碼(DEC)階段、地址計算(AC)階段、執行(EX)階段及回寫(WB)階段。例外管線5之各階段(IF, DEC, AC, EX, WB)可以接收一或多個來自執行管線4對應階段(IF, DEC, AC, EX, WB)之例外(17A, 17B, 17C, 17D, 17E)。例如，例外管線5之IF階段可以接收一或多個M例外17A以及例外管線5的DEC階段可接收M個例外17B的一或多個。各個例外17(例如，17A)可以以N位元例外碼表示。因此，管線暫存器32A, 32B, 32C, 32D, 32E可以並行儲存N個位元。

例外管線5之各階段(IF, DEC, AC, EX, WB)包含一個例外選擇單元(31A, 31B, 31C, 31D, 31E)，用於選擇最高優先權之例外以被傳送至接下來的階段。例如，指令取得選擇單元31A選擇M個會出現在例外管線5 IF階段中例外的其中之一例外(例如，17A)。被選擇的IF例外根據下一個時脈週期被儲存在階段暫存器32A內。

根據不同例外之優先權，解碼選擇單元31B選擇：(1)M個會出現在執行管線4解碼階段中例外17B的其中之一例外，或(2)自例外管線5 IF階段所傳送被儲存在階段暫存器32A內之例外(例如，17A)。解碼選擇單元31B將被選擇的例外儲存在管現階段暫存器32B中。

五、發明說明 (5)

在此方法中，例外與傳送通過執行管線4之不同指令同步傳送通過例外管線5之不同階段。當指令在執行管線4之回寫階段期間被撥出時，對應的例外自例外管線5出現在例外碼(exc_code)輸出上，供控制單元6及引起對應錯誤處理軟體例行程序之例外處理器8使用。在一實施例中，服務例外之程序在例外出現自WB階段開始許多階段且適當的服務例行程序被引發。

圖4是說明例外管線5之電路35的方塊圖，其用於控制例外通過圖3所說明不同階段之流動。如下文所詳細說明，電路35傳送一或多個例外請求通過一連串的正反器36A, 36B, 36C, 36D；例外請求相當於在圖3例外管線5內傳送之例外碼。

例外請求以與通過執行管線4控制指令之流動相同之傳送通過電路35控制信號18取得資格。例如，第一取得例外信號被取得資格具有兩種信號：(1) "刪除"信號，指示對應指令在WB階段是否將因為指令流動改變而被撥出，及(2) "停止"信號，指示對應指令在執行管線4中已經被停止。當這些情況不存在時，取得例外信號被正反器36A栓鎖住。在停止情況的事件中，然而，正反器36A之輸出被返饋且被多工器選擇，在接下來的時脈週期被栓鎖。在此方法中，例外請求被通過執行管線4之指令流動互鎖。

同樣地，在解碼階段所產生之例外請求與正反器36A經過OR閘，產生組合解碼例外請求，其相同地以刪除及停止狀況信號取得資格。在此方法中，例外請求信號在任何階

五、發明說明 (6)

段可以進入電路35且傳送至正反器36D，而不用刪除在執行管線4內之對應指令。在此事件中，例外請求被覆寫且自電路35被移除。

正反器36D之輸出再次被以在回寫階段不被停止且不被刪除驗證。電路35之輸出是一種被例外處理器8所接收之例外請求信號21。在回應中，例外處理器8根據圖3例外管線5所供應的現在例外碼3引發對應的例外處理軟體例行程序。

雖然在圖4中沒有被說明，但是輸入例外信號以指令有效信號預先取得資格以擔保例外是與"有效的"指令有關聯，即由處理器2之指令集所供應之指令。然而，與其他例外信號不同，取出例外信號不以有效指令信號取得資格。這樣確保出現於IF階段期間之例外被正確地服務，不管有效指令是否被取得。然而，相對應指令當它傳送通過執行管線4時被標示成無效指令。

本發明之不同實施例已經被說明。例如，具有例外管線用於傳送例外請求之處理器已經被說明。處理器可以被實施於各種各樣的系統中，包含一般用途的計算系統、數為處理系統、膝上型電腦、個人數位助理(PDA)及蜂巢式電話。在這樣的系統中，處理器可以被連接到記憶體裝置，諸如快閃記憶體裝置或靜態隨機存取記憶體(SRAM)，其儲存作業系統及其他應用軟體。這些及其他實施例是在接下來申請專利範圍的範疇內。

圖式元件符號說明

五、發明說明 (7)

- 2 處理器
- 3 現金例外碼
- 4 執行管線
- 5 例外管線
- 6 控制單元
- 7 主記憶體
- 8 例外處理器
- 11 取得單元
- 12 指令解碼單元
- 13 資料地址產生器
- 14 資料暫存器
- 15 執行單元
- 16 回寫單元
- 17 例外信號
- 17A 例外
- 17B 例外
- 17C 例外
- 17D 例外
- 17E 例外
- 18 控制信號
- 19 暫存器
- 21 例外請求信號
- 31 例外選擇單元
- 31A 指令取得選擇單元

五、發明說明 (8)

- 31B 解碼選擇單元
- 31C 地址計算選擇單元
- 31D 執行選擇單元
- 31E 回寫選擇單元
- 32A 階段暫存器
- 32B 階段暫存器
- 32C 階段暫存器
- 32D 階段暫存器
- 32E 階段暫存器
- 35 電路
- 36A 正反器
- 36B 正反器
- 36C 正反器
- 36D 正反器

四、中文發明摘要(發明之名稱：用以在管線化處理器中例外處理之方法、裝置)及系統

在一實施例中，可程式化處理器包含執行管線及例外管線。執行管線可以是一種處理指令之多階段執行管線。例外管線可以是一種多階段例外管線，其從指令之執行結果傳送例外。第一及例外管線可以具有相同數目的階段且可以在相同的時脈週期上運作。當指令從一執行管線之一階段傳送到執行管線較後面的階段時，例外可以同樣地從對應例外管線之一階段傳送到例外管線對應較後面的階段。

英文發明摘要(發明之名稱：METHOD, APPARATUS, AND SYSTEM FOR EXCEPTION HANDLING IN A PIPELINED PROCESSOR)

In one embodiment, a programmable processor includes a execution pipeline and an exception pipeline. The execution pipeline may be a multi-stage execution pipeline that processes instructions. The exception pipeline may be a multi-stage exception pipeline that propagates exceptions resulting from the execution of the instructions. The first and exception pipelines may have the same number of stages and may operate on the same clock cycles. When an instruction passes from a stage of the execution pipeline to a later stage of the execution pipeline, an exception may similarly pass from a corresponding stage of the exception pipeline to a corresponding later stage of the exception pipeline.

92年7月7日
修正本

公告本

| | |
|------|-----------|
| 申請日期 | 90.12.14 |
| 案號 | 90131095 |
| 類別 | G06F 9/38 |

A4
C4

中文說明書替換本(92年7月)

(以上各欄由本局填註)

發明專利說明書 I223196
新 型

| | | |
|---------|---------------|--|
| 一、發明名稱 | 中文 | 用以在管線化處理器中例外處理之方法、裝置及系統 |
| | 英文 | METHOD, APPARATUS, AND SYSTEM FOR EXCEPTION HANDLING IN A PIPELINED PROCESSOR |
| 二、發明創作人 | 姓名 | 1. 查理 P. 洛西 CHARLES P. ROTH 2. 拉維 P. 辛格 RAVI P. SINGH 3. 格列高里 A. 奧弗肯 GREGORY A. OVERKAMP |
| | 國籍 | 1. 美國 2. 印度 3. 美國 |
| | 住、居所 | 1. 美國德州奧斯汀市帝徹斯特廣場13305號 2. 美國德州奧斯汀市梅翠克大道12349號 3. 美國德州奧斯汀市163442號郵政信箱 |
| 三、申請人 | 姓名 (名稱) | 1. 美商英特爾公司 INTEL CORPORATION 2. 美商亞拿羅設計公司 ANALOG DEVICES, INC. |
| | 國籍 | 1. 美國 2. 美國 |
| | 住、居所 (事務所) | 1. 美國加州聖塔卡拉瓦市米遜大學路2200號 2. 美國麻州諾伍市科技路1號 |
| | 代表姓名 | 1. 湯姆士 C. 雷納德 THOMAS C. REYNOLDS 2. 威廉 A. 威斯 WILLIAM A. WISE |

裝
訂
線

六、申請專利範圍

1. 一種用以在管線化處理器中例外處理之方法，包含：
在可程式化處理器之執行管線中處理一指令，在該執行管線中處理該指令，包含經由執行管線之N個階段傳送該指令；且
經由該處理器之例外管線傳送指令之一例外。
2. 如申請專利範圍第1項之方法，其中在例外管線中傳送指令例外狀態包含經由例外管線之N個階段傳送指令之例外狀態。
3. 如申請專利範圍第1項之方法，尚包含接收來自例外管線之例外且將此例外儲存至例外管線內。
4. 如申請專利範圍第3項之方法，其中接收例外包含接收來自執行管線複數階段其中之一之例外碼，且另外其中儲存例外包含儲存在例外管線相對應階段內之例外碼。
5. 如申請專利範圍第1項之方法，尚包含在例外管線中傳送例外請求位元，其中例外請求位元代表在執行管線對應階段內指令之錯誤狀況。
6. 如申請專利範圍第1項之方法，尚包含當執行管線被停止

六、申請專利範圍

時停止例外管線。

7. 如申請專利範圍第1項之方法，尚包含當執行管線內對應指令將不被完全執行時清除執行管線內之例外。
8. 如申請專利範圍第4項之方法，尚包含當例外已經經由例外管線最後階段傳送時服務此例外。
9. 如申請專利範圍第1項之方法，其中傳送例外通過例外管線包含根據與例外有關之優先權選擇在例外管線階段多個例外的其中一個例外。
10. 如申請專利範圍第1項之方法，使在例外管線階段之例外取得資格以確保對應指令沒有被終止。
11. 如申請專利範圍第1項之方法，尚包含在例外管線之各階段，除了指令取得階段之外，使指令取得資格以確保相對應指令是有效的。
12. 一種用以在管線化處理器中例外處理之裝置，包含：
 - 具有數個階段以同時執行一或多個指令之一執行管線；及
 - 具有數個階段以傳送產生自該等指令執行之例外之一

六、申請專利範圍

例外管線。

13. 如申請專利範圍第12項之裝置，其中執行管線及例外管線各具有N個階段。
14. 如申請專利範圍第12項之裝置，其中例外管線之階段包含管線暫存器以儲存例外碼。
15. 如申請專利範圍第12項之裝置，其中例外管線包含多個儲存器電路以傳送例外請求位元。
16. 如申請專利範圍第12項之裝置，其中例外管線及執行管線之階段被一或多個停止信號控制。
17. 如申請專利範圍第15項之裝置，其中各階段接收一刪除信號以重置例外請求位元。
18. 如申請專利範圍第12項之裝置，尚包含例外處理器，其接收來自例外管線最後階段之例外請求位元。
19. 如申請專利範圍第12項之裝置，其中例外管線之階段包含選擇邏輯以根據與例外相關之優先權選擇多個例外之其中之一例外。
20. 如申請專利範圍第12項之裝置，其中例外管線之階段包

六、申請專利範圍

含邏輯以使例外請求位元取得資格以確保指令是有效的指令且沒有被終止。

21. 一種用以在管線化處理器中例外處理之系統，包含：
 - 一快閃記憶體裝置；及
 - 一處理器，耦接至該快閃記憶體裝置，其中處理器包含具有多個階段以同時執行一或多個指令之一執行管線，及具有多個階段以傳送產生自指令執行之例外之一例外管線。
22. 如申請專利範圍第21項之系統，其中執行管線及例外管線各具有N個階段。
23. 如申請專利範圍第21項之系統，其中例外管線之階段包含管線暫存器以儲存例外碼。
24. 如申請專利範圍第21項之系統，其中例外管線包含多個儲存器電路以傳送例外請求位元。
25. 如申請專利範圍第21項之系統，其中例外管線及執行管線之階段同時受到一或多個停止信號控制。
26. 如申請專利範圍第21項之系統，其中處理器尚包含例外

六、申請專利範圍

處理器，其接收來自例外管線最後階段之例外請求位元。

I223196
15年7月4日
修正本

第 090131095 號專利申請案
中文圖式替換本(92年7月)

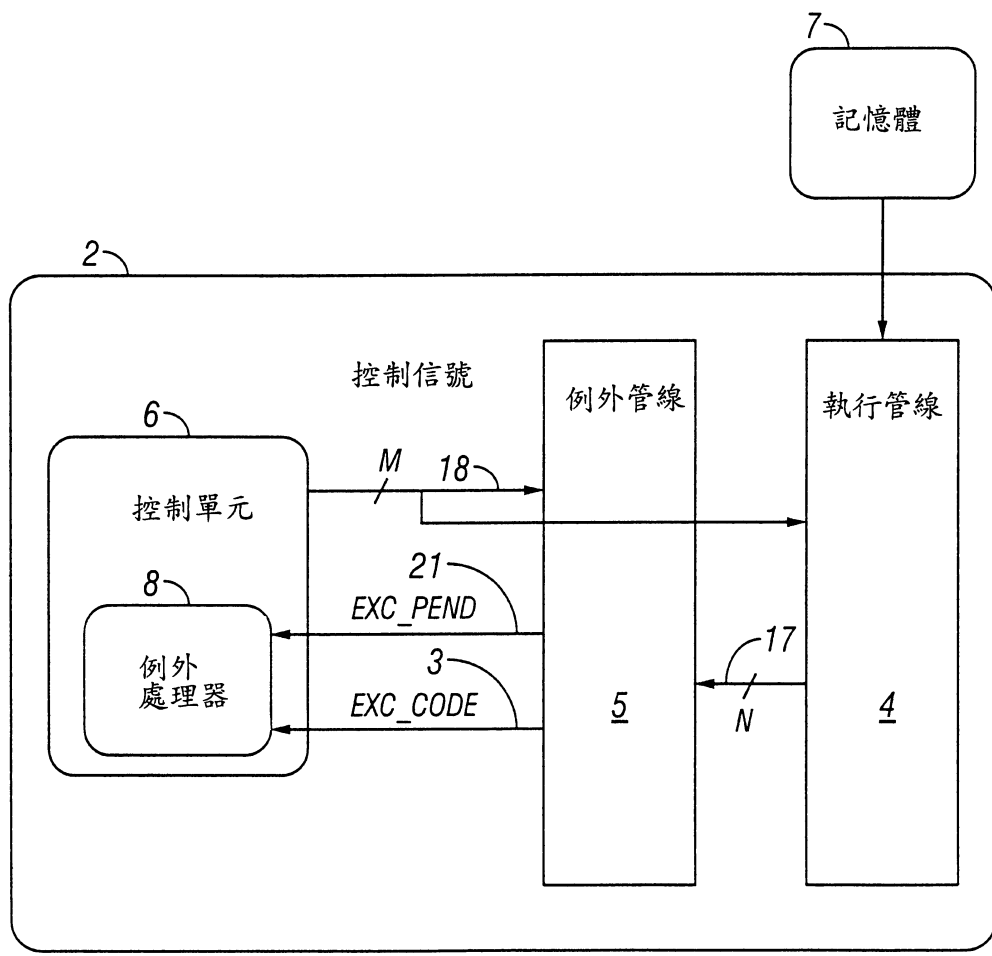


圖 1

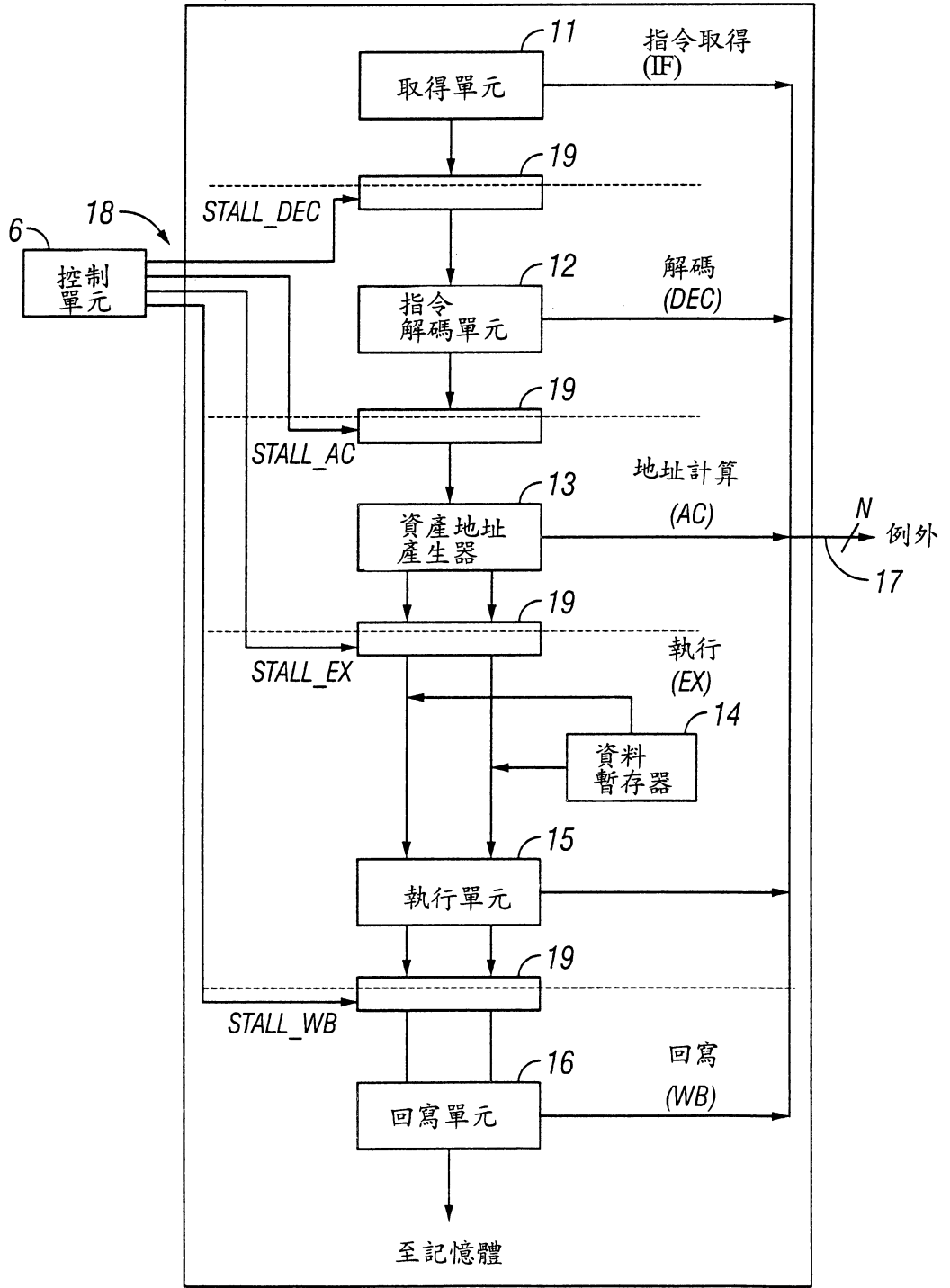


圖 2

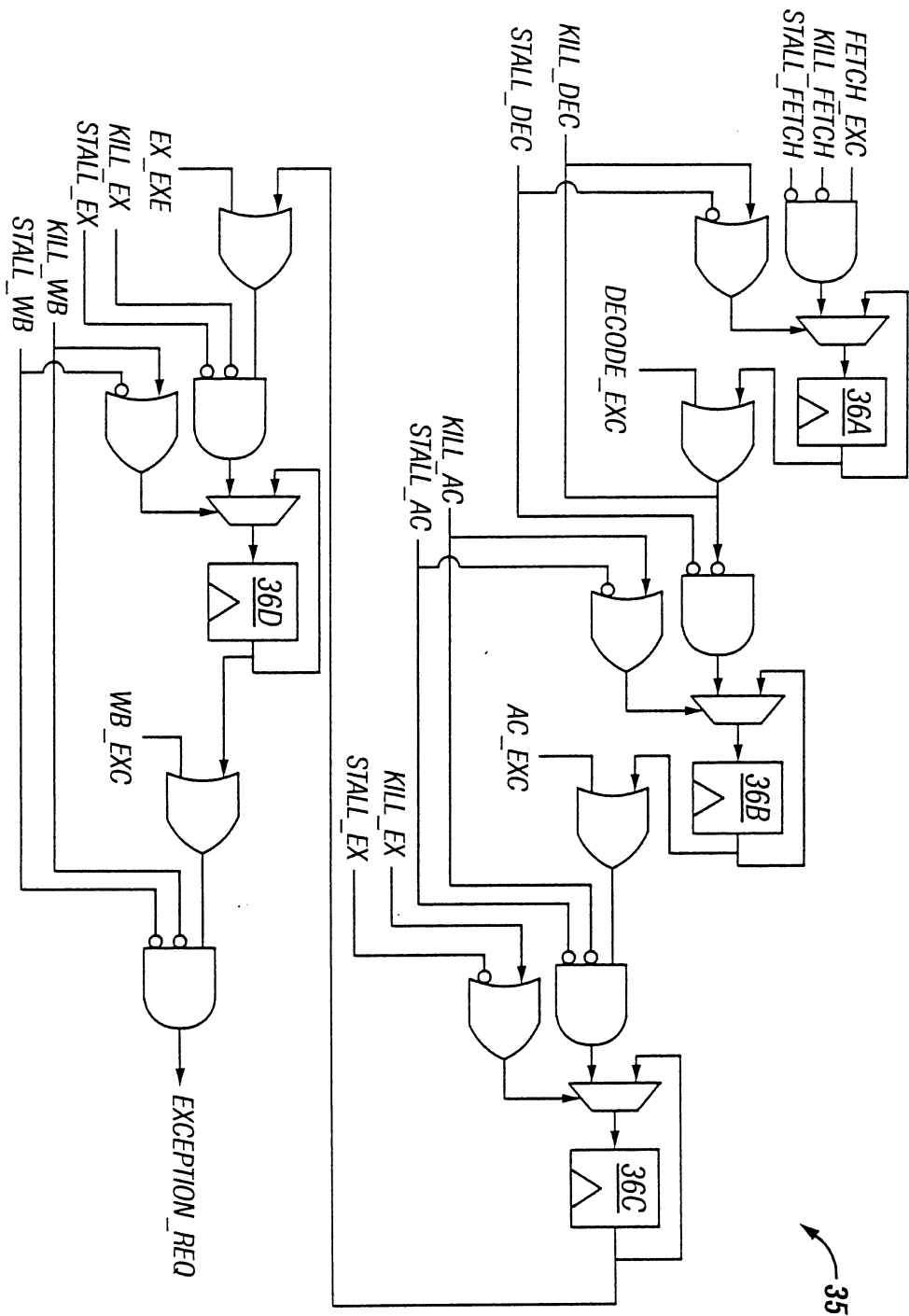


圖 4