

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5891100号
(P5891100)

(45) 発行日 平成28年3月22日(2016.3.22)

(24) 登録日 平成28年2月26日(2016.2.26)

(51) Int.Cl.

F I

H O 4 L 25/02 (2006.01)

H O 4 L 25/02 3 O 3 B

H O 3 K 19/0175 (2006.01)

H O 3 K 19/00 1 O 1 P

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 E

H O 1 L 27/04 (2006.01)

請求項の数 13 (全 30 頁)

(21) 出願番号 特願2012-101655 (P2012-101655)
 (22) 出願日 平成24年4月26日(2012.4.26)
 (65) 公開番号 特開2013-229815 (P2013-229815A)
 (43) 公開日 平成25年11月7日(2013.11.7)
 審査請求日 平成27年2月2日(2015.2.2)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 帰山 隼一
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 審査官 阿部 弘

最終頁に続く

(54) 【発明の名称】 半導体装置及びデータ送信方法

(57) 【特許請求の範囲】

【請求項1】

第1の電源系において動作し、入力されたデータ信号及び第1の再送要求信号に基づいて、パルス信号を出力する送信回路と、

前記第1の電源系と異なる第2の電源系において動作し、前記パルス信号に基づいて、前記データ信号を復元する受信回路と、

前記送信回路と前記受信回路とを磁界または電界により結合する絶縁結合素子と、を備え、

前記送信回路は、

前記データ信号及び前記第1の再送要求信号をそれぞれ遅延させた遅延データ信号及び第1の遅延再送要求信号を生成し、

前記遅延データ信号及び前記第1の遅延再送要求信号のエッジにおいて前記パルス信号を出力するとともに、前記遅延データ信号のエッジを跨ぐ所定の期間、前記第1の遅延再送要求信号のエッジにおける前記パルス信号の出力を禁止する、
 半導体装置。

【請求項2】

前記送信回路は、

前記遅延データ信号のエッジを跨ぐ所定の期間、前記パルス信号の出力を禁止するための期間信号を生成する第1の論理回路を備えている、
 請求項1に記載の半導体装置。

10

20

【請求項 3】

前記第 1 の論理回路に、前記データ信号と、前記遅延データ信号をさらに遅延させた信号とが入力される、
請求項 2 に記載の半導体装置。

【請求項 4】

前記送信回路に、さらに第 2 の再送要求信号が入力され、
前記送信回路は、
前記第 2 の再送要求信号を遅延させた第 2 の遅延再送要求信号のエッジにおいて、さらに前記パルス信号を出力すると共に、
前記遅延データ信号のエッジを跨ぐ所定の期間及び前記第 1 の遅延再送要求信号のエッジを跨ぐ所定の期間、前記第 2 の遅延再送要求信号のエッジにおける前記パルス信号の出力を禁止する、
請求項 1 に記載の半導体装置。

10

【請求項 5】

前記送信回路は、
前記第 1 の遅延再送要求信号のエッジを跨ぐ所定の期間、前記パルス信号の出力を禁止するための期間信号を生成する第 2 の論理回路を備えている、
請求項 4 に記載の半導体装置。

【請求項 6】

前記第 2 の論理回路に、前記第 1 の再送要求信号と、前記第 1 の遅延再送要求信号をさらに遅延させた信号とが入力される、
請求項 5 に記載の半導体装置。

20

【請求項 7】

前記第 1 の電源系の電圧が所定の値より低い場合、前記第 1 又は第 2 の再送要求信号を出力する低電圧ロックアウト回路を、さらに備える、
請求項 4 に記載の半導体装置。

【請求項 8】

定期的に前記第 1 又は第 2 の再送要求信号を出力する信号生成回路を、さらに備える、
請求項 4 に記載の半導体装置。

【請求項 9】

前記受信回路が、所定の期間、前記パルス信号を検出しない場合、エラー信号を出力するタイマをさらに備える、
請求項 8 に記載の半導体装置。

30

【請求項 10】

前記送信回路に前記データ信号を出力するマイコンと、
前記受信回路が復元した前記データ信号が入力される駆動回路と、をさらに備える、
請求項 1 に記載の半導体装置。

【請求項 11】

前記駆動回路により駆動されるパワートランジスタと、
前記パワートランジスタのオンオフにより電流が制御されるモータと、をさらに備える、
請求項 10 に記載の半導体装置。

40

【請求項 12】

前記絶縁結合素子がコイルを含む、
請求項 1 に記載の半導体装置。

【請求項 13】

データ信号及び第 1 の再送要求信号を遅延させ、遅延データ信号及び第 1 の遅延再送要求信号を生成し、
前記遅延データ信号及び前記第 1 の遅延再送要求信号のエッジにおいてパルス信号を出力するとともに、前記遅延データ信号のエッジを跨ぐ所定の期間、前記第 1 の遅延再送要

50

求信号のエッジにおける前記パルス信号の出力を禁止する、
データ送信方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びデータ送信方法に関し、例えば絶縁結合素子を備えた半導体装置及びデータ送信方法に関する。

【背景技術】

【0002】

電源電圧の異なる複数の半導体チップ間で信号を送受信する場合、半導体チップ間を絶縁結合素子によって電氣的に絶縁しつつ信号を送受信する必要がある。絶縁結合素子としては、コンデンサやコイルなどを用いた交流結合素子あるいは光結合素子（フォトカプラ）などが知られている。特許文献1～3及び非特許文献1には、絶縁結合素子としてコイルを用いて、信号を送受信する半導体装置が開示されている。

【0003】

一の半導体チップ上の送信回路から絶縁結合素子を用いて他の半導体チップ上の受信回路へデータ信号を送信する場合、特許文献1には、データ信号がH（High）レベルの間、パルス信号を送信し続け、データ信号がL（Low）レベルの間、パルス信号を送信しない手法が開示されている。

【0004】

他方、非特許文献1、特許文献2には、データ信号のエッジをトリガとする1回あるいは2回のパルス信号を送信回路から送信する手法が開示されている。ここで、送信回路からは、データ信号の立ち上がりエッジ（ライズエッジ）と立ち下がりエッジ（フォールエッジ）との区別が可能なパルス信号が送信される。そのため、受信回路においてデータ信号を復元することができる。

【0005】

非特許文献1や特許文献2に開示された手法は、データ信号のエッジのみでパルス信号を送信するため、データ信号がHレベルの間パルス信号を出力し続ける特許文献1に開示された手法に比べ、消費電力が小さく、放射ノイズも小さいという長所を有している。なお、特許文献3には両方の手法が開示されている。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許第6262600号明細書

【特許文献2】米国特許第7075329号明細書

【特許文献3】米国特許第7302247号明細書

【非特許文献】

【0007】

【非特許文献1】S, Kaeriyama, S. Uchida, M. Furumiya, M. Okada, M. Mizuno, "A 2.5kV isolation 35kV/us CMR 250Mbps 0.13mA/Mbps digital isolator in standard CMOS with an on-chip small transformer", 2010 Symposium on VLSI Circuits, Technical Digest of Technical Papers, 2010, pp197-198

【発明の概要】

【発明が解決しようとする課題】

【0008】

発明者は以下の課題を見出した。

データ信号のエッジのみでパルス信号を送信する手法は、上述した長所を有する一方で、例えばノイズによりデータ信号の値が反転しまう恐れがある。このような誤りを訂正するため、再送要求信号に応じて、何らかのタイミングで（例えば定期的に）、送信回路からデータ信号の値を再送し、データ信号の値を正しい値に維持又は更新することが好まし

10

20

30

40

50

い。

しかしながら、データ信号のエッジと再送要求信号のエッジとが接近し過ぎると、受信回路においてデータ信号が誤って復元される恐れがあった。

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0009】

一実施の形態によれば、送信回路が、データ信号及び第1の再送要求信号をそれぞれ遅延させた遅延データ信号及び第1の遅延再送要求信号を生成し、前記遅延データ信号及び前記第1の遅延再送要求信号のエッジにおいてパルス信号を出力するとともに、遅延データ信号のエッジを跨ぐ所定の期間、前記第1の遅延再送要求信号のエッジにおける前記パルス信号の出力を禁止する。

10

【発明の効果】

【0010】

前記一実施の形態によれば、受信回路においてデータ信号が誤って復元されることを抑制することができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る半導体装置を示すブロック図である。

【図2】実施の形態1に係る半導体装置の実装例を示す模式図である。

20

【図3】実施の形態1に係る送信回路TX1の具体的な回路構成の一例を示す回路図である。

【図4】実施の形態1に係る送信回路TX1の動作の一例を示すタイミングチャートである。

【図5】実施の形態1に係る受信回路RX1の具体的な回路構成の一例を示す回路図である。

【図6】実施の形態1に係る受信回路RX1の動作の一例を示すタイミングチャートである。

【図7】実施の形態1の比較例に係る送信回路TX10の具体的な回路構成の一例を示す回路図である。

30

【図8】受信回路においてデータ信号が誤って復元される例について説明するためのタイミングチャートである。

【図9】受信回路においてデータ信号が誤って復元される例について説明するためのタイミングチャートである。

【図10】実施の形態2に係る送信回路TX1の具体的な回路構成の一例を示す回路図である。

【図11】実施の形態2に係る送信回路TX1の動作の一例を示すタイミングチャートである。

【図12】実施の形態3に係る半導体装置2の構成を示すブロック図である。

【図13】半導体装置の実装例を示す模式図である。

40

【図14】半導体装置の実装例を示す模式図である。

【図15】半導体装置の実装例を示す模式図である。

【図16】半導体装置の実装例を示す模式図である。

【図17】半導体装置の実装例を示す模式図である。

【図18】半導体装置の実装例を示す模式図である。

【図19】半導体装置の実装例を示す模式図である。

【図20】半導体装置の実装例を示す模式図である。

【図21】半導体装置が適用されるインバータ装置を示す図である。

【図22】半導体装置が適用されるインバータ装置の動作を示すタイミングチャートである。

50

【図 2 3】実施の形態 2 の変形例に係る送信回路 T X 1 の具体的な回路構成の一例を示す回路図である。

【図 2 4】実施の形態 2 の変形例に係る送信回路 T X 1 の具体的な回路構成の一例を示す回路図である。

【図 2 5】実施の形態 2 の変形例に係る送信回路 T X 1 の動作の一例を示すタイミングチャートである。

【図 2 6】実施の形態 2 の変形例に係る送信回路 T X 1 の動作の一例を示すタイミングチャートである。

【発明を実施するための形態】

【 0 0 1 2 】

10

以下、具体的な実施の形態について、図面を参照しながら詳細に説明する。ただし、以下の実施の形態に限定される訳ではない。また、説明を明確にするため、以下の記載及び図面は、適宜、簡略化されている。

【 0 0 1 3 】

(実施の形態 1)

まず、図 1 を参照して、実施の形態 1 に係る半導体装置について説明する。図 1 は、実施の形態 1 に係る半導体装置 1 の構成を示すブロック図である。実施の形態 1 に係る半導体装置 1 は、送信回路 T X 1、一次コイル L 1 1、二次コイル L 1 2、受信回路 R X 1 を備え、アイソレータを構成している。

【 0 0 1 4 】

20

送信回路 T X 1 は、半導体チップ C H P 1 に形成される。なお、半導体チップ C H P 1 は、第 1 の電源系に属する第 1 の電源 (電源電圧 V D D 1、接地電圧 G N D 1) によって駆動される。

【 0 0 1 5 】

一次コイル L 1 1、二次コイル L 1 2、受信回路 R X 1 は、半導体チップ C H P 2 に形成される。なお、半導体チップ C H P 2 は、第 1 の電源系と異なる第 2 の電源系に属する第 2 の電源 (電源電圧 V D D 2、接地電圧 G N D 2) によって駆動される。

【 0 0 1 6 】

一次コイル L 1 1、二次コイル L 1 2 は、電源電圧の異なる 2 つの半導体チップ C H P 1、C H P 2 を電氣的に絶縁しつつ磁界または電界により結合する絶縁結合素子を構成している。この絶縁結合素子により、半導体チップ C H P 1 上の送信回路 T X 1 から電源電圧の異なる半導体チップ C H P 2 上の受信回路 R X 1 へデータ信号を送信することができる。

30

【 0 0 1 7 】

ここで、図 2 を参照して、半導体装置 1 の実装例について説明する。図 2 は、半導体装置 1 の実装例を示す図である。なお、図 2 は、主として送信回路 T X 1、受信回路 R X 1 及びこれらの間に設けられた一次コイル L 1 1、二次コイル L 1 2 の実装例を説明するものである。

【 0 0 1 8 】

図 2 に示す実装例は、半導体パッケージ P K G に 2 つの半導体チップ C H P 1、C H P 2 が搭載される。半導体チップ C H P 1、C H P 2 は、それぞれパッド P d を有する。そして、半導体チップ C H P 1、C H P 2 のそれぞれのパッド P d は、図示しないボンディングワイヤを介して半導体パッケージ P K G に設けられた複数のリード端子 (外部端子) T に接続される。

40

【 0 0 1 9 】

図 2 に示すように、半導体チップ C H P 1 には送信回路 T X 1 が形成される。半導体チップ C H P 2 には、受信回路 R X 1、一次コイル L 1 1、及び二次コイル L 1 2 が形成される。また、半導体チップ C H P 1 には、送信回路 T X 1 の出力に接続されるパッドが形成され、半導体チップ C H P 2 には、一次コイル L 1 1 の両端にそれぞれ接続されるパッドが形成される。そして、送信回路 T X 1 は、これらパッドとボンディングワイヤ B W と

50

を介して、半導体チップＣＨＰ２に形成された一次コイルＬ１１と接続される。

【００２０】

なお、図２に示す例では、一次コイルＬ１１及び二次コイルＬ１２が、それぞれ１つの半導体チップ内において上下方向に積層される第１の配線層及び第２の配線層に形成されている。

【００２１】

図１に戻り、半導体装置１の構成例の詳細について説明する。送信回路ＴＸ１は、第１の電源系に属する第１の電源に基づき動作する。一方、受信回路ＲＸ１は、第２の電源系に属する第２の電源に基づき動作する。

【００２２】

送信回路ＴＸ１は、入力データ信号Ｄｉｎ１と再送要求信号ＲＴ１１のエッジに応じて、送信パルス信号Ｐ１１、Ｐ１２を出力する。本実施の形態では、送信パルス信号Ｐ１１は、Ｈレベル（例えば第１のレベル）を伝達するためのパルス信号であって、一次コイルＬ１１の一端に出力される。他方、送信パルス信号Ｐ１２は、Ｌレベル（例えば第２のレベル）を伝達するためのパルス信号であって、一次コイルＬ１１の他端に出力される。

【００２３】

一次コイルＬ１１及び二次コイルＬ１２は、送信回路ＴＸ１から出力された送信パルス信号Ｐ１１、Ｐ１２を、受信信号ＶＲへ変換し、受信回路ＲＸ１に伝達する。具体的には、送信パルス信号Ｐ１１、Ｐ１２の遷移により一次コイルＬ１１に流れる電流が変化し、これに応じて二次コイルＬ１２の両端間の電圧である受信信号ＶＲが変化する。

【００２４】

受信回路ＲＸ１は、二次コイルＬ１２の受信信号ＶＲに基づいて入力データ信号Ｄｉｎ１を復元し、出力データ信号Ｄｏｕｔ１として出力する。

【００２５】

本実施の形態に係る半導体装置１では、送信回路ＴＸ１が、入力データ信号Ｄｉｎ１及び再送要求信号ＲＴ１１を遅延させた遅延データ信号ＤＤ１及び遅延再送要求信号ＤＲＴ１１（図３、４を参照して後述）を生成し、遅延データ信号ＤＤ１のエッジを跨ぐ所定の期間、遅延再送要求信号ＤＲＴ１１のエッジにおける送信パルス信号Ｐ１１、Ｐ１２の発生を禁止する。これにより、受信回路ＲＸ１においてデータ信号が誤って復元されることを抑制することができる。

【００２６】

次に、図３を参照して、送信回路ＴＸ１の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図３は、実施の形態１に係る送信回路ＴＸ１の具体的な回路構成の一例を示す回路図である。図３に示すように、送信回路ＴＸ１は、パルス生成回路ＰＧＣと２つのＡＮＤゲートＡＮ１、ＡＮ２とから構成されている。ここで、パルス生成回路ＰＧＣは、３つの遅延回路ＤＣ１１、ＤＣ１２、ＤＣ２１、１つのＸＯＲゲートＸＯ１、２つのインバータＩＮ１、ＩＮ２、４つのライズエッジ検出回路ＲＥＤ１１、ＲＥＤ１２、ＲＥＤ２１、ＲＥＤ２２、１つのＯＲゲートＯＲ１を備えている。

【００２７】

以下に接続関係について説明する。

入力データ信号Ｄｉｎ１は、遅延回路ＤＣ１１に入力される。遅延回路ＤＣ１１は、入力データ信号Ｄｉｎ１を遅延時間Ｔｄだけ遅延させた遅延データ信号ＤＤ１（第１の遅延信号）を出力する。ここで、入力データ信号Ｄｉｎ１ではなく、遅延データ信号ＤＤ１が、受信回路に送信され、データ信号として復元される。

【００２８】

そのため、遅延データ信号ＤＤ１が、ライズエッジ検出回路ＲＥＤ１１に入力される。ライズエッジ検出回路ＲＥＤ１１は、遅延データ信号ＤＤ１のライズエッジにおいてエッジ検出信号を出力する。

また、インバータＩＮ１を介した遅延データ信号ＤＤ１の反転信号が、ライズエッジ検出回路ＲＥＤ１２に入力される。ライズエッジ検出回路ＲＥＤ１１は、遅延データ信号Ｄ

10

20

30

40

50

D 1 の反転信号のライズエッジすなわち遅延データ信号 D D 1 のフォールエッジにおいてエッジ検出信号を出力する。

【 0 0 2 9 】

さらに、遅延データ信号 D D 1 は、遅延回路 D C 1 2 に入力される。遅延回路 D C 1 2 は、遅延データ信号 D D 1 を遅延時間 T d だけさらに遅延させた遅延データ信号 D D 2 を出力する。

入力データ信号 D i n 1 と遅延データ信号 D D 2 とが、X O R ゲート X O 1 に入力される。X O R ゲート X O 1 は、入力データ信号 D i n 1 のエッジから遅延データ信号 D D 2 のエッジまでの 2 T d の期間を示す禁止期間信号 P P 1 を出力する。禁止期間信号 P P 1 は、遅延データ信号 D D 1 のエッジの前後 T d (合計 2 T d) の期間、後述する遅延再送要求信号 D R T 1 1 (第 2 の遅延信号) のエッジ検出を禁止するための信号である。

10

【 0 0 3 0 】

再送要求信号 R T 1 1 は、遅延回路 D C 2 1 に入力される。遅延回路 D C 2 1 は、再送要求信号 R T 1 1 を遅延時間 T d だけ遅延させた遅延再送要求信号 D R T 1 1 を出力する。ここで、再送要求信号 R T 1 1 ではなく、遅延再送要求信号 D R T 1 1 のエッジにおいて、遅延データ信号 D D 1 の値を再送する。

【 0 0 3 1 】

そのため、遅延再送要求信号 D R T 1 1 は、ライズエッジ検出回路 R E D 2 1 に入力される。ライズエッジ検出回路 R E D 2 1 は、遅延再送要求信号 D R T 1 1 のライズエッジにおいてエッジ検出信号を出力する。ここで、ライズエッジ検出回路 R E D 2 1 には、禁止期間信号 P P 1 も入力されている。そのため、ライズエッジ検出回路 R E D 2 1 は、遅延再送要求信号 D R T 1 1 のライズエッジが再送禁止期間 (遅延データ信号 D D 1 のエッジの前後 T d の期間) にある場合には、エッジ検出信号を出力しない。

20

【 0 0 3 2 】

また、インバータ I N 2 を介した遅延再送要求信号 D R T 1 1 の反転信号は、ライズエッジ検出回路 R E D 2 2 に入力される。ライズエッジ検出回路 R E D 2 2 は、遅延再送要求信号 D R T 1 1 の反転信号のライズエッジすなわち遅延再送要求信号 D R T 1 1 のフォールエッジにおいてエッジ検出信号を出力する。ここで、ライズエッジ検出回路 R E D 2 2 にも、禁止期間信号 P P 1 が入力されている。そのため、ライズエッジ検出回路 R E D 2 2 も、遅延再送要求信号 D R T 1 1 のフォールエッジが再送禁止期間 (遅延データ信号 D D 1 のエッジの前後 T d の期間) にある場合には、エッジ検出信号を出力しない。

30

【 0 0 3 3 】

4 つのライズエッジ検出回路 R E D 1 1、R E D 1 2、R E D 2 1、R E D 2 2 から出力されたエッジ検出信号は、O R ゲート O R 1 に入力される。O R ゲート O R 1 からは、総合パルス信号 P 1 0 が出力される。

総合パルス信号 P 1 0 は、2 つの A N D ゲート A N 1、A N 2 に入力される。また、A N D ゲート A N 1 には、遅延データ信号 D D 1 が入力される。一方、A N D ゲート A N 2 には、遅延データ信号 D D 1 の反転信号が入力される。

この結果、A N D ゲート A N 1 は、総合パルス信号 P 1 0 がアクティブ (H レベル) になったタイミングにおいて、H レベルを伝達する送信パルス信号 P 1 1 を出力する。また、A N D ゲート A N 2 は、総合パルス信号 P 1 0 がアクティブになったタイミングにおいて、L レベルを伝達する送信パルス信号 P 1 2 を出力する。

40

【 0 0 3 4 】

次に、図 4 を参照して、送信回路 T X 1 の動作について説明する。図 4 は、実施の形態 1 に係る送信回路 T X 1 の動作の一例を示すタイミングチャートである。なお、図 4 に示す動作は、絶縁結合素子としてコイルが用いられる場合に限られず、コンデンサ、G M R 素子等が用いられた場合にも同様に実現可能である。

【 0 0 3 5 】

図 4 の上から順に、入力データ信号 D i n 1、遅延データ信号 D D 1、遅延データ信号 D D 2、禁止期間信号 P P 1、再送要求信号 R T 1 1、遅延再送要求信号 D R T 1 1、総

50

合パルス信号 P 1 0、送信パルス信号 P 1 1、送信パルス信号 P 1 2、出力データ信号 D o u t 1 が、示されている。

【 0 0 3 6 】

2 段目に示された遅延データ信号 D D 1 は、最上段に示された入力データ信号 D i n 1 が遅延時間 T d だけ遅延された信号である。上述のように、この遅延データ信号 D D 1 が、最下段に示された出力データ信号 D o u t 1 として復元される。

遅延データ信号 D D 2 は、遅延データ信号 D D 1 がさらに遅延時間 T d だけ遅延された信号である。

禁止期間信号 P P 1 は、遅延データ信号 D D 1 のエッジ前後 T d の期間、6 段目に示された遅延再送要求信号 D R T 1 1 のエッジ検出を禁止するための期間信号である。上述の通り、入力データ信号 D i n 1 と遅延データ信号 D D 2 から容易に生成することができる。

10

【 0 0 3 7 】

6 段目に示された遅延再送要求信号 D R T 1 1 は、5 段目に示された再送要求信号 R T 1 1 が遅延時間 T d だけ遅延された信号である。上述のように、遅延再送要求信号 D R T 1 1 のエッジにおいて、遅延データ信号 D D 1 の値が再送される。

【 0 0 3 8 】

次に、時系列に説明する。

時刻 t 1 では、遅延再送要求信号 D R T 1 1 が L レベルから H レベルへ切り換わる（つまりライズエッジである）ため、総合パルス信号 P 1 0 が出力される（つまり、総合パルス信号 P 1 0 が L レベルから H レベルへ一時的に切り換わる）。また、時刻 t 1 では、遅延データ信号 D D 1 が L レベルであるため、L レベルを伝達する送信パルス信号 P 1 2 が出力される。この結果、出力データ信号 D o u t 1 として、L レベルが伝達される。つまり、出力データ信号 D o u t 1 の信号レベルは維持される。

20

【 0 0 3 9 】

時刻 t 2 では、遅延データ信号 D D 1 が L レベルから H レベルへ切り換わる（つまりライズエッジである）ため、総合パルス信号 P 1 0 が出力される。そして、H レベルを伝達する送信パルス信号 P 1 1 が出力される。この結果、出力データ信号 D o u t 1 として、H レベルが伝達される。つまり、出力データ信号 D o u t 1 の信号レベルが、L レベルから H レベルへ切り換わる。なお、遅延データ信号 D D 1 のライズエッジである時刻 t 2 の前後 T d の期間は、再送禁止期間である。

30

【 0 0 4 0 】

時刻 t 3 では、遅延再送要求信号 D R T 1 1 が H レベルから L レベルへ切り換わる（つまりフォールエッジである）が、再送禁止期間であるため、総合パルス信号 P 1 0 は出力されない（つまり、総合パルス信号 P 1 0 は L レベルのままとなる）。

【 0 0 4 1 】

時刻 t 4 では、遅延データ信号 D D 1 が H レベルから L レベルへ切り換わる（つまりフォールエッジである）ため、総合パルス信号 P 1 0 が出力される。そして、L レベルを伝達する送信パルス信号 P 1 2 が出力される。この結果、出力データ信号 D o u t 1 として、L レベルが伝達される。つまり、出力データ信号 D o u t 1 の信号レベルが、H レベルから L レベルへ切り換わる。

40

【 0 0 4 2 】

時刻 t 3 において説明するように、遅延再送要求信号 D R T 1 1 のエッジが遅延データ信号 D D 1 のエッジに接近し、再送禁止期間に位置する場合、総合パルス信号 P 1 0 は出力されない。これにより、受信回路 R X 1 においてデータ信号が誤って復元されることを抑制することができる。

【 0 0 4 3 】

次に、図 5 を参照して、受信回路 R X 1 の具体的な回路構成について説明する。以下に示す回路構成はあくまでも一例である。図 5 は、実施の形態 1 に係る受信回路 R X 1 の具体的な回路構成の一例を示す回路図である。図 5 に示すように、受信回路 R X 1 は、パル

50

ス検出回路 P D C と 2 つのパルス拡幅回路 P W C 1、P W C 2、順序回路 S L C、O R ゲート O R 2 を備えている。

【 0 0 4 4 】

以下に接続関係について説明する。

送信回路 T X 1 から出力された送信パルス信号 P 1 1、P 1 2 に応じて二次コイル L 1 2 の両端間に発生する受信信号 V R は、パルス検出回路 P D C に入力される。パルス検出回路 P D C は、正パルスを検出した場合は正パルス検出信号 P P D 1 を、負パルスを検出した場合は負パルス検出信号 N P D 1 を出力する。具体的には、送信回路 T X 1 から送信パルス信号 P 1 1、P 1 2 が出力されると、いずれの場合も 1 対の正パルス検出信号 P P D 1、負パルス検出信号 N P D 1 が出力される。しかし、送信パルス信号 P 1 1 と送信パルス信号 P 1 2 とでは、正パルス検出信号 P P D 1 と負パルス検出信号 N P D 1 との出力順序が逆転する。本実施の形態では、送信パルス信号 P 1 1 が出力されると正パルス検出信号 P P D 1 が先に出力され、送信パルス信号 P 1 2 が出力されると負パルス検出信号 N P D 1 が先に出力される。

10

【 0 0 4 5 】

正パルス検出信号 P P D 1 がパルス拡幅回路 P W C 1 に、負パルス検出信号 N P D 1 がパルス拡幅回路 P W C 2 に、入力される。パルス拡幅回路 P W C 1、P W C 2 は、それぞれ入力された正パルス検出信号 P P D 1、負パルス検出信号 N P D 1 を拡幅し、正パルス検出信号 P P D 2、負パルス検出信号 N P D 2 を出力する。ここで、パルス拡幅回路 P W C 1、P W C 2 は、正パルス検出信号 P P D 1、負パルス検出信号 N P D 1 のライズエッジは変更せずに、フォールエッジのみを遅延させる。これにより、正パルス検出信号 P P D 2 の H レベルの期間と、負パルス検出信号 N P D 2 の H レベルの期間とを、一部重複させる。

20

【 0 0 4 6 】

正パルス検出信号 P P D 2 及び負パルス検出信号 N P D 2 は、順序回路 S L C に入力される。順序回路 S L C は、入力された正パルス検出信号 P P D 2 及び負パルス検出信号 N P D 2 の順序を判定し、出力データ信号 D o u t 1 を出力する。具体的には、順序回路 S L C は、正パルス検出信号 P P D 2 が先に入力された場合、出力データ信号 D o u t 1 として H レベルを出力する。他方、順序回路 S L C は、負パルス検出信号 N P D 2 が先に入力された場合、出力データ信号 D o u t 1 として L レベルを出力する。

30

【 0 0 4 7 】

さらに、正パルス検出信号 P P D 2 及び負パルス検出信号 N P D 2 は、O R ゲート O R 2 に入力される。O R ゲート O R 2 はパルス検出信号 P D 1 を出力する。このパルス検出信号 P D 1 は、実施の形態 3 で後述するように、例えばパルス検出信号 P D 1 が出力されてからの時間を計測するタイマのリセット信号として用いることができる。なお、図 5 から明らかなように、O R ゲート O R 2 は、出力データ信号 D o u t 1 を生成する上では必須ではない。

【 0 0 4 8 】

次に、図 6 を参照して、受信回路 R X 1 の動作について説明する。図 6 は、実施の形態 1 に係る受信回路 R X 1 の動作の一例を示すタイミングチャートである。図 6 の上から順に、送信回路 T X 1 から出力された送信パルス信号 P 1 1 及び送信パルス信号 P 1 2、二次コイル L 1 2 の受信信号 V R、正パルス検出信号 P P D 1、負パルス検出信号 N P D 1、正パルス検出信号 P P D 2、負パルス検出信号 N P D 2、出力データ信号 D o u t 1、パルス検出信号 P D 1 が、示されている。

40

【 0 0 4 9 】

3 段目に示された二次コイル L 1 2 の受信信号 V R では、最上段に示された送信パルス信号 P 1 1 及び 2 段目に示された送信パルス信号 P 1 2 に応じて、グラフ上側に突出した正パルスもしくはグラフ下側に突出した負パルスが発生する。具体的には、送信パルス信号 P 1 1 のライズエッジ及び送信パルス信号 P 1 2 のフォールエッジでは、正パルスが発生する。一方、送信パルス信号 P 1 1 のフォールエッジ及び送信パルス信号 P 1 2 のライ

50

ズエッジでは、負パルスが発生する。

【 0 0 5 0 】

4 段目に示された正パルス検出信号 P P D 1 は、受信信号 V R の正パルス発生タイミングにおいて出力される。

5 段目に示された負パルス検出信号 N P D 1 は、受信信号 V R の負パルス発生タイミングにおいて出力される。

【 0 0 5 1 】

6 段目に示された正パルス検出信号 P P D 2 は、パルス拡幅回路 P W C 1 において正パルス検出信号 P P D 1 のフォールエッジを遅延させることにより拡幅された信号である。

7 段目に示された負パルス検出信号 N P D 2 は、パルス拡幅回路 P W C 2 において負パルス検出信号 N P D 1 のフォールエッジを遅延させることにより拡幅された信号である。

9 段目に示されたパルス検出信号 P D 1 は、送信パルス信号 P 1 1 及び送信パルス信号 P 1 2 が出力される毎に出力される信号である。上述の通り、正パルス検出信号 P P D 2 及び負パルス検出信号 N P D 2 から生成される。

【 0 0 5 2 】

次に、時系列に説明する。

時刻 t 1 では、送信パルス信号 P 1 1 が L レベルから H レベルへ切り換わるため、受信信号 V R に正パルスが発生する。そのため、時刻 t 1 では、正パルス検出信号 P P D 1、P P D 2 が L レベルから H レベルへ切り換わる。正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わった結果、出力データ信号 D o u t 1 として、H レベルが出力される。

【 0 0 5 3 】

時刻 t 2 では、送信パルス信号 P 1 1 が H レベルから L レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 2 では、負パルス検出信号 N P D 1、N P D 2 が L レベルから H レベルへ切り換わる。すなわち、時刻 t 2 では、負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わるが、正パルス検出信号 P P D 2 が H レベルのままである。そのため、出力データ信号 D o u t 1 として、L レベルが出力されず、H レベルが維持される。つまり、正パルス検出信号 P P D 2 が H レベルの状態、負パルス検出信号 N P D 2 が L レベルから H レベルへ遷移しても、出力データ信号 D o u t 1 は変化しない。

【 0 0 5 4 】

時刻 t 3 では、送信パルス信号 P 1 2 が L レベルから H レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 3 では、負パルス検出信号 N P D 1、N P D 2 が L レベルから H レベルへ切り換わる。負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わった結果、出力データ信号 D o u t 1 として、L レベルが出力される。

【 0 0 5 5 】

時刻 t 4 では、送信パルス信号 P 1 2 が H レベルから L レベルへ切り換わるため、受信信号 V R に正パルスが発生する。そのため、時刻 t 4 では、正パルス検出信号 P P D 1、P P D 2 が L レベルから H レベルへ切り換わる。すなわち、時刻 t 4 では、正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わるが、負パルス検出信号 N P D 2 が H レベルのままである。そのため、出力データ信号 D o u t 1 として、H レベルが出力されず、L レベルが維持される。つまり、負パルス検出信号 N P D 2 が H レベルの状態、正パルス検出信号 P P D 2 が L レベルから H レベルへ遷移しても、出力データ信号 D o u t 1 は変化しない。

【 0 0 5 6 】

次に、図 7 を参照して、実施の形態 1 の比較例に係る送信回路 T X 1 0 について説明する。図 7 は、実施の形態 1 の比較例に係る送信回路 T X 1 0 の具体的な回路構成の一例を示す回路図である。図 7 に示すように、送信回路 T X 1 0 も、パルス生成回路 P G C と 2 つの A N D ゲート A N 1、A N 2 とから構成されている。ここで、パルス生成回路 P G C

は、2つのインバータIN1、IN2、4つのライズエッジ検出回路RED11、RED12、RED21、RED22、1つのORゲートOR1を備えている。つまり、図3に示した本実施の形態1に係る送信回路TX1と比べると、3つの遅延回路DC11、DC12、DC21、1つのXORゲートXO1を備えていない。

【0057】

以下に接続関係について説明する。

比較例に係る送信回路TX10では、入力データ信号Din1が、そのまま受信回路に送信され、データ信号として復元される。

そのため、入力データ信号Din1が、直接ライズエッジ検出回路RED11に入力される。ライズエッジ検出回路RED11は、入力データ信号Din1のライズエッジにおいてエッジ検出信号を出力する。

10

また、インバータIN1を介した入力データ信号Din1の反転信号が、ライズエッジ検出回路RED12に入力される。ライズエッジ検出回路RED12は、入力データ信号Din1の反転信号のライズエッジすなわち入力データ信号Din1のフォールエッジにおいてエッジ検出信号を出力する。

【0058】

再送要求信号RT11は、ライズエッジ検出回路RED21に入力される。ライズエッジ検出回路RED21は、再送要求信号RT11のライズエッジにおいてエッジ検出信号を出力する。

また、インバータIN2を介した再送要求信号RT11の反転信号は、ライズエッジ検出回路RED22に入力される。ライズエッジ検出回路RED22は、再送要求信号RT11の反転信号のライズエッジすなわち再送要求信号RT11のフォールエッジにおいてエッジ検出信号を出力する。

20

【0059】

4つのライズエッジ検出回路RED11、RED12、RED21、RED22から出力されたエッジ検出信号は、ORゲートOR1に入力される。ORゲートOR1からは、総合パルス信号Pが出力される。

総合パルス信号Pは、2つのANDゲートAN1、AN2に入力される。また、ANDゲートAN1には、入力データ信号Din1が入力される。一方、ANDゲートAN2には、入力データ信号Din1の反転信号が入力される。

30

この結果、ANDゲートAN1は、総合パルス信号Pがアクティブ(Hレベル)になったタイミングにおいて、Hレベルを伝達する送信パルス信号P1を出力する。また、ANDゲートAN2は、総合パルス信号Pがアクティブになったタイミングにおいて、Lレベルを伝達する送信パルス信号P2を出力する。

【0060】

以上説明したように、比較例に係る送信回路TX10は、本実施の形態に係る送信回路TX1が備える遅延回路DC11、DC12、DC21、及びXORゲートXO1を備えていない。そのため、入力データ信号Din1のエッジと再送要求信号RT11のエッジとが接近し過ぎた場合、再送要求信号RT11に応じた送信パルス信号P1、P2の発生を禁止することができない。そのため、受信回路においてデータ信号が誤って復元される恐れがあった。

40

【0061】

次に、図8、9を参照し、比較例に係る送信回路TX10を用いた場合、受信回路においてデータ信号が誤って復元される例について説明する。受信回路の構成は、図5と同じである。図8、9はいずれも、受信回路においてデータ信号が誤って復元される例について説明するためのタイミングチャートである。なお、あくまでも例であり、その他のメカニズムによりデータ信号が誤って復元されることもある。

【0062】

図8、9の上から順に、入力データ信号Din1、再送要求信号RT11、送信パルス信号P1、送信パルス信号P2、二次コイルL12の受信信号VR、正パルス検出信号P

50

P D 2、負パルス検出信号 N P D 2、出力データ信号 D o u t 1 が、示されている。

【 0 0 6 3 】

まず、図 8 について説明する。

時刻 t 1 では、入力データ信号 D i n 1 が L レベルから H レベルへ切り換わる。そのため、送信パルス信号 P 1 も L レベルから H レベルへ切り換わり、受信信号 V R に正パルスが発生する。従って、時刻 t 1 では、正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わる。その結果、出力データ信号 D o u t 1 として、H レベルが出力される。

【 0 0 6 4 】

時刻 t 2 では、再送要求信号 R T 1 1 が L レベルから H レベルへ切り換わる。ここで、入力データ信号 D i n 1 が H レベルであるため、送信パルス信号 P 1 が出力される。ここで、時刻 t 1 における入力データ信号 D i n 1 のライズエッジと、時刻 t 2 における再送要求信号 R T 1 1 のライズエッジが接近している。そのため、時刻 t 1 で出力された送信パルス信号 P 1 と、時刻 t 2 で出力された送信パルス信号 P 1 とが結合して 1 つのパルス信号となってしまう。そのため、受信信号 V R に正パルスは発生せず、入力データ信号 D i n 1 の値は伝達されない。

【 0 0 6 5 】

時刻 t 3 では、送信パルス信号 P 1 が H レベルから L レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 3 では、負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わる。ここで、時刻 t 1 に立ち上がった正パルス検出信号 P P D 2 は、時刻 t 3 において既に L レベルへ遷移している。そのため、出力データ信号 D o u t 1 として、誤って L レベルが出力されてしまう。このように、2 つの送信パルス信号 P 1 (あるいは P 2) が結合してしまうことにより、データ信号が誤って復元され得る。

【 0 0 6 6 】

なお、時刻 t 4 では、入力データ信号 D i n 1 が H レベルから L レベルへ切り換わり、出力データ信号 D o u t 1 として、L レベルが正しく出力されているため、詳細な説明は省略する。

【 0 0 6 7 】

次に、図 9 について説明する。

まず、時刻 t 1 では、再送要求信号 R T 1 1 が L レベルから H レベルへ切り換わり、入力データ信号 D i n 1 の値 (L レベル) が、出力データ信号 D o u t 1 として、正しく伝達されている。また、時刻 t 2 では、入力データ信号 D i n 1 が L レベルから H レベルへ切り換わり、出力データ信号 D o u t 1 として、H レベルが正しく出力されている。そのため、詳細な説明は省略する。

【 0 0 6 8 】

時刻 t 3 では、再送要求信号 R T 1 1 が H レベルから L レベルへ切り換わる。ここで、入力データ信号 D i n 1 が H レベルであるため、送信パルス信号 P 1 が出力される。そのため、送信パルス信号 P 1 も L レベルから H レベルへ切り換わり、受信信号 V R に正パルスが発生する。従って、時刻 t 3 では、正パルス検出信号 P P D 2 が L レベルから H レベルへ切り換わる。その結果、出力データ信号 D o u t 1 として、H レベルが伝達される。

【 0 0 6 9 】

時刻 t 4 では、送信パルス信号 P 1 が H レベルから L レベルへ切り換わるため、受信信号 V R に負パルスが発生する。そのため、時刻 t 4 では、負パルス検出信号 N P D 2 が L レベルから H レベルへ切り換わる。しかし、上述の通り、正パルス検出信号 P P D 2 が H レベルのままであるため、出力データ信号 D o u t 1 として、L レベルが出力されない。

【 0 0 7 0 】

時刻 t 5 では、入力データ信号 D i n 1 が H レベルから L レベルへ切り換わる。そのため、送信パルス信号 P 2 も L レベルから H レベルへ切り換わり、受信信号 V R に負パルスが発生する。従って、負パルス検出信号 N P D 2 が出力される。ここで、時刻 t 4 で出力された負パルス検出信号 N P D 2 と、時刻 t 5 で出力された負パルス検出信号 N P D 2 と

が結合して１つのパルス信号となってしまう。そのため、時刻 t_5 では、負パルス検出信号 $NPD2$ が L レベルから H レベルへ遷移せず、出力データ信号 $Dout1$ として、 L レベルが出力されず、誤って H レベルに維持される。このように、２つの負パルス検出信号 $NPD2$ （あるいは正パルス検出信号 $PPD2$ ）が結合してしまうことにより、データ信号が誤って復元され得る。

【 0071 】

なお、時刻 t_6 では、送信パルス信号 $P2$ が H レベルから L レベルへ切り換わるため、受信信号 VR に正パルスが発生する。そのため、時刻 t_6 では、正パルス検出信号 $PPD2$ が L レベルから H レベルへ切り換わる。しかし、上述の通り、負パルス検出信号 $NPD2$ が H レベルのままであるため、出力データ信号 $Dout1$ として、 L レベルが出力されない。

10

【 0072 】

以上説明したように、本実施の形態に係る半導体装置 1 では、送信回路 $TX1$ が、入力データ信号 $Din1$ 及び再送要求信号 $RT11$ を遅延させた遅延データ信号 $DD1$ 及び遅延再送要求信号 $DRT11$ を生成し、遅延データ信号 $DD1$ のエッジを跨ぐ所定の期間、遅延再送要求信号 $DRT11$ のエッジにおける送信パルス信号 $P11$ 、 $P12$ の発生を禁止する。これにより、受信回路 $RX1$ においてデータ信号が誤って復元されることを抑制することができる。

【 0073 】

（実施の形態 2）

20

次に、図 10 を参照して、実施の形態 2 に係る送信回路 $TX1$ について説明する。図 10 は、実施の形態 2 に係る送信回路 $TX1$ の具体的な回路構成の一例を示す回路図である。図 10 に示すように、送信回路 $TX1$ は、パルス生成回路 PGC と 2 つの AND ゲート $AN1$ 、 $AN2$ とから構成されている。ここで、パルス生成回路 PGC は、5 つの遅延回路 $DC11$ 、 $DC12$ 、 $DC21$ 、 $DC22$ 、 $DC31$ 、2 つの XOR ゲート $XO1$ 、 $XO2$ 、2 つのインバータ $IN1$ 、 $IN2$ 、5 つのライズエッジ検出回路 $RED11$ 、 $RED12$ 、 $RED21$ 、 $RED22$ 、 $RED31$ 、2 つの OR ゲート $OR1$ 、 $OR3$ を備えている。

【 0074 】

図 10 に示すように、送信回路 $TX1$ には、入力データ信号 $Din1$ 、再送要求信号 $RT11$ に加え、再送要求信号 $RT12$ が入力される。例えば、再送要求信号 $RT11$ は特定のイベントに応じて不定期に出力され、再送要求信号 $RT2$ は定期的に出力される場合などが考えられる。

30

送信回路 $TX1$ は、実施の形態 1 に係る送信回路 $TX1$ の回路構成に加え、さらに、遅延回路 $DC22$ 、 $DC31$ 、 XOR ゲート $XO2$ 、 OR ゲート $OR3$ 、ライズエッジ検出回路 $RED31$ を備えている。

【 0075 】

以下に接続関係について説明する。

入力データ信号 $Din1$ は、遅延回路 $DC11$ に入力される。遅延回路 $DC11$ は、入力データ信号 $Din1$ を遅延時間 Td だけ遅延させた遅延データ信号 $DD1$ （第 1 の遅延信号）を出力する。ここで、入力データ信号 $Din1$ ではなく、遅延データ信号 $DD1$ が、受信回路に送信され、データ信号として復元される。

40

【 0076 】

そのため、遅延データ信号 $DD1$ が、ライズエッジ検出回路 $RED11$ に入力される。ライズエッジ検出回路 $RED11$ は、遅延データ信号 $DD1$ のライズエッジにおいてエッジ検出信号を出力する。

また、インバータ $IN1$ を介した遅延データ信号 $DD1$ の反転信号が、ライズエッジ検出回路 $RED12$ に入力される。ライズエッジ検出回路 $RED12$ は、遅延データ信号 $DD1$ の反転信号のライズエッジすなわち遅延データ信号 $DD1$ のフォールエッジにおいてエッジ検出信号を出力する。

50

【0077】

さらに、遅延データ信号DD1は、遅延回路DC12に入力される。遅延回路DC12は、遅延データ信号DD1を遅延時間Tdだけさらに遅延させた遅延データ信号DD2を出力する。

入力データ信号Din1と遅延データ信号DD2とが、XORゲートXO1に入力される。XORゲートXO1は、入力データ信号Din1のエッジから遅延データ信号DD2のエッジまでの2Tdの期間を示す禁止期間信号PP1を出力する。詳細については後述するが、禁止期間信号PP1は、遅延データ信号DD1のエッジの前後Td（合計2Td）の期間、後述する再送要求信号RT11、RT12を遅延時間Tdだけ遅延させた遅延再送要求信号DRT11、DRT12のエッジ検出を禁止するための信号である。

10

【0078】

再送要求信号RT11は、遅延回路DC21に入力される。遅延回路DC21は、再送要求信号RT11を遅延時間Tdだけ遅延させた遅延再送要求信号DRT11を出力する。ここで、再送要求信号RT11ではなく、遅延再送要求信号DRT11のエッジにおいて、遅延データ信号DD1の値を再送する。

【0079】

そのため、遅延再送要求信号DRT11は、ライズエッジ検出回路RED21に入力される。ライズエッジ検出回路RED21は、遅延再送要求信号DRT11のライズエッジにおいてエッジ検出信号を出力する。ここで、ライズエッジ検出回路RED21には、禁止期間信号PP1も入力されている。そのため、ライズエッジ検出回路RED21は、遅延再送要求信号DRT11のライズエッジが再送禁止期間（遅延データ信号DD1のエッジの前後Tdの期間）にある場合には、エッジ検出信号を出力しない。

20

【0080】

また、インバータIN2を介した遅延再送要求信号DRT11の反転信号は、ライズエッジ検出回路RED22に入力される。ライズエッジ検出回路RED22は、遅延再送要求信号DRT11の反転信号のライズエッジすなわち遅延再送要求信号DRT11のフォールエッジにおいてエッジ検出信号を出力する。ここで、ライズエッジ検出回路RED22にも、禁止期間信号PP1が入力されている。そのため、ライズエッジ検出回路RED22も、遅延再送要求信号DRT11のフォールエッジが再送禁止期間（遅延データ信号DD1のエッジの前後Tdの期間）にある場合には、エッジ検出信号を出力しない。

30

【0081】

さらに、遅延再送要求信号DRT11は、遅延回路DC22に入力される。遅延回路DC22は、遅延再送要求信号DRT11を遅延時間Tdだけさらに遅延させた遅延再送要求信号DRT21を出力する。

再送要求信号RT11と遅延再送要求信号DRT21とが、XORゲートXO2に入力される。XORゲートXO2は、再送要求信号RT11のエッジから遅延再送要求信号DRT21のエッジまでの2Tdの期間を示す禁止期間信号PP2を出力する。詳細については後述するが、禁止期間信号PP2は、再送要求信号RT11のエッジの前後Td（合計2Td）の期間、後述する再送要求信号RT12を遅延時間Tdだけ遅延させた遅延再送要求信号DRT12のエッジ検出を禁止するための信号である。

40

禁止期間信号PP1、PP2は、ORゲートOR3に入力される。ORゲートOR3からは、禁止期間信号PP3が出力される。

【0082】

再送要求信号RT12は、遅延回路DC31に入力される。遅延回路DC31は、再送要求信号RT12を遅延時間Tdだけ遅延させた遅延再送要求信号DRT12を出力する。ここで、再送要求信号RT12ではなく、遅延再送要求信号DRT12のライズエッジにおいて、遅延データ信号DD1の値を再送する。

【0083】

そのため、遅延再送要求信号DRT12は、ライズエッジ検出回路RED31に入力される。ライズエッジ検出回路RED31は、遅延再送要求信号DRT12のライズエッジ

50

においてエッジ検出信号を出力する。ここで、ライズエッジ検出回路 R E D 3 1 には、禁止期間信号 P P 3 も入力されている。そのため、ライズエッジ検出回路 R E D 3 1 は、遅延再送要求信号 D R T 1 2 のライズエッジが再送禁止期間（遅延データ信号 D D 1 及び遅延再送要求信号 D R T 1 1 のエッジの前後 T d の期間）にある場合には、エッジ検出信号を出力しない。

【 0 0 8 4 】

5 つのライズエッジ検出回路 R E D 1 1、R E D 1 2、R E D 2 1、R E D 2 2、R E D 3 1 から出力されたエッジ検出信号は、O R ゲート O R 1 に入力される。O R ゲート O R 1 からは、総合パルス信号 P 1 0 が出力される。

総合パルス信号 P 1 0 は、2 つの A N D ゲート A N 1、A N 2 に入力される。また、A N D ゲート A N 1 には、遅延データ信号 D D 1 が入力される。一方、A N D ゲート A N 2 には、遅延データ信号 D D 1 の反転信号が入力される。

この結果、A N D ゲート A N 1 は、総合パルス信号 P 1 0 がアクティブ（H レベル）になったタイミングにおいて、H レベルを伝達する送信パルス信号 P 1 1 を出力する。また、A N D ゲート A N 2 は、総合パルス信号 P 1 0 がアクティブになったタイミングにおいて、L レベルを伝達する送信パルス信号 P 1 2 を出力する。

【 0 0 8 5 】

次に、図 1 1 を参照して、送信回路 T X 1 の動作について説明する。図 1 1 は、実施の形態 2 に係る送信回路 T X 1 の動作の一例を示すタイミングチャートである。

図 1 1 の上から順に、入力データ信号 D i n 1、遅延データ信号 D D 1、禁止期間信号 P P 1、再送要求信号 R T 1 1、遅延再送要求信号 D R T 1 1、禁止期間信号 P P 2、再送要求信号 R T 1 2、遅延再送要求信号 D R T 1 2、総合パルス信号 P 1 0、送信パルス信号 P 1 1、送信パルス信号 P 1 2、出力データ信号 D o u t 1 が、示されている。

【 0 0 8 6 】

2 段目に示された遅延データ信号 D D 1 は、最上段に示された入力データ信号 D i n 1 が遅延時間 T d だけ遅延された信号である。上述のように、この遅延データ信号 D D 1 が、最下段に示された出力データ信号 D o u t 1 として復元される。

3 段目に示された禁止期間信号 P P 1 は、遅延データ信号 D D 1 のエッジ前後 T d の期間、5 段目に示された遅延再送要求信号 D R T 1 1 及び 8 段目に示された遅延再送要求信号 D R T 1 2 のエッジ検出を禁止するための期間信号である。

【 0 0 8 7 】

5 段目に示された遅延再送要求信号 D R T 1 1 は、4 段目に示された再送要求信号 R T 1 1 が遅延時間 T d だけ遅延された信号である。上述のように、遅延再送要求信号 D R T 1 1 のエッジにおいて、遅延データ信号 D D 1 の値が再送される。

6 段目に示された禁止期間信号 P P 2 は、遅延再送要求信号 D R T 1 1 のエッジ前後 T d の期間、8 段目に示された遅延再送要求信号 D R T 1 2 のエッジ検出を禁止するための期間信号である。

【 0 0 8 8 】

次に、時系列に説明する。

時刻 t 1 では、遅延再送要求信号 D R T 1 1 が L レベルから H レベルへ切り換わるため、総合パルス信号 P 1 0 が出力される。また、時刻 t 1 では、遅延データ信号 D D 1 が L レベルであるため、L レベルを伝達する送信パルス信号 P 1 2 が出力される。この結果、出力データ信号 D o u t 1 として、L レベルが伝達される。つまり、出力データ信号 D o u t 1 の信号レベルは維持される。なお、遅延再送要求信号 D R T 1 1 のライズエッジである時刻 t 1 の前後 T d の期間は、遅延再送要求信号 D R T 1 2 による再送禁止期間である。

【 0 0 8 9 】

時刻 t 2 では、遅延再送要求信号 D R T 1 2 が L レベルから H レベルへ切り換わるが、遅延再送要求信号 D R T 1 1 のエッジ近傍の再送禁止期間である。そのため、総合パルス信号 P 1 0 は出力されない。

【 0 0 9 0 】

時刻 t_3 では、遅延データ信号 DD_1 が L レベルから H レベルへ切り換わるため、総合パルス信号 P_{10} が出力される。そして、H レベルを伝達する送信パルス信号 P_{11} が出力される。この結果、出力データ信号 $Dout_1$ として、H レベルが伝達される。つまり、出力データ信号 $Dout_1$ の信号レベルが、L レベルから H レベルへ切り換わる。なお、遅延データ信号 DD_1 のライズエッジである時刻 t_3 の前後 T_d の期間は、遅延再送要求信号 DRT_{11} 、 DRT_{12} による再送禁止期間である。

【 0 0 9 1 】

時刻 t_4 では、遅延再送要求信号 DRT_{12} が L レベルから H レベルへ切り換わるため、総合パルス信号 P_{10} が出力される。また、時刻 t_4 では、遅延データ信号 DD_1 が H レベルであるため、H レベルを伝達する送信パルス信号 P_{11} が出力される。この結果、出力データ信号 $Dout_1$ として、H レベルが伝達される。つまり、出力データ信号 $Dout_1$ の信号レベルは維持される。

10

【 0 0 9 2 】

時刻 t_5 では、遅延再送要求信号 DRT_{11} が H レベルから L レベルへ切り換わるが、遅延データ信号 DD_1 のエッジ近傍の再送禁止期間であるため、総合パルス信号 P_{10} は出力されない。

【 0 0 9 3 】

時刻 t_6 では、遅延再送要求信号 DRT_{12} が L レベルから H レベルへ切り換わるが、遅延データ信号 DD_1 のエッジ近傍の再送禁止期間であるため、総合パルス信号 P_{10} は出力されない。なお、時刻 t_6 は、遅延再送要求信号 DRT_{11} のエッジ近傍の再送禁止期間でもある。

20

【 0 0 9 4 】

時刻 t_7 では、遅延データ信号 DD_1 が H レベルから L レベルへ切り換わるため、総合パルス信号 P_{10} が出力される。そして、L レベルを伝達する送信パルス信号 P_{12} が出力される。この結果、出力データ信号 $Dout_1$ として、L レベルが伝達される。つまり、出力データ信号 $Dout_1$ の信号レベルが、H レベルから L レベルへ切り換わる。

【 0 0 9 5 】

このように、優先度の高い信号のエッジ近傍では、より優先度の低い信号のエッジに応じた送信パルス信号の出力を禁止する。これにより、受信回路 RX_1 においてデータ信号が誤って復元されることを抑制することができる。なお、再送要求信号は、データ信号を送信する信号であるため、データ信号の優先度が最も高いが、再送要求信号同士の優先度は適宜決定すればよい。

30

【 0 0 9 6 】

(実施の形態 3)

次に、図 1 2 を参照して、実施の形態 3 に係る半導体装置 2 について説明する。図 1 2 は、実施の形態 3 に係る半導体装置 2 の構成を示すブロック図である。実施の形態 3 に係る半導体装置 2 は、2 つの送信回路 TX_1 、 TX_2 、一次コイル L_{11} 、 L_{21} 、二次コイル L_{12} 、 L_{22} 、2 つの受信回路 RX_1 、 RX_2 、2 つの発振回路 OSC_1 、 OSC_2 、2 つの $1/10$ カウンタ CTR_1 、 CTR_2 、2 つのタイマ TM_1 、 TM_2 、2 つの低電ロックアウト ($UVLO$: Under Voltage Lock Out) 回路 $UVLO_1$ 、 $UVLO_2$ 、2 つ AND ゲート A_1 、 A_2 、6 つの OR ゲート $O_1 \sim O_6$ を備えている。

40

【 0 0 9 7 】

ここで、送信回路 TX_1 、 TX_2 は、実施の形態 2 において図 1 0 を参照して説明した送信回路 TX_1 と同様の構成を有している。また、受信回路 RX_1 、 RX_2 は、実施の形態 1 において図 5 を参照して説明した受信回路 RX_1 と同様の構成を有している。実施の形態 3 に係る半導体装置 2 は、パワートランジスタの制御システムに適用されたアイソレータの例である。

【 0 0 9 8 】

まず、主要な構成及び信号の流れについて説明する。

50

マイコンMCUから出力された制御信号CNT1が、入力データ信号Din1として、送信回路TX1に入力される。また、送信回路TX1には、再送要求信号RT11、RT12も入力される。

送信回路TX1は、実施の形態2において説明したように、入力データ信号Din1、再送要求信号RT11、RT12をそれぞれ同じだけ遅延させた信号のエッジに応じた送信パルス信号P11、P12を出力する。具体的には、優先度の高い信号のエッジに、優先度の低い信号のエッジが接近した場合、優先度の高い信号のエッジに応じた送信パルス信号のみを発生させ、優先度の低い信号に応じた送信パルス信号は発生させない。

【0099】

送信回路TX1から出力された送信パルス信号P11、P12は、一次コイルL11、二次コイルL12を介して受信回路RX1に送信される。受信回路RX1は、受信した信号からデータ信号を復元し、出力データ信号Dout1を出力する。この出力データ信号Dout1が制御信号CNT2として、パワートランジスタドライバPTDに入力される。

10

つまり、マイコンMCUから出力された制御信号CNT1が、送信回路TX1及び受信回路RX1を介して、制御信号CNT2としてパワートランジスタドライバPTDに入力される。

【0100】

他方、エラー検出回路EDCから出力されたエラー検出信号ED1が、入力データ信号Din2として、送信回路TX2に入力される。また、送信回路TX2には、再送要求信号RT21、RT22も入力される。

20

送信回路TX2も、実施の形態2において説明したように、入力データ信号Din2、再送要求信号RT21、RT22をそれぞれ同じだけ遅延させた信号のエッジに応じた送信パルス信号P21、P22を出力する。具体的には、優先度の高い信号のエッジに、優先度の低い信号のエッジが接近した場合、優先度の高い信号のエッジに応じた送信パルス信号のみを発生させ、優先度の低い信号に応じた送信パルス信号は発生させない。

【0101】

送信回路TX2から出力された送信パルス信号P21、P22は、一次コイルL21、二次コイルL22を介して受信回路RX2に送信される。受信回路RX2は、受信した信号からデータ信号を復元し、出力データ信号Dout2を出力する。この出力データ信号Dout2がエラー検出信号ED2として、マイコンMCUに入力される。

30

つまり、エラー検出回路EDCから出力されたエラー検出信号ED1が、送信回路TX2及び受信回路RX2を介して、エラー検出信号ED2としてマイコンMCUに入力される。

【0102】

以下に詳細な構成及び信号の流れについて説明する。

マイコンMCUから出力された制御信号CNT1が、ANDゲートA1を介して、入力データ信号Din1として送信回路TX1に入力される。ここで、ANDゲートA1には、UVLO回路UVLO1から出力される再送要求信号RT11の反転信号も入力される。再送要求信号RT11は、送信回路TX1にも入力される。

40

【0103】

再送要求信号RT11は、正常時にはLレベルであり、電源電圧が低下した異常時には、Hレベルとなる。つまり、再送要求信号RT11がLレベルである正常時は、マイコンMCUから出力された制御信号CNT1が、入力データ信号Din1として、送信回路TX1に入力される。一方、再送要求信号RT11がHレベルの異常時には、ANDゲートA1により、マイコンMCUから出力された制御信号CNT1の送信回路TX1への入力が遮断されるようになっている。

【0104】

また、実施の形態1、2において説明したように、再送要求信号RT11がLレベルからHレベルあるいはHレベルからLレベルへ遷移するタイミングで、入力データ信号Di

50

n 1 (制御信号 C N T 1) の値が送信回路 T X 1 から受信回路 R X 1 へ再送される。つまり、電源電圧が低下した場合だけでなく、パワーオン後に電源電圧が上昇し正常値へ移行するタイミングでも、送信側のデータ信号の値と受信側のデータ信号の値を同期させる。

【 0 1 0 5 】

さらに、1 / 1 0 カウンタ C T R 1 から出力された再送要求信号 R T 1 2 が、送信回路 T X 1 に入力される。再送要求信号 R T 1 2 は、発振回路 O S C 1 から出力されたクロック信号の 1 0 回に 1 回の割合で H レベルとなる信号である。例えば、発振回路 O S C 1 から 1 0 M H z のクロック信号が出力された場合、1 / 1 0 カウンタ C T R 1 において、1 μ s 周期 (1 M H z) の再送要求信号 R T 1 2 が生成される。再送要求信号 R T 1 2 により、データ値に変化がなくても 1 0 カウントに 1 回の割合でデータ値が再送される。そのため、ノイズなどにより受信回路 R X 1 において復元したデータ値が反転した場合でも、速やかに正しい値に復帰させることができる。

10

【 0 1 0 6 】

また、1 / 1 0 カウンタ C T R 1 は、総合パルス信号 P 1 0 又は U V L O 回路 U V L O 1 から出力される再送要求信号 R T 1 1 によりリセットされる。つまり、総合パルス信号 P 1 0 と再送要求信号 R T 1 1 とを入力とする O R ゲート O 1 から出力されるリセット信号 R S T 1 によりリセットされる。

【 0 1 0 7 】

送信回路 T X 1 は、入力データ信号 D i n 1、再送要求信号 R T 1 1、R T 1 2 に基づいて、送信パルス信号 P 1 1、P 1 2 を出力する。送信パルス信号 P 1 1、P 1 2 は、一次コイル L 1 1、L 1 2 を介して受信回路 R X 1 に入力される。受信回路 R X 1 はデータ信号を復元して、出力データ信号 D o u t 1 として出力する。なお、詳細は実施の形態 1、2 において説明した通りである。

20

【 0 1 0 8 】

出力データ信号 D o u t 1 は、A N D ゲート A 2 を介してパワートランジスタドライバ P T D に入力される。ここで、A N D ゲート A 2 には、U V L O 回路 U V L O 2 から出力される再送要求信号 R T 2 1 の反転信号が入力される。また、タイマ T M 1 から出力されるタイムアウト信号 T O 1 の反転信号が入力される。

【 0 1 0 9 】

再送要求信号 R T 2 1 は、正常時には L レベルであり、電源電圧が低下した場合、H レベルとなる。また、タイムアウト信号 T O 1 も正常時には L レベルであり、所定のカウンタ (例えば 4 0 カウント) まで、パルス検出信号 P D 1 が検出されないと、H レベルとなる。つまり、再送要求信号 R T 2 1 及びタイムアウト信号 T O 1 が L レベルである正常時は、出力データ信号 D o u t 1 がパワートランジスタドライバ P T D に入力される。他方、再送要求信号 R T 2 1 又はタイムアウト信号 T O 1 が H レベルへ切り換わると、A N D ゲート A 2 により、出力データ信号 D o u t 1 のパワートランジスタドライバ P T D への入力が遮断される。また、タイムアウト信号 T O 1 は、受信回路 R X 1 をリセットする。なお、正常に動作していれば、再送要求信号 R T 1 2 により、1 0 カウントに 1 回は送信回路 T X 1 からデータ値が再送され、受信回路 R X 1 からパルス検出信号 P D 1 が出力される。そのため、タイマ T M 1 が 4 0 カウントに達することはない。一方、送信回路 T X 1 が停止した場合などには、タイムアウト信号 T O 1 が出力される。再送要求信号 R T 1 2 により、送信回路 T X 1 の動作異常を検出することができる。

30

40

【 0 1 1 0 】

ここで、タイマ T M 1 は、発振回路 O S C 2 が出力するクロック信号をカウントする。また、タイマ T M 1 は、受信回路 R X 1 から出力されるパルス検出信号 P D 1 又は U V L O 回路 U V L O 2 から出力される再送要求信号 R T 2 1 によりリセットされる。つまり、パルス検出信号 P D 1 と再送要求信号 R T 2 1 とを入力とする O R ゲート O 2 から出力されるリセット信号 R S T 2 によりリセットされる。

【 0 1 1 1 】

他方、エラー検出回路 E D C から出力されたエラー検出信号 E D 1 が、O R ゲート O 5

50

を介して、入力データ信号 D_{in2} として送信回路 $TX2$ に入力される。エラー検出信号 $ED1$ は、正常時には L レベルであり、何らかのエラーが検出された異常時には H レベルとなる。ここで、 OR ゲート $O5$ には、 $UVLO$ 回路 $UVLO2$ から出力される再送要求信号 $RT21$ も入力される。再送要求信号 $RT21$ は、正常時には L レベルであり、電源電圧が低下した異常時、 H レベルとなる。つまり、再送要求信号 $RT21$ は、エラー信号としても、エラー検出信号 $ED1$ と共に送信回路 $TX2$ に入力される。

【0112】

また、実施の形態 1、2 において説明したように、再送要求信号 $RT21$ が L レベルから H レベルあるいは H レベルから L レベルへ遷移するタイミングで、入力データ信号 D_{in2} の値が送信回路 $TX2$ から受信回路 $RX2$ へ再送される。つまり、電源電圧が低下した場合だけでなく、パワーオン後に電源電圧が上昇し正常値へ移行するタイミングでも、送信側のデータ信号の値と受信側のデータ信号の値を同期させる。

10

【0113】

さらに、 $1/10$ カウンタ $CTR2$ から出力された再送要求信号 $RT22$ が、送信回路 $TX1$ に入力される。再送要求信号 $RT22$ は、発振回路 $OSC2$ から出力されたクロック信号の 10 回に 1 回の割合で H レベルとなる信号である。再送要求信号 $RT22$ により、データ値に変化がなくても 10 カウントに 1 回の割合でデータ値が再送される。そのため、ノイズなどにより受信回路 $RX2$ において復元したデータ値が反転した場合でも、速やかに正しい値に復帰させることができる。

【0114】

20

また、 $1/10$ カウンタ $CTR2$ は、総合パルス信号 $P20$ 又は $UVLO$ 回路 $UVLO2$ から出力される再送要求信号 $RT21$ によりリセットされる。つまり、総合パルス信号 $P20$ と再送要求信号 $RT21$ とを入力とする OR ゲート $O3$ から出力されるリセット信号 $RST3$ によりリセットされる。

【0115】

送信回路 $TX2$ は、入力データ信号 D_{in2} 、再送要求信号 $RT21$ 、 $RT22$ に基づいて、送信パルス信号 $P21$ 、 $P22$ を出力する。送信パルス信号 $P21$ 、 $P22$ は、一次コイル $L21$ 、 $L22$ を介して受信回路 $RX2$ に入力される。受信回路 $RX2$ はデータ信号を復元して、出力データ信号 $Dout2$ として出力する。

【0116】

30

出力データ信号 $Dout2$ は、 OR ゲート $O6$ を介してマイコン MCU に入力される。ここで、 OR ゲート $O6$ には、 $UVLO$ 回路 $UVLO1$ から出力される再送要求信号 $RT11$ が入力される。また、タイマ $TM2$ から出力されるタイムアウト信号 $TO2$ が入力される。つまり、再送要求信号 $RT11$ 及びタイムアウト信号 $TO2$ は、出力データ信号 $Dout2$ と共に、エラー検出信号 $ED2$ として、マイコン MCU に入力される。

【0117】

ここで、タイムアウト信号 $TO2$ は、正常時には L レベルであり、所定のカウンタ（例えば 40 カウンタ）まで、パルス検出信号 $PD2$ が検出されないと、 H レベルとなる。また、タイムアウト信号 $TO2$ は、受信回路 $RX2$ をリセットする。なお、正常に動作していれば、再送要求信号 $RT22$ により、 10 カウントに 1 回は送信回路 $TX2$ からデータ値が再送され、受信回路 $RX2$ からパルス検出信号 $PD2$ が出力される。そのため、タイマ $TM2$ が 40 カウントに達することはない。一方、送信回路 $TX2$ が停止した場合などには、タイムアウト信号 $TO2$ が出力される。再送要求信号 $RT22$ により、送信回路 $TX2$ の動作異常を検出することができる。

40

【0118】

ここで、タイマ $TM2$ は、発振回路 $OSC1$ が出力するクロック信号をカウントする。また、タイマ $TM2$ は、受信回路 $RX2$ から出力されるパルス検出信号 $PD2$ 又は $UVLO$ 回路 $UVLO1$ から出力される再送要求信号 $RT11$ によりリセットされる。つまり、パルス検出信号 $PD2$ と再送要求信号 $RT11$ とを入力とする OR ゲート $O4$ から出力されるリセット信号 $RST4$ によりリセットされる。

50

【 0 1 1 9 】

(その他の実施の形態)

半導体装置の実装例は、図 2 に示した実装例に限られるものではない。以下、代表して、半導体装置の他の実装例について、図 1 3 ~ 図 2 0 を用いて説明する。なお、図 1 3 ~ 図 1 8 は、絶縁結合素子としてコイルが用いられた場合の実装例である。図 1 9 は、絶縁結合素子としてコンデンサが用いられた場合の実装例である。図 2 0 は、絶縁結合素子として GMR 素子が用いられた場合の実装例である。

【 0 1 2 0 】

図 1 3 に示す実装例では、半導体チップ C H P 1 に、送信回路 T X 1 と、絶縁結合素子を構成する一次コイル L 1 1 及び二次コイル L 1 2 と、が形成され、半導体チップ C H P 2 に、受信回路 R X 1 が形成される。さらに、半導体チップ C H P 1 には、二次コイル L 1 2 の両端にそれぞれ接続されるパッドが形成される。また、半導体チップ C H P 2 には、受信回路 R X 1 の入力と接続されるパッドが形成される。そして、受信回路 R X 1 は、これらパッドとボンディングワイヤ B W とを介して、半導体チップ C H P 1 に形成された二次コイル L 1 2 と接続される。なお、図 1 3 に示す実装例では、一次コイル L 1 1 と二次コイル L 1 2 とが、それぞれ一つの半導体チップにおいて上下方向に積層される第 1 の配線層及び第 2 の配線層に形成される。

10

【 0 1 2 1 】

図 1 4 に示す実装例では、半導体チップ C H P 1 に送信回路 T X 1 が形成され、半導体チップ C H P 2 に受信回路 R X 1 が形成され、半導体チップ C H P 1、C H P 2 とは異なる半導体チップ C H P 3 に一次コイル L 1 1 及び二次コイル L 1 2 が形成される。さらに、半導体チップ C H P 1 には、送信回路 T X 1 の出力に接続されるパッドが形成される。半導体チップ C H P 2 には、受信回路 R X 1 の入力に接続されるパッドが形成される。また、半導体チップ C H P 3 には、一次コイル L 1 1 の両端にそれぞれ接続されるパッド及び二次コイル L 1 2 の両端にそれぞれ接続されるパッドが形成される。そして、送信回路 T X 1 は、これらパッドとボンディングワイヤ B W を介して、半導体チップ C H P 3 に形成された一次コイル L 1 1 と接続される。また、受信回路 R X 1 は、これらパッドとボンディングワイヤ B W を介して、半導体チップ C H P 3 に形成された二次コイル L 1 2 と接続される。なお、図 1 4 に示す実装例では、一次コイル L 1 1 と二次コイル L 1 2 とが、それぞれ一つの半導体チップにおいて上下方向に積層される第 1 の配線層及び第 2 の配線層に形成される。

20

30

【 0 1 2 2 】

図 1 5 に示す実装例では、半導体チップ C H P 1 に送信回路 T X 1 及び一次コイル L 1 1 が形成され、半導体チップ C H P 2 に受信回路 R X 1 及び二次コイル L 1 2 が形成され、半導体チップ C H P 1 と半導体チップ C H P 2 とが積層される。また、半導体チップ C H P 1 と半導体チップ C H P 2 とは、積層された状態において、一次コイル L 1 1 の中心位置と二次コイル L 1 2 の中心位置とが同一直線状になるように配置される。

【 0 1 2 3 】

図 1 6 に示す実装例では、共通の半導体チップ C H P 4 上に送信回路 T X 1、受信回路 R X 1、絶縁結合素子を構成する一次コイル L 1 1 及び二次コイル L 1 2 が形成される。図 1 6 の例では、一次コイル L 1 1 と二次コイル L 1 2 とが、それぞれ半導体チップ C H P 4 上において上下方向に積層される第 1 の配線層と第 2 の配線層に形成される。そして、送信回路 T X 1 が配置される領域と受信回路 R X 1 が配置される領域とは、半導体チップ C H P 4 の基板中に形成される絶縁層により互いに絶縁される。

40

【 0 1 2 4 】

図 1 7 及び図 1 8 は、図 1 6 に示す半導体チップ C H P 4 の基板の断面図である。図 1 7 に示す例では、送信回路 T X 1 が形成される領域と受信回路 R X 1 が形成される領域とが絶縁層により電氣的に分断される。そして、一次コイル L 1 1 及び二次コイル L 1 2 は、受信回路 R X 1 が形成される領域に設けられる。一方、図 1 8 に示す例では、送信回路 T X 1 が形成される領域と受信回路 R X 1 が形成される領域とが絶縁層により電氣的に分

50

断される。そして、一次コイル L 1 1 及び二次コイル L 1 2 は、送信回路 T X 1 が形成される領域に設けられる。

【 0 1 2 5 】

図 1 9 は、図 2 に示す実装例において絶縁結合素子として用いられるコイルを、コンデンサに置き換えたものである。より具体的には、一次コイル L 1 1 をコンデンサの一方の電極 C 1 1 に置き換え、二次コイル L 1 2 をコンデンサの他方の電極 C 1 2 に置き換えたものである。

【 0 1 2 6 】

図 2 0 は、図 2 に示す実装例において絶縁結合素子として用いられるコイルを、GMR 素子に置き換えたものである。より具体的には、一次コイル L 1 1 をそのままにして、二次コイル L 1 2 を GMR 素子 R 1 2 に置き換えたものである。

10

【 0 1 2 7 】

上記したように、絶縁結合素子の種類、絶縁結合素子の配置に関しては特に制限はない。なお、上記説明では、絶縁結合素子を半導体チップ上に形成するとしたが、絶縁結合素子は、外付け部品として設けることも可能である。

【 0 1 2 8 】

上記実施の形態 1 ~ 3 に係る半導体装置の制御対象は、例えば、絶縁ゲートバイポーラトランジスタ (I G B T : Insulated Gate Bipolar Transistor) に代表されるパワートランジスタである。この場合、上記実施の形態 1 ~ 3 に係る半導体装置は、受信回路によって再生されたデータ D o u t 1 に応じてパワートランジスタのオンオフを制御することにより、電源と負荷との間の導通状態を制御する。

20

【 0 1 2 9 】

さらに、上記実施の形態 1 ~ 3 に係る半導体装置は、例えば、図 2 1 に示すような、3 相モータ (負荷) を駆動するインバータ装置に適用される。図 2 1 に示すインバータ装置は、ハイサイド及びローサイドにそれぞれ u 相、v 相、w 相に対応する 3 つずつ (合計 6 つ) のパワートランジスタドライバ P T D 及びエラー検出回路 E D C を有している。マイコン M C U から出力された制御信号 (例えば U H 、 U L) が、送信回路 T X 、コイル、受信回路 R X を介して、パワートランジスタドライバ P T D に伝達され、制御対象である I G B T のオンオフが制御される。一方、エラー検出回路 E D C が検出したエラー信号が、送信回路 T X 、コイル、受信回路 R X を介して、マイコン M C U に伝達される。

30

【 0 1 3 0 】

図 2 2 のグラフに示すように、マイコン M C U から出力された制御信号 (例えば U H 、 U L) は、P W M 制御信号であり、モータに流れる電流 (例えば I U) がアナログ的に制御される。ここで、制御信号 (例えば U H 、 U L) が、実施の形態 1、2 における入力データ信号 D i n 1 に相当する。

【 0 1 3 1 】

さらに、図 2 3 - 2 6 を参照して、実施の形態 2 の変形例について説明する。図 2 3、2 4 は、実施の形態 2 の変形例に係る送信回路 T X 1 の具体的な回路構成の一例を示す回路図である。

【 0 1 3 2 】

40

図 2 3 では、図 1 0 と比較して、ライズエッジ検出回路 R E D 2 2 を備えていない。そのため、遅延再送要求信号 D R T 1 1 のライズエッジのみでデータ信号を再送し、フォールエッジでは、データ信号を再送しない。これに伴い、禁止期間信号 P P 2 を生成する論理回路として、X O R ゲート X O 2 に代えて、再送要求信号 D R T 1 1 の入力にインバータ (図面では \neg で表示) を備えた A N D ゲート A N 3 が用いられている。

【 0 1 3 3 】

図 2 4 では、図 1 0 と比較して、ライズエッジ検出回路 R E D 2 1 を備えていない。そのため、遅延再送要求信号 D R T 1 1 のフォールエッジのみでデータ信号を再送し、ライズエッジでは、データ信号を再送しない。これに伴い、禁止期間信号 P P 2 を生成する論理回路として、X O R ゲート X O 2 に代えて、遅延再送要求信号 D R T 2 1 の入力にイン

50

バータ（図面では で表示）を備えたANDゲートAN3が用いられている。

【0134】

図25、26は、実施の形態2の変形例に係る送信回路TX1の動作の一例を示すタイミングチャートである。図25は図23の送信回路TX1に、図26は図24の送信回路TX1に、対応したものである。

【0135】

図25では、図11のタイミングチャートと比較して、遅延再送要求信号DRT11のフールエッジである時刻t5では、そもそも総合パルス信号P10が出力されない。また、時刻t5近傍において、禁止期間信号PP2が出力されず、Lレベルのままとなっている。その他の点は、図11と同様であるため、説明を省略する。

10

【0136】

図26では、図11のタイミングチャートと比較して、遅延再送要求信号DRT11のライズエッジである時刻t1において、総合パルス信号P10及び送信パルス信号P12が出力されず、Lレベルのままとなっている。また、時刻t1近傍において、禁止期間信号PP2が出力されず、Lレベルのままとなっている。そのため、遅延再送要求信号DRT12のライズエッジである時刻t2において、図11では出力されていなかった総合パルス信号P10及び送信パルス信号P12が出力されている。その他の点は、図11と同様であるため、説明を省略する。

【0137】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

20

【符号の説明】

【0138】

1、2 半導体装置
A1、A2、AN1、AN2 ANDゲート
BW ボンディングワイヤ
C11、C12 電極
CHP1 - CHP4 半導体チップ
CTR1、CTR2 カウンタ
DC11、DC12、DC21、DC22、DC31 遅延回路
EDC エラー検出回路
IN1、IN2 インバータ
L11、L21 一次コイル
L12、L22 二次コイル
MCU マイコン
O1 - O6 ORゲート
OR1 - OR3 ORゲート
OSC1、OSC2 発振回路
Pd パッド
PDC パルス検出回路
PGC パルス生成回路
PKG 半導体パッケージ
PTD パワートランジスタドライバ
PWC1、PWC2 パルス拡幅回路
R12 GMR素子
RED11、RED12、RED21、RED22、RED31 ライズエッジ検出回路
RX、RX1、RX2 受信回路
SLC 順序回路
T リード端子

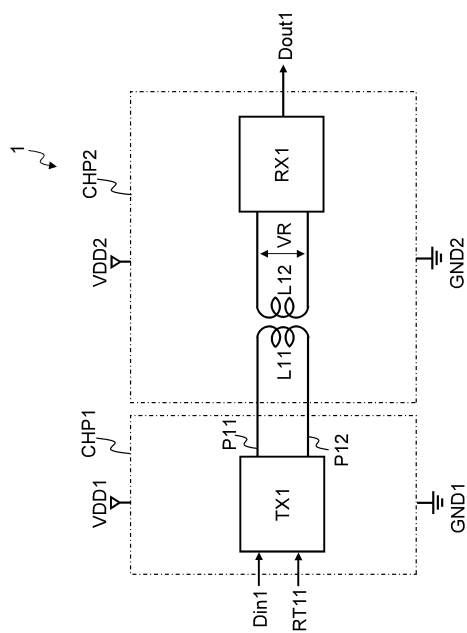
30

40

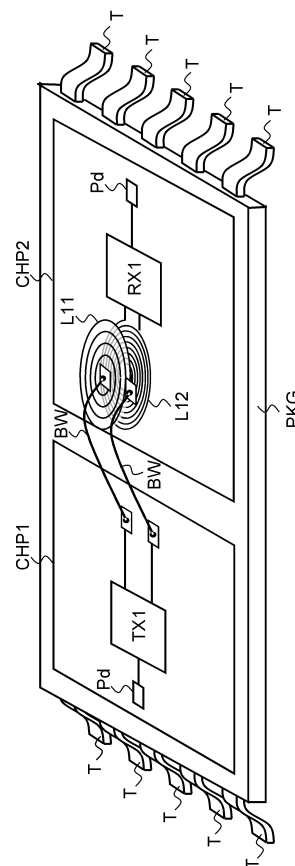
50

TM1、TM2 タイマ
 TX、TX1、TX2 送信回路
 UVLO1、UVLO2 UVLO回路
 XO1、XO2 XOゲート

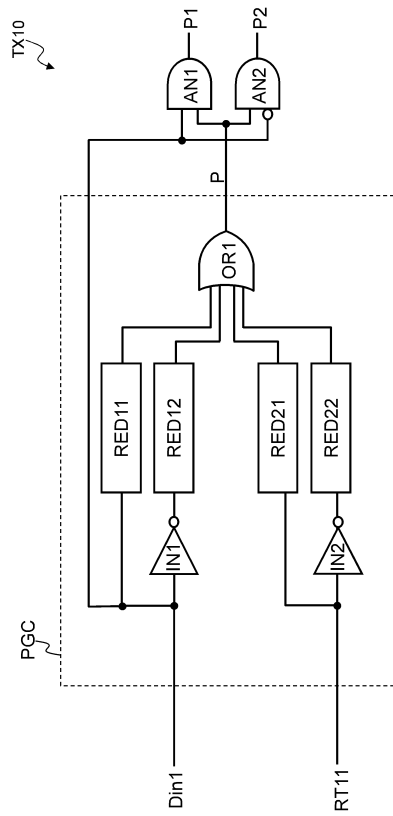
【図1】



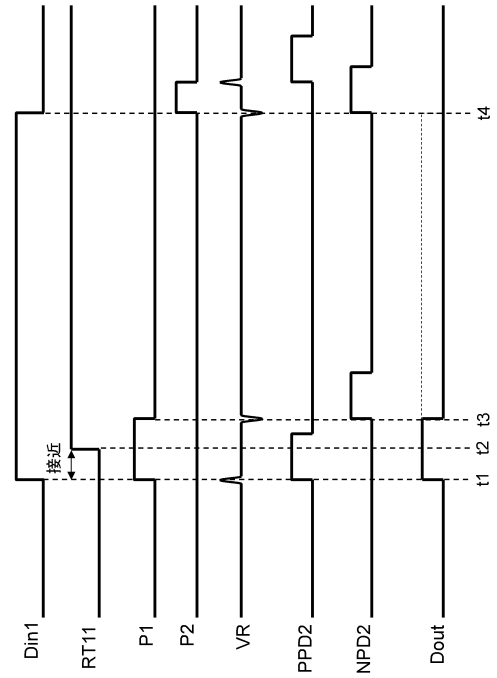
【図2】



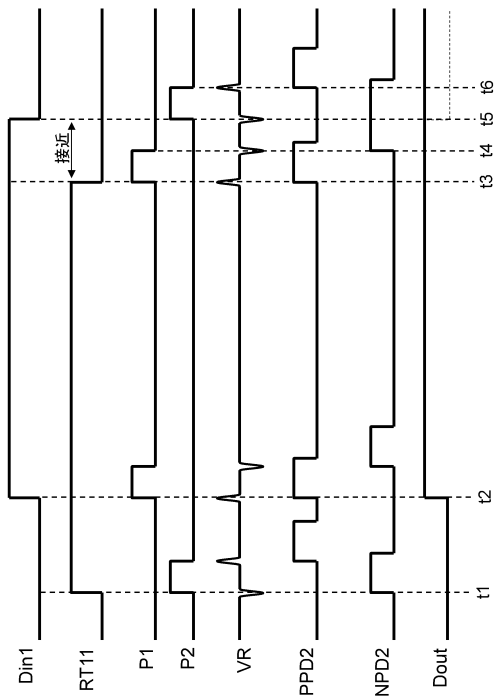
【図 7】



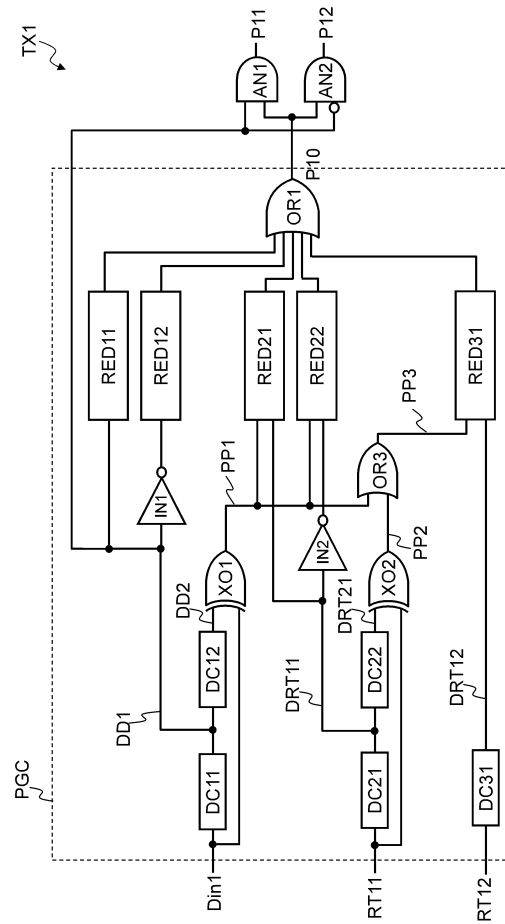
【図 8】



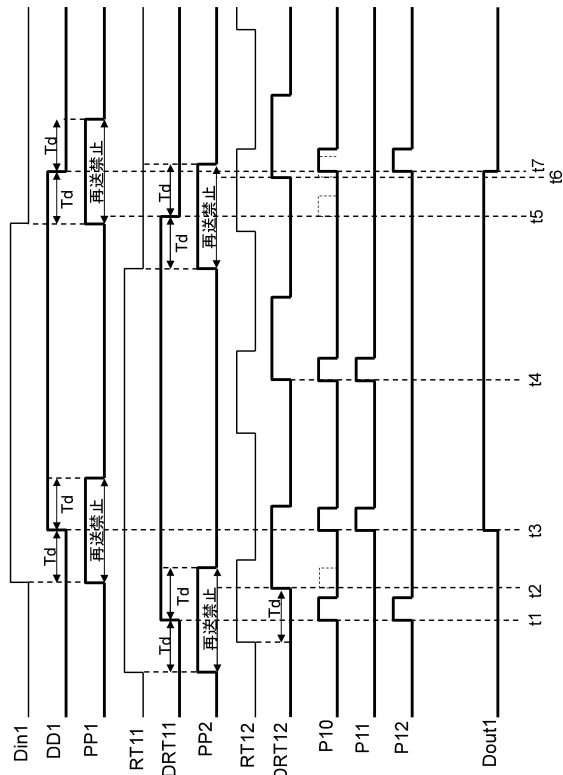
【図 9】



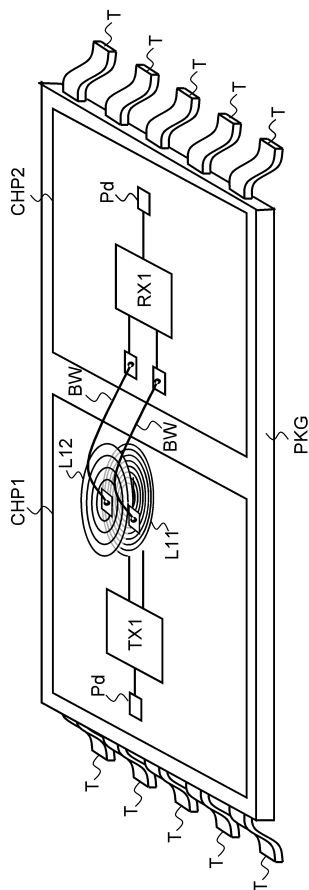
【図 10】



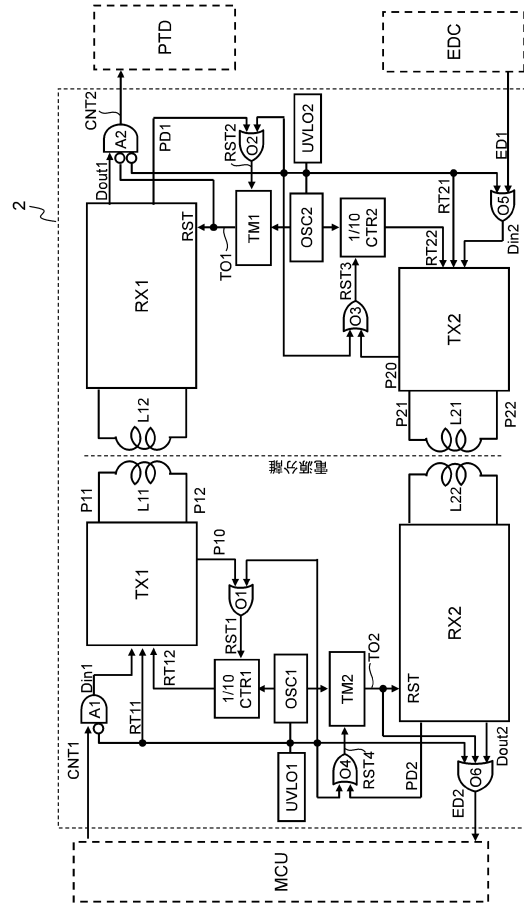
【図 1 1】



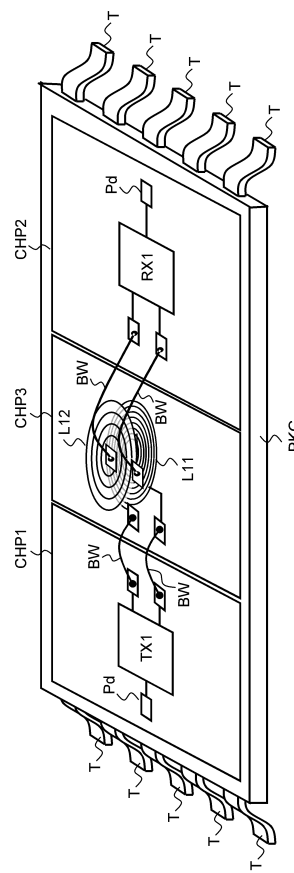
【図 1 3】



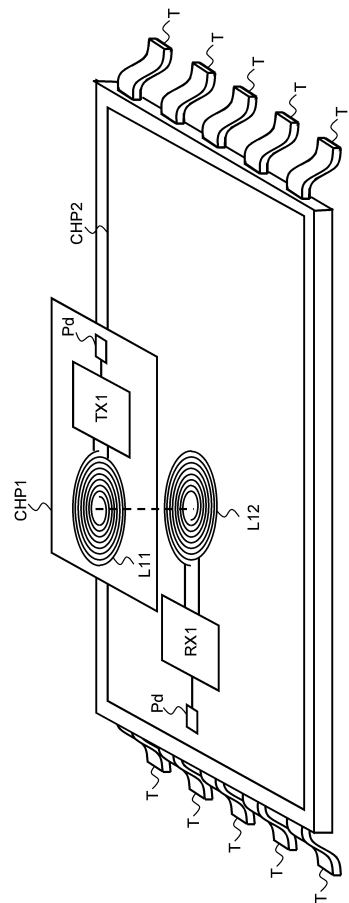
【図 1 2】



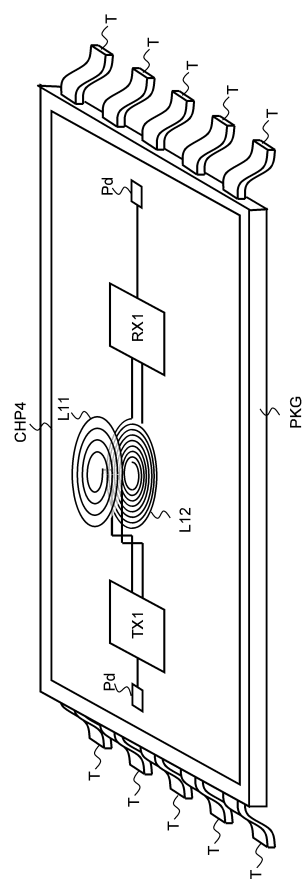
【図 1 4】



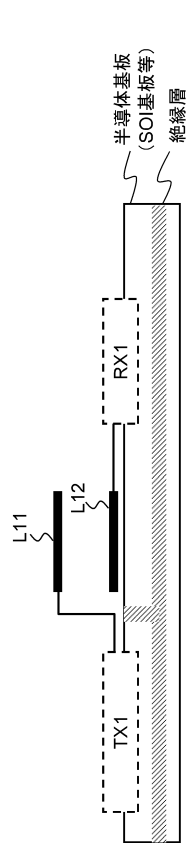
【図 15】



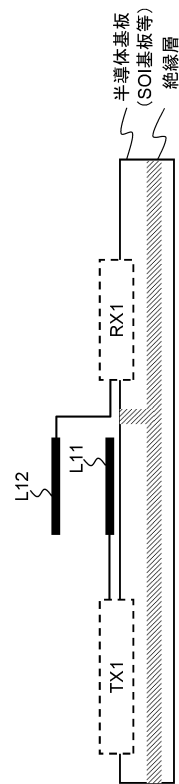
【図 16】



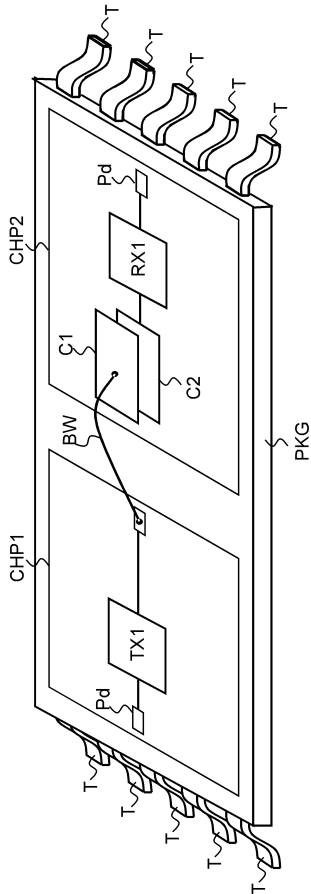
【図 17】



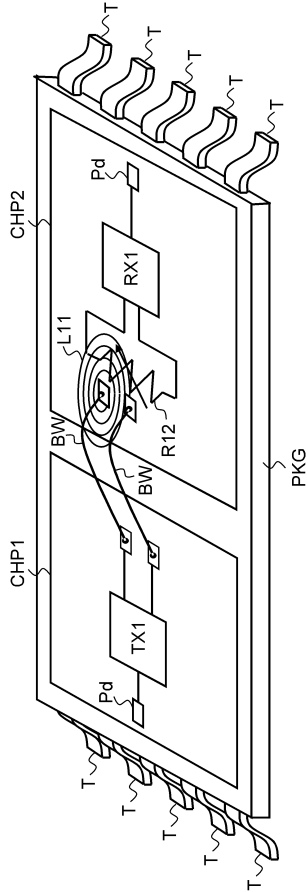
【図 18】



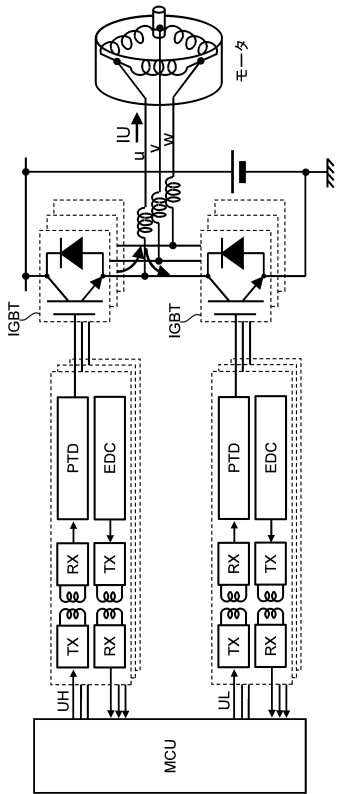
【図 19】



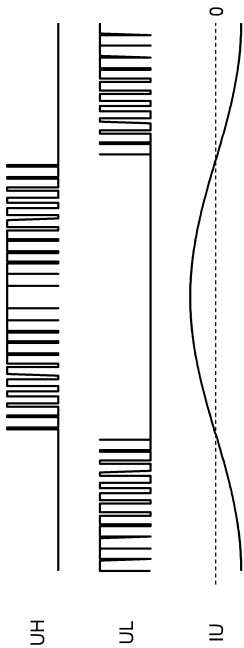
【図 20】



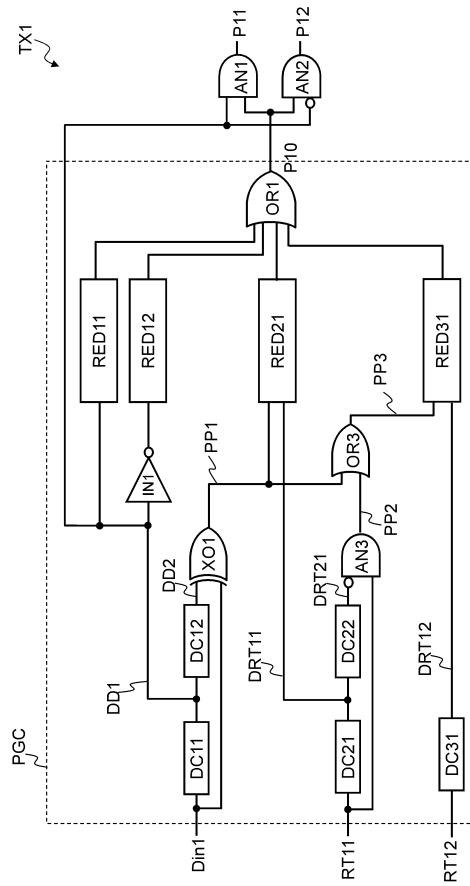
【図 21】



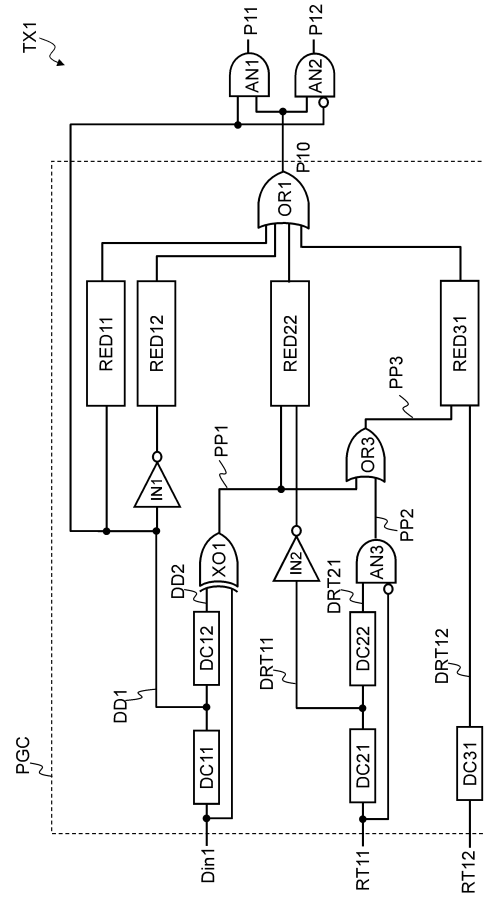
【図 22】



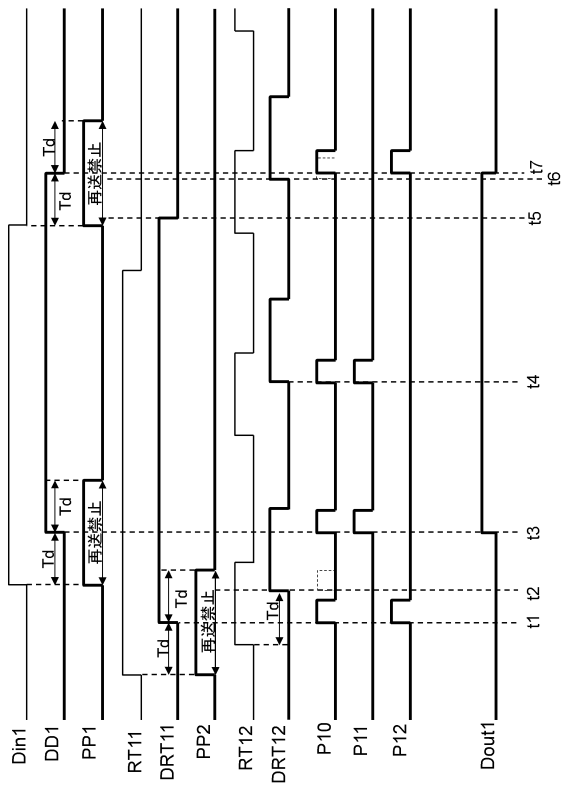
【図 2 3】



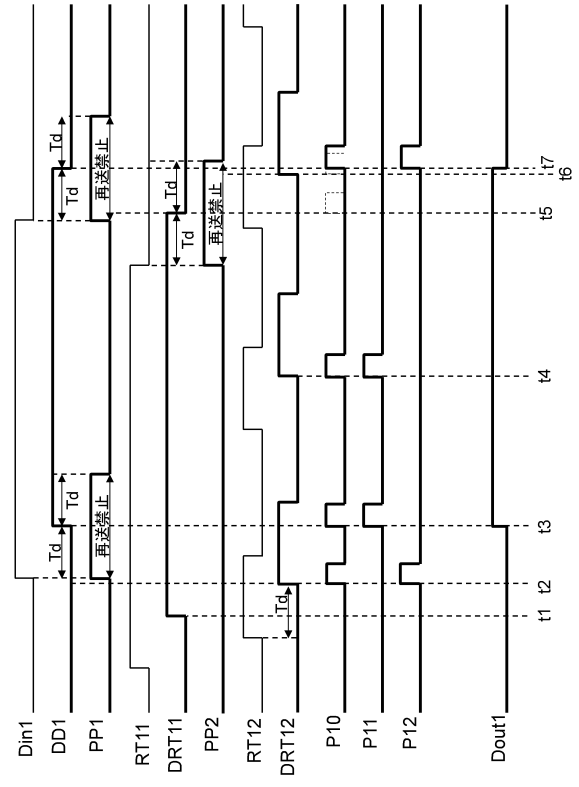
【図 2 4】



【図 2 5】



【図 2 6】



フロントページの続き

(56)参考文献 特表2001-513276(JP,A)
特開2011-146934(JP,A)
国際公開第2011/092864(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04L	25
H01L	21
H01L	27
H03K	19