

PCT
WELTORGANISATION FÜR C
Internationale
INTERNATIONALE ANMELDUNG VERÖFFENT
INTERNATIONALE ZUSAMMENARBEIT AUF I



(51) Internationale Patentklassifikation⁶ :

H04L 7/033, H03L 7/081

A1

(11) 1

WO 9605672A1

(43) Internationales

Veröffentlichungsdatum:

22. Februar 1996 (22.02.96)

(21) Internationales Aktenzeichen: PCT/DE95/01038

(22) Internationales Anmeldedatum: 8. August 1995 (08.08.95)

(30) Prioritätsdaten:

P 44 27 972.8

8. August 1994 (08.08.94)

DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): TRUMPP, Gerhard [DE/DE];
Mitterlängstrasse 7, D-82178 Puchheim (DE).

(81) Bestimmungsstaaten: CA, JP, RU, US, europäisches Patent
(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

Veröffentlicht

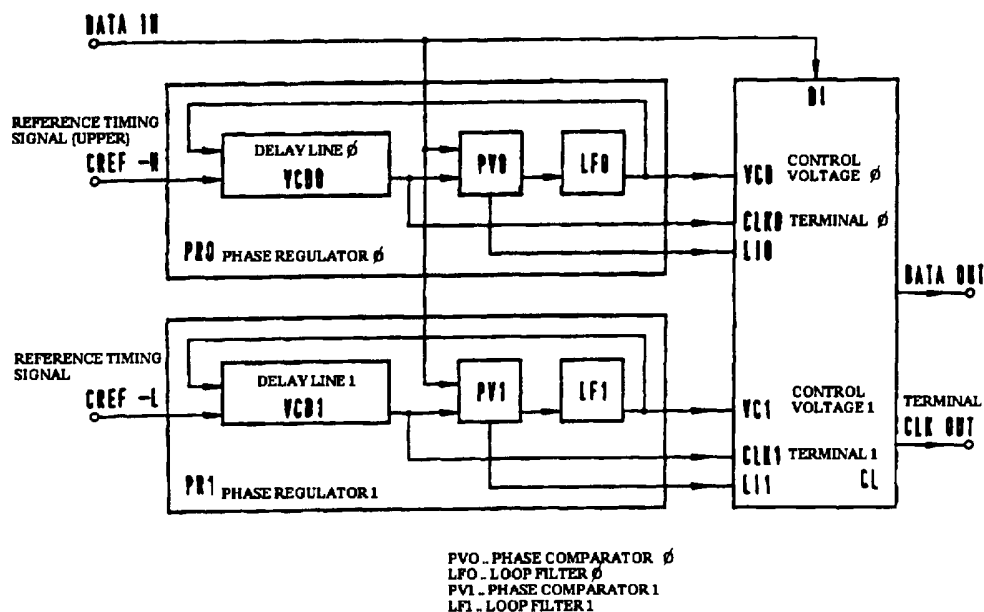
Mit internationalem Recherchenbericht.

(54) Title: INTEGRABLE CLOCK RECOVERY CIRCUIT

(54) Bezeichnung: INTEGRIERBARE TAKTGEWINNUNGSSCHALTUNG

(57) Abstract

A process and a fully integrable clock circuit are proposed for recovering a clock signal from a data stream. A locally available reference clock signal, preferably one of two complementary reference clock signals, is fed into each of two groups of phase regulators in each of which one phase regulator which has assumed a state within its operational range is selected for the preparation of the recovered clock signal, while a non-selected phase regulator is kept in readiness in a state within its operational range and diametrically opposite to that of the selected phase regulator. Once the limit of the operational range of the selected phase regulator is reached, a switch-over to the phase regulator which has been kept in readiness takes place.



Once the limit of the operational range of the selected phase regulator is reached, a switch-over to the phase regulator which has been kept in readiness takes place.

(57) Zusammenfassung

Es wird ein Verfahren und eine vollständig integrierbare Schaltungsanordnung zur Rückgewinnung eines Taktsignales aus einem Datenstrom vorgeschlagen. Zwei Gruppen von Phasenreglern wird ein lokal vorhandenes Referenztaktsignal, bevorzugt jeweils eines von zueinander komplementären Referenztaktsignalen, zugeführt. Jeweils ein Phasenregler, der einen Zustand innerhalb seines Arbeitsbereiches eingenommen hat, wird zur Bereitstellung des zurückgewonnenen Taktsignales ausgewählt, während ein gerade nicht ausgewählter Phasenregler in einem diametralen Zustand innerhalb seines Arbeitsbereiches zu dem Zustand des gerade ausgewählten Phasenreglers bereitgehalten wird. Bei Erreichen der Grenze des Arbeitsbereiches des gerade ausgewählten Phasenreglers wird auf den bislang bereitgehaltenen Phasenregler umgeschaltet.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Integrierbare Taktgewinnungsschaltung

- 5 Die Erfindung betrifft ein Verfahren und eine Schaltungsanordnung zur Gewinnung eines Taktsignales.

10 In digitalen Datenübertragungssystemen kann der Bittakt empfängerseitig durch Taktrückgewinnungsschaltungen aus dem empfangenen digitalen Datensignal gewonnen werden. Bei Phasenregelkreisen (Phase locked Loop) zur Taktrückgewinnung aus einem digitalen Datenstrom kommen nur reine Phasenvergleicher (phasensensitive Phasendetektoren) in Betracht, da nicht mit jedem Bittakt eine Phasenkorrektur-Flanke zur Verfügung
15 steht, sondern, in Abhängigkeit von der vorgesehenen Codierung, beispielsweise im Mittel nur alle drei Bittakte. Diese reinen Phasenvergleicher haben bekanntermaßen den Nachteil, daß damit aufgebaute Schaltungen auch auf harmonische Frequenzen verriegeln oder dies auch auf anderen Frequenzen (erfolglos) versuchen. Um diese Nachteile zu vermeiden, wurden
20 bislang spannungsgesteuerte Oszillatoren mit jeweils genau definierter Mittenfrequenz, die dem Nominalwert des Bittaktes entspricht, und sehr kleinem Frequenzhub eingesetzt, wobei zur Realisierung solcher spannungsgesteuerter Oszillatoren
25 genaue frequenzbestimmende Elemente benötigt werden (vgl. Unterrichtsbblätter der Deutschen Bundespost, Jahrgang 34/1981, Nr. 2, Seite 81).

30 In digitalen Datenübertragungsnetzen, wie z.B. in SDH(Synchron Digital Hierarchy)-Übertragungssystemen werden zur Sendetakterzeugung PLL(Phase Locked Loop) - Schaltungen verwendet. Der Phasenregelkreis vergleicht den Füllstand eines Pufferspeichers mit seinem Sollwert und korrigiert entsprechend die Sendefrequenz. Die nominale Sendefrequenz
35 liegt fest, sie ist durch die Mittenfrequenz des Phasenregelkreises definiert. Die tatsächliche Sendefrequenz wird durch Ziehen des Phasenregelkreises über seine Steuerspannung

aufgrund der anfallenden Datenmenge bestimmt. Das Signal, das die Abweichung des Füllstandes des Pufferspeichers vom Sollwert angibt, ist durch ein diskretes Signal mit einer im Vergleich zur Sendefrequenz niedrigen Rate von Zustandswechseln gegeben. An sich bekannte, integrierte spannungsgesteuerte Oszillatoren VCOs (Voltage Controlled Oscillator) sind bei dieser Anwendung aufgrund der seltenen Korrektur nicht einsetzbar, da ihre Kurzzeitstabilität im Hinblick auf die Genauigkeitsanforderungen für synchrone Datennetze bei weitem nicht ausreicht.

Auch bei dieser Anwendung kommen üblicherweise Schaltungen zum Einsatz, bei denen ein Phasenregelkreis einen spannungsgesteuerten, quarzstabilisierten Oszillator VCXO (Voltage Controlled Xtal (=crystal) Oscillator) regelt. Diese spannungsgesteuerten, quarzstabilisierten Oszillatoren benötigen genaue frequenzbestimmende Elemente zur Stabilisierung.

Die genannten, frequenzbestimmenden Elemente, die durch schmalbandige Filter oder Schwingkreise gegeben sein können und die beispielsweise mit Oberflächenwellen-, Quarz- oder Keramikfiltern realisiert sein können, sind nicht ohne weiteres zusammen mit der übrigen Schaltung in einem Baustein integrierbar, so daß die frequenzbestimmenden Elemente außerhalb des Bausteins angeordnet werden müssen, wozu zusätzliche Anschlüsse an den Baustein vorgesehen werden müssen, zusätzlicher Platzbedarf auf der Baugruppe benötigt wird und ein erhöhter Aufwand bei der Bestückung der Baugruppe notwendig ist.

In digitalen Übertragungssystemen, in denen gleichzeitig eine Mehrzahl von Datensignalen, die nicht phasenstarr zueinander sind, empfangen oder ausgesendet werden sollen, macht sich der Aufwand besonders störend bemerkbar, daß für jedes Datensignal ein gesonderter Phasenregelkreis mit jeweiligen genauen frequenzbestimmenden Elementen vorgesehen werden muß.

Der Erfindung liegt das Problem zugrunde ein Verfahren und eine Schaltungsanordnung zur Gewinnung eines Taktsignales anzugeben, bei denen präzise externe oder abzugleichende frequenzbestimmende Elemente vermieden sind.

5

Die wesentlichen Merkmale zur Lösung des Problems sind dadurch gegeben, daß

- mehrere jeweils eine gesteuerte Verzögerungsleitung (VCD0, VCD1), einen Phasenvergleichler (PV0, PV1) und einen Schleifenfilter (LF0, LF1) aufweisende Phasenregler (PR0, PR1) gegeben sind, deren Steuerspannungen in einem Regelbereich zwischen einer oberen (UH) und einer unteren (UL) Grenze aussteuerbar sind
- den Eingängen der Verzögerungsleitungen der Phasenregler ein Referenztaktsignal (CREF0, CREF1) zugeführt ist
- ein Phasenregler ausgewählt ist, dessen ausgangsseitig abgegebenes Signal als das Taktsignal gegeben ist
- die Verzögerungsdauer des ausgewählten Phasenreglers nach Maßgabe eines Ansteuersignales beeinflußt ist
- bei Aussteuerung an die obere oder die untere Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweiliger anderer Phasenregler auswählbar ist, dessen Steuerspannung gerade nicht an dieser Grenze angesteuert ist.

25

Der Anmeldungsgegenstand ist in einem integrierten Baustein vollständig implementierbar. Der Anmeldungsgegenstand vermeidet schwerlich integrierbare, präzise frequenzbestimmende Bauelemente, wodurch der Aufwand für die frequenzbestimmenden Bauelemente selbst, der Aufwand für die ansonsten zusätzlich vorzusehenden Anschlüsse des integrierten Bausteins, der Aufwand für den Einbauplatz der frequenzbestimmenden Bauelemente auf der Baugruppe und der Aufwand für die ansonsten notwendige Bestückung der Baugruppe mit den frequenzbestimmenden Bauelementen erspart ist. Der Anmeldungsgegenstand ist herkömmlichen Taktgewinnungseinrichtungen prinzipiell überlegen,

35

wenn er ein ohnehin lokal vorhandenes Sendetaktsignal als Referenztaktsignal ausnutzt, da ein Sendetaktsignal in der Regel erheblich stabiler bezüglich der Einhaltung der Frequenz ist als das von einem spannungsgesteuerten Oszillator (Voltage Controlled Oszillator) abgegebene Taktsignal, womit
5 das von der anmeldungsgemäßen Taktrückgewinnungseinrichtung abgegebene Taktsignal CLKOUT insgesamt frequenzstabiler ist.

Im Anwendungsfall einer Taktrückgewinnung aus einem Datenstrom mit langen Folgen gleicher Binärzeichen mit einer
10 herkömmlichen Taktrückgewinnungseinrichtung können Frequenzabweichungen des spannungsgesteuerten Oszillators sich zu beliebigen Phasendifferenzen aufintegrieren; bei der anmeldungsgemäßen Taktgewinnungseinrichtung führt in diesem Fall eine aufgrund von Leckstrom des als Schleifenfilter ausgebildeten Kondensators bedingte Änderung der Steuerspannung zu
15 einer Phasendifferenz, die auf maximal 180 Grad bezüglich des Referenztaktsignals begrenzt ist.

Die Erfindung wird nun als Ausführungsbeispiel in einem zum
20 Verständnis erforderlichen Umfang anhand von Figuren näher beschrieben.

Dabei zeigen:

Fig 1 ein Blockschaltbild der erfindungsgemäßen Taktgewinnungsschaltung für eine Taktrückgewinnung aus einem Datensignal
25

Fig 2a, 2b nähere Einzelheiten der Taktgewinnungsschaltung aus Fig 1
30

Fig 3 und Fig 4 typische Signalverläufe in der Taktgewinnungsschaltung für Verhältnisse größer 1 bzw. kleiner 1 des Referenztaktsignals zu dem im Datenstrom enthaltenen Taktsignal.
35

Fig 5 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung für eine Taktgewinnung zur Aussendung eines Datensignales,

5 Fig 6 ein Prinzipschaltbild des Blockschaltbildes aus Fig 5,

Fig 7 a, b nähere Einzelheiten der Schaltung aus Fig 6.

Die Blockschaltung in Fig 1 weist zwei Phasenregler PR0, PR1
10 und eine Kontrolleinheit CL (für: Control-Logic) auf. Den Phasenreglern und der Kontrolleinheit werden über eine Anschlußklemme DATAIN ein serieller Datenstrom als Eingangssignal zugeführt. Bei dem Datenstrom möge es sich um Binärzeichen mit einer vorgegebenen nominellen Folgerate handeln. Als
15 weiteres Eingangssignal wird den Phasenreglern ein Referenztaktsignal CREF zugeführt, das annähernd die dem Datenstrom zugehörige Taktfrequenz aufweist. Das Referenztaktsignal möge durch ein lokal ohnehin vorhandenes Taktsignal gegeben sein, das zur Aussendung eines Datenstromes benötigt wird. In einer
20 bevorzugten Ausführungsform werden den Phasenreglern jeweils zueinander komplementäre Referenztaktsignale CREF_H, CREF_L zugeführt. In einem Phasenregler wird das betreffende Referenztaktsignal einer spannungsgesteuerten Verzögerungsleitung VCD0, VCD1 zugeführt. In der Verzögerungsleitung wird das Re-
25 ferenztaktsignal nach Maßgabe einer zugeführten Steuerspannung VC0, VC1 verzögert. Das von der Verzögerungsleitung abgegebene Referenztaktsignal und der Datenstrom werden einem Phasenvergleichler PV0, PV1 als Eingangssignale zugeführt. Der Phasenvergleichler liefert nach Maßgabe der Koinzidenz der ihm
30 zugeführten Eingangssignale ein Ausgangssignal, das einem Schleifenfilter LF0, LF1 zugeführt wird. In dem Schleifenfilter erfährt dieses Ausgangssignal eine an sich für Phasenregelkreise (Phase-locked-loop) bekannte Behandlung mit integrierender Wirkung. Das von dem Schleifenfilter abgegebene
35 Ausgangssignal wird einerseits der Verzögerungsleitung als Steuerspannung und andererseits der Kontrolleinheit an deren Klemme VC0, VC1 zugeführt. Neben dem Ausgangssignal an Klemme

VC0, VC1 führt jeder Phasenregler der Kontrolleinheit an der Klemme CLK0, CLK1 das von der zugehörigen Verzögerungsleitung verzögerte Referenztaktsignal sowie an der Klemme LI0, LI1 ein von dem Phasenvergleichler geliefertes Informationssignal zu. Dieses Informationssignal ist nach Maßgabe der Phasenabweichung zwischen den dem Phasenvergleichler zugeführten Signalen gebildet. Die Kontrolleinheit gibt unter Auswertung der ihr eingangsseitig zugeführten Signale an der Klemme DATAOUT den Datenstrom und an der Klemme CLKOUT das mit diesem Datenstrom korrelierte Taktsignal ab. Das an der Klemme CLKOUT abgegebene Taktsignal kann also gegenüber dem Referenztaktsignal dauerhaft eine etwas höhere oder eine etwas niedrigere Frequenz aufweisen. Zum Ausgleich der Frequenzdifferenz zwischen dem Referenztaktsignal und dem Taktsignal CLKOUT wird das Referenztaktsignal in einer Verzögerungsleitung zunehmend phasenverschoben.

Jeder der Phasenregler vermag auf den der Klemme DATAIN zugeführten Datenstrom einzurasten und Phasendifferenzen zwischen dem Referenztaktsignal und dem Datenstrom durch geeignete Nachführung der Verzögerungszeit der Verzögerungsleitung auszugleichen, bis die Verzögerungsleitung die Grenze ihres Regelbereichs erreicht. Die Kontrolleinheit hat die Aufgabe stets einen Phasenregler auszuwählen, der innerhalb seines Regelbereiches arbeitet, und gleichzeitig einen gerade nicht ausgewählten Phasenregler in einer derartigen Einstellung seines Regelbereiches bereitzuhalten, daß er dann übernehmen kann, wenn der gerade ausgewählte Phasenregler die Grenze seines Regelbereiches erreicht. Für die Auswahl eines Phasenreglers einerseits und die Bereithaltung eines gerade nicht ausgewählten Phasenreglers im Zustand einer geeigneten Einstellung seines Regelbereiches andererseits wertet die Kontrolleinheit die Steuerspannungen VC0, VC1 für die Verzögerungsleitungen und ergänzend hierzu gegebenenfalls die von den Phasenvergleichern abgegebenen Informationssignale aus. Die Kontrolleinheit weist einen Taktmultiplexer auf, der eines von der Kontrolleinheit an den Klemmen CLK0, CLK1 zuge-

führten Taktsignalen auf die Klemme CLKOUT durchschaltet. Je nach Art des zum Einsatz kommenden Phasenvergleichers weist die Kontrolleinheit ein Abtast - Flipflop zur Abtastung des Datensignales mit dem zurückgewonnenen Taktsignal auf; bei
5 Einsatz eines aus der Literaturstelle T. H. LEE ,
J.F.Bulzacchelli, "A 155-MHz Clock Recovery Delay- and Phase-Locked loop", IEEE J. of Solid-State-circuits, Vol 27 ,
No.12, Dec 1992, pp. 1736-1745 bekannten Phasenvergleichers nach Hogge weist die Kontrolleinheit einen Datenmultiplexer
10 auf.

Fig 2 zeigt eine einfache Ausführungsform einer in CMOS- (Complementary Metal Oxid Silicium) - Technologie realisierten Schaltungsanordnung auf der Bauteileebene. Die Verzögerungsleitungen sind jeweils mit 16 Verzögerungselementen
15 DE001 .. DE016, bzw. DE101 .. DE116 (für: Delay Element) gebildet. Jedes Verzögerungselement ist mit einem Inverter gebildet, der ausgangsseitig über einen regelbaren Widerstand mit einer Lastkapazität belastet ist. Die beiden Anschlüsse
20 der Laststrecke des regelbaren Widerstandes sind durch die beiden Hauptelektroden eines ersten N-Kanal Feldeffekttransistors gegeben, wobei die Steuerelektrode des Feldeffekttransistors mit der Steuerspannung beaufschlagt ist. Die Lastkapazität ist mit der Kapazität zwischen der Steuerelektrode
25 und der Laststrecke eines zweiten N-Kanal Feldeffekttransistors gebildet, wobei die Steuerelektrode des zweiten Feldeffekttransistors mit der Source-Elektrode des ersten Feldeffekttransistors und die beiden Hauptelektroden des zweiten Feldeffekttransistors mit der das niedrige Potential führenden
30 Klemme DG einer nicht näher dargestellten Betriebsspannungsquelle VDD - DG verbunden sind. Der Ausgang eines Verzögerungselementes ist durch den mit einer gesteuerten Lastkapazität belasteten Ausgang eines Inverters gegeben. Der Ausgang eines Verzögerungselementes ist mit dem Eingang des jeweils nächsten Verzögerungselementes verbunden; der Ausgang
35 des letzten Verzögerungselementes der Verzögerungsleitung ist mit einem Inverter INVR0, INVR1 zur Regeneration der Impuls-

form verbunden. Der Ausgang des betrachteten Inverters INVR0, INVR1 ist mit dem D-Eingang eines D-Flipflops DFF0, DFF1, das den betreffenden Phasenvergleich PV0, PV1 bildet, verbunden. Dem Eingang CLK des D-Flipflops ist der Datenstrom zugeführt. Mit jeder steigenden Flanke des Datenstroms wird der augenblickliche Zustand des verzögerten Referenztaktsignals am Ausgang des D-Flipflops übernommen. In diesem Ausführungsbeispiel ist das Schleifenfilter durch einen Kondensator C0, C1 gebildet, der einerseits mit dem Ausgang des Phasenvergleichers und andererseits mit der das niedrige Potential führenden Klemme DG der Betriebsspannungsquelle VDD - DG verbunden ist. Der Kondensator C0, C1 integriert den von dem zugehörigen Phasenvergleich gelieferten Ausgangsstrom. Die Spannung über dem Kondensator C0, C1 ist sämtlichen Verzögerungselementen der zugehörigen Verzögerungsleitung zugeführt. In Anwendungsfällen mit einer geringen Anzahl von Zustandswechseln des Datenstromes bezogen auf einen Betrachtungszeitraum können anstelle des Kondensators C0, C1 andere, z.B. aus R. Best "Theorie und Anwendung des Phase-locked Loops", AT Verlag Aarau - Stuttgart ISBN 3-85502-123-6 bekannte Schleifenfilter zum Einsatz kommen. Die Verzögerungsleitung, der Phasenvergleich und der Schleifenfilter bilden einen Regelkreis, wobei der Phasenvergleich so regelt, daß eine steigende Flanke in dem Datenstrom mit der steigenden Flanke des verzögerten Referenztaktsignals zusammenfällt.

Für jeden Phasenregler wird die Steuerspannung daraufhin überwacht, ob sie einen Wert oberhalb oder unterhalb einer hohen Spannung UH, einer mittleren Spannung UM bzw. einer niedrigen Spannung UL aufweist. Ein mit 4 Widerständen R1, R2, R3 und R4 gebildeter Spannungsteiler ist mit den beiden Klemmen der Betriebsspannungsquelle VDD - DG verbunden. Der Spannungsteiler stellt die hohe Spannung UH, die mittlere Spannung UM und die niedrige Spannung UL bereit. Jedem Phasenregler sind 3 Differenzverstärker OP01, OP02, OP03, bzw. OP11, OP12, OP13 zugeordnet. Die Differenzverstärker OP01 und OP11 sind an ihrem nichtinvertierenden Eingang (+) mit

der hohen Spannung UH und an ihrem invertierenden Eingang (-) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP02 und OP12 sind an ihrem invertierenden Eingang (-) mit der mittleren Spannung UM und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP03 und OP13 sind an ihrem invertierenden Eingang (-) mit der niedrigen Spannung UL und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die von den Differenzverstärkern OP01 und OP03 bzw. OP11 und OP13 abgegebenen Ausgangssignale H0, L0 bzw. H1, L1 sind den Eingängen eines die logische NAND-Funktion realisierenden Nand-Gatters NAND0, bzw. NAND1 zugeführt. Die Differenzverstärker OP01 und OP03 bzw. OP11 und OP13 bilden gemeinsam mit dem Nand-Gatter NAND0, bzw. NAND1 einen Fensterkomparator, wobei das Nand-Gatter NAND0, bzw. NAND1 an seinem Ausgang dann ein Signal IN0, IN1 mit niedrigem Pegel (LOW) abgibt, wenn die Steuerspannung niedriger als die hohe Spannung UH und höher als die niedrige Spannung UL ist. Ein Signal IN0, IN1 mit niedrigem Pegel (LOW) gibt also an, daß der zugehörige Phasenregler einen Zustand innerhalb seines Regelbereiches innehat, wohingegen ein Signal IN0, IN1 mit hohem Pegel (HIGH) angibt, daß der zugehörige Phasenregler einen Zustand außerhalb seines Regelbereiches eingenommen hat. Die Spannung UH und die Spannung UL bilden also die Grenzen eines definierten Regelbereiches.

Die von den Fensterkomparatoren abgegebenen Signale IN0 und IN1 sind einer Auswahleinrichtung AUS zugeführt. Die Auswahleinrichtung wählt für den Fall, daß ein Verlassen des Regelbereiches des gerade ausgewählten Phasenreglers durch das zugehörige Signal IN0, IN1 mit hohem Pegel (HIGH) angezeigt wird, einen anderen Phasenregler aus, der einen Zustand innerhalb seines Regelbereiches eingenommen hat. Die Auswahleinrichtung im Ausführungsbeispiel ist mit zwei die logische NOR-Funktion realisierenden NOR-Gattern gebildet, die in an sich bekannter Weise zu einem RS-Flipflop verschal-

tet sind. Die Auswahleinrichtung vermag also an ihren Ausgängen SEL0, SEL1 (für: SELECT) die Zustände eines RS-Flipflops einzunehmen.

5 Ein Taktmultiplexer TMUX wird nach Maßgabe des Signalzustandes am Ausgang SEL0 der Auswahleinrichtung gesteuert. Der Taktmultiplexer ist mit zwei die logische UND-Funktion realisierenden UND-Gattern gebildet, deren Ausgänge über ein die logische NOR-Funktion realisierendes NOR-Gatter verknüpft
10 sind. Den UND-Gattern sind jeweils einerseits die von den Verzögerungsleitungen verzögerten Referenztaktsignale CLK0, CLK1 und andererseits der Signalzustand am Ausgang SEL0 der Auswahleinrichtung bzw. der über einen Inverter INVTM invertierte Zustand dieses Signalzustandes zugeführt. Der Taktmultiplexer schaltet also bei einem hohen Signalzustand am Ausgang SEL0 der Auswahleinrichtung das von der Verzögerungsleitung VCD0 verzögerte Referenztaktsignal CLK0 in invertierter Form auf die Klemme CLKOUT der Kontrolleinheit durch, wohin-
15 gegen bei einem niedrigen Signalzustand am Ausgang SEL0 der Auswahleinrichtung das von der Verzögerungsleitung VCD1 verzögerte Referenztaktsignal CLK1 in invertierter Form auf die Klemme CLKOUT durchgeschaltet wird. Bedingt durch die Invertierung in dem Taktmultiplexer erscheint das Taktsignal an der Klemme CLKOUT gegenüber dem Taktsignal am Eingang des gerade
20 ausgewählten Phasenvergleichers um eine halbe Taktperiode verschoben. Ein Datenmultiplexer DMUX ist mit einem D-Flipflop gebildet, wobei dem D-Eingang der Datenstrom DATAIN und dem CLK-Eingang das Taktsignal an der Klemme CLKOUT zugeführt ist. Mit jeder steigenden Flanke des Taktsignals an der Klemme CLKOUT wird der Datenstrom in der Mitte
25 einer nächstfolgenden Bitübertragungszeitspanne abgetaktet.

Für jeden Phasenregler ist eine Serienschaltung von 3 anein-
35 andergereihten P-Kanal-Feldeffekttransistoren TP01, TP02, TP03 bzw. TP11, TP12, TP13 und 3 aneinandergereihten N-Kanal-Feldeffekttransistoren TN01, TN02, TN03 bzw. TN11, TN12, TN13 gegeben. Die Source-Elektrode des außenliegenden P-Kanal-

Feldeffekttransistors TP01 bzw. TP11 ist mit der das hohe Potential führenden Klemme VDD und die Source-Elektrode des außenliegenden N-Kanal-Feldeffekttransistors TN03 bzw. TN13 ist mit der das niedrige Potential führenden Klemme DG der Betriebsspannungsquelle verbunden. Die Mittenanzapfung der Serienschaltung ist mit der zugehörigen Steuerspannung verbunden.

Der Differenzverstärker OP02 bzw. OP12 gibt an seinem Ausgang ein Signal mit hohem Pegel (HIGH) ab, wenn die zugehörige Steuerspannung höher ist als die mittlere Spannung UM. Der Ausgang des Differenzverstärkers OP02 bzw. OP12 ist mit den Steuerelektroden der Feldeffekttransistoren TP03 und TN01 bzw. TP13 und TN11 der zugehörigen Serienschaltung sowie mit den Steuerelektroden der Feldeffekttransistoren TP11 und TN13 bzw. TP01 und TN03 der einem jeweiligen anderen Phasenregler zugehörigen Serienschaltung verbunden. Der Ausgang SEL0 der Auswahleinrichtung ist mit den Steuerelektroden der Feldeffekttransistoren TP02 und TN12 verbunden. Der Ausgang SEL1 der Auswahleinrichtung ist mit den Steuerelektroden der Feldeffekttransistoren TN02 und TP12 verbunden. Ist nun der Phasenregler PR0 durch ein Signal mit hohem Pegel am Ausgang SEL0 der Auswahleinrichtung gerade ausgewählt, so sind die Feldeffekttransistoren TP02 und TN02 gesperrt und die Feldeffekttransistoren TP12 und TN12 leitend geschaltet. Die Serienschaltung des gerade ausgewählten Phasenreglers ist also gesperrt, womit sie keinen Einfluß auf die zugehörige Steuerspannung hat. Die Serienschaltung eines gerade nicht ausgewählten Phasenreglers wird in der Weise leitend geschaltet, daß die Höhe der Steuerspannung dieses Phasenreglers in Richtung auf die bezüglich der mittleren Spannung UM jeweils andere Seite des Regelbereiches beeinflußt wird wie die Seite des Regelbereiches, in den die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt. Diese Beeinflussung geht so weit, bis die Steuerspannung die mittlere Spannung überschritten hat und durch eine Zustandsänderung am Ausgang des Differenzverstärkers OP02, bzw. OP12 des

gerade nicht ausgewählten Phasenreglers die zugehörige Serienschaltung für eine weitere Beeinflussung der Steuerspannung gesperrt wird. Weist die Steuerspannung eines gerade nicht ausgewählten Phasenreglers eine Höhe auf, die bereits in die
5 bezüglich der mittleren Spannung UM jeweils andere Seite des Regelbereiches fällt wie die Seite des Regelbereiches, in die die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt, so bleibt die Serienschaltung des gerade nicht ausgewählten Phasenreglers gesperrt, womit
10 die zugehörige Steuerspannung nicht beeinflußt wird.

Für den Fall, daß die Steuerspannungen sämtlicher Phasenregler einen Zustand außerhalb ihres Regelbereiches eingenommen haben, weisen sämtliche der Auswahleinrichtung zugeführte Signale IN0, IN1 einen hohen Pegel (HIGH) auf, wodurch die Auswahleinrichtung an ihren Ausgängen SEL0, SEL1 einen niedrigen Pegel (LOW) einnimmt. Dies wird von einem die logische NOR-Funktion realisierenden NOR-Gatter ausgewertet und an der Klemme ALARM durch ein Signal mit hohem Pegel (HIGH) angezeigt.
20

In FIG 3 und FIG4 sind im Zuge einer Schaltungssimulation erhaltene Verläufe der Steuerspannungen VC0, VC1 und der an den Ausgängen der Auswahleinrichtung anliegenden Signale SEL0, SEL1 dargestellt. Die Abweichung zwischen der Bitfolgerate des Datenstromes und der Taktrate des Referenztaktsignals beträgt in beiden Fällen 1 Promille.
25

In FIG 3 ist die Bitfolgerate des Datenstromes höher als die Taktrate des Referenztaktsignals, womit der gerade ausgewählte Phasenregler die Verzögerung des Referenztaktsignals fortschreitend verringert, während der gerade nicht ausgewählte Phasenregler in dem augenblicklichen Zustand mit einer langen Verzögerung bereitgehalten wird.
30

35

In FIG 4 ist die Bitfolgerate des Datenstromes niedriger als die Taktrate des Referenztaktsignals, womit der gerade ausge-

wählte Phasenregler die Verzögerung des Referenztaktsignals fortschreitend erhöht, während der gerade nicht ausgewählte Phasenregler in dem augenblicklichen Zustand mit einer kurzen Verzögerung bereitgehalten wird.

5

Den Darstellungen in den FIG 3 und FIG 4 liegt ein phasenmodulierter Datenstrom mit einer Modulationsfrequenz von 2 MHz zugrunde. Die Phasenmodulation verursacht im Verlauf der Steuerspannungen Störungen, die im gewellten Verlauf der

10

Fig 5 zeigt eine Schaltungsanordnung zur Aussendung eines Datensignales in einem digitalen Übertragungssystem. Das Datensignal ist dem Eingang DIN eines Pufferspeichers PS

zugeführt. Zwei Phasenreglern PR0, PR1 sind eingangsseitig jeweils eines von zueinander komplementären Referenztaktsignalen CREF_H, CREF_L zugeführt. Die Kontrolleinheit CL wählt einen Phasenregler aus, dessen ausgangsseitig abgegebenes Taktsignal CLK0, CLK1 als Taktsignal CLKOUT zur Aussendung

des Datensignales an dem Ausgang DOUT des Pufferspeichers auf eine Leitung dient. Die Frequenz des von dem ausgewählten Phasenregler abgegebenen Taktsignals wird nach Maßgabe des von dem Pufferspeicher abgegebenen Füllstandssignals VFCONT

beeinflußt.

25

Die Blockschaltung in Fig 6 weist zwei Phasenregler PR0, PR1 und eine Kontrolleinheit CL (für: Control-Logic) auf. Den Phasenreglern wird als Eingangssignal ein Referenztaktsignal CREF mit gegebener, in hohem Maße stabiler Frequenz zugeführt. Das Referenztaktsignal kann durch ein lokal ohnehin vorhandenes Taktsignal gegeben sein. Den Phasenreglern werden jeweils zueinander komplementäre Referenztaktsignale CREF_H, CREF_L zugeführt. In einem Phasenregler wird das betreffende Referenztaktsignal einer spannungsgesteuerten Verzögerungsleitung VCD0, VCD1 zugeführt. In der Verzögerungsleitung wird das Referenztaktsignal nach Maßgabe einer zugeführten Steuerspannung VC0, VC1 verzögert. Das von der Verzögerungsleitung

35

abgegebene Taktsignal und das von der Verzögerungsleitung eines anderen Phasenreglers abgegebene Taktsignal werden einem Phasenvergleich PV0, PV1 als Eingangssignale zugeführt. Der Phasenvergleich liefert nach Maßgabe der Koinzidenz der ihm zugeführten Eingangssignale einen Strom als Ausgangssignal. Der von dem Phasenvergleich gelieferte Strom ist einem ersten Eingang eines gesteuerten Umschalters SW0, SW1 zugeführt. Dem zweiten Eingang sämtlicher gesteuerter Umschalter ist der von einem Spannungs-Strom-Umsetzer OTA (für: Operational Transconductance Amplifier) gelieferte Strom IFCONT zugeführt. Der nichtinvertierende Eingang des Spannungs-Strom-Umsetzers ist mit dem mittleren Potential $U_{DD}/2$ einer nicht näher dargestellten Betriebsspannungsquelle, die an ihren beiden Klemmen die Potentiale UDD, DG zur Verfügung stellt, verbunden. Dem invertierenden Eingang des Spannungs-Strom-Umsetzers ist ein Spannungssignal VFCONT zugeführt. Der Spannungs-Strom-Umsetzer setzt das Spannungssignal VFCONT in einen entsprechend hohen positiven oder negativen Strom um. Das Spannungssignal VFCONT möge durch ein diskretes Signal, das die Abweichung des Füllstandes eines Pufferspeichers vom Sollwert angibt, gegeben sein. Die Rate der Zustandswechsel des Spannungssignales VFCONT möge klein sein im Vergleich zur Frequenz des Referenztaktsignales. Das von dem gesteuerten Umschalter ausgangsseitig gelieferte Signal wird einem Schleifenfilter LF0, LF1 zugeführt. In dem Schleifenfilter erfährt das zugeführte Signal eine an sich für Phasenregelkreise (Phase-locked-loop) bekannte Behandlung mit integrierender Wirkung. Im vorliegenden Fall wird in dem Schleifenfilter ein von dem Phasenvergleich oder dem Spannungs-Strom-Umsetzer gelieferter Strom konstanter Höhe in ein linear ansteigendes Spannungssignal umgesetzt. Das von dem Schleifenfilter abgegebene Spannungssignal wird einerseits der Verzögerungsleitung als Steuerspannung VC0, VC1 und andererseits der Kontrolleinheit über gleichbezeichnete Anschlüsse zugeführt. Die Kontrolleinheit gibt unter Auswertung der ihr eingangsseitig zugeführten Signale an der Klemme CLKOUT ein Taktsignal ab, das eine niedrigere, die

gleiche oder eine höhere Taktfrequenz als das Referenz-
taktsignal CREF aufweisen kann. Das an der Klemme CLKOUT
abgegebene Taktsignal kann also gegenüber dem Referenztakt-
signal dauerhaft eine etwas höhere oder eine etwas niedrigere
5 Frequenz aufweisen. Zum Ausgleich der Frequenzdifferenz
zwischen dem Referenztaktsignal und dem Taktsignal CLKOUT
wird das Referenztaktsignal in einer Verzögerungsleitung
zunehmend phasenverschoben. Das an der Klemme CLKOUT abgege-
bene Taktsignal ist dem Pufferspeicher zugeführt, dessen
10 Inhalt mit der Frequenz des Taktsignales ausgelesen wird.

Durch die Kontrolleinheit wird stets ein Phasenregler ausge-
wählt, dessen Taktsignal auf die Klemme CLKOUT durchgeschal-
tet wird. In der Fig 6 und Fig 7 ist der Phasenregler PR 1
15 als der ausgewählte Phasenregler dargestellt. Bei einem
ausgewählten Phasenregler ist das Ausgangssignal des Span-
nungs-Strom-Umsetzers über den gesteuerten Umschalter SW dem
zugehörigen Schleifenfilter zugeführt. Die Frequenz des von
dem ausgewählten Phasenregler abgegebenen Taktsignales ist
20 also nach Maßgabe des dem Spannungs-Strom-Umsetzer zugeführ-
ten Spannungssignales VFCONT gesteuert. In Fig 6 und Fig 7
ist der Phasenregler PR 2 als momentan nicht ausgewählter
Phasenregler dargestellt. Bei einem nicht ausgewählten
Phasenregler ist der Phasenregelkreis über den gesteuerten
25 Umschalter geschlossen, wobei der Phasenregelkreis auf die
Frequenz des momentan ausgewählten Phasenreglers einrastet.
Die Einrastung des nicht ausgewählten Phasenreglers auf die
Frequenz des ausgewählten Phasenreglers ermöglicht eine
Umschaltung ohne Phasensprung. Da die beiden Phasenregler
30 eingangsseitig mit zueinander komplementären Referenztaktsi-
gnalen beaufschlagt sind, weisen der ausgewählte Phasenregler
und der nicht ausgewählte Phasenregler im allgemeinen
voneinander abweichende Steuerspannungen VC0, VC1 auf.

35 Im Übrigen gilt für die Kontrolleinheit in Fig 6 das für die
Kontrolleinheit in Fig 1 gesagte entsprechend mit folgender
Ergänzung. Die Kontrolleinheit gibt ein Signal SELOUT ab, das

seinen Zustand mit dem Auswahlzustand der Kontrolleinheit ändert und das eine Umschaltung der gesteuerten Umschalter bewirkt.

5 Für die Fig 7 a, b gilt das für die Fig 2a, 2b gesagte mit folgenden Abweichungen. Dem Eingang CLK des D-Flipflops (DFF0, DFF1) ist das von der Verzögerungsleitung des jeweils anderen Phasenreglers abgegebene Taktsignal zugeführt. Mit jeder steigenden Flanke des von dem jeweils anderen Phasenregler abgegebenen Taktsignales wird der augenblickliche
10 Zustand des zugehörigen Taktsignals am Ausgang des D-Flipflops übernommen. Der Ausgang des Phasenvergleichers ist einem Eingang eines gesteuerten Umschalters, der in an sich bekannter Weise mit Transistorschaltern realisiert sein möge, zugeführt. Das Signal am Ausgang des Phasenvergleichers des
15 momentan ausgewählten Phasenreglers ist ungenutzt. Der Ausgangsstrom des Phasenvergleichers des momentan nicht ausgewählten Phasenreglers ist über den zugehörigen gesteuerten Umschalter dem mit einem Kondensator C0, C1 gebildeten Schleifenfilter zugeführt und wird dort integriert. Die
20 Spannung über dem Kondensator C0, C1 ist sämtlichen Verzögerungselementen der zugehörigen Verzögerungsleitung zugeführt. Bei dem momentan nicht ausgewählten Phasenregler bilden die Verzögerungsleitung, der Phasenvergleich und der Schleifenfilter über den gesteuerten Umschalter einen geschlossenen
25 Regelkreis, wobei der Phasenvergleich so regelt, daß an seinem Eingang die steigenden Flanken des Taktsignales CLK0 und des Taktsignales CLK1 zeitgleich sind.

30 Das am Ausgang SEL0 der Auswahleinrichtung abgegebene Signal ist als Umschaltsignal SELOUT den gesteuerten Umschaltern SW0, SW 1 zugeführt.

Die Kontrolleinheit erzwingt, daß die Steuerspannung eines
35 momentan nicht ausgewählten Phasenreglers in einem bezüglich der mittleren Spannung diametralen Arbeitsbereich zu dem Arbeitsbereich des gerade ausgewählten Phasenreglers gehalten

wird, sodaß der momentan nicht ausgewählte Phasenregler nur in diesem Zustand einrasten kann.

5 Der Einfluß von Störungen an den Klemmen der Betriebsspannungsquelle ist umso geringer, je kürzer die Verzögerungszeit in einer Verzögerungsleitung ist. In einer bevorzugten Ausführungsform sind die Phasenregler in zwei Gruppen aufgeteilt, wobei den Gruppen jeweils zueinander komplementäre Referenztaktsignale zugeführt sind. Diese Maßnahme bringt
10 neben einer Verringerung des Einflusses von durch Störungen an den Klemmen der Betriebsspannungsquelle verursachten Störungen eine Einsetzbarkeit von kürzeren und damit aufwandsärmeren Verzögerungsleitungen mit sich. Die Verzögerungsleitung ist dann so ausgelegt, daß sie nur eine halbe
15 Periode des Taktsignales auszugleichen braucht und vermag.

Patentansprüche

1. Verfahren zur Gewinnung eines Taktsignales (CLKOUT) in einer Schaltungsanordnung mit mehreren jeweils eine Verzögerungsleitung (VCD0, VCD1), einen Phasenvergleichler (PV0, PV1) und einen Schleifenfilter (LF0, LF1) aufweisenden Phasenreglern (PR0, PR1), deren Steuerspannungen (VC0, VC1) in einem Regelbereich zwischen einer oberen (UH) und einer unteren (UL) Grenze angesteuert werden können
- demzufolge
- den Verzögerungsleitungen der Phasenregler eingangsseitig ein Referenztaktsignal (CREF_H, CREF_L) zugeführt wird
 - ein Phasenregler ausgewählt wird, dessen ausgangsseitig abgegebenes Signal als das Taktsignal gegeben ist
 - die Verzögerungsdauer des ausgewählten Phasenreglers nach Maßgabe eines Ansteuersignales beeinflußt wird
 - bei Aussteuerung an die obere oder die untere Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweiliger anderer Phasenregler ausgewählt wird, dessen Steuerspannung gerade nicht an dieser Grenze angesteuert ist.
2. Verfahren nach Anspruch 1
dadurch gekennzeichnet,
- daß ein Datensignal (DATAIN) als Ansteuersignal dem Phasenvergleichler des ausgewählten Phasenreglers zugeführt wird und daß das von diesem Phasenregler ausgangsseitig abgegebene Signal das dem Datensignal zugehörige Taktsignal bildet.
3. Verfahren nach Anspruch 1
dadurch gekennzeichnet, daß
- das Füllstandssignal eines Pufferspeichers dem Schleifenfilter des ausgewählten Phasenreglers als Ansteuersignal zugeführt wird und
- daß das von diesem Phasenregler ausgangsseitig abgegebene Signal das Taktsignal zum Auslesen des Pufferspeichers bildet.

4. Verfahren nach einem der Ansprüche 1 bis 3

dadurch gekennzeichnet, daß

ein gerade nicht ausgewählter Phasenregler im wesentlichen an
5 der jeweils anderen Grenze wie der gerade ausgewählte Phasen-
regler eingerastet bereitgehalten wird.

5. Verfahren nach einem der Ansprüche 1 bis 4

dadurch gekennzeichnet, daß

10 die Phasenregler in zwei Gruppen eingeteilt sind und den
Gruppen jeweils eines von zueinander komplementären Referenz-
taktsignalen (CREF_H, CREF_L) zugeführt werden.

6. Schaltungsanordnung zur Gewinnung eines Taktsignales

15 (CLKOUT), bei der

- mehrere jeweils eine gesteuerte Verzögerungsleitung (VCD0,
VCD1), einen Phasenvergleichler (PV0, PV1) und einen
Schleifenfilter (LF0, LF1) aufweisende Phasenregler (PR0,
PR1) gegeben sind, deren Steuerspannungen in einem Regel-
20 bereich zwischen einer oberen (UH) und einer unteren (UL)
Grenze aussteuerbar sind

- den Eingängen der Verzögerungsleitungen der Phasenregler
ein Referenztaktsignal (CREF0, CREF1) zugeführt ist

- ein Phasenregler ausgewählt ist, dessen ausgangsseitig
25 abgegebenes Signal als das Taktsignal gegeben ist

- die Verzögerungsdauer des ausgewählten Phasenreglers nach
Maßgabe eines Ansteuersignales beeinflußt ist

- bei Aussteuerung an die obere oder die untere Grenze des
Regelbereiches des gerade ausgewählten Phasenreglers ein
30 jeweiliger anderer Phasenregler auswählbar ist, dessen
Sтеuerspannung gerade nicht an dieser Grenze angesteuert
ist.

7. Schaltungsanordnung nach Anspruch 6

35 dadurch gekennzeichnet,

daß ein Datensignal (DATAIN) als Ansteuersignal einem Eingang des Phasenvergleichers des ausgewählten Phasenreglers zugeführt ist und

daß das von der Verzögerungsleitung dieses Phasenreglers
5 ausgangsseitig abgegebene Signal das dem Datensignal zugehörige Taktsignal bildet.

8. Schaltungsanordnung nach Anspruch 6

dadurch gekennzeichnet,
10 dem Eingang Schleifenfilter des ausgewählten Phasenreglers das Füllstandssignal eines Pufferspeichers als Ansteuersignal zugeführt ist und
daß das am Ausgang dieses Phasenreglers abgegebene Signal das Taktsignal zum Auslesen des Pufferspeichers bildet.

15

9. Schaltungsanordnung nach einem der Ansprüche 6 bis 8
gekennzeichnet durch

einen gerade nicht ausgewählten Phasenregler, der im eingestellten Zustand einer Aussteuerung auf der jeweils anderen
20 Seite bezüglich der Mitte des Regelbereiches wie der gerade ausgewählte Phasenregler bereitgehalten ist.

10. Schaltungsanordnung nach einem der Ansprüche 6 bis 9
gekennzeichnet durch

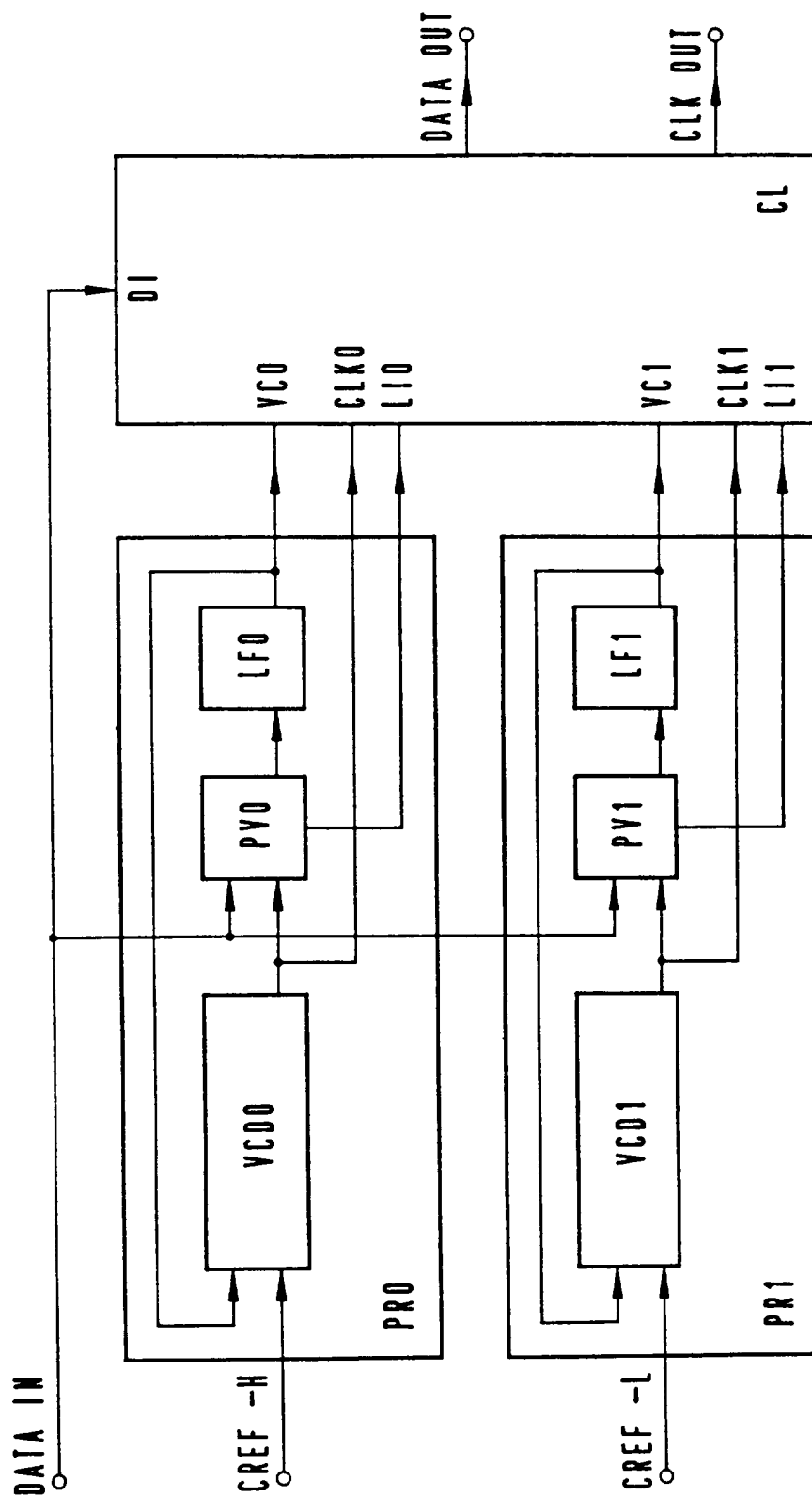
25 in zwei Gruppen eingeteilte Phasenregler, wobei den Verzögerungsleitungen jeder Gruppe von Phasenreglern eines von zueinander komplementären Referenztaktsignalen (CREF_H, CREF_L) zugeführt ist.

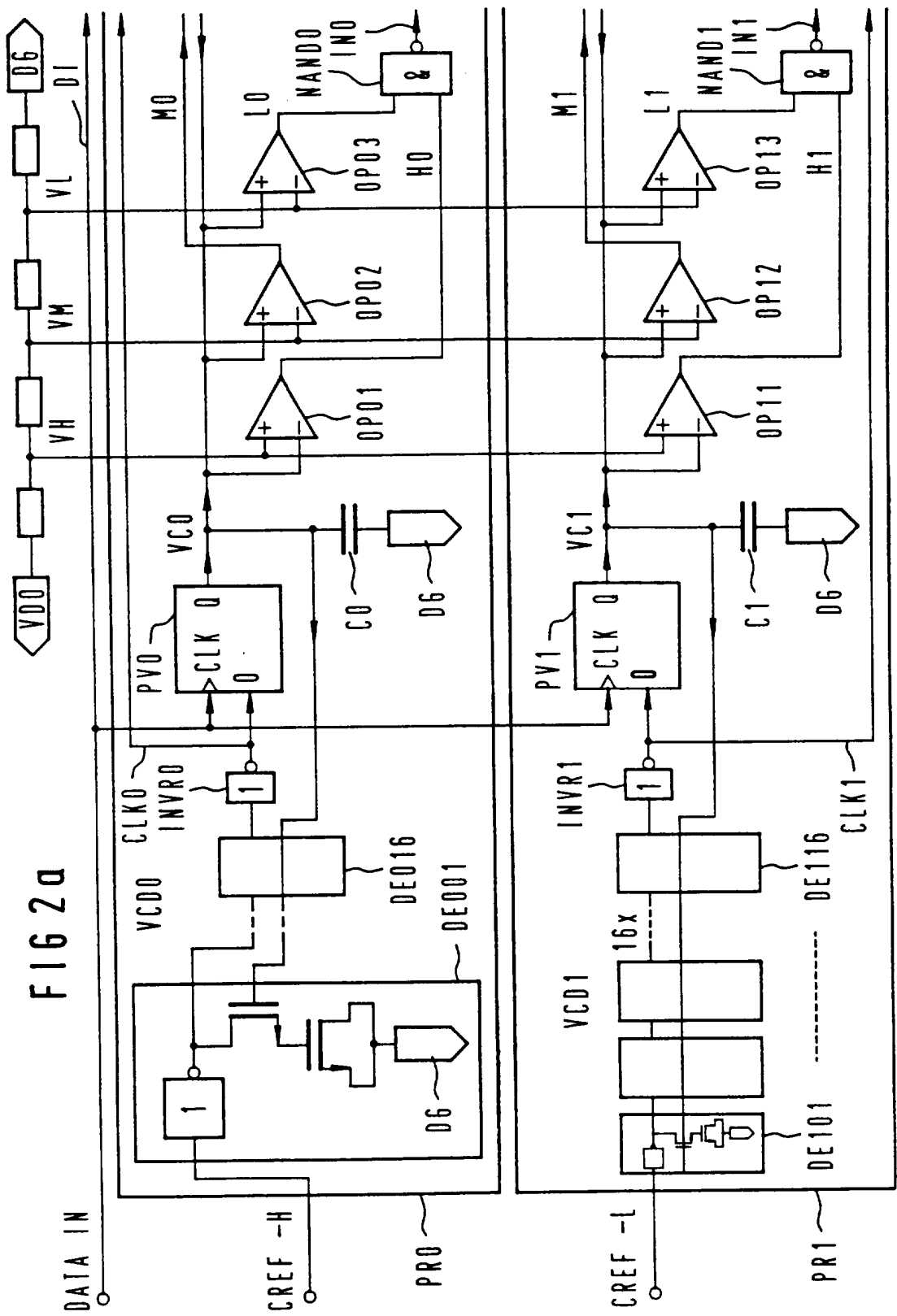
30 11. Schaltungsanordnung nach einem der Ansprüche 5 bis 9

dadurch gekennzeichnet, daß
der Schaltungsanordnung ein lokal vorhandenes Taktsignal zum Aussenden eines Datenstromes als Referenztaktsignal zugeführt ist.

1/8

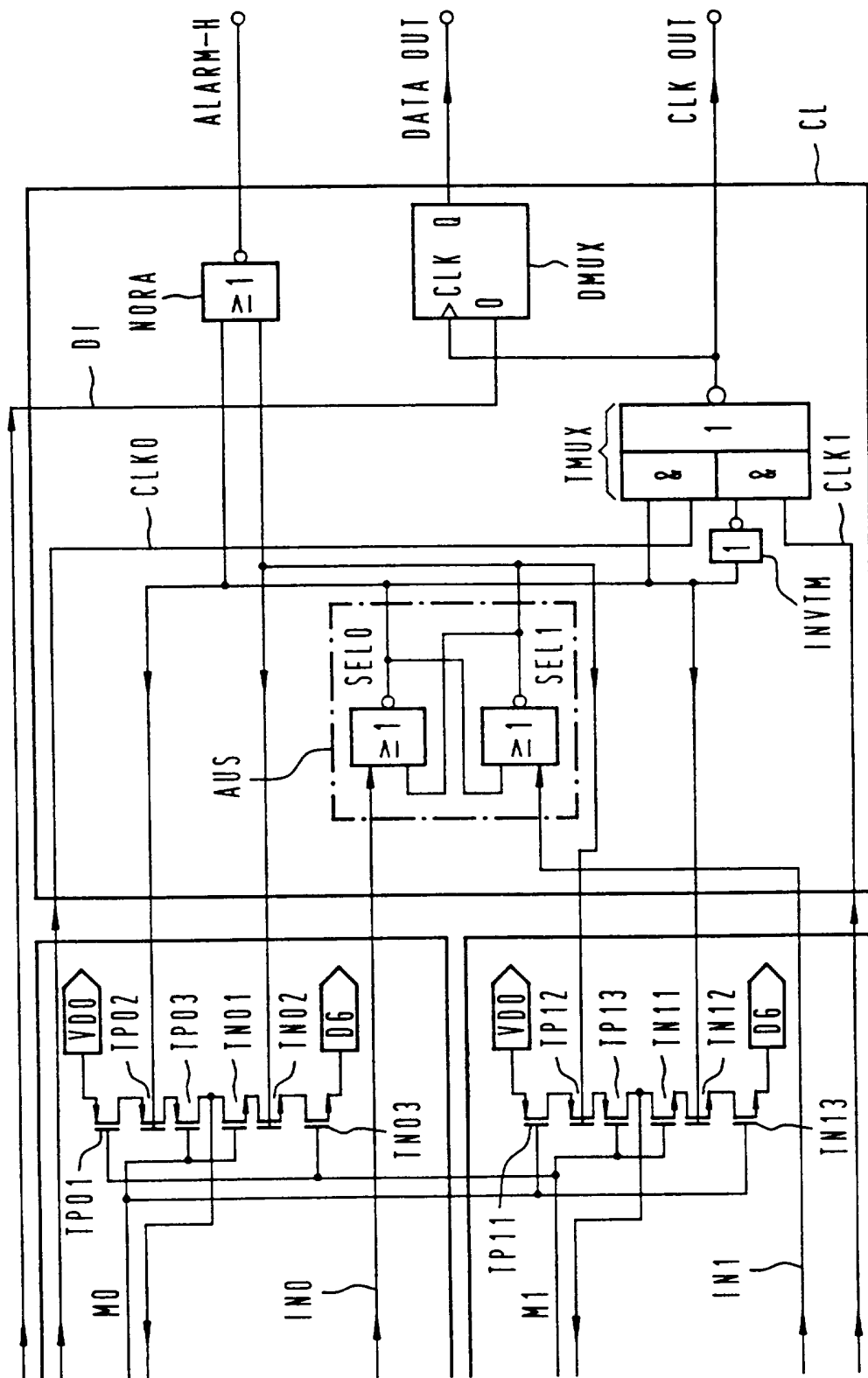
FIG 1



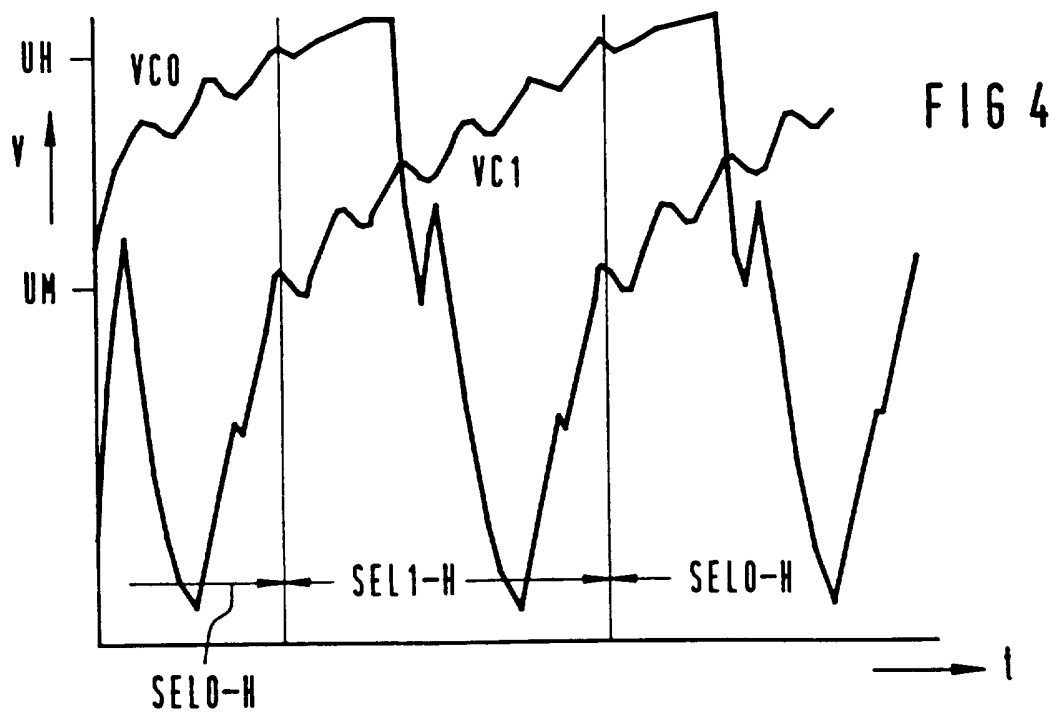
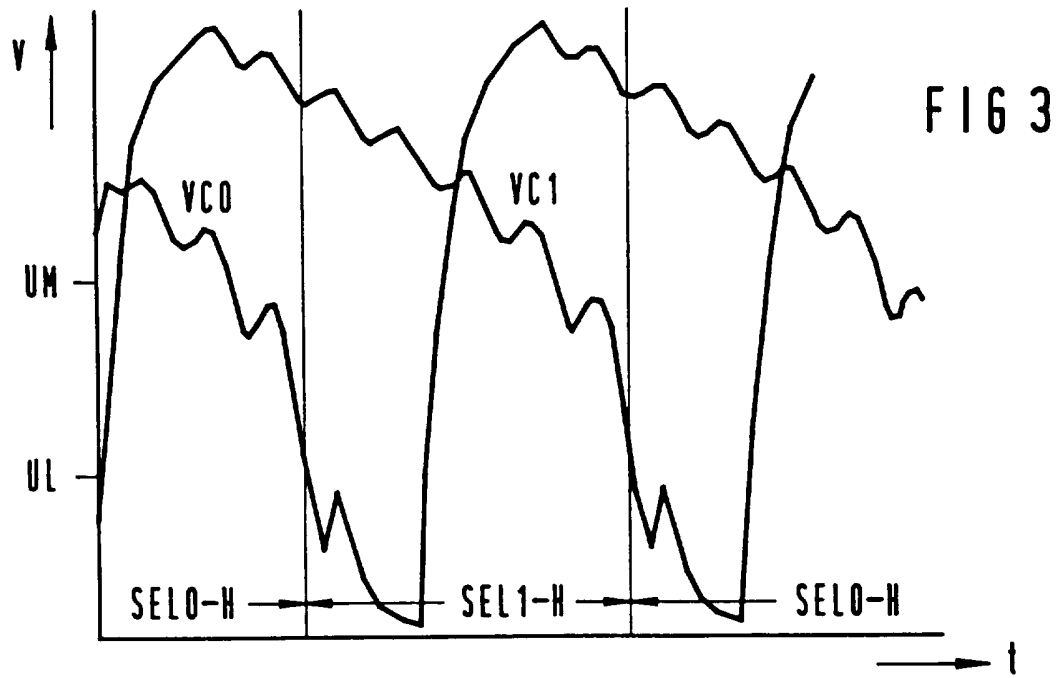


3/8

FIG 2b

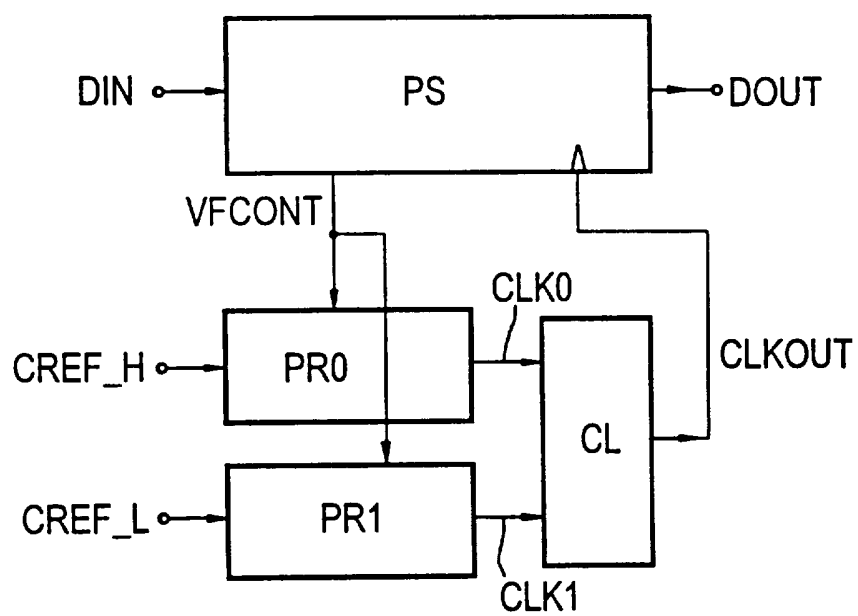


4 / 8

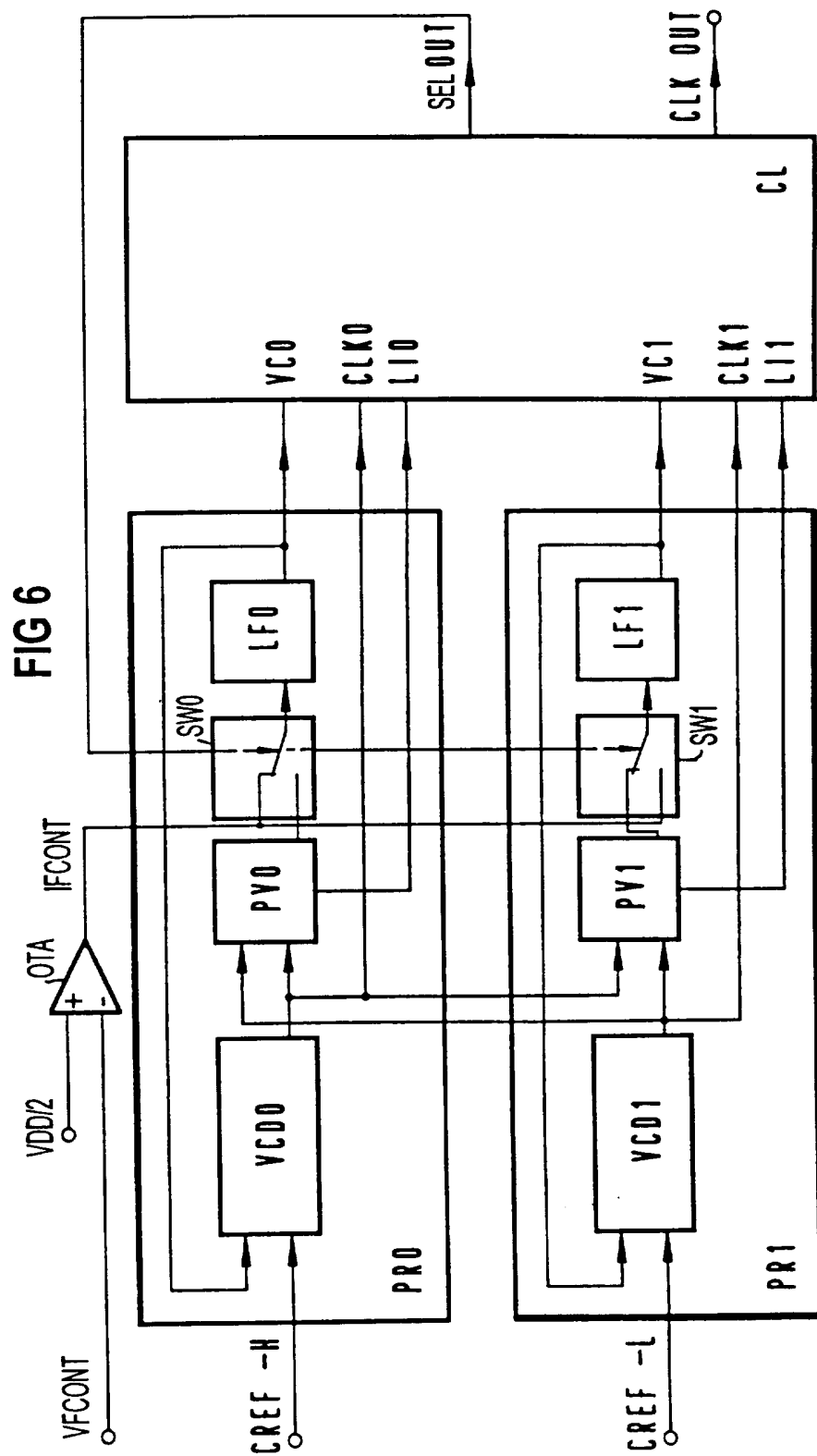


5 / 8

FIG 5

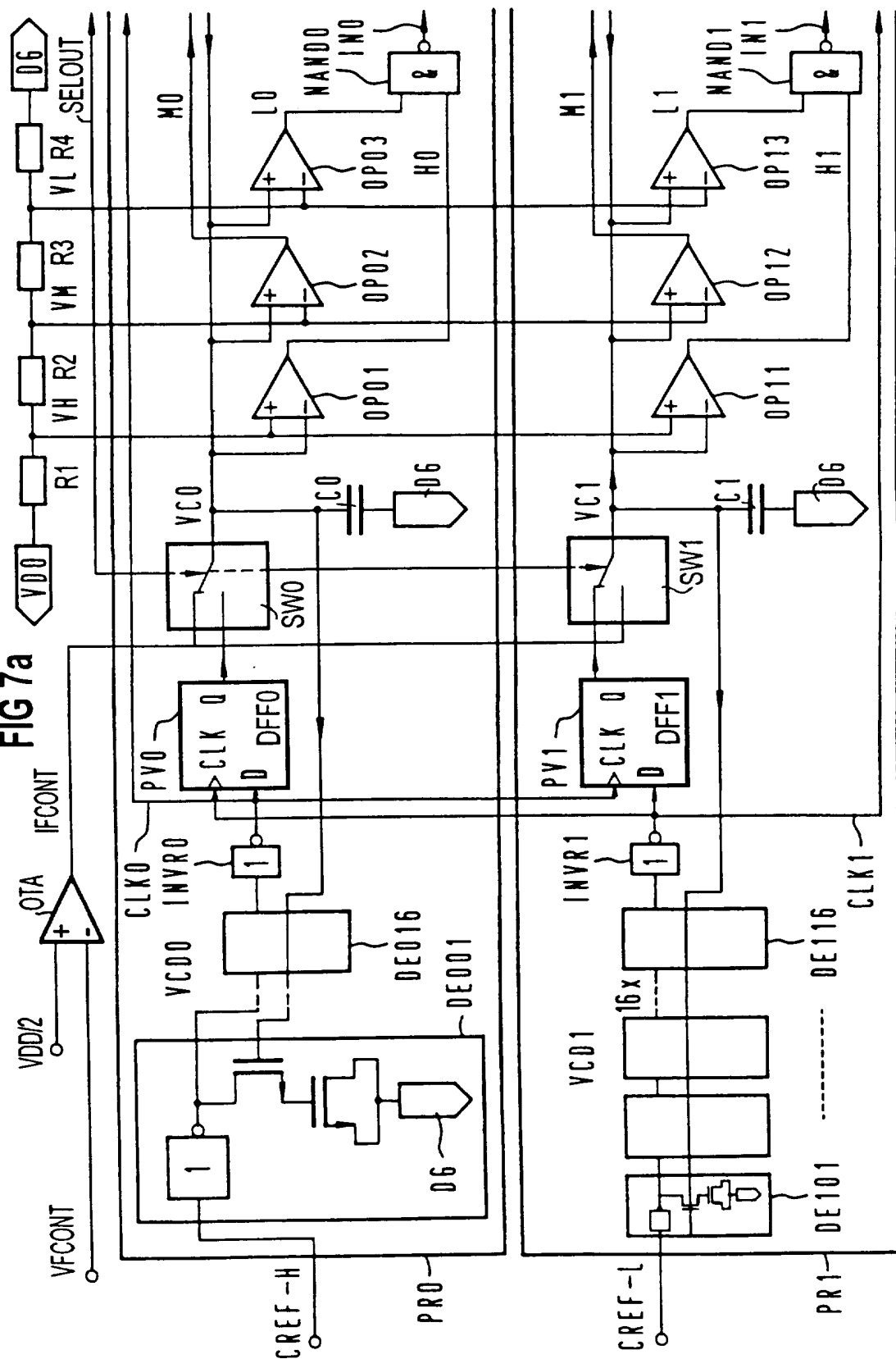


6 / 8

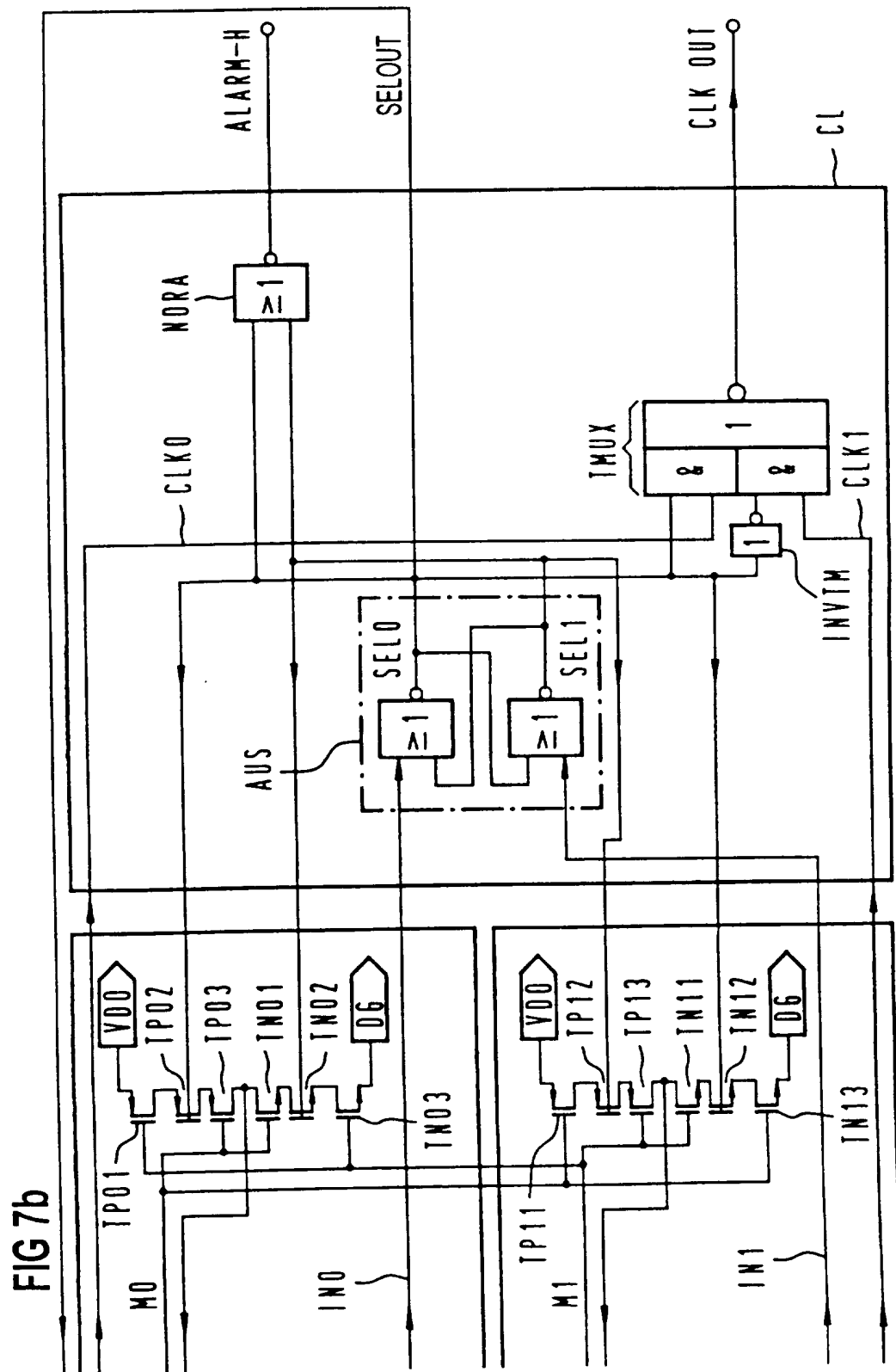


7 / 8

FIG 7a



8 / 8



INTERNATIONAL SEARCH REPORT

International Application No.
PCT/DE 95/01038

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H04L7/033 H03L7/081

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H03L H04L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP,A,0 418 641 (SIEMENS AG) 27 March 1991 see column 2, line 21 - line 36 see column 3, line 3 - line 26 see column 4, line 52 - column 5, line 5 see column 5, line 47 - line 49 see figures 1,2 ---	1,2,4,6, 7,9
A	EP,A,0 460 274 (SIEMENS AG) 11 December 1991 see page 3, line 38 - line 43 see page 4, line 38 - line 40 see figures 1,2 ---	1,2,4,6, 7,9
A	AU,B,604 997 (STC) 3 January 1991 see figures 1,5 ---	1,3,6,8, 11
	--- -/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

22 November 1995

Date of mailing of the international search report

29. 11. 95

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Pieper, T

INTERNATIONAL SEARCH REPORT

International Application No
PCI/DE 95/01038

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 008 no. 149 (E-255) ,12 July 1984 & JP,A,59 054344 (FUJI DENKI SEIZO KK;OTHERS: 01) 29 March 1984, see abstract -----	1,2,5-7, 10

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 95/01038

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP-A-0418641	27-03-91	AT-T- 120061 DE-D- 59008700	15-04-95 20-04-95
EP-A-0460274	11-12-91	AT-T- 123363 DE-D- 59009188	15-06-95 06-07-95
AU-B-604997	03-01-91	AU-B- 2668488	31-08-89

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 95/01038

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H04L7/033 H03L7/081

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H03L H04L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	EP,A,0 418 641 (SIEMENS AG) 27.März 1991 siehe Spalte 2, Zeile 21 - Zeile 36 siehe Spalte 3, Zeile 3 - Zeile 26 siehe Spalte 4, Zeile 52 - Spalte 5, Zeile 5 siehe Spalte 5, Zeile 47 - Zeile 49 siehe Abbildungen 1,2 ---	1,2,4,6, 7,9
A	EP,A,0 460 274 (SIEMENS AG) 11.Dezember 1991 siehe Seite 3, Zeile 38 - Zeile 43 siehe Seite 4, Zeile 38 - Zeile 40 siehe Abbildungen 1,2 ---	1,2,4,6, 7,9
A	AU,B,604 997 (STC) 3.Januar 1991 siehe Abbildungen 1,5 ---	1,3,6,8, 11
-/-		

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22.November 1995

Absenddatum des internationalen Recherchenberichts

29.11.95

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Pieper, T

INTERNATIONALER RECHERCHENBERICHT

Inb onales Aktenzeichen

PCT/DE 95/01038

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 008 no. 149 (E-255) ,12.Juli 1984 & JP,A,59 054344 (FUJI DENKI SEIZO KK;OTHERS: 01) 29.März 1984, siehe Zusammenfassung -----	1,2,5-7, 10

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 95/01038

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP-A-0418641	27-03-91	AT-T- 120061	15-04-95
		DE-D- 59008700	20-04-95
EP-A-0460274	11-12-91	AT-T- 123363	15-06-95
		DE-D- 59009188	06-07-95
AU-B-604997	03-01-91	AU-B- 2668488	31-08-89