



(19)
 Bundesrepublik Deutschland
 Deutsches Patent- und Markenamt

(10) **DE 10 2004 040 799 A1** 2006.03.09

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2004 040 799.1**

(22) Anmeldetag: **23.08.2004**

(43) Offenlegungstag: **09.03.2006**

(51) Int Cl.⁸: **G11C 29/48** (2006.01)

(71) Anmelder:

Infineon Technologies AG, 81669 München, DE

(74) Vertreter:

**PAe Reinhard, Skuhra, Weise & Partner GbR,
 80801 München**

(72) Erfinder:

**Flach, Björn, 81543 München, DE; Schnell, Martin,
 81371 München, DE; Martins, Monica, 80798
 München, DE; Ruf, Wolfgang, 86316 Friedberg, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

DE 102 26 585 C1

DE 40 18 438 C2

DE 102 31 680 B4

DE 101 39 724 B4

DE 101 24 923 A1

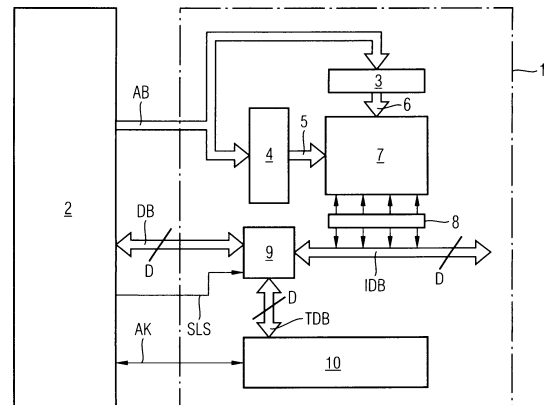
US 56 44 278 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Testverfahren zum Testen eines Datenspeichers mit Baustein interner Speicherung der Testergebnisse**

(57) Zusammenfassung: Datenspeicher (1) mit integrierter Fehleranzeigeeinrichtung (20) mit einem Speicherzellenfeld (7) mit adressierbaren Speicherzellen; Schreib-/Leseverstärker (8) zum Einschreiben und Auslesen von Daten in die Speicherzellen über einen internen Datenbus (IDB) des Datenspeichers (1); einer Testlogik (10), die mindestens ein erstes Referenzregister (14) und ein erstes Testdatenregister (16) und eine erste Vergleichseinrichtung (18) aufweist, wobei taktweise aus dem Speicherzellenfeld (7) gelesene Testdatenfolgen von der Vergleichseinrichtung (18) mit Referenzdatenfolgen bitweise verglichen werden und für jede Testdatenfolge ein Anzeigedatum (AD-1, ...AD-D) erzeugt wird, mit einer Fehleranzeigeeinrichtung (19, 20), die ein Anzeigemittel zum Speichern des Anzeigedatums aufweist.



Beschreibung

[0001] Die Erfindung betrifft ein Testverfahren zum Testen eines Datenspeichers sowie einen Datenspeicher mit einer integrierten Fehleranzeigeeinrichtung zum kostengünstigen Testen mit Testgeräten, die eine begrenzte Anzahl von Testkanälen aufweisen.

Stand der Technik

[0002] Datenspeicher, wie zum Beispiel SRAM- oder DRAM-Speicherbauelemente müssen vor der Auslieferung auf ihre Qualität getestet werden. Dazu sind aufwändige Testapparaturen notwendig, die prüfen, ob alle in einem Speicherchip verarbeiteten Speicherzellen funktionstüchtig sind. Dazu wird ein zu testendes Bauelement bzw. ein zu testender Speicher über seine Anschlusspins mit einem externen Testgerät kontaktiert. Jeder Tester weist eine beschränkte Anzahl von Testkanälen auf, über die einzelne Testsignalfolgen an das Bauelement ein- bzw. von dem Bauelement ausgekoppelt werden können. Anschließend werden Testdatenfolgen in die Speicherzellen des Speichers eingeschrieben und wieder ausgelesen. Ein herkömmliches Speichertestgerät erkennt dann, ob die ausgelesenen Daten mit den eingeschriebenen Referenzdaten übereinstimmen und klassifiziert das getestete Bauelement entsprechend.

[0003] Speichertester sind relativ langlebige und investitionsintensive Apparaturen, die über lange Zeiträume eingesetzt werden. Im Gegensatz dazu verkürzen sich die Entwicklungs- und Produktionszyklen von Bauelementen, insbesondere Halbleiterspeicherbauelementen wie beispielsweise SDR-, DDR1- und DDR2-RAMs und weitere Generationen, immer mehr. Moderne Bauelemente werden immer komplexer und weisen eine zunehmende Anzahl von Anschlusspins auf. Dies stellt für eine effiziente Nutzung von vorhandenen Speichertestgeräten ein Problem dar, denn diese verfügen lediglich über eine begrenzte Anzahl von Testkanälen bzw. Anschlusspins, an denen programmierbare Signalfolgen ein- oder ausgegeben werden können.

[0004] Die **Fig. 1** illustriert beispielhaft ein an einen Tester T angeschlossenes zu prüfendes Bauelement DUT. Der Tester verfügt dabei über eine vorgegebene Anzahl von Kanälen K1–KN, die zum Ein- oder Auskoppeln von Test-, Prüf- und Kommandosignalen dienen können. Ein zu testendes Bauelement DUT verfügt in der Regel auch über eine vorgegebene Anzahl von Anschlusspins als Ein- oder Ausgänge E1–EK, die zum Betrieb des Bauelementes DUTS benötigt werden. Somit kann eine erste Anzahl von Kanälen K1–KD des Speichertesters T zum Test eines Speicherchips DUT verwendet werden. Die übrigen Kanäle KD+1–KN stehen dann für weitere zu testende Bauelemente zur Verfügung. Um die teuren Testap-

paraturen T möglichst effizient nutzen zu können ist es wünschenswert, alle Kanäle K1–KN zu verwenden. Es ist dabei insbesondere notwendig, Speicherbauelemente mit einer reduzierten Anzahl von Ein- bzw. Ausgängen E1–EK zu schaffen, die für einen Speichertest notwendig sind.

[0005] Ein weiteres Problem des Testens von Datenspeichern mit älteren Testapparaturen besteht darin, dass moderne Speicherchips mit immer höheren Arbeitstaktfrequenzen arbeiten, so dass auch die Datenübertragungsraten mit denen die Testdaten in die Speicherzellen eingeschrieben und anschließend wieder ausgelesen werden, ebenfalls immer höher werden. Daher muss auch die Arbeitstaktfrequenz des externen Testgerätes, in der die Auswertung der ausgelesenen Testdaten erfolgt, ebenfalls erhöht werden. Konstruktionsbedingt ist dies nicht immer möglich bei bestehenden Testapparaturen, so dass neue Testgeräte, die schaltungstechnisch aufwändig und kostenintensiv sind, angeschafft werden müssten.

[0006] Um dies zu umgehen sind Testverfahren entwickelt worden, bei denen in dem zu testenden Bauelement Schaltungen vorgesehen sind, welche während des Tests auszulesende Testdatenfolgen komprimieren und als seriell bzw. zeitlich komprimierte Anzeigedaten an den Speichertester ausgeben. Dies ist beispielsweise in der DE 101 249 23 A1 beschrieben.

[0007] Ein derartiges Testverfahren bzw. ein entsprechend vorgehaltener Datenspeicher mit einer Testdatenkompressionsschaltung ist in der **Fig. 2** dargestellt. Dieser weist einen entsprechenden Speicherbaustein DUT, der über einen Adressbus AB, einen externen Datenbus DB und einen Anzeigedatenbus ADB mit einem externen Testgerät verbunden ist, auf. Der Adressbus AB ist an einen Spaltenadressdecoder SAD und einen Zeilenadressdecoder ZAD angeschlossen, welche die angelegten Adressen dekodieren und über Leitungen L Speicherzellen innerhalb eines Speicherzellenfeldes SZF aktivieren. Das Speicherzellenfeld SZF ist über Schreib-/Leseverstärker SLV an einen internen Datenbus IDB des Datenspeichers DUT angeschlossen.

[0008] Zwischen dem externen Datenbus DB und dem internen Datenbus IDB ist eine Schalteinheit SE vorgesehen, die über Steuerleitungen SL von dem externen Testgerät T ansteuerbar ist. An der Schalteinheit SE ist über einen internen Testdatenbus TDB eine Testdatenkompressionsschaltung KS angeschlossen. Die Testdatenkompressionsschaltung KS nutzt vorteilhaft aus, dass in modernen Speicherbauelementen DUT Daten in sogenannten Datenbursts gelesen und geschrieben werden. D.h. auf einen internen Datenbus IDB werden in schneller interner Taktfolge Datenfolgen mit mehreren Bits, beispiels-

weise 4 oder 8 gelegt und an den Datenbus DB geführt.

[0009] Die Schalteinheit SE leitet während eines Speichertestes aus dem Speicherzellenfeld SZF ausgelesene Testdatenfolgen bzw. Testdatenbursts in die Kompressionsschaltung KS, welche die Testdatenfolgen mit Referenzdatenfolgen vergleicht und pro Burst bzw. pro Testdatenfolge ein Testanzeigedatum ausgibt. Dadurch wird erreicht, dass die Ausgabe dieser Fehleranzeigedaten bzw. Anzeigedaten langsamer geschieht, als die eigentlichen internen Lese- und Schreibvorgänge des DUTs. Das bedeutet, dass ein Testgerät T die Fehleranzeigebits oder Fehleranzeigedaten über den Anzeigedatenbus ADB mit einer niedrigeren Arbeitsfrequenz auslesen und auswerten kann. Ein derartiges Vorgehen gemäß dem Stand der Technik, wie er in der **Fig. 2** illustriert ist hat jedoch den Nachteil, dass die Datenbusbreite D es externen Datenbusses DB, des internen Datenbusses IDB, des Testdatenbusses TDB und des Anzeigedatenbusses ADB gleich sind. Das bedeutet, dass ein entsprechendes Testgerät T viele Testkanäle bereithalten muss, um Adressdaten und Testdaten bereitzustellen und ferner die Anzeigedaten zur Auswertung des Testes über den breiten Anzeigedatenbus ADB zu lesen.

Aufgabenstellung

[0010] Es ist daher eine Aufgabe der vorliegenden Erfindung ein Testverfahren und einen Datenspeicher zu schaffen, bei denen gegenüber herkömmlichen Verfahren die Anzahl der benötigten Testkanäle deutlich reduziert ist.

[0011] Gelöst wird diese Aufgabe durch ein Testverfahren mit den Merkmalen des Patentanspruchs 1 und einen Datenspeicher mit integrierter Fehleranzeigeeinrichtung mit den Merkmalen des Patentanspruchs 11.

[0012] Demgemäß sieht die Erfindung ein Testverfahren zum Testen eines Datenspeichers mittels eines externen Testgerätes vor, wobei in dem Datenspeicher ein Anzeigemittel vorgesehen ist, das anzeigt, ob ein Speicherfehler vorliegt, mit den folgenden Verfahrensschritten:

- (a) Einschreiben von Testdaten in den Datenspeicher;
- (b) Einschreiben einer ersten Referenz-Testdatenfolge in ein Referenzregister des Datenspeichers;
- (c) Seriellles Einschreiben einer ersten Testdatenfolge aus dem Datenspeicher in ein Testdatenregister;
- (d) Bitweises Vergleichen der in das Testdatenregister eingeschriebenen ersten Testdatenfolge mit der ersten Referenz-Testdatenfolge zum Erzeugen eines aktuellen Anzeigedatums, das anzeigt

ob in der aktuellen Testdatenfolge ein Datenfehler aufgetreten ist;

- (e1) Speichern des aktuellen Anzeigedatums in ein Anzeigemittel, falls das aktuelle Anzeigedatum und das in dem Anzeigemittel gespeicherte Anzeigedatum keinen Datenfehler anzeigen; oder
 - (e2) Überschreiben des in dem Anzeigemittel gespeicherten Anzeigedatums mit dem aktuellen Anzeigedatum, falls das aktuelle Anzeigedatum einen Datenfehler anzeigt;
- wobei die Verfahrensschritte (b) bis (e) mit weiteren Testdatenfolgen wiederholt werden.

[0013] Die erfinderische Grundidee besteht im Wesentlichen darin, die Anzeigedaten bereits innerhalb des zu testenden Bauelementes abzuspeichern, bzw. bereitzuhalten und später durch nur einen einzelnen Testerkanal auszulesen.

[0014] Da während des Betriebs des Testverfahrens prinzipiell innerhalb des Datenspeichers bekannt ist, ob ein Fehler aufgetreten ist und dies durch ein Anzeigedatum angezeigt wird, kann diese Information effizient bis zum Ende eines gesamten Testdurchlaufes, der eine wiederholte Auslesung von Testdatenfolgen aus den Speicherzellen beinhalten kann, zurückgehalten werden.

[0015] Das Abspeichern in einem einzigen Anzeigemittel ist darüber hinaus schaltungstechnisch sehr einfach zu realisieren. Der Erfolg oder Nichterfolg des Testens lässt sich dann mittels nur einem Testerkanal, der an das Anzeigemittel koppelt, feststellen. Gegenüber herkömmlichen Verfahren ist daher der Anzeigedatenbus auf praktisch nur eine Datenleitung bzw. einen Testerkanal reduziert.

[0016] Vorteilhafterweise wird das Verfahren zum parallelen Testen von Speicherbereichen des Datenspeichers mit parallelen Testdatenfolgen durchgeführt, und die jeweiligen Anzeigedaten werden zu einem globalen Anzeigedatum logisch verknüpft und in dem Anzeigemittel abgespeichert.

[0017] Vorteilhafterweise wird dann am Ende des Testverfahrens ein Schritt ausgeführt, der das Auslesen des Anzeigedatums aus dem Anzeigemittel durch das externe Testgerät vorsieht.

[0018] In einer bevorzugten Weiterbildung des Verfahrens weist das Anzeigemittel ein Schieberegister auf. Und ein jeweiliges Anzeigedatum von aufeinanderfolgenden Testdatenfolgen wird jeweils nach dessen Erzeugen in das Schieberegister eingeschrieben.

[0019] Dies hat den Vorteil, dass die in dem Schieberegister gespeicherten Anzeigedaten nach Ende des Testdurchlaufs ausgelesen werden können und das externe Testgerät erkennen kann, in welchen

Speicherbereichen Fehler oder keine Fehler aufgetreten sind. Denn jedes einer Testdatenfolge zugehörige Anzeigedatum entspricht auch einem adressierten Speicherbereich der getestet wird. Besonders bevorzugt ist dabei ein Test des gesamten Speicherbausteins.

[0020] Alternativ kann das Anzeigedatum in eine Schmelzsicherung als Anzeigemittel eingebrannt werden oder als logischer Pegel an einem Pin des Datenspeichers abgreifbar sein.

[0021] Dadurch wird ein "strobeless" Testen erreicht, also ein Erkennen des Testergebnisses durch die Testapparatur ohne einen Abtastimpuls, der über einen der Testerkanäle an das zu testende Bauelement geführt werden müsste.

[0022] Dabei ist es besonders vorteilhaft, wenn ein logischer statischer Pegel auf einer der Adressleitungen erzeugt wird, um das Ergebnis des abgelaufenen Speichertestes zu signalisieren.

[0023] Noch eine vorteilhafte Variante des Testverfahrens sieht vor, dass nach Durchlaufen aller Testdatenfolgen die Anzeigedaten in eines der Referenzregister eingeschrieben werden. Dies hat den Vorteil, dass wenn das Referenzregister adressierbar ausgeführt ist, neben den Adressleitungen bzw. dem Adressbus und dem externen Datenbus keine weiteren Auslesedatenleitungen vorgehalten werden müssen bzw. der Tester keinen Anzeigekanal zum Auslesen der Fehlerinformationen benötigt. Denn dann kann das Speichertestgerät das Referenzregister adressieren und die eingeschriebenen Anzeigedaten auslesen. Dies liefert gegenüber herkömmlichen Testverfahren und Datenspeichern eine weitere erhebliche Einsparung an Testkanälen.

[0024] Die Erfindung schafft ferner einen Datenspeicher mit integrierter Fehleranzeigeeinrichtung mit:

- (a) einem Speicherzellenfeld mit adressierbaren Speicherzellen;
- (b) Schreib-/Leseverstärker zum Einschreiben und Auslesen von Daten in die Speicherzellen über einen internen Datenbus des Datenspeichers;
- (c) einer Testlogik, die mindestens ein erstes Referenzregister und ein erstes Testdatenregister und eine erste Vergleichseinrichtung aufweist, wobei taktweise aus dem Speicherzellenfeld gelesene Testdatenfolgen von der Vergleichseinrichtung mit Referenzdatenfolgen bitweise verglichen werden und für jede Testdatenfolge ein Anzeigedatum erzeugt wird,
- (d) einer Fehleranzeigeeinrichtung, die ein Anzeigemittel zum Speichern des Anzeigedatums aufweist.

[0025] Vorteilhafterweise sind zweite Referenzre-

gister, Testdatenregister und Vergleichseinrichtungen vorgesehen, die dem ersten Referenzregister, Testdatenregister und der ersten Vergleichseinrichtung parallel geschaltet sind zum parallelen Auslesen und Vergleichen von weiteren Testdatenfolgen und Erzeugen weiterer Anzeigedaten. Durch das parallele Testen mittels paralleler Testdatenfolgen wird insgesamt die Dauer eines entsprechenden Speichertestes reduziert.

[0026] Vorteilhafterweise ist an eine Logikschaltung zum logischen Verknüpfen der Anzeigedaten zu einem globalen Anzeigedatum vorgesehen. Da für das Testergebnis für einen Baustein meist lediglich ausschlaggebend ist, ob prinzipiell defekte Speicherzellen in dem Datenspeicher vorliegen oder nicht, genügt ein globales Anzeigedatum.

[0027] Bevorzugt weist die Fehleranzeigeeinrichtung ein Schieberegister, eine Schmelzsicherung, eine nichtvolatile Speicherzelle auf, oder liefert einen abgreifbaren logischen Pegel als Anzeigemittel an ein externes Testgerät. Bevorzugt ist die Fehleranzeigeeinrichtung und/oder die Referenzregister adressierbar.

[0028] Weitere vorteilhafte Ausgestaltungen sind Gegenstand der Unteransprüche sowie der folgenden Beschreibung der Ausführungsbeispiele unter Bezugnahme auf die Figuren. Dabei zeigt die

[0029] [Fig. 1](#) einen Speichertestgerät mit zu testendem Datenspeicher nach dem Stand der Technik,

[0030] [Fig. 2](#) einen Datenspeicher mit Testdatenkompression nach dem Stand der Technik,

[0031] [Fig. 3](#) einen erfindungsgemäßen Datenspeicher mit integrierter Fehlererkennung, und

[0032] [Fig. 4](#) eine erfindungsgemäße Fehleranzeigeeinrichtung des erfindungsgemäßen Datenspeichers.

Ausführungsbeispiel

[0033] In den Figuren sind gleiche bzw. funktionsgleiche Elemente mit denselben Bezugszeichen versehen worden, falls dies nicht anders angegeben ist.

[0034] Die [Fig. 1](#) und [Fig. 2](#) sind bereits in der Beschreibungseinleitung beschrieben worden.

[0035] Die [Fig. 3](#) zeigt ein Testsystem aus einem erfindungsgemäßen Datenspeicher **1** und einem externen Testgerät **2**, insbesondere zur Durchführung des erfindungsgemäßen Testverfahrens.

[0036] Der erfindungsgemäße Datenspeicher **1** ist über einen Adressbus AB, Datenbus DB und einen

Anzeigekanal AK mit dem Speichertester **2** gekoppelt. Der Adressbus ist an einen Spaltenadressdecoder **3** und einen Zeilenadressdecoder **9** angeschlossen, welche die angelegten Adressen dekodieren und über Leitungen **5, 6** die Speicherzellen innerhalb eines Speicherzellenfeldes **7**, das adressierbaren Speicherzellen aufweist, aktivieren. Das Speicherzellenfeld **7** ist über Schreib-/Leseverstärker **8** zum Einschreiben und Auslesen von Daten über einen internen Datenbus IDB des Datenspeichers **1** in die Speicherzellen angeschlossen.

[0037] Zwischen dem externen Datenbus DB und dem internen Datenbus IDB ist eine Schalteinheit **9** vorgesehen, welche die auf dem externen Adressbus DB anliegenden Daten an einen Testdatenbus TDB oder/und den internen Datenbus, an den die Schreib-/Leseverstärker **8** angeschlossen sind, koppelt. Ferner weist der erfindungsgemäße Datenspeicher **1** eine Testlogik **10** auf, die an den Testdatenbus TDB gekoppelt ist und die über den Anzeigekanal AK mit dem externen Testgerät **2** verbunden ist.

[0038] Die Schalteinrichtung **9** wird über eine Steuerleitung SL von dem Testgerät **2** angesteuert.

[0039] Zur Durchführung des erfindungsgemäßen Testverfahrens legt das Testgerät **2** Testdaten auf den externen Datenbus DB und adressiert die Speicherzellen im Speicherzellenfeld **7** durch anlegen von Adressen auf den Adressbus AB. Die Schalteinrichtung **9** liefert über den Testdatenbus die einzuschreibenden Testdatenmuster auch an die Testlogik **10**. Anschließend werden Referenzdatenfolgen in Referenzregister geschrieben, welche in der Testlogik **10** vorgehalten sind.

[0040] In der [Fig. 4](#) ist ein Ausführungsbeispiel der Testlogik **10** dargestellt. In einem Eingang **11** werden über den Testdatenbus TDB Daten in die Testlogik **10** eingekoppelt. Die Testlogik weist parallele Kompressionsmodule **12-1, 12-2 ... 12-D** auf, in die die Testdatenfolgen eingekoppelt werden. Die Funktionsweise der Kompressionsmodule **12-1, 12-2 ... 12-D** ist beispielhaft am Kompressionsmodul **12-1** erläutert.

[0041] Das Kompressionsmodul **12-1** weist einen Umschalter **13** auf, der über eine Steuerleitung SLS von dem externen Testgerät angesteuert wird. Das Kompressionsmodul **12-1** hat ein getaktetes Referenzregister **14**, das Speicherplätze **15** für Referenzdatenbits aufweist. Das Referenzregister **14** speichert die Folge von Testbits bzw. die Referenz-Testdatenfolge ab, welche während einer Initialisierungsphase durch das externe Testgerät an den Speicherbaustein gekoppelt werden. Es ist ferner ein Testdatenregister **16** vorgesehen, das dieselbe Anzahl von Speicherplätzen **17** wie das Referenzregister **14** aufweist. In das Testdatenregister **16** werden die Testdatenfolgen während einer Speichertestphase des Ver-

fahrens eingeschrieben.

[0042] Die Speicherplätze **15, 17** des Referenzregisters **14** und des Testdatenregisters **16** sind an eine Vergleichseinrichtung **18** gekoppelt, welche bitweise die entsprechenden gespeicherten Werte vergleicht und ein Anzeigedatum AD-1 ausgibt. Die Anzahl der Speicherplätze **15, 17** entspricht hier der Burstlänge des Datenspeichers. D.h. die Anzahl der ein- oder ausgelesenen Bits in einem Schreib- bzw. Lesevorgang wird in den Referenz- bzw. Testdatenregistern zwischengespeichert und verglichen. Dann wird ein Anzeigedatum AD-1 ausgegeben.

[0043] Falls die Referenz-Testdatenfolge mit der in das Testdatenregister **16** eingeschriebenen Testdatenfolge übereinstimmt, besteht kein Speicherfehler. Werden durch die Vergleichseinrichtung unterschiedliche Speicherplatzinhalte erkannt, zeigt das Anzeigedatum einen Daten- bzw. Speicherfehler an.

[0044] Analog liefern auch die übrigen Kompressionsmodule **12-2, 12-D** Anzeigedaten AD-2, ... AD-D, welche einer Logikschaltung **19** zugeführt werden. An ihrem Ausgang liefert die Logikschaltung **19** ein globales Anzeigedatum GAD. Die Logikschaltung **19** liefert beispielsweise einen ersten logischen Pegel, wenn alle Anzeigedaten AD-1, AD-2, ... AD-D fehlerfreie Testdatenfolgen anzeigen, und die Logikschaltung **19** liefert einen zweiten logischen Pegel, falls eines der Anzeigedaten AD-1, AD-2, ... AD-D einen Datenfehler anzeigt.

[0045] Dem Ausgang der Logikschaltung **19** ist in der hier beschriebenen Ausführungsform ein Schieberegister **20** nachgeschaltet, in das das globale Anzeigedatum GAD eingeschrieben wird. Das Schieberegister **20** ist über einen Anzeigekanal AK mit einem externen Testgerät gekoppelt.

[0046] Das Ausführungsbeispiel der Fehleranzeigeeinrichtung **10** ermöglicht beispielsweise das parallele Testen von Speicherbereichen, beispielsweise Organisationseinheiten des Speicherzellenfeldes, durch die parallel angeordneten Kompressionsmodule **12-1, 12-2, ... 12-D**. Um alle Speicherzellen innerhalb des zu testenden Speichers zu prüfen, wird das Testverfahren zyklisch, also wiederholt durchgeführt, d.h. in einem ersten Testzyklus werden erste Speicherzellen adressiert und durch Einschreiben von Testdaten und Auslesen und Vergleichen von Testdatenfolgen mit Referenzdatenfolgen geprüft, was zu den erfindungsgemäßen Anzeigedaten AD-1, AD-2, ... AD-D und dem ersten globalen Anzeigedatum GAD führt, welches in eine erste Zelle bzw. ein erstes Element **21** des Schieberegisters **20** abgespeichert wird. Weitere Testzyklen betreffen dann weitere adressierte Speicherzellen, die ein erneutes globales Anzeigedatum erzeugen, welches ebenfalls in das Schieberegister **20** eingeschrieben wird. Dabei ver-

schiebt sich die Position des eingeschriebenen ersten Globalanzeigedatums an die zweite Stelle **22** des Schieberegisters **20**.

[0047] Vorteilhafterweise werden so viele Schieberegisterzellen vorgesehen, wie zum vollständigen Speichertest notwendig sind. Über den Anzeigekanal AK kann dann das externe Testgerät die Schieberegistereinträge lesen, und es erkennt, welche Speicherbereiche fehlerhaft sind. Es ist auch denkbar, dass verschiedene Funktionalitäten des zu testenden Speichers in mehreren Testzyklen getestet werden und die jeweiligen Testergebnisse in einer Schieberegisterzelle abgelegt werden. Nachdem der Baustein durchgetestet wurde, sind dann die einzelnen Testergebnisse abrufbar. Es können beispielsweise standardmäßig 100 Speicherzellen zur Aufnahme der Testergebnisse bzw. Speichern der Anzeigedaten vorgesehen sein.

[0048] Der Vorteil des erfindungsgemäßen Verfahrens und Datenspeichers besteht insbesondere darin, dass die tatsächliche Auswertung der Testergebnisse bzw. Anzeigedaten nicht im externen Speichertester vorgenommen wird, sondern bereits in einfacher Weise auf dem Speicherchip des Datenspeichers erfolgt.

[0049] Dazu genügt es, prinzipiell eine einzige Speicherzelle zur Aufnahme des globalen Anzeigedatums vorzuhalten. Diese Speicherzelle kann nichtvolatil oder volatil ausgeführt sein, beispielsweise kann sie eine zusätzliche SRAM-Zelle aufweisen. Auch eine Schmelzsicherung ist denkbar, die bei Auftreten eines Datenfehlers eingebrannt wird und den zu testenden Speicher dauerhaft als fehlerhaft klassifiziert. Das Auslesen bzw. Feststellen des logischen Zustandes einer derartigen Schmelzsicherung ist für einen externen Speichertester extrem einfach.

[0050] Dadurch, dass lediglich gegen Ende des Testzyklusses ausgelesen wird, ob der Speicher fehlerhaft oder fehlerfrei ist, sind viele Testkanäle des Speichertesters eingespart. D.h. es können vorteilhaft mehr Speicherbausteine als nach dem herkömmlichen Verfahren mit demselben Tester geprüft werden.

Bezugszeichenliste

T	externer Tester
DUT	zu testender Baustein
K1–KN	Testkanäle
E1–EK	PINs
AB	Adressbus
DB	Datenbus
ADB	Anzeigedatenbus
SL	Steuerleitung
SE	Schalteinrichtung
KS	Kompressionsschaltung

TDB	Testdatenbus
IDB	interner Datenbus
SLV	Schreib-/Leseverstärker
SZF	Speicherzellenfeld
L	Leitung
ZAD	Zeilenadressdecoder
SAD	Spaltenadressdecoder
1	Datenspeicher
2	Testgerät
AK	Anzeigekanal
3	Spaltenadressdecoder
4	Zeilenadressdecoder
5, 6	Leitung
7	Speicherzellenfeld
8	Schreibe-/Leseverstärker
9	steuerbare Schalteinrichtung
10	Testlogik
11	Eingang
12-1, 12-2, ... 12-D	Kompressionsmodul
SLS	Steuerleitung
13	Umschalter
14	Referenzregister
15	Speicherplatz
16	Testdatenregister
17	Speicherplatz
CLK	Taktsignal
18	Vergleichseinrichtung
19	Logikschaltung
20	Schieberegister
21, 22	Schieberegisterelemente
AD-1, AD-2, ... AD-D	Anzeigedatum
GAD	globales Anzeigedatum

Patentansprüche

1. Testverfahren zum Testen eines Datenspeichers (**1**) mittels eines externen Testgerätes (**2**), wobei in dem Datenspeicher (**1**) ein Anzeigemittel (**20**) vorgesehen ist, das anzeigt, ob ein Speicherfehler vorliegt, mit den folgenden Verfahrensschritten:

(a) Einschreiben von Testdaten in den Datenspeicher (**1**);

(b) Einschreiben einer ersten Referenz-Testdatenfolge in ein Referenzregister (**14**) des Datenspeichers (**1**);

(c) Serielles Einschreiben einer ersten Testdatenfolge aus dem Datenspeicher (**1**) in ein Testdatenregister (**16**);

(d) Bitweises Vergleichen der in das Testdatenregister (**16**) eingeschriebenen ersten Testdatenfolge mit der ersten Referenz-Testdatenfolge zum Erzeugen eines aktuellen Anzeigedatums (AD-1, ... AD-D), das anzeigt ob in der aktuellen Testdatenfolge ein Datenfehler aufgetreten ist;

(e1) Speichern des aktuellen Anzeigedatums (AD-1, ... AD-D) in ein Anzeigemittel (**20**), falls das aktuelle Anzeigedatum (AD-1, ... AD-D) und das in dem Anzeigemittel (**20**) gespeicherte Anzeigedatum keinen Datenfehler anzeigen; oder

(e2) Überschreiben des in dem Anzeigemittel (20) gespeicherten Anzeigedatums mit dem aktuellen Anzeigedatum (AD-1, ... AD-D), falls das aktuelle Anzeigedatum einen Datenfehler anzeigt; wobei die Verfahrensschritte (b) bis (e) mit weiteren Testdatenfolgen wiederholt werden.

2. Testverfahren nach Anspruch 1, dadurch gekennzeichnet, dass das Verfahren zum parallelen Testen von Speicherbereichen des Datenspeichers (1) mit parallelen Testdatenfolgen durchgeführt wird und die jeweiligen Anzeigedaten (AD-1, ... RD-D) zu einem globalen Anzeigedatum (GAD) logisch verknüpft werden und in dem Anzeigemittel (20) abgespeichert werden.

3. Testverfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Testverfahren ferner einen Schritt aufweist:
(f) Auslesen des Anzeigedatums aus dem Anzeigemittel (20) durch das externe Testgerät (2).

4. Testverfahren nach einem der Ansprüche 1–3, dadurch gekennzeichnet, dass das Anzeigemittel (20) ein Schieberegister aufweist und ein jeweiliges Anzeigedatum von aufeinanderfolgenden Testdatenfolgen jeweils nach Erzeugen in das Schieberegister eingeschrieben werden.

5. Testverfahren nach einem der Ansprüche 1–4, dadurch gekennzeichnet, dass das Anzeigedatum (AD-1, ... AD-D) in eine Schmelzsicherung als Anzeigemittel eingebrannt wird.

6. Testverfahren nach einem der Ansprüche 1–5, dadurch gekennzeichnet, dass das Anzeigedatum (AD-1, ... AD-D) als logischer Pegel an einem Pin des Datenspeichers abgreifbar ist.

7. Testverfahren nach einem der Ansprüche 6, dadurch gekennzeichnet, dass der logische Pegel an mindestens einem Pin für eine Adressleitung des Datenspeichers erzeugt wird.

8. Testverfahren nach einem der Ansprüche 1–7, dadurch gekennzeichnet, dass die Testdaten von einem externen Testgerät (2), das über einen Datenbus (DB) und einen Adressbus (AB) an den Datenspeicher (1) gekoppelt ist, erzeugt werden.

9. Testverfahren nach Anspruch 8, dadurch gekennzeichnet, dass das externe Testgerät (2) über eine weitere Datenleitung (AK) an den Datenspeicher (1) gekoppelt ist zum Auslesen des Anzeigedatums (AD-1, ... AD-D, GAD).

10. Testverfahren nach einem der Ansprüche 1–8, dadurch gekennzeichnet, dass nach dem Durchlaufen aller Testdatenfolgen die Anzeigedaten (AD-1, ... AD-D) in eines der Referenzregister (14)

geschrieben werden.

11. Datenspeicher (1) mit integrierter Fehleranzeigeeinrichtung (20) mit:

(a) einem Speicherzellenfeld (7) mit adressierbaren Speicherzellen;
(b) Schreib-/Leseverstärker (8) zum Einschreiben und Auslesen von Daten in die Speicherzellen über einen internen Datenbus (IDB) des Datenspeichers (1);
(c) einer Testlogik (10), die mindestens ein erstes Referenzregister (14) und ein erstes Testdatenregister (16) und eine erste Vergleichseinrichtung (18) aufweist, wobei taktweise aus dem Speicherzellenfeld (7) gelesene Testdatenfolgen von der Vergleichseinrichtung (18) mit Referenzdatenfolgen bitweise verglichen werden und für jede Testdatenfolge ein Anzeigedatum (AD-1, ... AD-D) erzeugt wird,
(d) einer Fehleranzeigeeinrichtung (19, 20), die ein Anzeigemittel zum Speichern des Anzeigedatums aufweist.

12. Datenspeicher (1) nach Anspruch 10, dadurch gekennzeichnet, dass zweite Referenzregister, Testdatenregister und Vergleichseinrichtungen vorgesehen sind, die dem ersten Referenzregister (14), Testdatenregister (16) und der ersten Vergleichseinrichtung (18) parallel geschaltet sind, zum parallelen Auslesen und Vergleichen von weiteren Testdatenfolgen und Erzeugen weitere Anzeigedaten (AD-1, ... AD-D).

13. Datenspeicher (1) nach Anspruch 11, dadurch gekennzeichnet, dass eine Logikschaltung (19) zum logischen Verknüpfen der Anzeigedaten (AD-1, ... AD-D) zu einem globalen Anzeigedatum (GAD) vorgesehen ist.

14. Datenspeicher (1) nach einem der Ansprüche 10–12, dadurch gekennzeichnet, dass die Fehleranzeigeeinrichtung (20) eine nichtvolatile Speicherzelle als Anzeigemittel aufweist.

15. Datenspeicher (1) nach einem der Ansprüche 10–13, dadurch gekennzeichnet, dass die Fehleranzeigeeinrichtung (20) ein Schieberegister aufweist.

16. Datenspeicher (1) nach einem der Ansprüche 10–14, dadurch gekennzeichnet, dass die Fehleranzeigeeinrichtung (20) adressierbar ist.

17. Datenspeicher (1) nach einem der Ansprüche 10–15, dadurch gekennzeichnet, dass die Anzeigemittel eine Schmelzsicherung aufweist.

18. Datenspeicher (1) nach einem der Ansprüche 10–16, dadurch gekennzeichnet, dass die Referenzregister (14) adressierbar sind.

19. Datenspeicher (1) nach einem der Ansprüche

10–17, dadurch gekennzeichnet, dass die Fehleranzeigeeinrichtung (20) einen abgreifbaren logischen Pegel als Anzeigemittel an ein externes Testgerät (2) liefert.

Es folgen 4 Blatt Zeichnungen

FIG 1
Stand der Technik

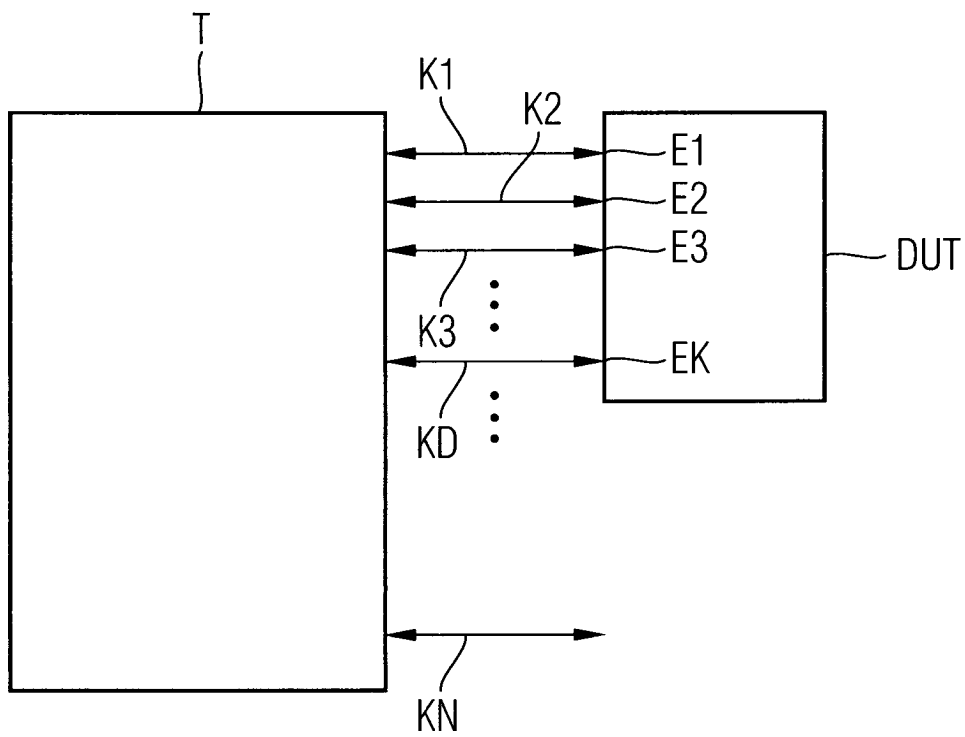


FIG 2
Stand der Technik

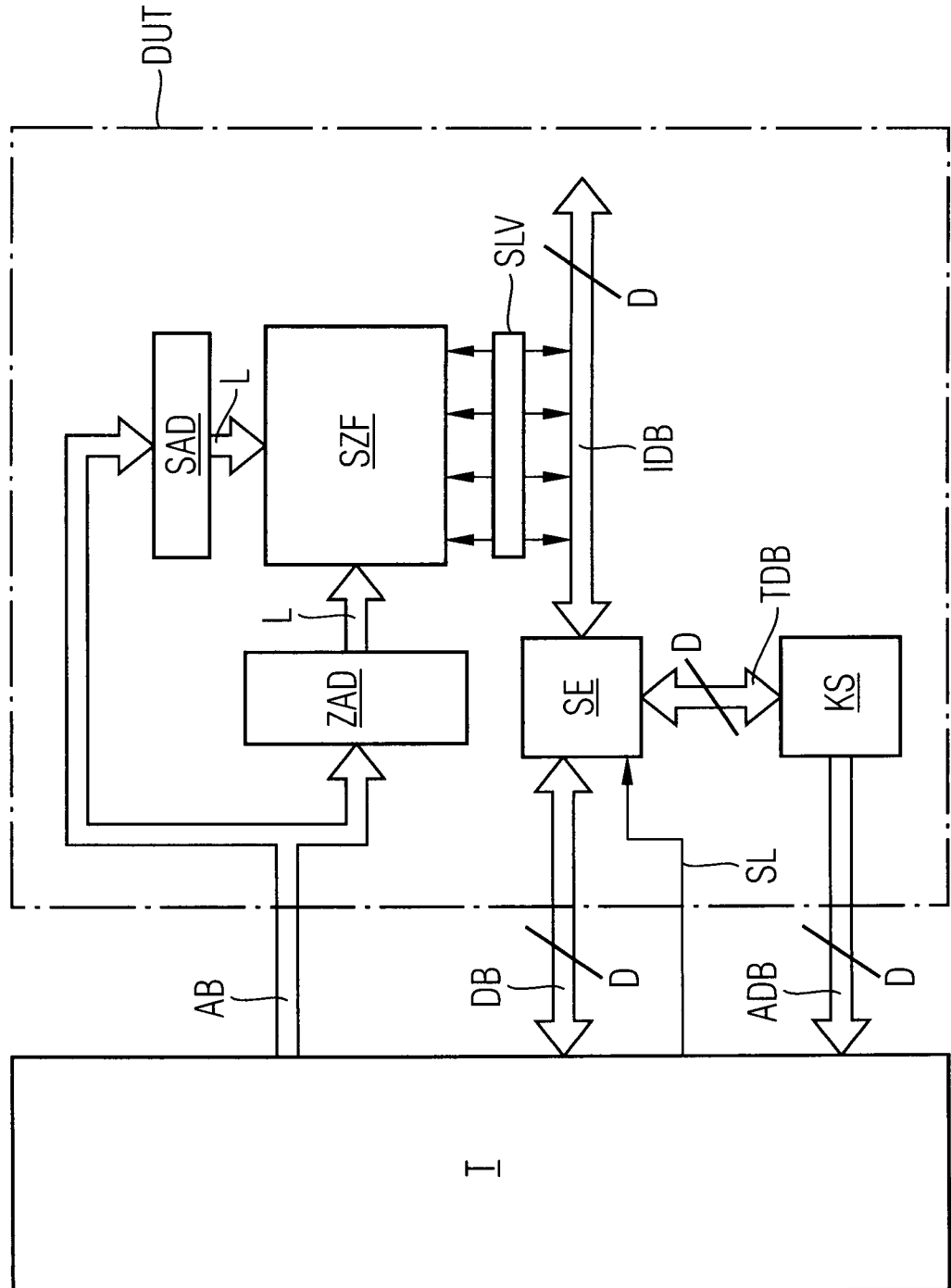


FIG 3

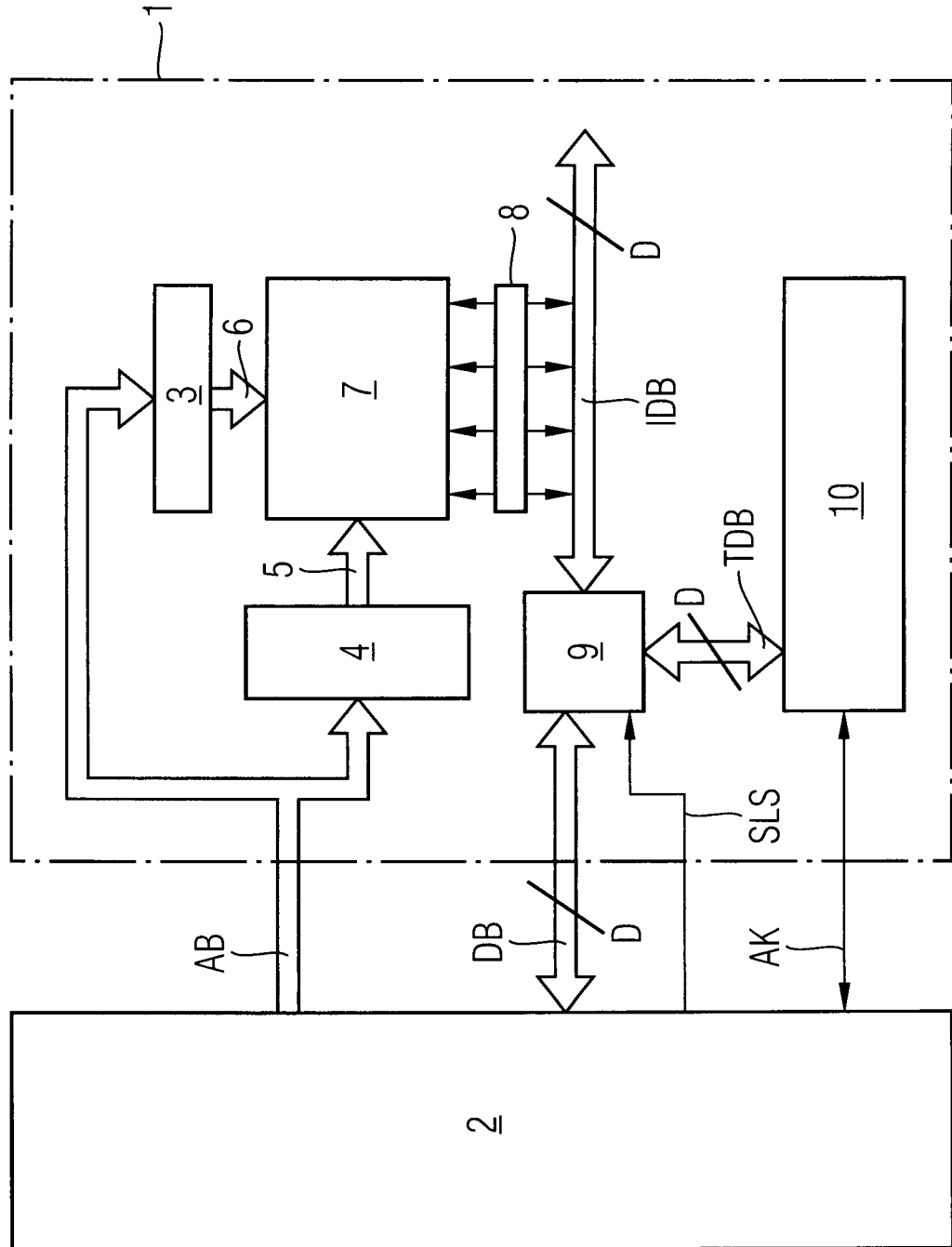


FIG 4

