(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04B 7/26

(45) 공고일자 2001년11월30일
(11) 등록번호 10-0306952
(24) 등록일자 2001년08월16일

(21) 출원번호	10-1996-0705071	(65) 공개번호	특1997-0701953
(22) 출원일자	1996년09월13일	(43) 공개일자	1997년04월12일
번역문제출일자	1996년09월13일		
(86) 국제출원번호	PCT/US1996/00457	(87) 국제공개번호	WO 1996/21976
(86) 국제출원일자	1996년01월16일	(87) 국제공개일자	1996년07월18일
(81) 지정국	국내특허 : 오스트레일리아 바베이도스 불가리아 브라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 일본 북한 대한민국 스리랑카 라이베리아 리투아니아 라트비아 마다가스카르 몽고 멕시코 노르웨이 뉴질랜드 폴란드 루마니아 슬로베니아 AP ARIPO특허 : 케냐 말라위 수단 EA 유라시아특허 : 아르메니아 벨라루스 키르기즈 카자흐스탄 몰도바 러시아 EP 유럽특허 : 오스트리아 스위스 리히텐슈타인 독일 덴마크 스페인 핀랜드 영국 룩셈부르크 포르투칼 스웨덴 OA OAPI특허 : 부르키나파소 베넹 중앙아프리카 콩고 코트디브와르 카메룬 가봉 기네 말리 모리타니 니제르 세네갈 차드 토고		

(30) 우선권주장 372,632 1995년01월13일 미국(US)

(73) 특허권자 콸콤 인코포레이티드 러셀 비. 밀러
미국 캘리포니아 샌디에고 모어하우스 드라이브5775
(72) 발명자 레빈, 제프리, 에이.
미합중국 92130 캘리포니아 샌디에고 메스트로 코트 12549
워너, 데이비드, 이.
미합중국 92111 캘리포니아 샌디에고 마운트 앨딘애브뉴 3670
이스톤, 케니스, 디.
미합중국 92126 캘리포니아 샌디에고 콜레 크리스토발 #217 7379
(74) 대리인 남상선

심사관 : 윤병수

(54) 스펙트럼 확산 다중 접속 통신 시스템용 셀 사이트 복조 구조

명세서

[발명의 명칭]

스펙트럼 확산 다중 접속 통신 시스템용 셀 사이트 복조 구조

[발명의 분야]

본 발명은 일반적으로 스펙트럼 확산 통신 시스템에 관한 것이고, 특히 셀룰러 전화 통신 시스템의 신호 처리에 관한 것이다.

[배경 기술]

무선 전화 통신 시스템에서, 많은 사용자는 유선 전화 시스템에 접속하기 위하여 무선 채널을 통하여 통신한다. 무선 채널을 통한 통신은 제한된 주파수 스펙트럼에서 다수의 사용자를 가능하게 하는 다양한 다중 접속 기술중 하나일 수 있다. 이러한 다중 접속 기술은 시간 분할 다중 접속(TDMA), 주파수 분할 다중 접속(FDMA) 및 코드 분할 다중 접속(CDMA)을 포함한다. 상기 CDMA 기술은 많은 장점을 갖고 있으며, 전형적인 CDMA 시스템은 본 발명의 참조로 인용되며 본 발명의 양수인에게 양도된 "인공 위성 또는 지상 중계기를 사용하여 스펙트럼 확산 다중 접속 통신 시스템"의 명칭으로 1990, 2, 13에 공고된 K. 길하우젠 등의 특허 제 4,901,307호에 기술되어 있다.

상기 언급한 특허에서, 각각 송수신기를 갖고 있는 다수의 이동 전화 시스템 사용자는 CDMA 스펙트럼 확산 통신 신호를 사용하여 위성 중계기 또는 지상 기지국을 통하여 통신하는 다중 접속 기술이 기술되어 있다. CDMA 통신을 할 때, 상기 주파수 스펙트럼은 여러번 재사용되어 시스템 사용자 수용 용량의 증가시킬수 있다.

상기 '307 특허에 공개된 CDMA 변조 기술은 위성 또는 지상 채널을 사용한 통신 시스템에 사용된 협대역 변조 기술에 대해 많은 장점을 제공한다. 지상 채널은 특히 다중 경로 신호에 대하여 모든 통신 시스템에 대해 특정 문제를 발생한다. CDMA 기술의 사용은 다중 경로의 장점을 이용하는 한편 다중 경

로의 역효과 예를 들면 페이딩(fading)을 감소함으로서 지상 채널의 특정 문제를 극복할 수 있게 한다.

상기 '307 특허에 공개된 CDMA 기술은 이동-위성 통신의 양방향 링크에 대해 코히어런트 변조 및 복조를 사용한다. 따라서 본 명세서에 공개된 것은 위성에서 이동국 링크 및 기지국에서 이동국 링크에 대해 코히어런트 위상 참조로서 파일럿 반송파 신호를 사용한다. 그러나 지상 셀룰러 환경에서, 다중 경로 페이딩, 그 결과로 생기는 채널의 위상 왜곡, 그리고 이동국으로부터 파일럿 반송파 신호를 전송하는데 요구되는 전력등은 이동국-기지국 링크에 대하여 코히어런트 복조 기법을 사용할수 없게 만든다. 본 명세서에 참조로 인용된 본 발명의 양수인에게 양도된 "CDMA 셀룰러 전화 시스템의 신호 파형 발생을 위한 시스템 및 방법"의 명칭으로 1990, 6, 25에 공고된 미국 특허 특허 제 5, 102, 459호에 기술되어 있다. 상기 특허는 논코히어런트 변조 및 복조 기술을 사용하여 이동국에서 기지국 링크의 다중 경로의 역효과를 극복하는 수단을 제공한다.

CDMA 셀룰러 전화 시스템에서, 동일 주파수 대역이 모든 기지국에서 통신용으로 사용될 수 있다. 기지국 수신부에서, 한 라인의 사이트 경로 및 빌딩에서 반사된 다른 시이트 경로와 같이 분리 가능한 다중 경로는 강화된 모뎀 수행에 대해 다양하게 결합될 수 있다. 처리 이득을 제공하는 CDMA 파형 특성은 동일 주파수 대역을 차지하는 신호들을 구별하기 위하여 또한 사용된다. 더욱이 고속 의사잡음(pseudonoise;PN) 변조는 만약 PN 칩 지속 기간을 초과하는 경로 지연의 차이를 제공해 동일 신호의 여러 가지 다양한 전파 경로를 분리되게 한다. 만약 1MHz의 PN 칩 속도(chiprate)가 CDMA 시스템에 사용된다면, 시스템 데이타 속도에 대한 스프레드 대역 폭의 비율과 동일한 완전 스펙트럼 확산 처리 이득은 1마이크로세칸드 이상 차이나는 지연을 갖는 경로에 대해 사용될 수 있다. 1마이크로세칸트 차동 경로 지연은 약 300미터의 차동 경로 거리와 상응한다. 도시 환경은 전형적으로 1마이크로세칸트를 초과하는 차동 경로 지연을 제공한다.

지상 채널의 다중 경로 특성은 수신기에서 이동된 몇몇 다른 전파 경로를 갖는 신호를 만든다. 다중 채널의 특성중 하나는 채널을 통하여 전송된 신호에 적용된 시간 스프레드라는 것이다. 예를 들면 만약 이상적인 펄스가 다중 경로 채널을 통하여 전송된다면, 수신된 신호는 펄스 스트림으로 나타난다. 다중 경로 채널의 다른 특성은 채널을 통한 각 경로는 여러 가지 감쇄 요소를 야기할 수 있다는 것이다. 예를 들면, 만약 이상적인 임펄스가 다중 경로 채널을 통하여 전송된다면, 수신된 펄스 스트림의 각각 펄스는 다른 수신된 펄스와 다른 신호 강도를 일반적으로 가진다. 다중 경로 채널의 또다른 특성은 채널을 통한 각 경로는 신호 상에서 여러 가지 위상을 야기할 수 있다는 것이다. 예를 들면, 만약 이상적인 펄스가 다중 경로 채널을 통하여 전송된다면, 수신된 펄스 스트림의 각 펄스는 다른 수신된 펄스와 다른 위상을 일반적으로 가진다.

이동 무선 채널에서, 다중 경로는 빌딩, 나무, 차, 사람 등과 같은 환경의 장애물로부터 신호의 반사에 의해 만들어진다. 일반적으로 이동 무선 채널은 다중 경로를 만드는 장애물의 상대적인 운동으로 인한 시간 가변 다중 경로 채널이다. 예를 들면, 만약 이상적인 임펄스가 시간 가변 다중 경로 채널을 통하여 전송된다면, 수신된 펄스 스트림은 이상적인 임펄스가 전송된 시간 함수에 있어서 시간 위치, 감쇄, 위상이 변화될 것이다.

채널의 다중 경로 특성은 신호 페이딩(fading)을 야기할 수 있다. 페이딩은 다중 경로 채널의 위상변화 특성의 결과이다. 다중 경로 벡터가 잘못 부가될 때 페이더가 발생하고, 개별적인 벡터의 하나보다 적은 수신된 신호가 생성된다. 예를 들면 만약 사인파가 2개의 경로를 갖는 다중 경로를 통하여 전송되고 상기 2개의 경로에서 제 1경로는 X dB의 감쇄 요소, Θ레디안의 위상 이동을 갖는 시간 지연 δ를 갖고, 제 2경로는 X dB의 감쇄 요소, Θ+ π레디안의 위상 이동을 갖는 시간 지연 δ를 갖는다면, 채널의 출력에서 신호가 수신되지 않을 것이다.

통상적인 전화 시스템에 의해 사용된 아날로그 FM 변조가 같은 협 대역 변조 시스템에서, 무선 채널의 다중 경로의 존재는 심한 다중 경로 페이딩을 야기한다. 그러나 스프레드 대역 CDMA와 관련해 상기 언급한 바대로, 여러 가지 경로는 변조 과정에서 구별될 수 있다. 이러한 구별은 다중 경로 페이딩의 피해를 줄일 뿐만 아니라 CDMA 시스템에 장점을 제공한다.

다이버시티은 데이딩의 페이딩의 해로운 효과를 줄이는 하나의 접근법이다. 그러므로 시스템이 페이딩을 감소시키도록 하는 다이버시티의 어떤 형태가 제공되는 것이 바람직하다. 다이버시티의 3가지 주요 형태는 시간 다이버시티, 주파수 다이버시티, 공간/경로 다이버시티이다.

시간 다이버시티은 레피테이션(repitation), 시간 인터리빙 및 리던던시(redundancy)를 할수 있도록 하는 에러 수정 및 검출 코딩의 사용에 의해 최고로 얻어질 수 있다. 본 발명을 포함하는 시스템은 시간 다이버시티의 형태로 각각의 상기 기술을 사용할수 있다.

고유의 광대역 특성이 있는 CDMA는 스프레드 대역으로 신호 에너지를 스프레딩함으로서 주파수 다이버시티의 형태를 제공한다. 그러므로서 주파수 선택성 페이딩은 CDMA 신호 대역폭의 일부분에만 영향을 준다.

공간 및 경로 다이버시티은 2개 이상의 기지국을 통한 이동국으로부터의 동시 링크를 통하여 다중 신호 경로를 제공하는 것과, 단일 기지국에서 2개 이상 공간적으로 분리된 안테나 엘리먼트를 이용하는 것에 의해 얻어진다. 더우기 경로 다일버시티은, 스펙트럼 확산 처리를 통해 다른 전파(propagation) 지연을 가지고 도달하는 신호를 상기에서 기술한 대로 수신한 뒤 분리하여 처리함으로써 다중 경로 환경을 이용해 얻어질 것이다. 경로 다이버시티의 예는 본 발명의 양수인에게 양도된 "CDMA 셀룰러 전화 시스템의 소프트 핸드오프"의 명칭으로 1992, 3, 21에 공고된 미국 특허 제 5, 101, 501호 및 "CDMA 셀룰러 전화 시스템의 다이버시티 수신기"의 명칭으로 1992, 4, 28에 공고된 미국 특허 제 5, 109, 390호에 기술되어 있다.

페이딩의 해로운 효과는 전송부 전력을 제어함으로써 CDMA 시스템에서 어느 정도 제어할 수 있다. 기지국 및 이동국 전력 제어용 시스템은 본 발명의 양수인에게 양도된 "CDMA 셀룰러 이동 전화 시스템의 전송 전력 제어용 방법 및 장치"의 명칭으로 1991, 10, 8일에 공고된 미국 특허 제 5, 056, 109호에 기술되어 있다.

상기 '307 특허에 공개된 CDMA 기술은 다른 PN 시퀀스로 할당된 각 이동국 사용자와 상대적으로 긴 PN 시퀀스를 사용한다. 모든 시간 이동에 대해 0이 아닌 다른 PN 시퀀스간의 상호 상관(cross-correlation) 및 PN 시퀀스의 자기 상관(auto correlation)은 여러 가지 사용자 신호가 수신시 구분되도록 거의 제로 평균값을 갖는다. (자기 상관 및 상호 상관은 제로 평균값이 얻어지기 위하여 "1"의 값일 때 논리 "0", "-1"의 값일때 논리 "1"의 맵핑 또는 유사한 맵핑을 요구한다.)

그러나, 그러한 PN 신호는 직교적(orthogonal)이지 않다. 비록 상호 상관은 전체 시퀀스 길이 전체에 제로로 평균할지라도, 정보 비트 시간과 같은 짧은 시간 간격에 대해 상호 상관은 2항식 분포로 임의로 변할 수 있다. 만약 신호가 동일 전력 스펙트럼 밀도에서 광대역폭의 가우시안 노이즈일 때 신호가 서로 방해 하는 것과 동일하게 상기 신호는 서로 방해한다. 그래서 다른 사용자 신호 또는 상호 간섭 노이즈는 결국 가능한 수용 용량을 제한한다.

2개의 n 어떤 전력에 대해 한 세트의 n 직교 2진 시퀀스, 각 길이 n이 만들어질 수 있다는 것이 선행 기술에 공지되어 있다. Prentice-Hall Inc, 1964, pp 45-64에서 S.W 글롬브 등의 공간 응용을 갖는 디지탈 통신(Digital Communication with Space Applications)을 참조하라, 사실, 직교 2진 시퀀스 세트는 대부분의 길이가 4의 배수이고 200이하로 공지되어 있다. 발생시키기 용이한 상기 시퀀스중 한 종류는 하다마드 메트릭스(Hadamard matrices)로도 알려져 있는 왈쉬(Walsh) 함수이다.

n차 왈쉬 함수는 순환적으로 아래와 같이 정의될 수 있다.

$$W(n) = \begin{vmatrix} W(n/2), W(n/2) \\ W(n/2), W'(n/2) \end{vmatrix}$$

W'는 W의 논리보수를 나타내고 W(1) = |이을 나타낸다.

$$W(2) = \begin{vmatrix} 0,0 \\ 0,1 \end{vmatrix}$$

그래서

$$W(4) = \begin{vmatrix} 0,0,0,0 \\ 0,1,0,1 \\ 0,0,1,1 \\ 0,1,1,0 \end{vmatrix}$$

및

$$W(8) = \begin{vmatrix} 0,0,0,0,0,0,0,0 \\ 0,1,0,1,0,1,0,1 \\ 0,0,1,1,0,0,1,1 \\ 0,1,1,0,0,1,1,0 \\ 0,0,0,0,1,1,1,1 \\ 0,1,0,1,1,0,1,0 \\ 0,0,1,1,1,1,0,0 \\ 0,1,1,0,1,0,0,1 \end{vmatrix}$$

왈쉬 시퀀스 또는 코드는 왈쉬 함수 메트릭스 행중 하나이다. n차 왈쉬 함수 메트릭스는 n 시퀀스, 즉 각 n길이 왈쉬 칩을 포함한다. 각각 왈쉬 코드는 상응하는 왈쉬 인덱스를 갖고 있고, 상기 왈쉬 인덱스는 왈쉬 코드가 발견되는 행에 상응하는 숫자(1내지 n)를 나타낸다. 예를 들면, 상기 주어진 n=8 왈쉬 함수 메트릭스에서, 상기 모든 제로 행은 왈쉬 인덱스 1에 상응하고 왈쉬 코드 0, 0, 0, 0, 1, 1, 1, 1은 왈쉬 인덱스5에 상응한다.

n차 왈쉬 함수 메트릭스 (길이 n의 다른 직교 함수뿐만아니라)는 n비트 간격에 대해 세트 내의 모든 다른 시퀀스 사이의 상호 상관은 제로인 특성을 갖는다. 이것은 모든 시퀀스가 모든 다른 시퀀스와 정확하게 비트의 반이 다르다는 것을 주목함으로써 알수 있다. 모두 제로를 포함하는 하나의 시퀀스와 반은 "1"이고 반은 "0"을 포함하는 다른 모든 시퀀스를 주목할 필요가 있다. 반은 "1"및 반은 "0" 대신에 모든 논리 제로로 구성된 왈쉬 심벌은 왈쉬 제로 심벌로 불린다.

이동국으로부터 기지국으로 역방향 링크 채널에서, 위상 참조를 제공하기 위한 파일롯 신호는 존재하지 않는다. 그러므로 낮은 Eb/No(비트 당 에너지/노이즈 전력 밀도(energy per bit/noise power density))을 갖는 페이딩 채널 상에 높은 품질의 링크를 제공하는 방법이 필요하다. 역방향 링크 상의 왈쉬 함수 변조는 64 왈쉬 코드로 맵된 6개 코드 심벌 세트에 대해 코히어런스(coherence)로 64에 관한 변조를 얻는 단순한 방법이다. 지상 채널의 특징은 위상 변화 레이트가 비교적 느리다는 것이다. 그러므로 채널 상의 위상 변화 레이트에 비해 짧은 왈쉬 코드 지속 기간을 선택함으로서 하나의 왈쉬 코드의 길이에 대해 코히어런트 복조가 가능하다.

역방향 링크 채널 상에서, 왈쉬 코드는 이동국으로부터 전송되고 있는 정보에 의해 결정된다. 예

를 들면 3비트 정보 심벌은 상기 주어진 W(8)의 8개의 시퀀스로 맵될 수 있다. 오리지날 정보 심벌의 추정치(estimate)로 바꾸는 것은 왈쉬 엔코드된 심벌의 "언맵핑"을 빠른 하다마드 변환(Fast Hdamard Transform;FHT)에 의해 수신기에서 완성될 수 있다. 바람직한 "언맵핑" 또는 선택과정은 가장 가능성 있는 디코딩을 위해 디코더에 제공될 수 있는 소프트 결정 데이터(soft decsion data)를 만들어 낸다.

FHT는 "언맵핑" 처리를 수행하기 위하여 사용된다. FHT는 각각의 가능한 왈쉬 시퀀스와 수신된 시퀀스를 상관(correlate)시킨다. 선택 회로는 가장 가능성 있는 상관관계 값을 선택하기 위하여 사용되고, 그것은 소프트 결정 데이터로 계산되고 제공된다.

다이버시티의 스펙트럼 확산 수신기 또는 "레이크(rake)" 수신기 설계는 페딩 효과를 줄이기 위하여 다중 데이터 수신기를 포함한다. 전형적으로 각 데이터 수신기는 멀티플 안테나를 사용하거나 채널 다중 경로 특성중 하나에서의 여러 가지 경로를 이동한 신호를 복조하기 위하여 할당된다. 직교 신호 스킴(orthogonal signaling scheme)에 따른 변조된 신호의 복조에서, 각 데이터 수신기는 FHT를 사용하여 각각의 가능한 맵핑 값과 수신된 신호를 상관시킨다. 각 데이터 수신기의 FHT 출력은 결합되고 그후 선택 회로는 복조된 소프트 결정 심벌을 만들기 위하여 가장 큰 결합된 FHT 출력을 근거로한 가장 가능성 있는 상관 관계 값을 선택한다.

상기 언급한 '459 특허에 기술된 시스템에서, 콜 신호는 1/3 속도 포워드 에러 수정 엔코더에 의해 초당 28,800 심벌 출력 스트림으로 전환되는 초당 9600 비트 정보로서 시작한다. 이러한 심벌은 한번에 초당 4800왈쉬 심벌을 형성하기 위하여 (6)개로 그룹되고, 각 왈쉬 심벌은 지속 기간에서 64 왈쉬 칩인 64직교 왈쉬 함수중 하나를 선택한다. 상기 왈쉬 칩은 사용자-특정 PN 시퀀스 발생기를 사용하여 변조된다. 사용자 특정 PN 변조 데이터는 2개의 신호로 분기되고, 그중 하나는 동위상(in-phase;I) 채널 PN 시퀀스로 변조되고 그 중 다른 하나는 직각(quadrature;Q) 채널 PN 시퀀스로 변조된다. I 채널 변조 및 Q 채널 변조 모두는 왈쉬 칩 당 1,2288MHz PN 확산율로 왈쉬 칩당 4개의 PN 칩을 제공한다. I 및 Q 변조된 데이터는 전송을 위해 결합된 오프셋 직각 위상 편이 키(offset quadrature phase shift keying;OQPSK)이다.

상기 언급한 '307 특허에 공개된 CDMA 셀룰러 시스템에서, 각 기지국은 제한된 지상 영역에 커버리지(coverage)를 제공하고 셀룰러 시스템 스위치를 통하여 기지국의 커버리지 영역내의 이동국을 공중 스위치 전화 네트워크(PSTN)에 링크한다. 이동국이 새로운 기지국의 커버리지 영역으로 이동할 때, 사용자 콜의 라우팅(routing)은 새로운 기지국으로 전달된다. 기지국-이동국간 신호 전송 경로는 순방향 링크로 칭하고 이동국-기지국간 신호 전송 경로는 역방향 링크로 칭한다.

상기 언급한 바대로, PN 칩 간격은 결합되기 위하여 2개의 경로를 가져야 하는 최소 분리를 정의한다. 다른 경로가 복조되기 전에, 수신된 신호에서 경로의 상대적인 도달 시간(또는 오프셋)이 첫째로 결정되어야 한다. 채널 엘리먼트 모뎀은 포텐셜 경로 오프셋의 시퀀스를 통하여 "검색(searching)" 및 각 포텐셜 경로 오프셋에서 수신된 에너지를 측정함으로서 이러한 기능을 수행한다. 만약 포텐셜 오프셋과 관련된 에너지가 어떤 임계치(threshold)를 초과한다면, 신호 복조 엘리먼트는 그 오프셋으로 할당될 수 있다. 그 경로 오프셋에 제공된 신호는 각 오프셋에서 다른 복조 엘리먼트 도움으로 합산될 수 있다. 검색 복조 엘리먼트 에너지 레벨에 근거한 복조 엘리먼트의 방법 및 장치는 본 발명의 양수인에게 양도된 "다중 신호를 수신하는 시스템의 복조 엘리먼트 배치"의 명칭으로 1996, 2, 6에 공고된 공동계류중인 미국 특허 제 5,490,165호에 공개되어 있다. 모든 경로는 결합된 신호가 품질이 떨어지기 전에 함께 페이드 되어야하기 때문에 그러한 다이버시티 또는 레이크(rake) 수신기가 좋은(robust) 디지탈 링크를 위해 제공된다.

제 1도는 기지국에 도달하는 단일 이동국으로부터 전형적인 신호 세트를 나타낸다. 수직 축은 데시벨(dB) 수치 상에 수신된 전력을 나타낸다. 수평축은 다중 경로로 인한 신호의 도달 시간의 지연을 나타낸다. 페이지로 들어가는 축(도시되지 않았음)은 시간의 세그먼트를 나타낸다. 각 페이지의 공동 평면에 있는 각 신호 스파이크(spike)는 동일시간에 도달했으나 이동국에 의해 다른 시간대로 전송되었다. 공동 평면에서, 오른쪽 피크는 이동국에 의해 왼족 피크보다 빠른 시간으로 전송된다. 예를 들면 왼쪽 대부분 스파이크(2)는 가장 최근에 전송된 신호에 상응한다. 각 신호 스파이크(2-7)는 여러 가지 경로로 이동하고 그러므로서 여러 가지 시간 지연 및 여러 가지 진폭 응답을 갖는다. 스파이크(2-7)에 의해 나타난 6개의 여러 가지 신호 스파이크는 혹독한 다중 경로 환경을 나타낸다. 전형적인 도시 환경은 유용한 경로를 적게 만든다. 시스템의 노이즈 층은 낮은 에너지 레벨을 갖는 피크와 딥(dip)에 의해 표시된다. 검색 엘리먼트의 역할은 포텐셜 복조 엘리먼트 배치에 대해 신호 스파이크(2-7)의 수평축에 의해 측정되는 지연을 식별하기 위한 것이다. 복조 엘리먼트의 역할은 단일 출력으로 결합하기 위하여 한 세트의 다중 경로 피크를 복조하는 것이다. 시간으로 이동하는 피크를 추적하는 것이 또한 다중 경로 피크에 할당된 복조 엘리먼트의 역할이다.

수평축은 PN 오프 세트 유니트를 갖는 것으로 생각될 수 있다. 어떤 주어진 시간에, 기지국은 단일 이동국으로부터 다양한 신호를 수신하고 신호의 각각은 여러 가지 경로로 이동되고 다른 것보다 여러 가지 지연을 가질 수 있다. 이동국 신호는 PN 시퀀스에 의해 변조된다. PN 시퀀스의 복사는 기지국에서 또한 발생된다. 기지국에서 각 다중 경로 신호는 자신의 타이밍으로 정렬된 PN시퀀스 코드로 각각 복조된다. 수평 축 좌표는 그 좌표에서 신호를 복조하기 위하여 사용될 수 있는 PN 시퀀스 코드 오프셋과 상응하는 것으로 생각될 수 있다.

각 다중 경로 피크는 다중 경로 피크의 불 균일한 융기에 의해 나타나듯이 시간의 함수로서 진폭에서 변한다. 제한된 시간에서, 다중 경로 피크의 큰 변화는 없다. 더 확장된 시간 범위에 대하여, 다중 경로 피크가 사라지고 시간 진행에 따라서 새로운 경로가 만들어진다. 이동국이 기지국의 커버리지 영역내에서 움직임에 따라, 상기 경로 거리가 변하여 상기 피크가 조금 더 빠르거나 조금 더 늦은 오프셋으로 될 수 있다. 각 복조 엘리먼트는 엘리먼트에 할당된 신호내의 상기의 적은 변화를 추적한다.

전형적인 무선 전화 통신 시스템에서, 이동국 전송기는 가변 속도 형태로 음성 정보를 엔코드하는 보코딩 시스템(vicoding system)을 이용한다. 예를 들면, 데이터 속도는 음성 액티브티의 중단에 인하여 낮아질 수 있다. 보다 낮은 데이터 속도는 이동국 전송에 의해 야기된 간섭 레벨을 줄인다. 수신기에

서 또는 다른 관련된 수신기에서, 보코딩 시스템은 음성 정보를 재 구성하기 위하여 이용된다. 음성 정보에 부가하여, 비-음성 정보만 또는 음성 정보 및 비음성 정보의 혼합은 이동국에 의해 전송될 수 있다.

이러한 환경의 응용에 적절한 보코더는 본 발명의 양수인에게 양도된 1995, 5, 9에 공고된 "가변 속도 보코더"의 명칭의 미국 특허 제 5,414,796에 기술된다. 이러한 보코더는 20밀리세칸드(ms) 프레임 동안에 음성 액티브티에 따라 4개의 여러 가지 속도 예를 들면 약 8000bps(초당 비트수) , 4000bps, 2000bps 및 1,000bps에서 데이터의 디지탈 샘플로부터 음성 정보 엔코드된 데이터를 만들어낸다. 보코더 데이터의 각 프레임은 오버헤드 비트와 같이 포맷되어 9,600, 4,800, 2,400, 1,200bps가 된다. 9600bps에 상응하는 최고 속도 데이터 프레임은 "최고 속도(full rate)" 프레임으로서 언급되고, 4800bps 데이터 프레임은 "1/2속도" 프레임으로서 언급된다. 2400bps 데이터 프레임은 "1/4 속도" 프레임으로 언급되고 1200bps 데이터 프레임은 "1/8 속도" 프레임으로 언급된다. 언코딩 처리 및 프레임 포맷팅 처리에서 속도 정보는 데이터에 포함되지 않는다. 이동국이 전체 속도보다 낮은 속도로 데이터를 전송할 때, 이동국 전송된 신호의 듀티(duty) 사이클은 데이터 속도와 동이하다. 예를 들면, 1/4 속도에서 신호는 시간의 1/4만 이동국으로 부터 전송된다. 다른 3/4시간 동안에, 이동국으로부터 신호는 전송되지 않는다. 상기 이동국은 데이터 버스트 랜덤마이저(burst randomizer)를 포함한다. 주어진 신호의 데이타 속도에서, 데이터 속도 랜덤 마이저는 이동국이 전송되는 시간 슬롯 및 이동국이 전송하지 않는 시간 슬롯 기간을 결정한다. 데이터 버스트 랜덤마이즈에 대한 더 상세한 설명은 본 발명의 양수인에게 양도된 "데이터 버스트 랜덤마이저"의 명칭으로 미국 특허 출원 제 07/846,312호의 계속 출원으로 1994, 2, 14 일 출원된 공동 계류중인 미국 특허 출원 08/194,823에 기술되어 있다.

기지국에서, 각 개별적인 이동국 신호는 이동국의 오리지널 콜 신호로 다시 복조될 수신된 다수의 콜 신호로부터 식별되어야 한다. 기지국에서 수신된 이동국 신호를 복조하기 위한 시스템 및 방법은 예를 들면 '459 특허에서 기술된다. 제 2도는 역방향 링크 이동국 신호를 복조하기 위하여 상기 '459 특허에서 기술된 기지국 장치의 블록도 이다.

전형적인 선행 기술에서 기지국은 다중 독립 검색기 및 복조 엘리먼트를 포함한다. 검색기 및 복조 엘리먼트는 마이크로프로세스에 의해 제어된다. 바람직한 실시예에서, 높은 시스템 수용 용량을 유지하기 위하여, 시스템의 각 이동국은 파일롯 신호를 전송하지 않는다. 역방향 링크에서 파일롯 신호의 부족은 이동국 신호가 수신될 모든 가능한 시간 오프셋을 조사하기 위해 필요한 시간을 증가시킨다. 전형적으로 파일롯 신호는 신호를 반송하는 트래픽보다 더 높은 전력으로 전송되어 수신된 트래픽 채널 신호와 비교시 수신된 파일롯의 신호 대 노이즈 비율을 증가시킨다. 반대로, 이상적으로 각 이동국은 모든 다른 이동국으로부터 수신된 전력 레벨과 동일한 신호 레벨로 도착하는 역 방향 링크 신호를 전송하여 낮은 신호 대 잡음 비를 갖는다. 또한 파일롯 채널은 공지된 데이터 시퀀스를 전송한다. 파일롯 신호 없이는, 검색 처리는 어떤 데이터가 전송될 수 있는지의 모든 기능성을 검사해야 한다.

제 2도는 선행 기술 기지국의 실시예를 나타낸다. 제 2도의 기지국은 CDMA 역방향 링크 이동국 신호(14)를 수신하는 하나 이상 안테나(2)를 갖는다. 전형적으로 도시 기지국의 커버리지 영역은 섹터로 불리는 3가지부 영역으로 분기된다. 섹터 당 2개의 안테나로, 전형적인 기지국은 전체 6개의 수신 안테나를 갖는다. 수신된 신호는 수신된 신호(I, Q) 채널을 양자화하는 아날로그 수신기(16)에 의해 베이스밴드로 다운 전환(down-convert)되고 신호 라인(18)을 통해 상기 디지탈 값을 채널 엘리먼트 모뎀(20)에 전송한다. 전형적인 기지국은 채널 엘리먼트 모뎀(20)(제 2도에 나타나지 않았지만)과 같은 다중 채널 엘리먼트 모뎀을 포함한다. 각 채널 엘리먼트 모뎀(20)은 단일 사용자를 지지한다. 바람직한 실시예에서, 채널 엘리먼트 모뎀(20)은 4개의 복조 엘리먼트(22) 및 8개의 검색기(26)를 포함한다. 마이크로프로세서(34)는 복조 엘리먼트(22) 및 검색기(26)의 작동을 제어한다. 각 복조 엘리먼트(22) 및 검색기(26)의 사용자 PN 코드는 그 채널 엘리먼트 모뎀(20)에 할당된 이동국에 세트된다. 마이크로프로세서(34)는 검색 윈도우로 불리는, 복조 엘리먼트(22)의 할당에 적절한 다중 경로 신호 피크를 포함하는 한 세트의 오프셋을 통하여 검색기(26)를 스텝한다. 각 오프셋에 대해, 검색기(26)는 그 오프셋에서 발견하는 에너지를 마이크로프로세서(34)에 리포트 한다. 복조 엘리먼트(22)는 검색기(26)에 의해 식별된 경로에 마이크로프로세서(34)에 의해 할당된다 하나의 복조 엘리먼트(22)는 할당된 오프셋에서 신호로 로크되면, 경로 페이드가 없어질 때까지 또는 마이크로프로세서(34)에 의해 새로운 경로에 할당될 때까지 마이크로프로세서(34)로부터 중첩없이 자신의 경로를 추적한다.

변조 엘리먼트(22)의 각각은 다른 것과 구조상 유사하다. 제 3도는 제 2도의 더 상세한 복조 엘리먼트(22)를 나타낸다. 제 3도는 디지탈된 입력 신호는 동위상(I) 및 직각 위상(Q) 신호 샘플을 갖는 직각 위상 이동 키(QPSK) 신호로 가정될 수 있다. I 및 Q 신호 샘플은, 각각 다중 비트 값인, 디시메이트 및 역확산부(decimator and despreader)(46)로 입력된다. 입력이 칩 속도보다 높은 데이타 속도에서 수신된다는 점에서 전형적으로 I 및 Q 신호 샘플은 오버-샘플(over-sample)된다. 디시메이트 및 역확산부(46)에서, 데이터는 오버-샘플된 데이터 속도에서 PN 칩 속도로 디시메이트 된다. 데이터는 이동국에서 신호를 변조하기 위하여 사용된 동일 PN 시퀀스를 사용하여 디시메이트 및 역확산부(46)에 의해 역확산된다.

디시메이트 및 역학산부(46)는 누산기(48)에 역확산 (I, Q) 신호를 출력한다. 누산기(48)는 누적된(I, Q) 칩 데이터를 만들기 위하여 왈쉬 칩 주기에 대해 역확산(I, Q) 신호 성분을 누산한다. 누산된 (I, Q) 칩 데이터는 빠른 하다마드 변환기(FHT) 및 선택기(52)에 의해 처리된다. FHT 및 선택기(52)의 FHT 부분은 모든 가능한 왈쉬 시퀀스와 누산된 (I, Q) 칩 데이터를 상관(correlate)시킨다. 각(I, Q) 상관 결과는 상응하는 왈쉬 심벌의 크기를 추정하기 위하여 사용된다. 각 I, Q 상관관계에서 추정된 크기는 서로 비교된다. I, Q 상관관계에 상응하는 왈쉬 심벌은 복조된 왈쉬 심벌로서 FHT 및 선택기(52)의 선택 부분에 의해 선택되는 최고의 크기를 갖는다. 복조된 왈쉬 심벌은 추정된 왈쉬 심벌의 크기를 따라서 출력된다.

여러 가지 복조 엘리먼트에 할당된 신호 경류의 여러 가지 도달 시간으로 인하여, 복조 엘리먼트(22)는 심벌의 디-스큐잉(de-skewing)을 수행한다. 복조 엘리먼트(22) 각각이 다른 복조 엘리먼트(22)에 대하여 동기화된 신호를 제공하기 위하여 결합기(28)(제 2도)의 출력은 디스큐 버퍼(deskew buffer)(54)에 의해 지연되어야한다.

에너지 누산기 및 로크 검출기(44)는 일련의 연속적인 왈쉬 심벌 크기를 합산한다. 합산 결과는 마이크로프로세서(34)(제 2도)에 출력된다. 합산 결과는 에너지 누산기 및 로크 검출기(44)에 의해 로크된 또는 언로크된 상태를 나타내는 임계값과 비교된다.

복조 엘리먼트(22)에 할당된 신호 경로의 도달 시간은 이동국 주위의 변화 또는 이동국의 이동 때문에 시간에 대해 변할 수 있다. 그러므로, 복조 엘리먼트(22)는 시간 추적 회로부를 포함한다. 디시메이트 및 역확산부(46)는 시간 추적 과정에 사용되는 초기 및 최종 버전의 역확산 (I, Q) 신호성분을 출력한다. 누산기(50)는 계산된 초기 및 최종(early and late)(I, Q) 칩 데이터를 만들어 내기 위하여 왈쉬 칩 주기에 대해 초기 및 최종 (I, Q) 칩 신호 성분을 누산한다. 지연기(40)은 FHT 및 선택기(52)의 결과가 유용할 때까지 누산기(50)의 출력을 지연한다. 지연기(40)는 데이터의 큰 블록을 저장해야 하고 집적된 호로 칩 구현에 있어 큰 다이(die) 영역을 요구한다. 초기 및 최종 메트릭 발생기(38)는 복조된 왈쉬 심벌에 상응하는 왈쉬 시퀀스에 의해 누산된 초기 및 최종(I, Q) 칩 데이터를 곱하고 초기 및 최종(I, Q) 왈쉬 심벌의 크기를 발견하기 위하여 결과를 누산한다. 에러 메트릭을 만들기 위하여 최종 심벌 크기에서 초기 심벌 크기를 감산한다. 에러 메트릭은 시간 추적부(36)에 출력된다. 디시메이트 및 역확산부(46)의 작동이 전방 또는 후방 또는 온-타임에 대해 이루어지는지를 결정하기 위하여 시간 추적(36)은 에러 메트릭을 사용한다. 마이크로프로세서(34)는 복조 엘리먼트(22)의 절대 복조 경로 시간(absolute demodulation path time)의 추적을 유지한다.

다시 제 2도에서, 각 복조 엘리먼트(22)에 대해 FHT 및 선택기(52)의 출력은 결합기(28)에 의해 다른 복조 엘리먼트의 것과 결합된다. 결합기(28)의 출력은 “소프트 결정” 복조된 심벌이고, 원래 전송된 왈쉬 심벌을 정확하게 식별하는 신뢰(confidence)에 의해 가중된다. 소프트 결정은 오리지날 콜 신호를 복구하는 추가 처리를 위해 순방향 에러 상관관계 디코드(29)를 통과한다. 이러한 콜 신호는 그후 상기 콜 신호는 공중 스위치 전화 네트워크(PSTN)(32)에 라우팅(routing)하는 T1 또는 E1과 같은 디지탈 링크(30)를 통하여 통과된다.

각 복조 엘리먼트(22)와 달리, 각 검색기(26)는 왈쉬 심벌의 주기와 동일한 시간 주기 동안에 하나의 FHT 전송을 수행할 수 있는 FHT 처리기를 갖는 복조 데이터 경로를 포함한다. FHT 처리기는, 하나의 값은 FHT에 입력되고, 하나의 값은 FHT로부터 출력된다는 의미에서 모든 왈쉬 칩 간격동안에 “실시간(real time)”에 종속된다. 빠른 검색 처리를 제공하기 위하여, 하나 이상의 검색기 엘리먼트가 사용되어야 한다. 검색기 엘리먼트(26)은 마이크로프로세서(34)에 의해 제어되는 것으로 특정 이동국의 정보 신호의 검색을 스캔한다. 각 오프셋 처리에 대해, 각 검색기(26)는 안테나 샘플을 역확산하고 FHT 전송에 입력되는 왈쉬 칩으로 에너지를 누적하고, FHT 변환을 수행하고 검색기가 오프셋에 있는 각각의 왈쉬 심벌에 대해 최대 FHT 출력 에너지를 합산해 오프셋에서 상관관계 에너지를 발견한다. 최종 합계는 마이크로프로세서(34)에 역으로 보고된다.

다중 경로 환경은 기지국의 커버리지 영역에 대해 이동국 및 다른 반사 대상물이 이동함에 따라 일정하게 변한다. 요구된 복조 엘리먼트의 수는 시간의 어떤 포인트에 유용할 수 있는 경로의 갯수의 함정이다. 이러한 필요성을 충족하기 위하여, 제 2도 시스템은 사용된 4개의 복조기 집적 회로(IC)의 각각에 대해, 2개의 검색기(26) 및 하나의 복조 엘리먼트(24)를 가져 채널 엘리먼트 모뎀 당 4개의 복조 엘리먼트 및 8개의 검색기를 가진다. 12개의 처리 엘리먼트 각각은 완성된 복조 데이터 경로를 포함하고 집적 회로 구현시 크고 비싼, 영역을 차지하는 FHT 처리기를 포함한다. 4개의 복조기 IC에 덧붙여 채널 엘리먼트 모뎀은 전체 6(IC) 칩에 대해 변조기IC 및 순방향 에러 상관 관계 디코드IC를 갖는다. 강력하고 값싼 마이크로프로세서가 복조 엘리먼트 및 검색기를 관리하고 조화시키기 위하여 필요하다. 제 2도의 모뎀에서 구현된 것과 같이, 이러한 회로는 완전히 독립적이고, FHT 출력을 정확한 오프셋을 통하여 시퀀스하고 조정하기 위하여 마이크로프로세서(34)의 안내를 필요로 한다. 모든 왈쉬 심벌 마이크로프로세서(34)는 FHT 출력을 처리하기 위하여 인터럽터를 수신한다. 이러한 인터럽터 속도(rate) 혼자 강력한 마이크로프로세서를 필요로 한다.

만약 모뎀에서 요구된 6개의 IC가 마이크로프로세서 지지가 덜 필요한 단일 IC로 줄어든다면, IC 가격 및 모뎀의 보드 레벨 생산비용을 줄이고, 보다 낮은 가격의 마이크로프로세서(또는 선택적으로 한번에 몇몇 채널 엘리먼트 모뎀을 지지하는 단일 고출력 마이크로프로세서)가 가능하게 한다. IC 제조 공정의 모양의 크기를 줄이고 단일 다이상에 6개의 칩을 놓는 것은 충분하지 않다. 복조기의 기본적인 구조를 싸고 효율적인 단일 칩 모뎀을 위해 다시 설계할 필요가 있다. 상기에서, 낮은 가격 및 구조적으로 더 효율적인 방법으로 스펙트럼 확산 콜 신호를 복조할 수 있는 신호 수신 및 처리 장치의 불필요성이 있다는 것은 명백하다.

[발명의 개요]

다중 경로 스펙트럼 확산 통신 신호의 복조용 파이프라인된 복조 기술은 다수의 복조 엘리먼트 전방 단부 블록(front end block)을 이용하는 단일 집적된 복조 처리기를 사용한다. 시간 슬라이스(time slice)된 작동은 복조 처리기 내의 단일 일련의 처리 블록이, 궁극적으로 결합되어 단일 출력 신호를 생산하는 다수의 경로 분기 신호를 처리하는데 사용되도록 한다. 병렬 세트의 복조 엘리먼트 전방 단부 블록으로부터의 신호는, 각 블록이 연속적인 시간 슬라이스에서 복조 엘리먼트 전방 단부의 모든 것으로부터 발생되는 신호에 따라 아날로그 작동을 수행하도록 파이프라인된 집적된 변조 처리기 블록을 통하여 처리된다.

복조 엘리먼트 전방 단부 블록의 각각은 시간 정렬, 의사잡음(PN) 시퀀스를 갖는 들어오는 스펙트럼 확산 통신 신호의 여러 가지 다중 경로 부분을 역확산(despread)한다. 각 복조 엘리먼트 전방 단부 블록의 출력은 데이터의 왈쉬 칩이 역확산되는 각 시간에서 저장 버퍼로 출력된다. 저장 버퍼는 칩의 왈쉬 심벌 값이 누산될때까지 복조 엘리먼트 전방 단부 블록의 각각으로부터 왈쉬 칩을 저장한다. 대기 행렬 조정자(queuing arbiter)는 복조 처리의 파이프라인 되고 시간 슬라이스 작동이 시작되는 디코드된 출력을 만드는 단일 공유의 변환 엔진(shared transform engine)으로 그대로 왈쉬 심벌이 전송되는 것을 통제한다.

제 1시간 슬라이스 동안에, 데이터의 왈쉬 심벌 값은 공유된 변환 엔진에 의하여 디코드된다. 제

2시간 슬라이스 동안에, 변환 엔진의 디코드된 출력은 최대 검출 블록(maximum detection block) 및 결합기(combiner)에 의해 처리되고 변환 엔진은 이용할 수 있는 어떤 다른 왈쉬 심벌을 처리하는 데 이용할 수 있다. 상기 결합기는, 다른 복조 엘리먼트 전방 단부 블록에 상응하는 변환된 출력과 합산하기 위해 변환된 출력을 저장한다. 상기 최대 검출 블록은 가장 큰 변환 출력의 에너지 및 상기 출력의 인덱스를 검출한다.

제 3시간 슬라이스 동안에, 최대 검출 블록의 최대 에너지 출력은 시간 추적 블록에 의해 사용된 최대 에너지에 상응하는 로크 검출 블록(lock detection block) 및 인덱스에 의해 처리된다. 로크 검출 블록은 최대 에너지 출력을 계산하고 필터한다. 시간 추적 블록은 최대 에너지와 상응하는 인덱스를 사용하여 상응하는 복조 엘리먼트 전방 단부 블록으로부터 초기 및 최종 심벌을 언커버(uncover)하고, 최초 결과를 최종 결과와 비교한다. 시간 슬라이스 작동을 유지하면서, 제 3시간 슬라이스 동안에, 전송 엔진은 이용할 수 있는 완성된 왈쉬 심벌을 처리하는데 유용하고 최대 검출 블록 및 비교기는 가능한 전송 엔진의 출력을 처리하는데 이용할 수 있다.

제 4시간 슬라이스 동안에, 시간 추적 블록(time tracking block)은 필터링의 제 2시간 추적 작동 및 비교의 출력 계산을 수행한다. 제 4시간 슬라이스 동안에, 이전의 블록은 파이프라인된 형태의 후속의 복조 엘리먼트 전방 단부 블록 출력을 처리하는데 이용할 수 있도록 계속된다.

일련의 연속적인 시간 슬라이스 동안에, 유효한 다중 통신 신호에 할당된 각 복조 엘리먼트 전방 단부 블록은 파이프라인된 처리를 통하여 캐스케이드(cascade)되는 출력 신호를 제공한다. 단일 전송된 왈쉬 심벌에 상응하는 각 복조 엘리먼트 전방 단부 블록 출력이 변환기에 의해 처리될 때, 합산된 출력은 2중 최대 메트릭 블록(dual maxima metric block)에 의해 처리된 제 1통과이다. 다음 시간 슬라이스 동안에, 2중 최대 메트릭 블록의 제 1통과 출력은 전력 제어 결정 블록(power control decision block)으로 통과되고 2중 최대 메트릭은 소프트 결정 데이터를 만들기 위하여 제 2통과(second pass)를 완성한다.

[도면의 간단한 설명]

제 1도는 전형적인 다중 경로 신호 상태를 나타내는 도면;

제 2도는 선행 기술 통신 네트워크 복조 시스템의 블록도;

제 3도는 선행 기술 통신 네트워크 복조 시스템의 복조 엘리먼트의 블록도;

제 4도는 본 발명에 따라서 제조된 전형적인 CDMA 전화 통신 시스템을 나타내는 도면;

제 5도는 본 발명에 따라서 제조된 채널 엘리먼트 모뎀의 블록도;

제 6도는 복조기 전방 단부 및 파이프라인된 복조기 처리기의 블록도를 포함하는, 본 발명에 따라서 제조된 복조 레이크 수신기의 개략도;

제 7도는 일련의 시간 슬라이스에 따른 전형적인 파이프라인된 복조 처리기 배치를 나타내는 시간 블록도;

제 8도는 복조 엘리먼트 전방 단부의 블록도;

제 9도는 복조 엘리먼트 행렬 계산 블록의 블록도;

제 10도는 시간 추적 블록의 블록도;

제 11도는 로크 검출기 블록의 블록도;

제 12도는 2중 최대 메트릭 블록의 블록도;

제 13도는 전력 제어 결정 블록의 블록도.

[발명의 상세한 설명]

본 발명은 다양한 데이터 전송 응용에서 수행될 수 있고 제 4도에 설명된 바람직한 실시예에, 이동 전화 스위칭 오피스(mobile telephone switching office;MTSO)(102)로 언급되는 시스템 제어기 및 스위치가 수행되고 기지국(base station)(106)을 통하여 이동국(104)와 콜 통신을 허락하도록 인터페이스 및 제어 함수를 수행하는 음성 및 데이터 전송용 시스템(100)내에서 본 발명이 구현되어 있다.

제 5도는 앞서 언급한 특허에 기술된 CDMA 방법 및 데이터 포맷에 따라서 작동되는 기지국 하부구조의 다른 엘리먼트 및 채널 엘리먼트 모뎀(110A-110N)을 나타낸다. 다수의 안테나(112)는 수신된 역방향 링크 신호(114)를 아날로그 송·수신기(116)에 제공한다. 송수신기(116)은 신호를 베이스밴드(baseband)에 다운 전환하고 상기 언급된 바와같이 CDMA 수신된 신호의 PN 칩 속도의 8배로 파형을 샘플한다. 송수신기(116)는 디지탈 안테나 샘플을 기지국 RX 백플랜(backplane) 신호(118)를 통하여 채널 엘리먼트 모뎀(110A-110N)에 제공한다. 각 채널 엘리먼트 모뎀(110A-110N)은 활성통신(active communication)이 기지국으로 설정될 때, 제 4도의 이동국(104)의 하나에 할당된다. 각 채널 엘리먼트 모뎀(110A-110N)은 거의 동일 구조이다.

채널 엘리먼트 모뎀(110A)이 활성 콜에 할당될 때, 복조기 전방 단부(122) 및 집적된 검색 처리기(integrated search processor)(128)는 상기 언급한 특허 및 특허 응용에서 기술된 PN 시퀀스의 사용에 의해 역방향 링크 신호(114)에 포함된 다수의 콜 신호로부터, 특정 콜로부터의 신호를 차단한다. 채널 엘리먼트 모뎀(110A)은 복조기 전방 단부(122)에 의해 사용될 수 있는 다수 경로 신호를 식별하기 위하여 단일 집적된 검색 처리기(128)를 포함한다. 상기 실시예에서, 시간 슬라이스된 FHT 처리기 엔진(120)은 집적된 검색 처리기(128) 및 복조 전방 단부(122)모두에 모두 서비스한다. FHT 처리기 엔진(120) 및 관련되 최대 검출 블록(160)을 제외하고는, 집적된 검색 처리기(128)는 독립형(stand-alone), 자체-제어(self-controlled)되고 자립형(self-contained)이다. 검색 처리는 본 발명의 양수인에게 양도된 1994, 9, 30일에 출원된 “스펙트럼 확산 다중 접속 통신 시스템용 다중 경로 검색 처리”의 명칭으로 공동 계류중

인 미국 특허 출원 제 08/316, 177호에 기술되어 있다.

FHT 처리 엔진(processor engine)(120)은 복조 처리의 핵심이다. 바람직한 실시예에서, FHT 처리 엔진(120)은 이동국에 의해 전송된 각 가능한 왈쉬 심벌과 64 칩 값의 수신된 시퀀스를 상관시킨다. FHT 처리 엔진(120)은, 각 가능한 왈쉬 인덱스에 상응하는 상관관계 에너지(correlation energy)를 출력한다. 더 높은 상관 관계 에너지는 왈쉬 인덱스에 상응하는 상기 심볼이 이동국에 의해 통신되었다는 가능성이 높은 것을 말한다. 최대 검출 블록(160)은 가장 큰 64FHT 전환 에너지 출력을 결정한다. 최대 검출 블록(160)으로부터의 상응하는 왈쉬 인덱스 및 최대 상관관계 에너지 및 FHT 처리 엔진(120)으로부터 출력된 64 상관관계 에너지의 각각은 하기에서 기술할 추가적인 신호 처리를 위해 파이프라인된 복조 처리기(126)를 통과한다.

파이프라인된 복조 처리기(126)으로부터의 소프트 결정 심벌은 디인터리버되고 디코되는 디인터리버(deinterleaver)/순방향 에러 상관관계 디코더(130)에 출력된다. 채널 엘리먼트 마이크로프로세서(136)는 마이크로프로세서 버스 인터페이스(134)를 통하여 디인터리버/포워드 에러 상관관계 디코더(130)으로부터 복구된 데이터를 얻고 전체 복조 처리를 감독한다. 상기 데이터는 PSTN(108)을 통하여 상기 콜을 접속하는 MTSO(102)에 디지탈 백하울(backhaul) 링크(121)를 통하여 라우팅(routing)된다.

순방향 링크 데이터 경로는 역방향 링크에 대해 제공된 역 기능으로서 많이 앞선다. MTSO(102)를 통하여 PSTN(108)로부터 제공된 신호는 디지탈 백하울(121)에 제공된다. 디지탈 백하울(121)은 입력을 채널 엘리먼트 마이크로프로세서(136)를 통하여 엔코드/인터리버(encoder/interleaver)(138)에 제공한다. 데이터를 인코딩 및 인터리빙한 후에, 엔코드/인터리버(138)는 데이터를 상기 언급된 특허에 기술된 바와 같이 데이터를 복조하는 복조기(140)에 통과시킨다. 복조기(140)의 출력은 합산기(summer)(142)로 통과되고 베이스밴드로부터 업-전환에 앞서 다른 채널 엘리먼트 모뎀의 출력에 더해지고 아날로그 송수신기(116)에서 증폭된다. 합산 방법은 본 발명의 양수인에게 양도된 1994, 9, 30에 출원된 "다중 디지탈 파형의 합산을 위해 직렬 링크된 상호 접속"의 명칭으로 공동 계류중인 미국 특허 출원 제 08/316,156호에 기술되어 있다. 앞서 언급한 특허 출원에서 언급한 바대로, 각 채널 엘리먼트 모뎀(110A-110N)에 상응하는 전송 합산기는 방송을 위하여 송수신기(116)에 제공되는 최종 합산이 되도록 데이시-체인 패션(daisy-chain fashion)으로 캐스케이드될 수 있다.

제 5도에 도시된 바와 같이, 채널 엘리먼트 모뎀(110)의 복조기 구조는 2개의 주요 세그먼트로 구성된다. 상기 2개의 주요 세그먼트는 FHT 처리기 엔진(120) 및 최대 검출 블록(60)을 통하여 함께 링크된 변조 전방 단부(122) 및 파이프라인된 복조 처리기(126)이다. 제 6도는 복조기 구조의 더 상세한 도면을 나타낸다. 2개의 시그먼트 사이의 작업 분할은 특정 작동이 발생하는 주파수에 의해 결정된다. 역확산 및 왈쉬 칩 누산과 같은 PN 칩 마다 한 번 발생하는 기능은 복조 엘리먼트 전방 단부(400A-400D)에 발생한다. (바람직한 실시예는 비록 일반적으로 어떤 숫자라도 발생될 수 있지만 4개의 복조 엘리먼트 전방 단부를 사용하여 기술된다). 로크 검출, 시간 추적, 결합 및 디코딩과 같은 왈쉬 심벌 마다 한 번 수행된 작동은 파이프라인된 복조기 처리기(126)에서 수행된다.

FHT 처리기 엔진(120), 최대 검출기(160), 및 파이프라인된 복조기 처리기(126)의 각 블록은 처리 작동을 이산(descrete) "시간 슬라이스"로 나눈다. 바람직한 실시예에서, 시간 슬라이스은 64블록 사이클 길이이고, 그것은 64 입력 왈쉬 칩 값 상에 변환을 수행하기 위하여 FHT 처리기 엔진(120)에 의해 요구된 사이클의 수이다. PN 칩 속도의 8배인 시스템 클럭을 사용하면, 64클럭은 2개의 왈쉬 칩 또는 1/32 왈쉬 심벌과 동일하다. 그러므로 32 변환은 데이터의 하나의 왈쉬 심벌값이 수신되는 시간에서 수행될 수 있다. 높은 속도의 작동으로 인하여, FHT 처리기 엔진(120)은 복조 및 검색 처리 사이에서 시간 슬라이스를 근거로 분할될 수 있고, 제 2도 및 제 3도의 모든 선행 FHT 처리기(52)를 대치한다.
정상적으로, 복조기 전방 단부(122)는 유효한 신호가 복조되는 각 복조 엘리먼트 전방 단부(400)에 대해 왈쉬 심벌 당 한 번씩 완전히 저장된 왈쉬 심벌을 FHT 처리기 엔진(120)에 출력한다. 남아있는 시간 슬라이스는 집적된 검색 처리기(128)에 의해 사용될 수 있고, 검색 결과를 제 2도 및 제 3도의 8개 선행 검색기(26) 세트 보다 3배 빠르게 처리될 수 있게 한다. 다른 실시예에서, 남아있는 시간 슬라이스는 복조 엘리먼트 전방 단부의 수를 증가하는데 사용될 수 있다. 추가 수행 개선은 FHT 처리기 엔진(120)의 클록 속도를 증가함으로서 얻어질 수 있다.

바람직한 실시예에서, 복조기 전방 단부(122)는 4개의 동일 복조 엘리먼트 전방 단부(400A-400D)를 포함한다. 각 안테나 샘플은 도착하자 마자 작동된다는 의미에서 복조 엘리먼트 전방 단부(400A-400D)난 제 2도의 선행 엘리먼트와 동일한 "실시간"에서 작동한다. 제 3도에 도시된 모든 신호 처리 작동은 실시간에 작동하지 않고 상기 모든 신호 처리 작동은 파이프라인된 복조 처리기(126), FHT 처리기 엔진(120) 및 최대 검출 블록(160)에 전달된다. 각 복조 엘리먼트 전방 단부(400)는 남아있는 기능 즉 디시메이션, 역확산, 왈쉬 칩 누산에 수행한다. 이러한 기능을 수행하기 위하여, 다수의 작은 누산기 및 먹스(MUX)가 요구된다.

파이프라인된 복조기 처리기(126)는 온-타임 왈쉬 칩 버퍼(406) 및 초기/최종 왈쉬 칩 버퍼(404)에 의해 실시간으로 되지 않았다. 복조 엘리먼트 전방 단부(400A-400D)의 하나는 데이터의 전체 왈쉬 심벌 값을 온-타임 왈쉬 칩 버터(406) 및 초기/최종 왈쉬 칩 버퍼(404)에 제공한후, 상기 왈쉬 심벌은 다음 이용 가능한 시간 슬라이스에 FHT 처리기 엔진(120)에 출력된다. 만약 동일시간에 FHT 처리기 엔진(120)을 사용하기 원하는 2개 이상 저장된 왈쉬 심벌 사이에 충돌(conflict)이 발생한다면, 바람직한 실시예에서 복조 엘리먼트 대기 행렬 조정자(402)는 연속하는 시간 슬라이스상에 왈쉬 심벌을 먼저 도착하는 순서로 정렬한다.

완성된 왈쉬 심벌이 FHT 처리기 엔진(120)에 출력되면, 일련의 신호 처리 작동은 연속적인 시간 슬라이스상의 로크-스텝(lock-step)에서 발생된다. 파이프라인된 복조 처리기(126)의 각 블록은 왈쉬 심벌이 어떤 복조 엘리먼트 전방 단부(400)에서 발생되는지와 상관없이 동일 형태 작동을 수행한다. 이러한 일련의 신호 처리 작동을 "파이프라인된 복조 이벤트(pipelined demodulation event)"로 부른다. 제 7도는 복조 엘리먼트 전방 단부(400A-400D)의 각각이 여러 가지 다중 신호에 할당된 전형적인 다중 경로 환경에 대해 파이프라인된 복조기 처리기(126)를 포함하는 다양한 처리 블록에 대한 각 시간 슬라이스의 자원(resource) 배치를 나타낸다. 제 7도읜 시간 라인 상에 라벨, 이벤트(0-3)는 제 1전송된 심벌, 왈쉬

(0)에 대해 파이프라인된 복조 이벤트를 나타낸다. 왈쉬(0) 심벌에 상응하는 온-타임 왈쉬 칩 버퍼(406)으로부터 출력되는 제 1왈쉬 심벌은 이벤트(0)로 나타나고, 최초로 도착하는 다중 경로 신호를 접수하는 한 복조 엘리먼트 전방 단부(400A-400D)의 데이터에 상응한다. 이벤트(1,2,3)는 남아있는 3가지 복조 엘리먼트 전방 단부(400)으로부터의 데이터와 상응하고, 이벤트(3)는 왈쉬(0) 심벌이 상응하는 최종적으로 이용 가능한 심벌을 나타낸다.

제 7도의 사용 배치, 막대의 빈 공간은 상응하는 시간 슬라이스 동안에 사용되질 않는 상응하는 자원을 나타낸다. 파이프라인된 복조 이벤트들간의 FHT 처리기 엔진(120)의 공유 및 검색 처리는 자원 배치 FHT 처리기(120) 및 최대 검출 블록(160)의 자원 배치에서 볼수 있다. 검색 처리는 파이프라인된 복조 이벤트 사이에서 사용 패턴내의 갭(gap)을 “채운다”. 제 7도의 바람직한 사용 패턴에 대해, 제 1파이프라인된 복조 이벤트, 이벤트(0)는 다른 3가지 엘리먼트로부터 적어도 2개의 왈쉬 칩이 도달하는 다중 경로를 추적하고, FHT 처리기 엔진(120)이 제 7도의 사용 배치의 검색 라벨에 의해 표시된 바와같이 시간 슬라이스(1) 동안에 검색 처리에 의해 사용될 수 있도록 이벤트(0) 및 이벤트(1) 사이의 사용 패턴의 갭을 초래한다.

제 7도의 오른쪽의 원형 숫자는 데이터의 왈쉬 심벌 값이 FHT 처리기 엔진(120)에 출력되는 시간 슬라이스에 대해 처리 블록의 상대적인 시간 슬라이스 사용을 나타낸다. 예를 들면, 바람직한 실시예에서, 단지 FHT 처리기 엔진(120)은 제 1시간 슬라이스 동안에 사용된다. 다음 시간 슬라이스 동안에 최대 검출 블록(160), 결합기(419) 및 현재 심벌에 상응하는 최종 이벤트를 처리할 때, 2중 최대 메트릭(dual maxima metric)(414)이 사용된다. 제 3 시간 슬라이스동안, 로크 검출기(410), 시간 추적 블록(412), 및 현재 심벌에 상응하는 최종 이벤트를 처리할 때, 2중 최대 메트릭(414) 및 전력 제어 결정(416)이 사용된다. 제 4시간 슬라이스 동안에, 시간 추적 블록(412)은 다시 한번 사용된다.

시간 슬라이스 사용 패턴은, 복조 엘리먼트 전방 단부(400A-400D)에 의해 처리되는 다중 경로 오프셋 신호와 시간 슬라이스 처리 간격에 할당된 오프셋과 관련된 왈쉬 심벌 경계의 결과 시간 관계 사이의 공간에 좌우된다. 많은 여러 가지 경로 환경은 제 7도의 바람직한 사용 패턴과 동일하게 만들 수 있다. 예를 들면, 만약 최종 3가지 파이프라인된 복조 이벤트가 거의 동일한 오프셋과 상응한다면, 복조 엘리먼트 대기 행렬 조정기(402)는 시간 슬라이스 당 하나의 이벤트를 시퀀스하여 제 7도의 동일 사용 패턴을 야기할 것이다. 만약 최종 3가지 이벤트의 상응하는 오프셋이 2개의 왈쉬 칩(한 시간 슬라이스)으로 분리되게 공간을 유지한다면, 동일한 사용 패턴이 발생할 것이다.

시간 슬라이스(0) 동안에, 왈쉬(0) 심벌에 대해 이벤트(0)에 상응하는 심벌은 FHT 처리기 엔진(120)으로 입력된다. 바람직한 실시예에서 시간 슬라이스(0) 동안에, 64 왈쉬 칩은 온-타임 왈쉬 칩 버퍼(406)으로부터 판독되고 FHT 처리기 엔진(120)에 입력된다. 시간 슬라이스(1) 동안에, FHT 처리기 엔진(120)은 최대 검출 블록(160) 및 결합기(419)에 64 상관관계 에너지를 직렬로 출력한다. 시간 슬라이스(2) 동안에 시간 추적 블록(412)는, 최대 검출 블록(160)에 의해 발견된 최대 상관관계 에너지의 왈쉬 인덱스를 사용하여 초기/최종 왈쉬 칩 버퍼(404)로부터 초기/최종 왈쉬 칩을 누적하고 언커버(예를 들면 역확산)한다. 또한 시간 슬라이스(2) 동안에, 로크 검출기(410)은 최대 상관관계 에너지를 필터하고 파이프라인된 복조 이벤트(0)에 상응하는 복조 엘리먼트 전방 단부(400A-400D)의 하나의 로크 상태를 결정하기 위하여 상기 결과를 사용한다. 시간 슬라이스(3) 동안에, 시간 추적 블록(412)은 초기 및 최종 샘플링 포인트에서 신호 강도의 차이를 추정하고, 파이프라인된 복조 이벤트(0)에 상응하는 복조 엘리먼트 전방 단부(400-400D)의 하나의 복조 과정에서 다중 경로 피크 신호를 정렬하는데 사용되고 필터링되는 시간 추적 에러 메트릭을 생성한다.

동일한 작동은 상응하는 왈쉬 심벌이 수신되면서 파이프라인된 복조 이벤트(1,2,3)에 대해 반복된다. 현재 왈쉬 심벌에 대해 최종 파이프라인된 복조 이벤트, 이벤트(3)는 시간 슬라이스(4) 동안에 FHT 처리기 엔진(120)에 의해 처리된다. 시간 슬라이스(5) 동안에, 결합기(419)의 가산기(418)는 결합기 램(408)에 저장된 바와 같이 파이프라인된 복조 이벤트로 이전에 처리된 것으로부터의 부분적인 합에 이벤트(3)에 대한 FHT 처리기 엔진(120)의 출력을 가산한다. 또한 시간 슬라이스(5) 동안에 2중 최대 메트릭(414)은 현재 처리된 왈쉬 심벌, 왈쉬(0)에 대해 결합기(419)의 가산기(418)로부터 출력되는 결합된 에너지에서 가장 큰 것을 찾는다. 시간 슬라이스 (6) 동안에, 2중 최대 메트릭스(414)를 아래에 기술된 방법에 따라 가중된 소프트 결정을 발생하도록 결합기(419)의 누산기(418)로부터 2중 최대 메트릭스(414)로 동일 결합된 에너지 값이 두번째로 통과한다. 또한 시간 슬라이스(6) 동안에, 전력 제어 결정부(416)는 임계치를 갖는 시간 슬라이스(5) 동안에 2중 최대 메트릭스(414)에 의해 계산된 최대 결합 에너지를 비교한다. 전력 제어 결정부(416)는 이동국에 대해 상기 비교를 근거하여 전력 조정 명령을 발생한다. 전력 조정 명령부는 상기 언급한 미국 특허 제 5, 056, 109호에 설명되어 있듯이 순방향 링크 전력 제어 부채널 상에 위치한다.

제 8도의 언급에서, 각 복조 엘리먼트 전방 단부(400)는 I PN 발생기(408), 사용자 PN 발생기(482), Q PN 발생기(484)를 포함한다. 사용자 PN 시퀀스는 XOR 게이트(486) 및 (488)을 통해 I 및 Q PN 시퀀스를 복조한다. XOR 게이트(486) 및 (488)의 출력은 수신된 안테나 샘플을 역확산하기 위하여 OQPSK 역확산부(448)에 의해 사용된다. I PN 발생기(480), 사용자 PN 발생기(482), 및 Q PN 발생기는 타이밍 발생 블록(458)의 PN 칩 인에이블 스트로브 출력에 의해 스텝된다. 바람직한 실시예에서, 정상적인 시간 발생 블록(458)은 매 8시스템 클럭에 한번 하나의 PN 칩 인에이블 스트로브를 출력한다. 바람직한 실시예에서 시스템 클럭 속도가 PN 칩 속도의 8배이기 때문에, 타이밍 발생 클럭(458)은 PN 칩이 수신되는 동일 속도에서 PN 칩 인에이블을 출력한다. 그러나 전진(advance) 또는 후속(retard) 타이밍 조정 명령이 시간 추적 블록(412)으로부터 수신될 때, 상기 간격은 한 사이클에 대해 7 시스템 클록으로 줄어들거나 9 시스템 클록에 연장되고 그러면 정상적인(89) 시스템 클럭 공간(spacing)으로 다시 시작 한다. 줄어든 또는 확장된 간격 효과는 PN 디스레딩 시퀀스의 정렬을 조정함으로서 복조 엘리먼트 전방 단부(400)에 의해 처리되는 오프셋을 전진 또는 지연하는 것이다.

시간 오프셋 저항(456)은 복조된 다중 경로 피크의 절대 시간 오프셋을 추적한다. 시간 발생 블록(458)에 의해 실행된 각 전진 또는 지연으로, 시간 오프셋 레지스트(456)는 적절히 증가 또는 감소된다. 시간 오프셋 레지스트(456)는 위치 상태 레지스트(position status register)(450)를 통하여

채널 엘리먼트 마이크로프로세서(136)에 의해 판독될 수 있다. 채널 엘리먼트 마이크로프로세서(136)는 오프셋 할당 레지스터(452)에 기록함으로서 복조 엘리먼트 전방 단부(400)를 새로운 오프셋으로 할당할 수 있다. 채널 엘리먼트 마이크로프로세서(136)는 재할당을 명령하고, 시간 발생 블록(458)은, 시간 오프셋 레지스트(456)가 오프셋 할당 레지스터(452)와 동일할 때까지 조정을 반복하는 위치 비교기(454)에 응답하여 적절히 전진 또는 지연한다.

비록 안테나가 레지스터(446) 및 먹스(440)를 선택할지라도, 채널 엘리먼트 마이크로프로세서(136)는 복조하기 위하여 다수의 수신 안테나 샘플 스트림중 하나를 선택한다. 안테나 샘플 스트림은 PN 칩 당 8개의 샘플로 구성되어 있다. 디시메이션으로 지치되는 처리를 사용하여, 안테나 샘플의 부세트(subset)는 복조에 필요한만큼 PN 칩당 2개의 샘플을 갖는 데이터 스트림을 만들기 위하여 현재 오프셋 및 PN 칩 인에이블 신호에 따라서 디시메이터 래치(442)에 의해 선택된다. 시간 발생 블록(458)은 다중 경로 신호 중앙에 있는 결과 샘플이 복조되도록 디시메이트 래치(442)를 인에이블한다. 지연 레치(444)는 OQPSK 역확산부(448)에 의해 오프셋 직교 위상 편이 키(OQPSK)를 역확산하기 위해 필요한 만큼 이전의 출력 값을 지연한다. 바람직한 실시예에서, 역확산 샘플의 4개는 I 및 Q 왈쉬 칩 누산기(460)에 의해 합산되어 왈쉬 칩 값을 형성한다.

이전에 언급된 바와같이, 시간 추적 블록(412)은 복조 엘리먼트 전방 단부(400)가 선택된 다중 경로 신호상에 중심을 가지는 샘플을 복조하도록 한다. 아래에 상세히 언급된 바와 같이, 시간 추적 함수

$$1\frac{1}{2}$$

를 형성하기 위하여, 시간 추적 블록(412)은 선택된 복조되는 온-타임 신호보다 1/2 빠른 PN 칩과 늦은 PN 칩의 신호 에너지의 차이를 측정한다. PN 칩 초기 및 최종에서 신호 에너지를 계산하기 위하여. 상기 복조 처리는 온-타임 경로와 공일한 방법으로 초기 및 최종 샘플에 대해 수행해야 한다. 제8도에서, 역확산부(448) 및 왈쉬 칩 누산기(460A) 및 (460B)는 온-타임, 초기 및 최종 처리에 대해 시간이 분할된다. 온-타임, 초기, 최종 경로의 OQPSK 역확산은 디시메이션 래치(442) 및 지연 래치(444)로부터 XOR 게이트(486) 및 (488)로 부터 PN 역확산 시퀀스에 디시메이트된 안테나 샘플의 정렬에 의해서만 다르다. 예를 들면, 초기, 최종 또는 온타임은 왈쉬 칩의 복조가 PN 칩의 제 1 및 제 2 1/2로 시작하는지에 따라서 좌우되고 상기 샘플이 온-타임 또는 상기 샘플이 이전 칩의 PN 역확산 시퀀스로 상관되는 지에 따라서 좌우된다.

I 및 Q 왈쉬 칩 누산기(460A) 및 (460B)는 래치(464, 466, 468)(도면의 명료함을 위해 1왈쉬 칩 누산기(460A) 만 도시)로 구성된 3가지 엘리먼트 이동 레지스트를 갖고 있다. 래치(464, 466, 468)는 온-타임, 초기, 최종 왈쉬 칩 누적에 대해 부분 합을 저장한다. 상기 부분 합은 역확산부(448)로부터 상응하는 출력으로 정렬되고 4개 PN 칩이 완성된 알쉬 칩 값을 형성하기 위하여 역확산부(462)에 의해 합산될 때까지 순환된다. 완성된 왈쉬 칩을 합산한 후에, 누산 래치(464, 466, 468)로부터 합산된 값은 출력 래치(470)에 래치된다. 시간 발생 블록(458)은 복조 엘리먼트 대기 행렬 조정기(402)로 왈쉬 칩 스트로브를 출력한다. 응답으로, 복조 엘리먼트 대기 행렬 조정기(402)는 모든 복조 엘리먼트 전방 단부(400A-400D)와 공유된 버스로 구동되는 3-상태 드라이브(472, 474, 476)로 버퍼 쓰기 인에이블 신호를 출력한다. 3-상태 드라이브(472, 474, 476)으로부터의 왈쉬 칩 값은 다른 왈쉬 칩이 저장된 래치(470)에 왈쉬 칩값을 오버라이트(overwrite) 하기 전에 온-타임 왈쉬 칩 버퍼(406) 및 초/최종 왈쉬 칩 버퍼(404)에 기록한다.

제 9도에 도시된 바와같이, 복조 엘리먼트 대기 행렬 조정자(402)는 복조 엘리먼트 전방 단부(400A-400D) 및 FHT 처리기 엔진(120) 사이에 데이터 흐름을 조정한다. 복조 엘리먼트 전방 단부가 추적을 유지하는 시간의 가장 큰 단위는 왈쉬 칩이고, 복조 엘리먼트 전방 단부(400A-400D)는 왈쉬 칩이 상응하는 지와 상관없이 왈쉬 칩 데이터를 역확산 및 누산한다. 보다 큰 시간 스케일은 엘리먼트 상태의 래치(500A-500D)에서 복조 엘리먼트 대기 행렬 조정기(402)에 의해 유지되고, 상기 엘리먼트 상태의 래치(500A-500D)는 왈쉬 심벌 내의 왈쉬 칩의 숫자, 전력 제어 그룹 내의 왈쉬 심벌 수, 및 온-타임 왈쉬 칩 버퍼(406)와 초기/최종 왈쉬 칩 버퍼(404) 내의 어드레스를 추적한다. 나중에 더 상세히 설명될 것 중에서, 복조 엘리먼트 전방 단부(400A-400D)중 하나가 다음에 이용 가능한 시간 슬라이스 동안에 FHT 처리기 엔진(120)에 출력될 준비가 된 온-타임 왈쉬 칩 버퍼(406)의 완전한 왈쉬 심벌에 저장될 때를 결정하기 위하여 엘리먼트 전방 단부(500A-500D)의 출력이 사용된다.

복조 엘리먼트 핸드세이킹(handshake) 제어부(516)는 복조 엘리먼트 전방 단부(400A-400D)로부터 왈쉬 칩 스트로브 주장에 대해 일정하게 모니터한다. 복조 엘리먼트 변경 제어부(516)가 왈쉬 칩 스도로브를 수신할때, 그것은 상응하는 복도 엘리먼트 전당 단부(400)에 버퍼 기록 인에이블 신호를 리턴하고, 공동 3-상태 버스 상의 왈쉬 칩 값을 초기/최종 왈쉬 칩 버퍼(404) 및 온-타임 왈쉬 칩 버퍼(406)로 출력하기 위하여 상응하는 복조 엘리먼트 전방 단부(400)를 인에이블한다. 만약 2개 이상의 복조 엘리먼트 전방 단부(400)가 왈쉬 칩 스트로브를 주장한다면, 복조 엘리먼트 변경 제어부(516)의 우위 엔코드는 그들의 서비스하기 위하여 순서를 결정한다. 복조 엘리먼트 전방 단부(400A-400D)의 하나를 서비싱하는 동안, 다음 상태 발생기(512)는 온-타입 판독 어드레스 카운터(504) 및 초기/최종 판독 어드레스 카운터(508)에 저장된 판독 어드레스를 증가시킨다.

엘리먼트 상태의 래치(500A-500D)의 하나에 저장된 상태가 왈쉬 심벌 경계가 도달했다는 것을 나타낼 때, 초기/최종 왈쉬 칩 버퍼(404) 및 온-타임 왈쉬 칩 버퍼(406)는 데이터의 완전한 왈쉬 심벌을 포함한다. 왈쉬 심벌 경계가 도달했을 때, 현재 왈쉬 심벌에 대해 대기 행렬이 되게 관련된 파이프라인된 복조 이벤트를 지시하는 상응하는 복조 엘리먼트 전방 단부(400)의 확인, 상응하는 전력 제어 그룹내에 심벌 카운터, 및 “최종” 비트는 제어 단어 발생기(514)에 먹스(502) 및 다음 상태 발생기(next state generator)(512)를 통하여 전달된다. 상기 “최종” 표시기는 상태 기계 제어 단어 발생기(514)에 의해 추적이 유지된다., 제어 단어 발생기(514)는 제어 단어 대기 행렬(control word queue)FIFO(제 1입력 - 제 1 출력) 버퍼(518)를 제어하기 위하여 제어 단어를 기록한다. 제어 단어 대기 행렬 FIFO(518)은 매 시간 슬라이스 마다 파이프라인된 복조기 처리기(126)에 의해 판독되고, 모든 4개 복조 엘리먼트 전방 단부(400A-400D)가 거의 동시에 왈쉬 심벌 경계에 도달할지라도, 상응하는 제어 단어는 상응하는 왈쉬 심벌이

서비스되는 순서로 하나씩 연속적인 시간 슬라이스 상에 파이프라인된 복조기 처리기(126)로 출력된다.

제어 단어 대기 행렬 FIF0(518)의 출력은 온-타임 왈쉬 칩 버퍼(406)에서 FHT 처리기 엔진(120)까지 판독을 직접 제어한다. 온-타임 판독 어드레스 카운터(504)는 다음 상태 발생기(512)에 의해 선택된 바와같이 먹스(506)를 통하여 온-타임 왈쉬 칩 버퍼(406)에 대해 적당한 어드레스를 만들어낸다. 제어 단어 대기 행렬 FIF0(518)의 출력은 첫번째 슬라이스 동안에 FHT 처리기 엔진(120)의 작동을 제어한다. 연속적인 시간 슬라이스 동안에, 제어 단어는 상응하는 데이터와 늘 시간 정렬되도록, 제어 단어의 파이프라인 지연된 버전은 파이프라인된 복조기 처리기(126)의 파이프라인 작동과 정합한다. (파이프라인된 처리에 대한 더 상세한 설명은 다시 제 7도를 참조). 제 1래치(520) 파이프라인은 최대 검출 블록(160), 결합기(419) 및 "최종" 비트 출력이 주장될 때 제어 2중 최대 메트릭(414)에 대한 출력을 위해 제어 단어를 지연한다. 만약 파이프라인된 복조 이벤트가 최대 검출 블록(160)에 이용할 수 없다는 것을 제어 단어가 나타낸다면, 최대 검출 블록(160)은 집적된 검색 처리기(128)에 의해 사용될 수 있다. 제 2 파이프라인 래치(524)의 출력은 초기/최종 왈쉬 칩 버퍼(404)에서 시간 추적 블록(412)까지 왈쉬 칩 판독을 제어한다. 초기/최종 판독 어드레스 카운터(508)는 다음 상태 발생기(512)의 출력에 의해 선택되듯이 먹스(510)를 통하여 초기/최종 왈쉬 칩 버퍼(404)에 대해 적절한 어드레스를 만들어낸다. 제 2 파이프라인 래치(524)의 출력은 또한 로크 검출기(410)를 제어한다. "최종" 비트 출력이 주장될 때, 래치(524)는 결합기(419)의 작동, 2중 최대 메트릭(414), 및 출력 제어 결정(416)(제 9도에 도시되지 않았음)을 하기의 설명과 같이 제어한다. 제 3파이프라인 래치(526)의 출력은 시간 추적 블록(412)의 작동을 제어한다. 시간 슬라이스 스트로브 발생기(522)는 래치(520, 524, 526)를 통하여 제어 단어를 전진시키는 시간 슬라이스 경계 스트로브(time slice boundary strobe)를 제공한다.

각 시간 슬라이스 동안에, 2개의 왈쉬 칩은 복조 엘리먼트 전방 단부(400A-400D)로부터 온-타임 왈쉬 칩 버퍼(404)로 기록되어야하고 만약 데이터의 왈쉬 심벌이 시간 슬라이스 동안에 복조를 위하여 유용하다면, 64왈쉬 칩을 포함하는 전체 왈쉬 심벌은 온-타임 왈쉬 칩 버퍼(406)로부터 판독되어야 한다. 온-타임 왈쉬 칩 버퍼(406)에서 입출력되는 데이터 전송을 지지하기 위하여, 온-타임 왈쉬 칩 버퍼(406)는 독립적으로 기록 가능하고 판독 가능한 짝수 및 홀수 왈쉬 칩 반으로 이분된다. FHT 처리기 엔진(120)에 의한 기록 동안에, 복조 엘리먼트 전방 단부(400A-400D)에서 온-타임 왈쉬 칩 버퍼까지의 기록 작동은 그후 판독 작동 사이에서 멀티플렉스된다. 기록/판독 작동은 연속적인 클록 상에서 짝수 및 홀수 버퍼 반 사이에서 토글된다. 왈쉬 칩은 버퍼의 짝수 반에서 판독하는 동안, 왈쉬 칩은 버퍼의 홀수 반에 기록된다. 그 반대도 또한 같다. 선택적으로 2중 포트 램이 사용될 수 있다.

바람직한 실시예에서, 각 복조 엘리먼트 전방 단부(400A-400D)는 복조 엘리먼트 전방 단부(400A-400D)의 오직 하나만이 모든 시간 슬라이스 동안에 온-타임 왈쉬 칩 버퍼(406)에 다시 기록될 수 있기 때문에 동일한 짝수 및 홀수 버퍼 반을 공유할 수 있다. 초기/최종 왈쉬 칩 버퍼(404) 및 온-타임 왈쉬 칩 버퍼(406)은 함께 기록되고 상응하는 엘리먼트 상태 래치(500)로부터 유도된 동일 기록 어드레스 발생기를 사용한다. 제 9도에서 도시된 바와 같이, 독립 기록 어드레스 카운터는 초기/최종 왈쉬 칩 버퍼(404) 및 온-타임 왈쉬 칩 버퍼(406)에 대해 필요하다. 왜냐하면 초기/최종 버퍼 판독은 온-타임 버퍼 기록으로부터 2 개의 시간 슬라이스로 지연된 파이프라인이기 때문이다.

데이터의 왈쉬 심벌을 이용 가능할 때, 왈쉬 심벌이 FHT 처리기 엔진(120)에 출력될 때, 시간 사이의 지연을 조정하기 위하여, 바람직한 실시예에서 온-타임 왈쉬 칩 버퍼(406) 및 초기/최종 왈쉬 칩 버퍼(404)는 데이터의 왈쉬 심벌이 $1\frac{1}{4}$ (예를 들면 왈쉬 심벌의 5/4)를 저장한다. 상응하는 왈쉬 심벌 경계가 빠르게 차례로 발생하도록 각 복조 엘리먼트 전방 단부(400)가 서로로부터 단지 적은 량만이 시간의 다중 경로 피크 오프셋에 할당될 때, 공통적인 최악의 지연이 발생한다. 만약 최악의 지연이 새로운 시간 슬라이스의 시작후에 발생한다면, 상기 시간 슬라이스는 제 1왈쉬 심벌이 FHT 처리기 엔진(120)으로 출력되기 전에 지나야 한다. 3가지 부가적인 시간 슬라이스는 다른곳에 저장된 왈쉬 심벌을 출력하기 위하여 사용된다. 그러면 부가적인 2 시간 슬라이스는 초기/최종 왈쉬 칩 버퍼(404)가 최종 파이프라인된 복조 이벤트와 상응하는 데이터를 출력하기 전에 통과해야한다. 그래서 7시간 슬라이스 또는 14왈쉬 칩은 온-타임 왈쉬 칩 버퍼(406) 및 초기/최종 왈쉬 칩 버퍼(404)가 완전히 판독되기 전에 지나야 한다. 이러한 지연 간격 동안에 버퍼로 기록되는 왈쉬 칩 값은 판독되지 않는 값을 오버라이트할 수 없다. 왈수 심벌 깊이의 4/5인 원형 버퍼를 사용함으로서, 하나의 왈쉬 심볼의 시작은 항상 왈쉬 심벌의 1/4이거나 판독 포인터가 버퍼의 기록 포인트를 결코 따라 잡지 못하는 것을 보장하는 버퍼의 다음 왈쉬 심벌의 출발로부터의 16 왈쉬칩이다. 왈쉬 심벌 카운터 모듈러5 는 엘리먼트 상태 래치(500)에서 유지되고 현재 왈쉬 심벌이 시작하는 5개의 가능한 어드레스를 나타낸다. 선택된 어드레스는 FHT 처리기 엔진(120)에 64왈쉬 칩의 판독에 대해 기본 어드레스로 사용된다.

아래에 상세히 설명된 바와같이, 왈쉬 함수의 n 순서는 아래와 같이 정의 될 수 있다.

$$W(n) = \begin{vmatrix} W(n/2), W(n/2) \\ W(n/2), W'(n/2) \end{vmatrix}$$

W'는 W의 논리 보수를 나타내고, W(1) = 0이다.

바람직한 실시예에서, 왈쉬 시퀀스는 n=6일 때 발생되고, 그러므로 6-상태 나비 모양 격자는 FHT 처리기 엔진(120) 내에 각각의 64 가능한 왈쉬 함수로 64 입력 값을 상관시키는데 사용된다. 간단히 나비 모양 격자 구조 및 FHT 처리기 엔진(120)의 작동 방법은 본 발명의 양수인에게 양도된 "빠른 하다마드 변환 수행을 위한 방법 및 장치"의 명칭으로 H. 데시 등에 의해 1993, 12, 22에 출원된 공동 계류중인 미국 특허 출원 제 08/173, 460호에 기술되어 있고, 본 명세서에 참조로 인용된다. 최대 검출 블록(160)

은 FHT 처리기 엔진(120)의 64상관관계 에너지 출력중 가장 큰 것을 결정하고 최대 에너지의 값을 로크 검출기(140)에 통과시키고 최대에너지에 상응하는 상기 왈쉬 인덱스를 시간 추적 블록(412)에 통과시킨다.

시간 추적 블록(412)의 과정은 2개의 연속적인 시간 슬라이스 동안에 완성된다. 제 10도에 도시된 바와 같이, 시간 추적 블록(412) 내에 왈쉬 발생기(554), 래치(540), XOR 게이트(542A-542D), 누산기(554A-554D), 메트릭 계산기(546), 가산기(548)는 시간 슬라이스 기초 상에 파이프라인된 복조 이벤트를 가로질러 나뉘는 데이터 경로를 형성한다. 시간 추정 과정의 제 1시간 슬라이스 동안에, 시간 추적 블록(412)은 왈쉬 발생기(554)내의 최대 검출블록(160)에서 수신된 왈쉬 인덱스에 상응하는 왈쉬 시퀀스를 발생한다. 온-타임 샘플의 상응하는 복조 후에 제 3시간 슬라이스 상에 초기/최종 왈쉬 칩 버퍼(404)에서 래치(540)로 판독되는 초기 및 최종 왈쉬 칩에 왈쉬 시퀀스를 상관시킨다. 초기 및 최종 I 및 Q 왈쉬 칩은 XOR 게이트(542A-542D)에 의해 왈쉬 시퀀스와 상관된다. 상관관계의 결과는, 래치(540)으로부터 수신된 왈쉬 칩 입력과 발생기(554)로부터 왈쉬 시퀀스 사이에 상관관계가 더 클수록, 누산기(554A-554D)에 저장된 값이 더 크도록, 상응하는 누산기(554A-554D)로 합산된다.

시간 슬라이스 접근으로, 최대 결정 블록(160)이 FHT 처리기 엔진(120)의 최대 상관관계 에너지 출력 및 상응하는 왈쉬 인덱스를 결정하기 위하여 시간 추적 블록(412)이 1 시간 슬라이스를 기다려야 한다. 제 3도의 선행 기술의 실시간 종속된 접근법에서, 복조 처리는 전체 왈쉬 심벌을 처리하고, 버퍼(40)의 외부 왈쉬 지연 심벌은 그들이 사용될 때까지 초기/ 나중 왈쉬 칩을 저장할 필요가 있다. 시간 슬라이스 접근법으로 초기/최종 왈쉬 칩의 저장은 적절한 영역 절약 및 빠른 루프 응답을 위해 제거된다.

제 2시간 슬라이스 동안에, 초기 및 최종 오프셋용 에너지는 메트릭 계산기(metric calculator)(546)에 의해 추정된다. (왜냐하면 에너지 레벨은 상대적인 비교에 사용되고, 메트릭 계산기(546)는 영역 저장에 대한 진짜 에너지 계산 대신에 단순한 근사치를 이용한다). 초기 에너지 근사치는 최종 에너지 근사치에서 감산되어 시간 추적 에러 메트릭을 생성한다. 각 복조 엘리먼트 전방 단부(400A-400D)에 대한 계산된 에러 메트릭은 상응하는 위상 누산 래치(550A-550D)로 합산된다. 가산기(548)는, 먹스(552)에 의해 선택된 바와 같이 위상 누산 래치(550A-550D)의 적절히 누산된 에러에 현재 에러 메트릭을 더한다. 만약 복조 엘리먼트 전방 단부(400A-400D)의 하나가 너무 초기에 샘플링한다면, 상응하는 위상 에러 메트릭은 양이다. 일련의 양 위상 에러의 누적은 래치(550)는 오버플로우(overflow) 시킬수 있다. 상기 오버 플로우는 다중 경로 신호 파크 주위에 다시메이트 샘플 배치를 재센터링(recentering)하기 위하여 지연을 발생한다. 마찬가지로, 일련의 음위상 에러의 누산은 래치(550)를 언드플로우(underflow) 시킨다. 언더플로우 상태는 다중 경로 신호 피크 주위에 디시메이트 샘플을 재배치하기 위하여 전진을 발생한다. 다른 구현 방법으로 홀딩(holding) 래치에 에러 메트릭을 그들을 래치하기 위하여 사용된 왈쉬 인덱스와 함께 저장할 수 있고, 사용된 왈쉬 인덱스가 치종 선택된 결합 왈쉬 인덱스와 정합할 때, 메트릭이 위상 누산기로 합산되도록 한다.

다시 제 11도를 참조로, 로크 검출기(410)는 복조 엘리먼트 전방 단부(400A-400D)에 의해 추적된 각 다중 경로 피크에 대해 긴 기간(long term) 평균 에너지를 계산하기 위하여 무한 임펄스 응답(IIR) 펄스를 사용한다. 각 복조 엘리먼트 전방 단부(400A-400D)는 상응하는 에너지 필터 래치(582A-582D) 및 상응하는 로크 비트 세트/리세트 래치(570A-570D)를 갖는다. 최대 검출 블록(160)은 최대 복조 에너지 레벨을 전력 그룹 누산기(566)에 출력하고, 그것은 6개 연속적인 왈쉬 심벌에 대해 에너지 입력을 합산한다. 복조 엘리먼트 대기 행렬 조정자(402)는 왈쉬 심벌이 전력 그룹의 6번째 및 최종이라는 것을 나타낼 때, 전력 그룹 누산기(566)의 출력은, 먹스(584)에 의해 선택된 바와 같이 상응하는 에너지 필터 래치(582A-582D)의 하나에 저장된 필터 값의 3/4로 필터 가산기(578)에 합산된다. 스칼라 블록(580)은 지역 통과 IIR 필터에 야기되는 3/4피드백 가중을 제공한다. 예를 들면 15/16 피드백 가중 및 얻어진 유사 필터 응답을 사용하여 다른 구현 방법은 왈쉬 심볼 속도에서 필터링할 수 있다.

먹스(584)에 의해 필터된 에너지 출력은 각각 인투-로크(into-lock) 비교기(562) 및 아웃 오브 로크(out-of-lock) 비교기(568)에 의해 인투-로크 임계치부(560)에 저장된 값과 아웃 오브 로크 임계치부(564)에 저장된 값과 비교한다. 만약 에너지가 인투-로크 임계치부(560)에 저장된 값이라면, 상응하는 하나의 로크 비트 세트/리세트 래치(570-570D)는 인-로크(in-lock) 상태의 출력에 리세트된다. 그렇지 않으면, 로크 상태는 변하지 않고 남아있다. 이것은, 로크 메카니즘이 로크에서 빠져나오면 상기 에너지는 로크로 돌아가기 위하여 인투-로크 임계치부(560)에 저장된 상기 값 이상으로 상승해야하고, 로크 메타니즘이 로크되면 상기 에너지는 로크로 나오기 위하여 아웃-오브 로크 임계치부(564)에 저장된 값 아래로 떨어져야 하는 히스터리시스(hysteresis) 효과를 로크상태에 발생한다.

전력 그룹 누산기(566), 필터 가산기(578), 스칼라 블록(580) 및 비교기(562, 568)는 각 파이프라인된 복조 이벤트의 처리를 통하여 데이터 경로를 비교한다. 채널 엘리먼트 마이크로프로세서(136)는 집적 검색 처리기(128)에 의해 발견된 다른 잠재적인 다중 경로 피크의 것과 에너지 필터 래치(582A-582D)에 저장된 에너지를 비교할 수 있다. 채널 엘리먼트 마이크로프로세서(136)는 다중 경로 환경 변화 및 피크가 변함에 따라 같은 집적된 검색 처리기(128)에 의해 발견된 피크에 상응하는 새로운 오프셋으로 복조 엘리먼트 전방 단부(400A-400D)를 재할당한다.

제 6도에 도시된 바와같이, 결합기(419)는, 결합기 가산기(418)를 사용하여 처리되듯이 인-로크 상태의 복조 엘리먼트 전방 단부(400)에 상응하는 각 파이프라인된 복조 이벤트에 대해 유사 -인덱스된(like-indexed) 상관관계 에너지를 합산한다. 부분적인 합산은 결합기 램(408)에 저장된다. AND 게이트(420)는 만약 로크 검출기(410)에 의해 상응하는 로크 표시기가 아웃-오브-로크 상태에 있다면 파이프라인된 복조에 대해 상관관계 에너지를 제로로 만든다. 현재 왈쉬 심벌에 대해 제 1파이프라인된 복조 이벤트를 처리하는 한편, 결합기 램(408)에서 결합기 가산기(418)까지의 입력 기간은, FHT 처리기 엔진(120)으로부터의 에너지가 결합기 램(408)에 단순히 저장되도록 제로로된다. 현재 왈쉬 심벌에 상응하는 연속적인 파이프라인된 복조 이벤트가 처리될 때, 저장된 값이 결합기 램(408)으로부터 역으로 판독되고, 결합기 가산기(418)에 의해 입력 상관관계로 더해지고, 새로운 부분 합으로서 결합기 램(418)으로 역으로 기록된다. 현재 왈쉬 심벌에 대한 최종 파이프라인된 복조 이벤트가 처리될 때, 최종적으로 결합된 상관관계 에너지는 상기 값이 결합기 램(408)으로 기록되듯이 2중 최대 메트릭스(414)로 통과된다. 처리되면

서 파이프라인된 복조 이벤트 결과를 결합함으로서, 결합기 램(408)은 파이프라인된 복조 이벤트를 시간 정렬하기 위한 기능을 해서 제 3도에 도시된 선행 구성의 데스큐 버퍼(deskew buffer)(54)가 필요없다.

바람직한 실시예에서, 복조 엘리먼트 전방 단부 (400A-400D)의 하나에 할당된 2개의 다중 경로 신호 피크 사이의 최대 허용 가능한 시간 차이는 왈쉬 심벌이다. 만약 이것이 그러한 경우가 아니라면, 결합기 램(408)은 하나의 왈쉬 심벌 이상에 대해 부분 합을 유지해야 할 것이고, 결합기(419)에 대한 제어 논리 및 제 9도의 제어 단어 발생기(514)가 더 복잡할 수 있다. 다른 구현 방법으로 파이프라인된 복조 처리기(126)의 제어 논리 복잡성을 증가함으로서 하나의 왈쉬 심벌 다중 경로 데스큐 저지(deskew restricion)를 제거할 수 있다.

2중 최대 메트릭 블록(414)의 처리는 2개의 연속적인 시간 슬라이스 동안에 완성되고 본 발명의 양수인에 의해 양도된 "2중 최대 메트릭 발생 처리를 이용하는 논코히어런트 수신기"의 명칭으로 1995, 8, 15에 공고된 공동 계류중인 미국 특허 제 5,442,627호에 상세히 기술되어 있다. 시간 슬라이스 동안에 파이프라인된 복조기 처리기(126)는 현재 왈쉬 심벌에 대한 최근에 도착한 출력을 서비스하고 가산기(418)는 최종 결합된 에너지 값을 만들 때 2중 최대 메트릭(414)은 결합된 에너지 최대 값을 찾는다. 2중 최대 메트릭(414)의 상세한 블록은 제 12도에 나타나 있다. 가산기(418)로부터 제 1에너지 값 출력은 최대 에너지 래치(614)에 저장되어 있다. 2중 최대 메트릭(414)에 직렬 입력되는 각 연속적인 상관관계 에너지에 대해, 비교기(616)는 만약 새로운 에너지 값이 최대 에너지 래치(614)이 저장된 값보다 큰지 여부를 결정한다. 만약 에너지 값이 더 크다면, 최대 에너지 래치(614)는 인에이블되고 새로운 에너지 값이 최대 에너지 값으로 최대 에너지 래치(614)에 저장된다. 2중 최대 메트릭 블록(414)에 입력됨에 따라 왈쉬 인덱스 카운터(618)는 수신된 각 에너지 값에 상응하는 왈쉬 심벌 인덱스의 추적을 유지한다. 비교기(616)가 새로운 최대값이 도착했다는 것을 표시할 때, 상응하는 왈쉬 인덱스는 인덱스 래치(620)로 래치된다.

다음 시간 슬라이스 동안에, 지금까지 결합기 램(408)에 저장된 이전 시간 슬라이스동안 출력된, 동일 에너지 값은 결합기(419)에서 2중 최대 메트릭(414)으로 다시 한번 출력된다. 이러한 제 2시간 슬라이스 동안에, 각 하나의 비트 에너지 래치(610A-610D) 및 비교기(612A-612F) 쌍은 6개의 2진 디지트(digits)의 하나에 대해 인덱스 래치(620)에 래치된 최대 에너지 인덱스에 반대되는 극성을 갖는 왈쉬 심벌 세트의 가장 큰 에너지 값을 결정한다. 예를 들면 만약 최대 결합된 상관관계 에너지의 왈쉬 인덱스가 101100이라면, 비트0 에너지 래치(610A) 및 비교기(612A)는 모든 짝수 상관관계 에너지 중 가장 큰 것, 예를 들면 중요한 비트의 상응하는 왈쉬 인덱스의 에너지 세트는 1이라는 것이 발견된다. 비트5 에너지 래치(610F) 및 비교기(612F)는 최근의 첫째 32 상관관계 에너지 값중 가장 큰 값, 예를 들면 0과 동일한 가장 중요한 비트를 갖는 상응하는 왈쉬 인덱스를 갖는 에너지 세트, 를 발견할 것이다. 비교기(612A-612F)에 저장된 에너지 값은 한번에 하나씩 먹스(614)를 통하여 선택되고, 가산기(622)에 의해 최대 결합된 상관관계 에너지로부터 감산된다. 가산기(622)의 출력은 인덱스 래치(620)에 저장된 복조된 심벌 스트림에 대해 소프트 결정 가중(soft decision weighting)을 제공한다. 조건 인버터(conditional inverter)(628)는, 인덱스 래치(620)에 저장된 선택된 인덱스에 대해 상응하는 비트 값(1또는 0) 상에 조건적으로 반전된 소프트 결정 크기 데이터를 제공한다. 별법으로 2중 최대 메트릭(414)의 단일 통과 구현은 본 발명의 범위 내에 사용될 수 있다. 그러한 단일 통과 구현는 에너지 값의 2번 입력 요구 없이 상기 두가지에 대한 보상적인 에너지를 결정하기 위하여 6개 대신에 12 비교기-래치 쌍을 사용할 수 있다.

조건 인버터(628)의 소프트 결정 출력은 디인터리버/디코드(deinterleaver/decoder)(130)상에 통과된다. 제2도의 결합 방법과 반대로, 각 변조 엘리먼트로부터 최대의 상관관계 에너지만이 최종 결합된 심벌에 기여하고, 각 파이프라인된 복조 이벤트로부터의 64 상관관계 에너지 값은 최대 결합된 상관관계 에너지를 결정하는 역할을 한다. 2중 최대 과정은, 모든 파이프라인된 복조 이벤트 처리가 단일 다이(die)에 발생되고 결합 및 디코딩 처리는 최소 마이크로 제어로 발생되기 때문에 실행될 수 있다. 제 2도의 선행 기술 구조에서, 각 엘리먼트(22)는 마이크로프로세서(34)에 의해 따로 제어된다. 만약 2중 최대 디코딩이 제 2도의 선행 기술 구조로 시도된다면, 마이크로프로세서(34)에 요구되는 정보 밴드폭은 더 빠르고 더 비싼 마이크로프로세서를 필요로 할 것이다.

제 13도에 도시된 전력 제어 결정부(416)은, 전력 그룹 누산기(602)의 전력 제어 그룹의 6개의 연속적인 왈쉬 심벌에 대해 2중 최대 메트릭 블록(414)에 의해 제공된 최대 결합된 상관관계 에너지를 합산한다. 전력 그룹 누산기(602)의 출력은 비교기(606)를 사용하여, 채널 엘리먼트 마이크로프로세서(136)에 의해 특정된 전력 제어 임계치부(600)에 저장된 전력 제어 임계치와 비교한다. 만약 전력 그룹 누산기(602)의 출력이 전력 제어 임계치부(600)에 저장된 전력 제어 임계치를 초과한다면, 전력 감소 명령이 순방향 링크 전력 제어 부채널상의 이동국에 보내진다. 만약 전력 그룹 누산기(602)의 출력이 전력 제어 임계치부(600)에 저장된 전력 제어 임계치보다 적다면, 증가된 전력 명령이 보내진다. 다른 구현 방법으로 결합 과정에 기여하는 복조 엘리먼트 전방 단부의 수에 따른 한 세트의 임계치중 하나를 선택할 수 있다. 또다른 선택적인 구현 방법은 최대 결합된 상관관계 에너지의 사용 대신에 복조 엘리먼트로부터 최대 상관관계 에너지를 가중할 수 있다.

본 발명의 구조는 선행 기술의 구조에 대해 많은 장점을 갖고 있다. 예를 들면, 복합 처리 블록이 한 세트의 복조 엘리먼트 전방 단부 블록 양단에 분할되기 때문에, 부가적인 신호 경로를 복조할 수 있는 능력이 새로운 복조 엘리먼트 전방 단부를 블록을 단순히 부가함으로서 더해 질 수 있다. 복조 엘리먼트 전방 단부 블록은 중요한 다이 지역(die area)를 요구하지 않고 그러므로서 연장된 복조 수용 능력에 대한 비용은 합리적으로 낮다.

본 발명의 구조는 FHT 처리가 클럭되는 주파수를 증가함으로서 다른 방법으로 연장될 수 있다. FHT 처리기 엔진의 클럭 속도를 2배로 함으로서 심벌이 처리되는 속도는 2배로 된다. FHT 처리기 엔진의 클럭 속도를 2배로 함으로서 부가적인 복조 엘리먼트 전방 단부 블록 및 검색 과정에 대해 더 많은 심벌의 처리를 용이하게 한다. FHT 처리기의 보다 높은 클럭 속도가 동일한 방법으로 에어 인터페이스(air interface)에 대해 보다 높은 데이터 속도를 수용하기 위하여 사용될 수 있다. 예를 들면 만약 에어에 대해 수신된 속도가 2배라면, FHT 처리기 작동 속도가 단순히 2배가 될 수 있고 동일 구조로 데이터 처리량에 있어 2배로 지지할 수 있다.

본 발명의 다른 장점은 시간 추적 함수를 수행하기 위한 데이터의 많은 블록을 저장하기 위한 필요성을 제거하는 것이다. 제 3도에서 지연기(40)은 주요 데이터 경로 FHT 및 선택기(52)가 이용될때 까지 시간 추적 누산기(50)으로부터 왈쉬 심벌 출력을 저장함으로서 누산기(50)의 출력을 지연한다. 선행 기술에서 FHT의 결과 및 선택기(52)는, 각 왈쉬 심벌 지속기간 동안에 단지 하나의 왈쉬 심벌 변환을 수행해 입력에서 출력으로 하나의 왈쉬 심벌 지연을 생성한다. 그래서 지연기(40)는, 계속적으로 인캄잉(incoming) 데이터를 저장하는 동안 초기 및 최종 메트릭에 출력에 대해 데이터의 완전한 왈쉬 심벌 값을 저장해야 한다. 본 발명을 사용하여, 각 수신된 왈쉬 심벌에 대해 FHT 처리 결과는 왈쉬 심벌이 완전히 수신된 후에 몇몇 시간 슬라이스 내에서 시간 추적 회로에 사용될 수 있고, 그래사 저장되어야 하는 데이터 량을 줄이게 된다. 그러므로 초기/최종 왈쉬 칩 버퍼(404)의 크기 및 비용은 지연 (40)의 크기 및 비용보다 적다.

본 발명의 다른 중요한 장점은 제어 작동에 요구되는 최소량의 마이크로프로세서 제어이다. 제 2도 및 제 3을 다시 참조하여, 복조 엘리먼트(22)의 결과로서 심벌 기초에 의한 마이크로프로세서(34)의 심벌에 대한 제어 작동은 결합기(28)에 결합되고 후속의 처리 블록에 의해 처리된다. 본 발명은 마이크로프로세서에 의한 직접적이고 연속적인 제어의 필요성을 제거한다. 그래서 제 5도의 채널 엘리먼트 마이크로프로세서(136)는 제 2도의 마이크로프로세서(35)보다 덜 강력한 마이크로프로세서가 될 수 있다. 별법으로 단일 강력한 마이크로프로세서는 다수의 채널 엘리먼트 모뎀 및 다른 기지국 기능을 제어하는데 사용될 수 있다.

스펙트럼 확산 다중 접속 통신 시스템에 대한 많은 구성은 본 명세서에 특별히 기술되지 않았지만 본 발명에 적용될 수 있는 많은 구성이 있다. 예를 들면 다른 엔코딩 및 디코딩 장치가 왈쉬 엔코딩 및 FHT 디코딩 대신에 사용될 수 있다. 본 발명의 범위내에서 많은 작은 구조 변화가 있을 것이다. 예를 들면 각 복조 엘리먼트 전방 단부는 자신의 확산 칩을 저장할 수 있고 FHT 처리기에 직접 데이터의 왈쉬 심벌 값을 제공해 칩 버퍼에 대한 필요성이 제거된다. 바람직한 실시예의 상기 기술은 당업자가 본 발명을 만들거나 사용할 수 있도록 제공된다. 본 발명의 다양한 변환은 당업자에게 명백할 것이고, 여기에 정의된 일반적인 원칙은 발명적인 사상의 사용없이 다른 실시예에 이용될 수 있다. 그래서 본 발명은 명세서에 기술된 실시예에 제한되지 않고 여기에 기술된 원리와 새로운 특징을 벗어나지 않는 가장 넓은 범위에 따른다.

(57) 청구의 범위

청구항 1

공동 주파수 대역을 공유하는 일 그룹의 스펙트럼 확산 변조된 콜 신호로 구성된 안테나 신호를 수신하고, 상기 일 그룹의 스펙스럼 확산 변조된 콜 신호 내의 원격 전송 유니트로부터 발생된 액티브 콜 신호를 처리하는 파이프라인된 복조 처리기에 있어서, 가) 상기 스펙트럼 확산 변조된 콜 신호 그룹의 데이터 샘플을 수신하고 역확산 코드 칩을 제공하기 위한 다수의 복조 엘리먼트 전방 단부를 포함하는데, 상기 스펙트럼 확산 변조 콜 신호의 각각은 소정의 전송 속도를 갖는 일련의 코드 칩으로 구성된 일련의 심벌로 고정된 길이의 그룹으로 엔 코드된 일련의 비트를 포함하고, 상기 데이터 샘플은 상기 전송 속도에 상응하는 속도로 수신되며; 나) 상기 각각의 다수의 변조 엘리먼트 전방 단부로부터 상기 역확산 코드 칩을 수신하고, 상기 다수의 복조 엘리먼트 전방 단부중 제 1단부로부터 제 1 전송된 심벌에 상응하는 제 1 엘리먼트 심벌을 생성하도록 일 세트의 상기 역확산 코드 칩을 수집하기 위하여 제한된 수의 상기 역확산 코드 칩을 저장하기 위한 칩 버퍼; 다) 상기 칩 버퍼로부터 상기 제 1엘리먼트 심벌을 수신하고 일련의 제 1 추정치들을 만들기 위하여 상기 제 1엘리먼트 심벌을 디코딩하기 위한 변환 처리기 엔진을 포함하는데, 상기 일련의 제 1추정치들은 상기 상응하는 일련의 비트의 각 가능한 코드 시퀀스에 상응하는 에너지 레벨을 포함하고, 상기 변환 처리기 엔진은 상기 전송 속도보다 높은 속도로 상기 제 1엘리먼트 심벌을 디코딩하며; 라) 상기 일련의 제 1추정치들을 수신 및 저장하기 위한 결합기; 마) 상기 일련의 제 1 추정치들을 수신하고 최대 에너지 레벨과 그에 상응한는 상기 일련의 제 1추정치들의 코드 스퀀스를 결정하기 위한 최대 검출기; 및 바) 상기 최대 에너지 레벨에 상응하는 상기 코드 시퀀스의 표시를 수신하고 상기 복조 엘리먼트 전방 단부중 제 1 단부에 전진 또는 후속 표시를 제공하기 위한 시간 추적 블록을 포함하는 것을 특징으로 하는 파이프 라인된 복조 처리기.

청구항 2

제 1항에 있어서, 상기 칩 버퍼는 상기 다수의 복조 엘리먼트 전방 단부의 제 2 엘리먼트로부터 상기 제 1 전송된 심벌에 상응하는 제 2 엘리먼트 심벌을 생성하도록 제 2 세트의 상기 역확산 코드 칩을 수집하기 위하여 제한된 수의 상기 역확산 코드 칩을 저장하고, 상기 변환 처리기 엔진은 상기 칩 버퍼로부터 상기 제 2 엘리먼트 심벌을 수신하고, 상응하는 상기 일련의 비트의 가능한 코드 시퀀스의 각각에 상응하는 에너지 레벨을 포함하는 일련의 제 2 추정치들을 만들기 위하여 상기 제 2 엘리먼트 심벌을 디코딩하고, 상기 결합기는 상기 일련의 제 2 추정치들을 수신하고, 상기 일련의 제 2 추정치들의 각각의 에너지 레벨을 상응하는 유사 코드 시퀀스에 따라서 저장된 일련의 추정치들의 1 세트의 에너지 레벨에 부가하여, 합산된 일련의 추정치를 제공하며, 상기 파이프라인된 처리기는 상기 제 1 전송된 심벌에 상응하는 상기 합산된 일련의 추정치들을 수신하고 상기 제 1 전송된 심벌에 상응하는 소프트 결정 출력을 제공하는 2중 최대 메트릭을 더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 3

제 2항에 있어서, 상기 저장된 일련의 추정치들은 상기 일련의 제 1 추정치들인 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 4

제 2항에 있어서, 상기 저장된 일련의 추정치들은 상기 일련의 제 1 추정치들 및 적어도 하나의 다른 일련의 추정치들의 합인 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 5

제 2항에 있어서, 상기 소프트 결정 출력을 수신하고 상기 원격 전송 유니트를 위한 전력 제어 표시를 제공하는 전력 제어 결정 블록을 더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 6

제 1항에 있어서, 상기 최대 에너지 레벨을 수신하고, 상기 복조 엘리먼트 전방 단부의 제 1단부가 유효한 콜 신호에 할당되는 지에 관한 표시를 제공하는 로크 검출기를 더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 7

상기 스펙트럼 확산 변조된 콜 신호 그룹의 상기 데이터 샘플을 수신하고 제 1검색 심벌을 제공하기 위한 집적된 검색 처리기를 더 포함하며, 상기 변환 처리기 엔진은 상기 집적된 검색 처리기로부터 상기 제 1 검색 심벌을 수신하고, 일련의 제 1 검색 추정치들을 만들기 위하여 상기 제 1검색 심벌을 디코딩하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 8

제 1항에 있어서, 상기 다수의 복조 엘리먼트 전방 단부의 각각으로부터 상기 칩 버퍼로 상기 역확산 코드 칩을 전송하는 것과 상기 칩 버퍼로부터 상기 변환 처리기 엔진으로 상기 제 1 엘리먼트 심벌을 전송 하는 것을 제어하기 위한 대기 행렬 조정자를 더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 9

제 1항에 있어서, 상기 다수의 복조 엘리먼트 전방 단부의 각각은 초기 역확산 코드 칩 및 최종 역확산 코드 칩을 제공하며, 상기 파이프라인된 복조 처리기는 상기 각 다수의 복조 엘리먼트 전방 단부로부터 상기 초기 역확산 코드 칩 및 상기 최종 역확산 코드 칩을 수신하고, 상기 제 1 엘리먼트 심벌에 상응하는 제 1 초기 심벌을 형성하는 한 세트의 상기 초기 역확산 코드 칩을 수집하기 위한 제한된 수의 상기 초기 역확산 코드 칩을 저장하고, 상기 제 1 엘리먼트 심벌에 상응하는 제 1 최종 심벌을 형성하는 일 세트의 상기 최종 역확산 코드 칩을 수집하기 위한 제한된 수의 상기 최종 역확산 코드 칩을 저장하기 위한 초기 및 최종 칩 버퍼를 더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 10

제 9항에 있어서, 상기 각각의 다수의 복조 엘리먼트 전방 단부로부터 상기 칩 버퍼로의 상기 역확산 코드 칩들의 전송, 상기 각각의 다수의 복조 엘리먼트 전방 단부로의 상기 초기 및 최종 칩 버퍼로부터 상기 초기 역확산 코드 칩들의 전송, 상기 각각의 다수의 복조 엘리먼트 전방 단부로부터 상기 초기 및 최종 칩 버퍼로의 상기 최종 역확산 코드 칩들의 전송, 및 상기 칩 버퍼로부터 상기 변환 처리기 엔진으로의 상기 제 1 엘리먼트 심벌 전송을 제어하는 대기 행렬 조정자를더 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 11

제 9항에 있어서, 상기 시간 추적 블록은, 상기 제 1 초기 심벌을 수신해 상기 초기 에너지 레벨을 만들기 위하여 상기 최대 에너지 레벨에 상응하는 상기 코드 시퀀스와 상관시키며, 상기 제 1 최종 심벌을 수신해 상기 최종 에너지 레벨을 만들기 위하여 상기 최대 에너지 레벨에 상응하는 상기 코드 시퀀스와 상관시키며, 그리고 상기 초기 에너지 레벨과 상기 최종 에너지 레벨 사이의 차이를 발견하여 상기 전진 또는 후속 표시를 발생하기 위하여 상기 차이를 사용하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 12

제 1항에 있어서, 상기 각각의 다수의 복조 엘리먼트 전방 단부는 상기 액티브 콜 신호를 변조하기 위하여 사용된 PN 데이터 칩들의 시퀀스에 상응하는 PN 데이터 칩들의 시퀀스를 만들기 위한 의사잡음(PN) 시퀀스 발생기를 포함하는데, 상기 각각의 다수의 복조 엘리먼트 전방 단부는 서로로부터 상기 PN 데이터 칩들 시퀀스의 시간상의 오프셋을 만들며; 상기 스펙트럼 확산 콜 신호들 그룹의 데이터 샘플들을 수신하고 상기 데이터 샘플들의 일부분을 선택하기 위한 디시메이션 멀티플렉서; 상기 PN 데이터 칩 시퀀스와 상기 데이터 샘플들의 일 부분을 상관시켜 상관된 출력 비트들을 만들어내는 역확산부; 상기 역확산 코드 칩들중 완성된 하나를 형성하기 위하여 상기 상관된 출력 비트들의 그룹을 누산하는 칩 누산기; 및 상기 PN 데이터 칩들 시퀀스의 시간상의 오프셋 및 상기 데이터 샘플의 상기 일부분의 상기 선택을 제어하기 위한 타이밍 발생 레지스터를 포함하는 것을 특징으로 하는 파이프라인된 복조 처리기.

청구항 13

소정의 심벌 속도로 전송된 일련의 심벌로 고정된 길이를 갖는 그룹으로 엔코딩된 일련의 데이터 비트로 구성되고, 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 변조된 스펙트럼 확산 변조된 신호 그룹으로 수신된 신호를 복조하는 방법에 있어서, 상기 심벌 속도에서 일련의 제 1 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 1 양만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 1 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 1 초기 심벌 추정치들을 만들어내기 위하여 초기 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 2 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 1 최종 심벌 추정치들을 만들어내기 위하여 최종 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 3고정된 길이 세트의 샘플들을 역확산하는 단계; 제 1 시간 슬라이스 동안에, 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 1 세트의 인덱스 추정치들을 만들기 위하여 상기 일련의 제 1 심벌 추정

치들을 디코딩하는 단계; 제 2 시간 슬라이스 동안에, 상기 제 1 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 상기 제 2 시간 슬라이스 동안에, 저장된 한 세트의 인덱스 추정치들을 만들기 위하여 상기 제 1 세트의 인덱스 추정치들을 저장하는 단계; 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 초기 심벌 추정치들을 상관시킴으로서 초기 에너지 값을 언커버링하는 단계; 상기 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 최종 심벌 추정치들을 상관시킴으로서 최종 에너지 값을 언커버링하는 단계; 제 4 시간 슬라이스 동안에, 저장된 타이밍 값에 상기 초기 에너지 값과 상기 최종 에너지 값 사이의 차이를 합산하는 단계; 상기 심벌 속도에서 일련의 제 2 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 2 량만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 4 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 2 초기 심벌 추정치들을 만들어내기 위하여 상기 초기 인자만큼 상기 제 2 량으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 5 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 2 최종 심벌 추정치들을 만들어내기 위하여 상기 최종 인자만큼 상기 제 2 량으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 6 고정된 길이 세트의 샘플들을 역확산하는 단계; 제 5 시간 슬라이스 동안에, 상기 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 2 세트의 인덱스 추정치들을 만들기 위하여 상기 일련의 제 2 심벌 추정치들을 디코딩하는 단계; 제 6 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 상기 제 6 시간 슬라이스 동안에, 합산된 세트의 인덱스 추정치들을 만들기 위하여 유사하게 상응하는 심벌 값에 따라서 상기 저장된 세트의 인덱스 추정치들에 상기 제 2 세트의 인덱스 추정치들을 합산하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 초기 심벌 추정치들을 상관시킴으로서 제 2 초기 에너지 값을 언커버링하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 최종 심벌 추정치들을 상관시킴으로써 제 2 최종 에너지 값을 언커버링하는 단계; 제 8 시간 슬라이스 동안에, 상기 제 2 초기 에너지 값과 상기 제 2 최종 에너지 값 사이의 차이를 제 2 저장된 타이밍 값에 합산하는 단계; 및 제 10 시간 슬라이스 동안에, 소프트 결정 데이터를 만들기 위하여 상기 합산된 세트의 인덱스 추정치들을 2중 최대 처리(dual maxima process)하는 단계를 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 14

제 13항에 있어서, 상기 제 2 고정된 길이 세트의 샘플들은 상기 제 3 고정된 길이 세트의 샘플과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 15

제 13항에 있어서, 상기 제 2 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 3 시간 슬라이스 및 상기 제 6 시간 슬라이스는 동시에 발생하며, 그리고 상기 제 4 시간 슬라이스 및 상기 제 7 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 16

제 13항에 있어서, 상기 제 3 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 4 시간 슬라이스 및 상기 제 6 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 17

제 13항에 있어서, 상기 제 1 저장된 시간 값은 소정된 임계치를 초과하며, 상기 전송시간에 관련하여 상기 제 1 양을 시간적으로 전진하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 18

제 13항에 있어서, 상기 제 2 저장된 타이밍 값은 소정된 임계치를 초과하며, 상기 전송 시간에 관련하여 상기 제 2 량을 시간적으로 후속하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 19

제 13항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하며, 상기 제 1고정된 길이 세트의 샘플들은 각 PN 칩 지속 기간에 대하여 2 개의 샘플을 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 20

제 13항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 제 2 저장된 타이밍 값은 소정된 임계치 아래로 떨어지며, 상기 전송 시간에 관련하여 상기 제 2 량의 시간적으로 하나의 PN 칩 지속 기간의 1/8 정도 후속되는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 21

제 13항에 있어서, 상기 PN 시퀀스는 각각의 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 초기 인자 및 상기 최종 인자는 PN 칩 지속 기간의 반과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 22

제 13항에 있어서, 상기 제 1 세트의 인덱스 추정치들을 저장하는 단계는, 상기 제 1 세트의 인덱스 추정치들을 유사하게 상응하는 심벌값에 따라서 이전에 저장된 세트의 인덱스 추정치들에 가산하는

단계를 더 포함하며, 상기 이전에 저장된 세트의 인덱스 추정치들은 상기 제 1 전송된 심벌과 상응하는 것을 특징으로 하는 신호 복조 방법.

청구항 23

제 13항에 있어서, 상기 제 2 양은 제 1 양보다 크며, 상기 제 2 심벌 추정치들을 디코딩하는 단계는 상기 2중 최대 처리하는 단계를 초래하는 것을 특징으로 하는 신호 복조 방법.

청구항 24

제 13항에 있어서, 상기 일련의 심벌의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속 기간을 가지며, 각 시간 슬라이스는 시간 슬라이스 지속 기간을 가지며 상기 심벌 지속기간은 상기 시간 슬라이스 지속기간보다 32배 더 큰 것을 특징으로 하는 신호 복조 방법.

청구항 25

제 13항에 있어서, 상기 일련의 심벌들의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속 기간을 가지며, 상기 제 1 양 및 제 2 량은 하나의 심벌 지속기간 보다 적은 정도로 다른 것을 특징으로 하는 신호 복조 방법.

청구항 26

제 13항에 있어서, 상기 제 3시간 슬라이스 동안에 저장된 로크 검출 값에 상기 제 1 일련의 심벌 추정치들에 상응하는 상기 최대 에너지 값을 합성하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 27

제 13항에 있어서, 상기 제 2 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 4 시간 슬라이스와 상기 7 시간 슬라이스 및 상기 제 10 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 28

제 13항에 있어서, 제 9 시간 슬라이스 동안에 상기 합산된 세트의 인덱스 추정치들의 최대 합산 에너지를 결정하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 29

제 28항에 있어서, 상기 제 2 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 3 시간 슬라이스와 상기 제 6 시간 슬라이스 및 제 9 시간 슬라이스는 동시에 발생하며, 그리고 상기 제 4 시간 슬라이스와 제 7 시간 슬라이스 및 상기 제 10 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 30

제 13항에 있어서, 상기 제 2 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 3 시간 슬라이스와 제 6 시간 슬라이스 및 제 10 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 31

제 13항에 있어서, 상기 일련의 데이타 비트들은 상기 고정된 길이 그룹으로 왈쉬 엔코트(walsh encode)되는 것을 특징으로 하는 신호 복조 방법.

청구항 32

제 13항에 있어서, 상기 디코딩 단계는 빠른 하다마르 변환(fast hadamard transform)을 수행하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 33

소정의 심벌 속도로 전송된 일련의 심벌로 고정된 길이를 갖는 그룹으로 엔코딩된 일련의 데이터 비트로 구성되고, 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 변조된 스펙트럼 확산 변조된 신호 그룹으로 수신된 신호를 복조하는 방법에 있어서, 상기 심벌 속도에서 일련의 제 1 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 1 양만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 1 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 1 초기 심벌 추정치들을 만들어내기 위하여 초기 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 2고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 1 최종 심벌 추정치들을 만들어내기 위하여 최종 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 3고정된 길이 세트의 샘플들을 역확산하는 단계; 제 1 시간 슬라이스 동안에, 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 1 세트의 인덱스 추정치들을 만들기 위하여 상기 일련의 제 1 심벌 추정치들을 디코딩하는 단계; 제 2 시간 슬라이스 동안에, 상기 제 1 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 상기 제 2 시간 슬라이스 동안에, 저장된 한 세트의 인덱스 추정치들을 만들기 위하여 상기 제 1 세트의 인덱스 추정치들을 저장하는 단계; 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 초기 심벌 추정치들을 상관시킴으로서 초기 에너지 값을 언커버링하는 단계; 상기 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 최종 심벌 추정치들을 상관시킴으로서 최종 에너지 값을 언커버링하는 단계; 제 4 시간

슬라이스 동안에, 저장된 타이밍 값에 상기 초기 에너지 값과 상기 최종 에너지 값 사이의 차이를 합산하는 단계; 상기 심벌 속도에서 일련의 제 2 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 2 량만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 4 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 2 초기 심벌 추정치들을 만들어내기 위하여 상기 초기 인자만큼 상기 제 2 량으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 5 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 2 최종 심벌 추정치들을 만들어내기 위하여 상기 최종 인자만큼 상기 제 2 량으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 6 고정된 길이 세트의 샘플들을 역확산하는 단계; 제 5 시간 슬라이스 동안에, 상기 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 2 세트의 인덱스 추정치들을 만들기 위하여 상기 일련의 제 2 심벌 추정치들을 디코딩하는 단계; 제 6 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 상기 제 6 시간 슬라이스 동안에, 합산된 세트의 인덱스 추정치들을 만들기 위하여 유사하게 상응하는 심벌 값에 따라서 상기 저장된 세트의 인덱스 추정치들에 상기 제 2 세트의 인덱스 추정치들을 합산하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 초기 심벌 추정치들을 상관시킴으로서 제 2 초기 에너지 값을 언커버링하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 최종 심벌 추정치들을 상관시킴으로써 제 2 최종 에너지 값을 언커버링하는 단계; 및 제 8 시간 슬라이스 동안에, 상기 제 2 초기 에너지 값과 상기 제 2 최종 에너지 값 사이의 차이를 제 2 저장된 타이밍 값에 합산하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 34

제 33항에 있어서, 상기 제 2고정된 길이 세트의 샘플들은 상기 제 3고정된 길이 세트의 샘플과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 35

제 33항에 있어서, 상기 제 2시간 슬라이스 및 상기 제 5시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 36

제 33항에 있어서, 상기 제 3시간 슬라이스 및 제 5시간 슬라이스는 동시에 발생하며, 상기 제 4 시간 슬라이스 및 상기 제 6시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 37

제 33항에 있어서, 상기 제 1 저장된 시간 값은 소정된 임계치를 초과하며, 상기 전송시간에 관련하여 상기 제 1 양을 시간적으로 전진하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 38

제 33항에 있어서, 상기 제 2저장된 타이밍 값은 소정된 임계치를 초과하며, 상기 전송 시간에 관련하여 상기 제 2량을 시간적으로 후속하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 39

제 33항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하며, 상기 제 1 고정된 길이 세트의 샘플들은 각 PN 칩 지속 기간에 대하여 2개의 샘플을 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 40

제 33항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 제 2 저장된 타이밍 값은 소정된 임계치 아래로 떨어지며, 상기 전송 시간에 관련하여 상기 제 2량의 시간적으로 하나의 PN 칩 지속 기간의 1/8 정도 후속되는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 41

제 33항에 있어서, 상기 PN 시퀀스는 각각의 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 초기 인자 및 상기 최종 인자는 PN 칩 지속 기간의 반과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 42

제 33항에 있어서, 상기 제 1 세트의 인덱스 추정치들을 저장하는 단계는, 상기 제 1 세트의 인덱스 추정치들을 유사하게 상응하는 심벌값에 따라서 이전에 저장된 세트의 인덱스 추정치들에 가산하는 단계를 더 포함하며, 상기 이전에 저장된 세트의 인덱스 추정치들은 상기 제 1 전송된 심벌과 상응하는 것을 특징으로 하는 신호 복조 방법.

청구항 43

제 33항에 있어서, 상기 일련의 심벌의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속 기간을 가지며, 각 시간 슬라이스는 시간 슬라이스 지속 기간을 가지며 상기 심벌 지속기간은 상기 시간 슬라이스 지속기간보다 32배 더 큰 것을 특징으로 하는 신호 복조 방법.

청구항 44

제 33항에 있어서, 상기 일련의 심벌들의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속기간을 가지며, 상기 제 1 양 및 제 2량은 하나의 심벌 지속기간 보다 적은 정도로 다른 것을 특징으로 하는 신호 복조 방법.

청구항 45

제 33항에 있어서, 상기 제 3시간 슬라이스 동안에 저장된 로크 검출 값에 상기 제 1 일련의 심벌 추정치들에 상응하는 상기 최대 에너지 값을 합산하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 46

일련의 심볼들로 고정된 길이의 그룹으로 엔코드된 일련의 데이터 비트로 구성된 신호를 발생하는 제 1 유니트를 포함하는 통신 시스템에 있어서, 상기 일련의 심볼들은 소정의 심볼 속도로 전송되며, 상기 신호는 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 스펙트럼 확산 변조되며, 그리고 제 2 기지국을 포함하며, 상기 제 2 기지국은 (가) 실시간으로 1 세트의 상기 신호의 샘플들을 수신하며, 상기 심볼 속도로 상기 일련의 심볼들의 추정치들이며 제1 엘리먼트 심볼을 포함하는 일련의 제 1 엘리먼트 심볼들을 생성하기 위한 제 1 복조 및 저장 엘리먼트; (나) 상기 제 1 복조 및 저장 엘리먼트로부터 상기 일련의 제 1 엘리먼트 심볼들을 수신하며, 상기 심볼 속도보다 더 높은 속도로 상기 일련의 데이터 비트들의 일련의 추정치들을 생성하며, 상기 일련의 추정치들은 상기 제 1 엘리먼트 심볼에 상응하는 일련의 제 1 추정치들을 포함하는 공유된 변환 처리부; (다) 상기 일련의 제 1 추정치들을 수신하고 저장하기 위한 결합기; (라) 상기 일련의 제 1 추정치들을 수신하고 최대 에너지 레벨과 그에 상응하는 상기 일련의 제 1 추정치들의 코드 스퀀스를 결정하기 위한 최대 검출기; 및 (마) 상기 최대 에너지 레벨에 상응하는 심볼 값의 표시를 수신하고 상기 복조 엘리먼트에 전진 또는 후속 표시를 제공하기 위한 시간 추적 블록을 포함하는 것을 특징으로 하는 통신 시스템.

청구항 47

제 46항에 있어서, 상기 공유 변환 처리부는 제 2 복조부 엘리먼트로부터 제 2 엘리먼트 심볼을 수신하고 상기 심볼에 상응하는 일련의 제 2 추정치들을 생성하며, 상기 결합기는 상기 일련의 제 2 추정치들을 수신하고 상기 일련의 제 2 추정치들을 저장된 일련의 추정치들에 가산하고 그리고 합산된 일련의 추정치들을 생성하며, 상기 제 2 기지국은 상기 합산된 일련의 추정치들을 수신하기위한 2중 최대 메트릭을 포함하고 제 1 전송된 심볼에 상응하는 소프트 결정 출력을 생성하는 것을 특징으로 하는 통신 시스템.

청구항 48

제 47 항에 있어서, 상기 저장된 일련의 추정치들을 상기 일련의 제 1 추정치들인 것을 특징으로 하는 통신 시스템.

청구항 49

제 47 항에 있어서, 상기 저장된 일련의 추정치들은 상기 일련의 제 1 추정치들 및 적어도 하나의 다른 일련의 추정치들의 합인 것을 특징으로 하는 통신 시스템.

청구항 50

제 47 항에 있어서, 상기 제 2 기지국은 상기 소프트 결정 출력을 수신하고 상기 제 1 유니트를 위한 전력 제어 표시를 생성하기위한 전력 제어 결정 블록을 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 51

제 46 항에 있어서, 상기 제 2 기지국은, 상기 최대 에너지 레벨을 수신하고 상기 제 1 복조 및 저장 엘리먼트가 유효한 콜 신호에 할당되는지 여부에 관한 표시를 제공하기 위한 로크 검출기를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 52

제 46 항에 있어서, 상기 제 1 복조 및 저장 엘리먼트는 일련의 초기 코드 심볼들 및 최종 코드 심볼들을 생성하는 것을 특징으로 하는 통신 시스템.

청구항 53

제 52 항에 있어서, 상기 시간 추적 블록은, 상기 일련의 초기 코드 심볼들의 제 1 초기 심볼을 수신하고 초기 에너지 레벨을 생성하기 위해 상기 제 1 초기 심볼과 상기 최대 에너지 레벨에 상응하는 상기 심볼 값을 상관시키며, 상기 일련의 최종 코드 심볼들의 제 1 최종 심볼을 수신하고 최종 에너지 레벨을 생성하기 위해 상기 제 1 최종 심볼과 상기 최대 에너지 레벨에 상응하는 상기 심볼 값을 상관시키며, 그리고 상기 초기 에너지 레벨 및 상기 최종 에너지 레벨사이의 차이를 발견하고 상기 전진 또는 후속 표시를 발생하기 위해 상기 차이를 사용하는 것을 특징으로 하는 통신 시스템.

청구항 54

일련의 심볼들로 고정된 길이의 그룹으로 엔코드된 일련의 데이터 비트로 구성된 신호를 발생하는 제 1 유니트를 포함하는 통신 시스템에 있어서, 상기 일련의 심볼들은 소정의 심볼 속도로 전송되며, 상기 신호는 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 스펙트럼 확산 변조되며, 그리고 제 2 기지국을 포함하며, 상기 제 2 기지국은 (가) 실시간으로 1 세트의 상기 신호의 샘플들을 수신하며, 상기 심볼 속도로 상기 일련의 심볼들의 추정치들이며 제1 엘리먼트 심볼을 포함하는 일련의 제 1 엘리먼트 심볼들을

생성하기 위한 제 1 복조 및 저장 엘리먼트; (나) 상기 제 1 복조 및 저장 엘리먼트로부터 상기 일련의 제 1 엘리먼트 심볼들을 수신하며, 상기 심볼 속도보다 더 높은 속도로 상기 일련의 데이터 비트들의 일련의 추정치들을 생성하며, 상기 일련의 추정치들은 상기 제 1 엘리먼트 심볼에 상응하는 일련의 제 1 추정치들을 포함하는 공유된 변환 처리부; 및 (다) 상기 신호를 수신하고 제 1 검색 심볼을 제공하기 위한 집적된 검색 처리기를 포함하며, 그리고 상기 공유된 변환 처리부는 상기 집적된 검색 처리부로부터 상기 제 1 검색 심볼을 수신하고 일련의 제 1 검색 추정치들을 생성하는 것을 특징으로 하는 통신 시스템.

청구항 55

일련의 심볼들로 고정된 길이의 그룹으로 엔코드된 일련의 데이터 비트로 구성된 신호를 발생하는 제 1 유니트를 포함하는 통신 시스템에 있어서, 상기 일련의 심볼들은 소정의 심볼 속도로 전송되며, 상기 신호는 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 스펙트럼 확산 변조되며, 그리고 제 2 기지국을 포함하며, 상기 제 2 기지국은 (가) 실시간으로 1 세트의 상기 신호의 샘플들을 수신하며, 상기 심볼 속도로 상기 일련의 심볼들의 추정치들이며 제1 엘리먼트 심볼을 포함하는 일련의 제 1 엘리먼트 심볼들을 생성하기 위한 제 1 복조 및 저장 엘리먼트; 및 (나) 상기 제 1 복조 및 저장 엘리먼트로부터 상기 일련의 제 1 엘리먼트 심볼들을 수신하며, 상기 심볼 속도보다 더 높은 속도로 상기 일련의 데이터 비트들의 일련의 추정치들을 생성하며, 상기 일련의 추정치들은 상기 제 1 엘리먼트 심볼에 상응하는 일련의 제 1 추정치들을 포함하는 공유된 변환 처리부를 포함하며, 그리고 상기 제 1 복조 및 저장 엘리먼트로부터 상기 공유 변환 처리기 엔진까지의 데이터 전송을 제어하기 위한 대기 행렬 조정자(queuing arbiter)를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 56

일련의 심볼들로 고정된 길이의 그룹으로 엔코드된 일련의 데이터 비트로 구성된 신호를 발생하는 제 1 유니트를 포함하는 통신 시스템에 있어서, 상기 일련의 심볼들은 소정의 심볼 속도로 전송되며, 상기 신호는 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 스펙트럼 확산 변조되며, 그리고 제 2 기지국을 포함하며, 상기 제 2 기지국은 (가) 실시간으로 1 세트의 상기 신호의 샘플들을 수신하며, 상기 심볼 속도로 상기 일련의 심볼들의 추정치들이며 제1 엘리먼트 심볼을 포함하는 일련의 제 1 엘리먼트 심볼들을 생성하기 위한 제 1 복조 및 저장 엘리먼트; 및 (나) 상기 제 1 복조 및 저장 엘리먼트로부터 상기 일련의 제 1 엘리먼트 심볼들을 수신하며, 상기 심볼 속도보다 더 높은 속도로 상기 일련의 데이터 비트들의 일련의 추정치들을 생성하며, 상기 일련의 추정치들은 상기 제 1 엘리먼트 심볼에 상응하는 일련의 제 1 추정치들을 포함하는 공유된 변환 처리부를 포함하며, 상기 제 1 복조 엘리먼트는, (a) 상기 제 1 유니트에서 상기 신호를 변조하기 위해 사용되는 상기 PN 시퀀스에 상응하며, 상기 제 1 복조 및 저장 엘리먼트에 의해 상기 전송 시간으로부터 시간당 오프셋되는 데이터 칩들의 시퀀스를 생성하기 위한 PN 시퀀스 발생기; (b) 상기 신호의 데이터 샘플들을 수신하고 상기 데이터 샘플의 일부분을 선택하기 위한 디시메이션(decimaion) 멀티플렉서; (c) 상기 PN 데이터 칩 시퀀스와 상기 데이터 샘플의 일 부분을 상관하여 상관된 출력 비트를 만들어내는 역확산부; 및 (d) 상기 PN 데이터 칩 시퀀스의 시간당 오프셋 및 상기 데이터 샘플의 상기 일 부분의 선택을 제어하기 위한 타이밍 발생 레지스터를 포함하는 것을 특징으로 하는 통신 시스템.

청구항 57

일련의 코드 칩들로 구성된 일련의 심볼들로 고정된 길이의 그룹으로 엔코드된 일련의 데이터 비트로 구성된 신호를 발생하는 제 1 유니트를 포함하는 통신 시스템에 있어서, 상기 일련의 심볼들을 소정의 심볼 속도로 전송되며, 그리고 제 2 기지국을 포함하며, 상기 제 2 기지국은, (가) 실시간으로 코드 칩당 한번씩 에너지를 누산하고, 상기 신호의 샘플들을 수신하는 입력 및 출력을 가지는 제 1 복조 회로부; (나) 실시간으로 코드 칩당 한번씩 에너지를 누산하고, 상기 신호의 상기 샘플들을 수신하는 입력 및 출력을 가지는 제 2 복조 회로부; (다) 연속적으로 상기 각 제 1 및 제 2 복조 회로부로부터의 심볼당 한번씩 상기 누산된 에너지들의 세트들을 변환하는, 상기 제 1 및 제 2 복조 회로부들의 출력과 연결되고 출력을 가지는 공유 변환 처리부; 및 (라) 연속적으로 상기 각 제 1 및 제 2 복조 회로부 각각에 대해 심볼당 심볼 가중 메트릭을 할당하기 위해 상기 공유 변환 처리부에 연결된 파이프 라인된 처리기를 포함하는 것을 특징으로 하는 통신 시스템.

청구항 58

제 57 항에 있어서, 상기 제 1 복조 회로부의 상기 출력과 상기 공유 변환 처리부의 상기 입력 사이 및 상기 제 2 복조 회로부의 상기 출력과 상기 공유 변환 처리부의 상기 입력 사이에 칩 버퍼가 더 배치되는 것을 특징으로 하는 통신 시스템.

청구항 59

제 57 항에 있어서, 상기 파이프 라인된 처리기는, 상기 공유 변환 처리부의 상기 출력에 연결된 입력 및 출력을 가지는 결합기; 상기 공유 변환 처리기의 상기 출력에 연결된 입력 및 출력을 가지는 최대 검출기; 및 상기 최대 검출기의 상기 출력에 연결된 입력 및 출력을 가지는 시간 추적 블록을 포함하며, 상기 제 1 복조 회로부와 상기 제 2 복조 회로부 각각은 시간 추적 입력을 가지며, 그리고 상기 시간 추적 블록의 상기 출력은 상기 제 1 및 제 2 복조 회로부들의 상기 시간 추적 입력과 연결되는 것을 특징으로 하는 통신 시스템.

청구항 60

제 59 항에 있어서, 상기 파이프 라인된 처리기는 상기 결합기의 상기 출력과 연결된 입력, 및 출력을 가지는 소프트 결정 디코더를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 61

제 60 항에 있어서, 상기 파이프 라인된 처리기는 상기 소프트 결정 디코더의 상기 출력과 연결

된 입력을 가지는 전력 제어 표시부를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 62

제 59 항에 있어서, 상기 최대 검출기의 상기 출력과 연결된 입력, 및 출력을 가지는 로크 검출기를 더 포함하며, 상기 결합기는 상기 로크 검출기의 상기 출력에 연결된 로크 검출 입력을 가지는 것을 특징으로 하는 통신 시스템.

청구항 63

제 57 항에 있어서, 상기 신호의 상기 샘플들을 수신하는 입력 및 상기 공유 변환 처리기의 상기 입력에 연결된 출력을 가지는 집적 검색 처리기를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 64

제 58 항에 있어서, 상기 제 1 및 제 2 복조 회로부들은 칩 준비 출력을 가지며, 상기 칩 버퍼는 데이터 전송 제어 입력을 가지며, 그리고 상기 제 1 및 제 2 복조 회로부들의 상기 칩 준비 출력과 연결된 입력 및 상기 칩 버퍼의 상기 데이터 전송 제어 입력과 연결된 출력을 가지는 대기 행렬 조정자를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 65

제 58 항에 있어서, 상기 제 1 및 제 2 복조 회로부들의 상기 출력에 연결된 입력, 및 출력을 가지는 초기 및 최종 칩 버퍼를 더 포함하는 것을 특징으로 하는 통신 시스템.

청구항 66

제 65 항에 있어서, 상기 파인프 라인된 처리기는, 상기 공유 변환 처리기의 상기 출력에 연결된 입력, 및 출력을 가지는 최대 검출기; 및 상기 최대 검출기의 상기 출력과 상기 초기 및 최종 칩 버퍼의 상기 출력에 연결된 입력, 및 출력을 가지는 시간 추적 블록을 포함하며, 상기 제 1 복조 회로부와 상기 제 2 변조 회로부 각각은 시간 추적 입력을 가지며, 그리고 상기 시간 추적 블록의 상기 출력은 상기 제 1 및 제 2 복조 회로부의 상기 시간 추적 입력에 연결되는 것을 특징으로 하는 통신 시스템.

청구항 67

소정의 심볼 속도로 전송되는 일련의 심볼들로 고정 길이의 그룹들로 인코딩된 일련의 데이터 비트들로 구성되고, 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 스펙트럼 확산 변조된 신호들의 그룹으로 수신된 신호를 복조하는 시스템에 있어서, 상기 심벌 속도에서 일련의 제 1 심벌 추정치들을 생성하기 위해 상기 전송 시간으로부터 제 1 양만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 1 고정 길이 세트의 샘플들을 역확산하기 위한 제 1 복조 엘리먼트 수단; 제 1 전송된 심볼에 상응하는 각 가능한 심볼 값에 상응하는 에너지 값을 포함하는 제 1 세트의 인덱스 추정치들을 생성하기 위해 제 1 시간 슬라이스동안 상기 일련의 제 1 심볼 추정치들의 제 1 심볼 추정치를 디코딩 하는 공유 변환 수단; 제 2 시간 슬라이스동안 최대 에너지 값 및 상기 제 1 세트의 인덱스 추정치들의 상응하는 심볼 값을 결정하기 위한 최대 검출 수단; 저장된 한 세트의 인덱스 추정치들을 생성하기 위해 제 2 시간 슬라이스동안 상기 제 1 세트의 인덱스 추정치들을 상기 저장하는 결합 수단; 및 상기 심볼 속도에서 일련의 제 2 심볼 추정치들을 생성하기 위해 상기 전송 시간으로부터 제 2 양만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 4 고정 길이 세트의 샘플들을 역확산하기 위한 제 2 복조 엘리먼트 수단을 포함하며, 상기 공유 변환기는 상기 제 1 전송된 심볼에 상응하는 각 가능한 심볼 값에 상응하는 에너지 값을 포함하는 제 2 세트의 인덱스 추정치들을 생성하기 위해 제 5 시간 슬라이스 동안 상기 일련의 제 2 심볼 추정치들의 제 2 심볼 추정치를 디코딩하며, 상기 최대 검출 수단은 제 6 시간 슬라이스 동안 최대 에너지 값 및 상기 제 2 세트의 인덱스 추정치들의 상응하는 심볼 값을 결정하며, 상기 결합 장치는 인덱스 추정치들의 합산된 세트를 생성하기 위해 제 6 시간 슬라이스 동안 상기 제 2 세트의 인덱스 추정치들을 상기 저장된 한 세트의 인텍스 추정치들에 유사 상응하는 심볼 값에 따라 가산하는 것을 특징으로 하는 신호 복조 시스템.

청구항 68

제 67 항에 있어서, 상기 제 1 복조 엘리먼트 장치는, 일련의 제 1 초기 심볼 추정치들을 생성하기 위해 초기 인자들에 의해 상기 제 1 양만큼 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 2 고정된 길이 세트의 샘플들을 역확산하고, 일련의 제 1 최종 심볼 추정치들을 생성하기 위해 최종 인자들에 의해 상기 제 1 양만큼 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 3 고정된 길이 세트의 샘플들을 역확산하며; 상기 제 2 복조 엘리먼트 장치는, 일련의 제 2 초기 심볼 추정치들을 생성하기 위해 초기 인자들에 의해 상기 제 2 양만큼 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 5 고정된 길이 세트의 샘플들을 역확산하고, 일련의 제 2 최종 심볼 추정치들을 생성하기 위해 최종 인자들에 의해 상기 제 2 양만큼 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 6 고정된 길이 세트의 샘플들을 역확산하며; 상기 시스템은, 상기 일련의 제 1 초기 심볼 추정치들과 상기 최대 에너지 값에 상응하는 상기 심볼 값을 상관시켜 제 3 시간 슬라이스 동안 초기 에너지 값을 언커버하고, 상기 일련의 제 1 최종 심볼 추정치들과 상기 최대 에너지 값에 상응하는 상기 심볼 값을 상관시켜 제 3 시간 슬라이스 동안 최종 에너지 값을 언커버하고, 상기 초기 에너지 값과 상기 최종 에너지 값의 차이를 제 1 저장된 타이밍 값에 합산하며, 상기 일련의 제 2 초기 심볼 추정치들과 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심볼 값을 상관시켜 제 7 시간 슬라이스 동안 제 2 초기 에너지 값을 언커버하고, 상기 일련의 제 2 최종 심볼 추정치들과 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심볼 값을 상관시켜 제 7 시간 슬라이스 동안 제 2 최종 에너지 값을 언커버하고, 상기 제 2 초기 에너지 값과 상기 제 2 최종 에너지 값의 차이를 제 2 저장된 타이밍 값에 합산하는 시간 추적 장치를 더 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 69

제 68 항에 있어서, 상기 제 2 고정된 길이 세트의 샘플들은 상기 제 3 고정된 길이 세트의 샘플들과 동일한 것을 특징으로 하는 신호 복조 시스템.

청구항 70

제 67 항에 있어서, 상기 제 2 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 시스템.

청구항 71

제 68 항에 있어서, 상기 제 3 시간 슬라이스 및 상기 제 5 시간 슬라이스는 동시에 발생하며, 상기 제 4 시간 슬라이스 및 상기 6 시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 시스템.

청구항 72

제 68 항에 있어서, 상기 제 1 저장 타이밍 값은 선지정된 임계값을 초과하고, 상기 전송 시간에 관하여 시간적으로 상기 제 1 양을 전진시키는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 73

제 68 항에 있어서, 상기 제 2 저장 타이밍 값은 선지정된 임계값을 초과하고, 상기 전송 시간에 관하여 시간적으로 상기 제 2 양을 후속시키는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 74

제 67 항에 있어서, 상기 PN 시퀀스는 일련의 PN 칩들을 포함하고 각 PN 칩은 PN 칩 지속 기간을 가지며, 상기 제 1 고정 길이 세트의 샘플들은 각 PN 칩 지속 기간에 대해 2 개의 샘플을 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 75

제 68 항에 있어서, 상기 PN 시퀀스는 일련의 PN 칩들을 포함하고 각 PN 칩은 PN 칩 지속 기간을 가지며, 상기 제 2 저장된 타이밍 값은 선지정된 임계값이하로 떨어지며, 상기 전송 시간에 관하여 상기 제 2 양을 시간상으로 PN 칩 지속 기간의 1/8만큼 후속시키는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 76

제 68 항에 있어서, 상기 PN 시퀀스는 일련의 PN 칩들을 포함하고 각 PN 칩은 PN 칩 지속 기간을 가지며, 상기 초기 인자 및 상기 최종 인자는 PN 칩 지속 기간의 1/2과 같은 것을 특징으로 하는 신호 복조 시스템.

청구항 77

제 67 항에 있어서, 상기 일련의 심볼들의 각 심볼은 상기 심볼 속도의 역수와 동일한 심볼 지속 기간을 가지며, 각 시간 슬라이스는 시간 슬라이스 지속 기간을 가지며, 상기 심볼 지속 기간은 상기 시간 슬라이스 지속 기간보다 32 배이상 큰 것을 특징으로 하는 신호 복조 시스템.

청구항 78

제 67 항에 있어서, 상기 일련의 심볼들의 각 심볼은 상기 심볼 속도의 역수와 동일한 심볼 지속 기간을 가지며, 상기 제 1 양 및 상기 제 2 량은 1 심볼 지속 기간이하의 차이가 나는 것을 특징으로 하는 신호 복조 시스템.

청구항 79

제 67 항에 있어서, 상기 제 2 세트의 인덱스 추정치들에 상응하는 상기 최대 에너지 값을 저장된 로크 검출 값과 제 7 시간 슬라이스 동안 합산하기 위한 로크 검출기를 더 포함하는 것을 특징으로 하는 신호 복조 시스템.

청구항 80

제 79 항에 있어서, 상기 결합 장치는, 저장된 로크 검출 값이 아웃-오브-로크(out-of-lock) 임계값 이상일때만 유사 상응 심볼 값에 따라 인덱스 추정치들의 이미 저장된 세트에 상기 제 2 세트의 인덱스 추정치들을 가산하는 것을 특징으로 하는 신호 복조 시스템.

청구항 81

소정의 심벌 속도로 전송된 일련의 심벌로 고정된 길이를 갖는 그룹으로 엔코딩된 일련의 데이터 비트로 구성되고, 전송 시간에 정렬된 의사잡음(PN) 시퀀스로 변조된 스펙트럼 확산 변조된 신호 그룹으로 수신된 신호를 복조하는 방법에 있어서, 상기 심벌 속도에서 일련의 제 1 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 1 양만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 1 고정된 길이 세트의 샘플들을 역확산하는 단계; 제 1 시간 슬라이스 동안에, 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 1 세트의 인덱스 추정치들을 만들기 위하여

상기 일련의 제 1 심벌 추정치들을 디코딩하는 단계; 제 2 시간 슬라이스 동안에, 상기 제 1 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 상기 제 2 시간 슬라이스 동안에, 저장된 한 세트의 인덱스 추정치들을 만들기 위하여 상기 제 1 세트의 인덱스 추정치들을 저장하는 단계; 상기 심벌 속도에서 일련의 제 2 심벌 추정치들을 만들어내기 위하여 상기 전송 시간으로부터 제 2 량만큼 시간상 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 4 고정된 길이 세트의 샘플들을 역확산하는 단계; 제 5 시간 슬라이스 동안에, 상기 제 1 전송된 심벌에 상응하는 각 가능한 심벌 값에 상응하는 에너지 값을 포함하는 제 2 세트의 인덱스 추정치들을 만들기 위하여 상기 일련의 제 2 심벌 추정치들을 디코딩하는 단계; 제 6 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 최대 에너지 값을 결정하는 단계; 및 상기 제 6 시간 슬라이스 동안에, 합산된 세트의 인덱스 추정치들을 만들기 위하여 유사하게 상응하는 심벌 값에 따라서 상기 저장된 세트의 인덱스 추정치들에 상기 제 2 세트의 인덱스 추정치들을 합산하는 단계를 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 82

제 81 항에 있어서, 일련의 제 1 초기 심벌 추정치들을 만들어내기 위하여 초기 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 2고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 1 최종 심벌 추정치들을 만들어내기 위하여 최종 인자만큼 상기 제 1 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 3고정된 길이 세트의 샘플들을 역확산하는 단계; 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 초기 심벌 추정치들을 상관시킴으로서 초기 에너지 값을 언커버링하는 단계; 상기 제 3 시간 슬라이스 동안에, 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 1 최종 심벌 추정치들을 상관시킴으로서 최종 에너지 값을 언커버링하는 단계; 제 4 시간 슬라이스 동안에, 저장된 타이밍 값에 상기 초기 에너지 값과 상기 최종 에너지 값 사이의 차이를 합산하는 단계; 일련의 제 2 초기 심벌 추정치들을 만들어내기 위하여 상기 초기 인자만큼 상기 제 2 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 5 고정된 길이 세트의 샘플들을 역확산하는 단계; 일련의 제 2 최종 심벌 추정치들을 만들어내기 위하여 상기 최종 인자만큼 상기 제 2 양으로부터 오프셋된 상기 PN 시퀀스를 사용하여 상기 신호의 제 6 고정된 길이 세트의 샘플들을 역확산하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 초기 심벌 추정치들을 상관시킴으로서 제 2 초기 에너지 값을 언커버링하는 단계; 제 7 시간 슬라이스 동안에, 상기 제 2 세트의 인덱스 추정치들의 상기 최대 에너지 값에 상응하는 상기 심벌 값과 상기 일련의 제 2 최종 심벌 추정치들을 상관시킴으로써 제 2 최종 에너지 값을 언커버링하는 단계; 및 제 8 시간 슬라이스 동안에, 상기 제 2 초기 에너지 값과 상기 제 2 최종 에너지 값 사이의 차이를 제 2 저장된 타이밍 값에 합산하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 83

제 82항에 있어서, 상기 제 2고정된 길이 세트의 샘플들은 상기 제 3고정된 길이 세트의 샘플과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 84

제 81항에 있어서, 상기 제 2시간 슬라이스 및 상기 제 5시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 85

제 82항에 있어서, 상기 제 3시간 슬라이스 및 제 5시간 슬라이스는 동시에 발생하며, 상기 제 4 시간 슬라이스 및 상기 제 6시간 슬라이스는 동시에 발생하는 것을 특징으로 하는 신호 복조 방법.

청구항 86

제 82항에 있어서, 상기 제 1저장된 시간 값은 소정된 임계치를 초과하며, 상기 전송 시간에 관련하여 상기 제 1량을 시간적으로 전진하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 87

제 82항에 있어서, 상기 제 2저장된 타이밍 값은 소정된 임계치를 초과하며, 상기 전송 시간에 관련하여 상기 제 2량을 시간적으로 후속하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 88

제 81항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하며, 상기 제 1고정된 길이 세트의 샘플들은 각 PN 칩 지속 기간에 대하여 2개의 샘플을 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 89

제 82항에 있어서, 상기 PN 시퀀스는 각 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 제 2 저장된 타이밍 값은 소정된 임계치 아래로 떨어지며, 상기 전송 시간에 관련하여 상기 제 2량의 시간적으로 하나의 PN 칩 지속 기간의 1/8 정도 후속되는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

청구항 90

제 82항에 있어서, 상기 PN 시퀀스는 각각의 PN 칩 지속 기간을 갖는 일련의 PN 칩들을 포함하여, 상기 초기 인자 및 상기 최종 인자는 PN 칩 지속 기간의 반과 동일한 것을 특징으로 하는 신호 복조 방법.

청구항 91

제 81항에 있어서, 상기 제1세트의 인덱스 추정치들을 저장하는 단계는, 상기 제 1세트의 인덱스 추정치들을 유사하게 상응하는 심벌값에 따라서 이전에 저장된 세트의 인덱스 추정치들에 가산하는 단계를 더 포함하며, 상기 이전에 저장된 세트의 인덱스 추정치들은 상기 제 1 전송된 심벌과 상응하는 것을 특징으로 하는 신호 복조 방법.

청구항 92

제 81항에 있어서, 상기 일련의 심벌의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속 기간을 가지며, 각 시간 슬라이스는 시간 슬라이스 지속 기간을 가지며 상기 심벌 지속기간은 상기 시간 슬라이스 지속기간보다 32배 더 큰 것을 특징으로 하는 신호 복조 방법.

청구항 93

제 82항에 있어서, 상기 일련의 심벌들의 각 심벌은 상기 심벌 속도의 역수와 동일한 심벌 지속 기간을 가지며, 상기 제 1량 제 2량은 하나의 심벌 지속기간 보다 적은 정도로 다른 것을 특징으로 하는 신호 복조 방법.

청구항 94

제 81항에 있어서, 상기 제 3시간 슬라이스 동안에 저장된 로크 검출 값에 상기 제 1일련의 심벌 추정치들에 상응하는 상기 최대 에너지 값을 합산하는 단계를 더 포함하는 것을 특징으로 하는 신호 복조 방법.

요약

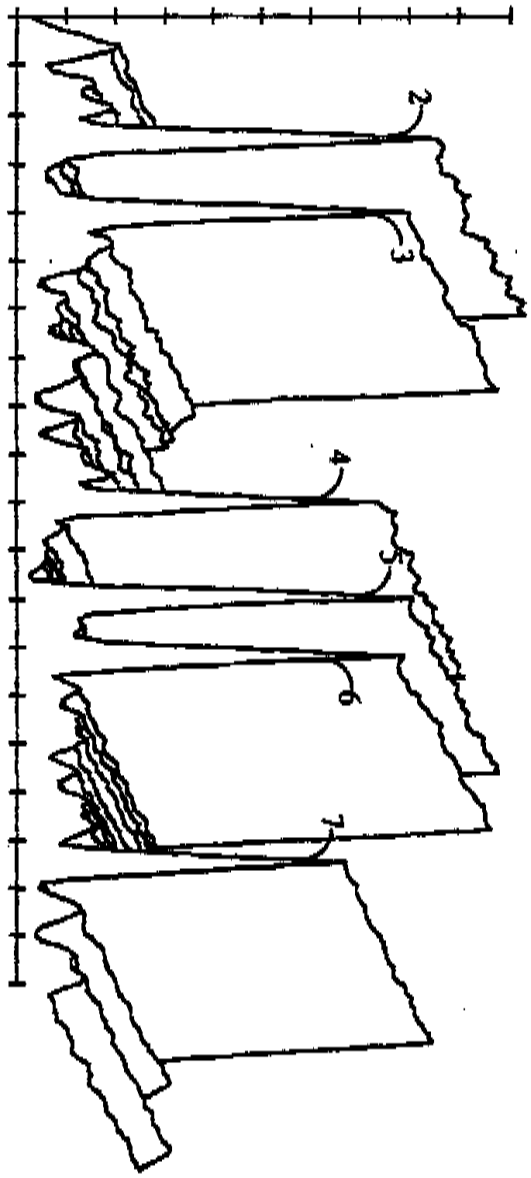
본 발명은 스프레드 스펙트럼 통신 시스템에 사용되는 집적된 모뎀(110)에 관한 것이다. 상기 모뎀은 수신된 다중 통로 신호를 디스레딩하는 복조기 전방 단부(122)를 포함한다. 시간 슬라이스를 기초로 하여 작동하는 단일 변형 엔진(120)은 각 디스프레드 다중 통로 신호를 복조한다. 변형 처리기 엔진(120)의 출력은 최대 검출 회로(160) 및 파이프라인 처리기(126)에 제공된다. 시간 슬라이스를 기초로하여 작동하는 파이프라인 처리기(126)는 수신된 데이터를 복구하기 위하여 디인터리버/디코더(130)의 디인터리빙 및 에러 수정 디코딩에 대해 소프트 결정 데이터를 제공하기 위하여 복조된 다중 통로 신호를 결합하고 추가로 처리한다. 상기 모뎀(110)은 전송을 위하여 데이터를 스프레드 스펙트럼 변조하기 위하여 엔코더(130)/인터리버(138), 변조기(140) 및 전송 합산기(142)를 더 포함한다.

대표도

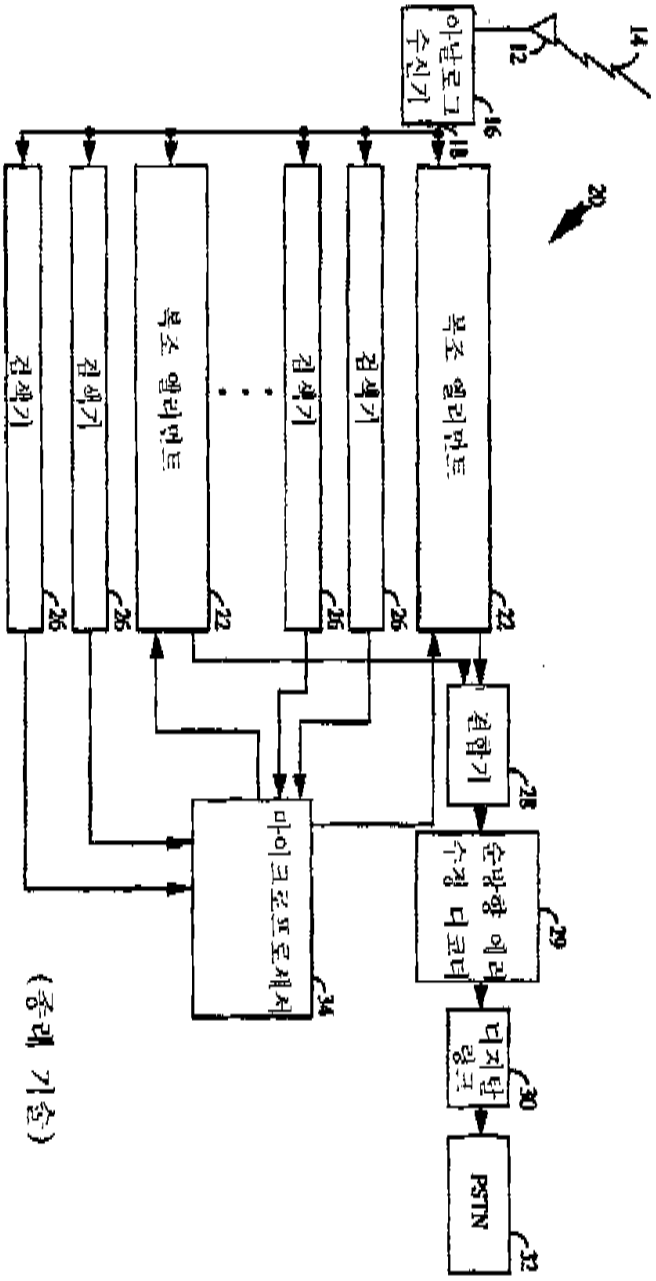
도1

도면

도면1

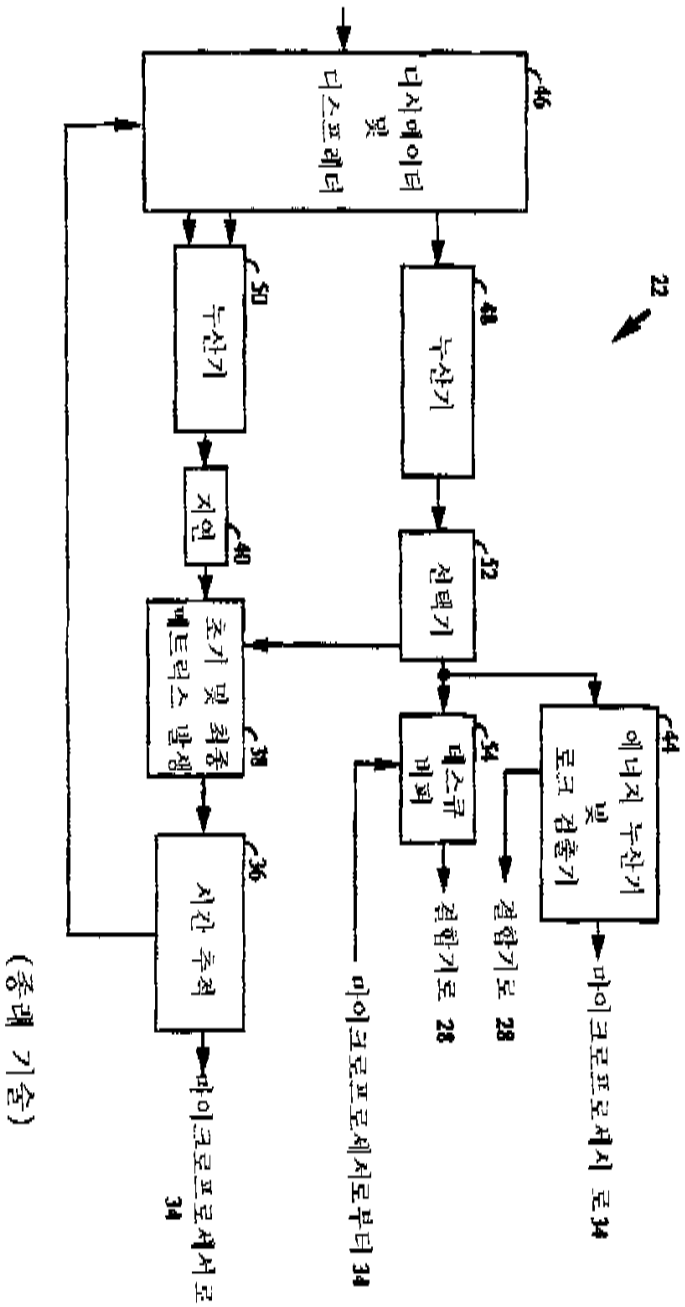


도면2

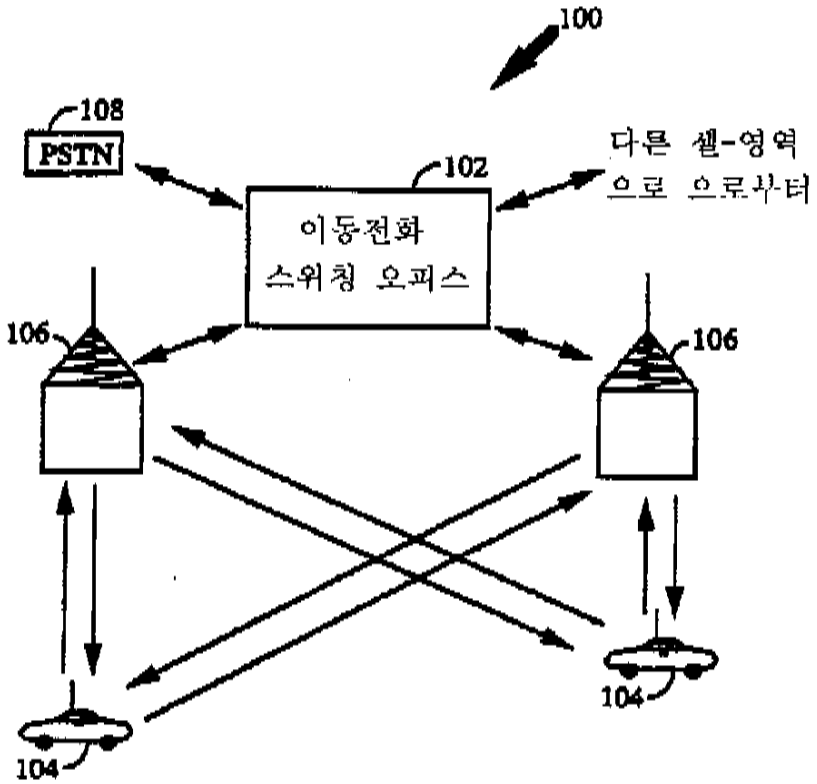

14
12
아날로그 수신기
16
18
20
복조 엘리먼트
22
검색기
26
검색기
26
검색기
26
검색기
26
결합기
28
마이크로프로세서
34
순방향 에러 수정 디코더
29
비지탈 링크
30
PSTN
32

(종래 기술)

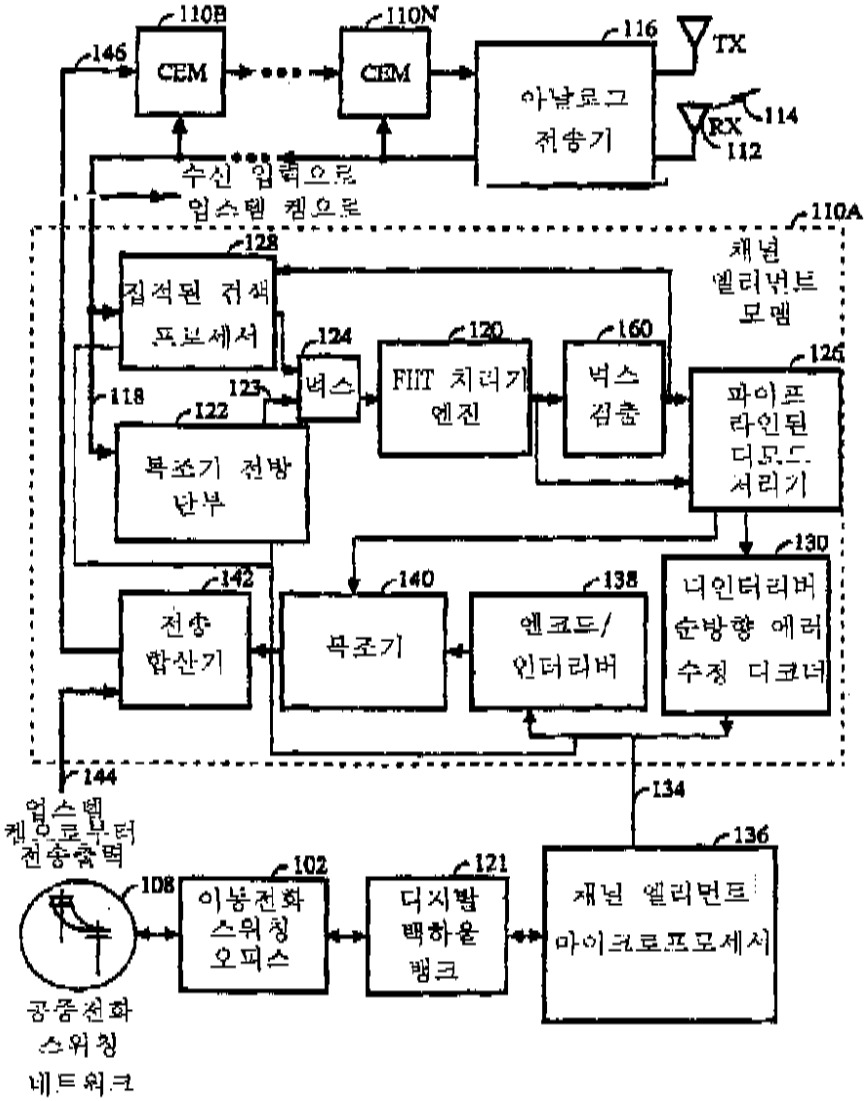
도면3


22
디시메이터 및 디스프레더
46
누산기
48
선택기
52
에너지 누산기 및 로크 검출기
44
누산기
50
지연
40
초기 및 최종 메트릭스 발생
38
시간 추적
36
데스큐 버퍼
54
결합기로 28
결합기로 28
마이크로프로세서로 34
마이크로프로세서로부터 34
(종래 기술)

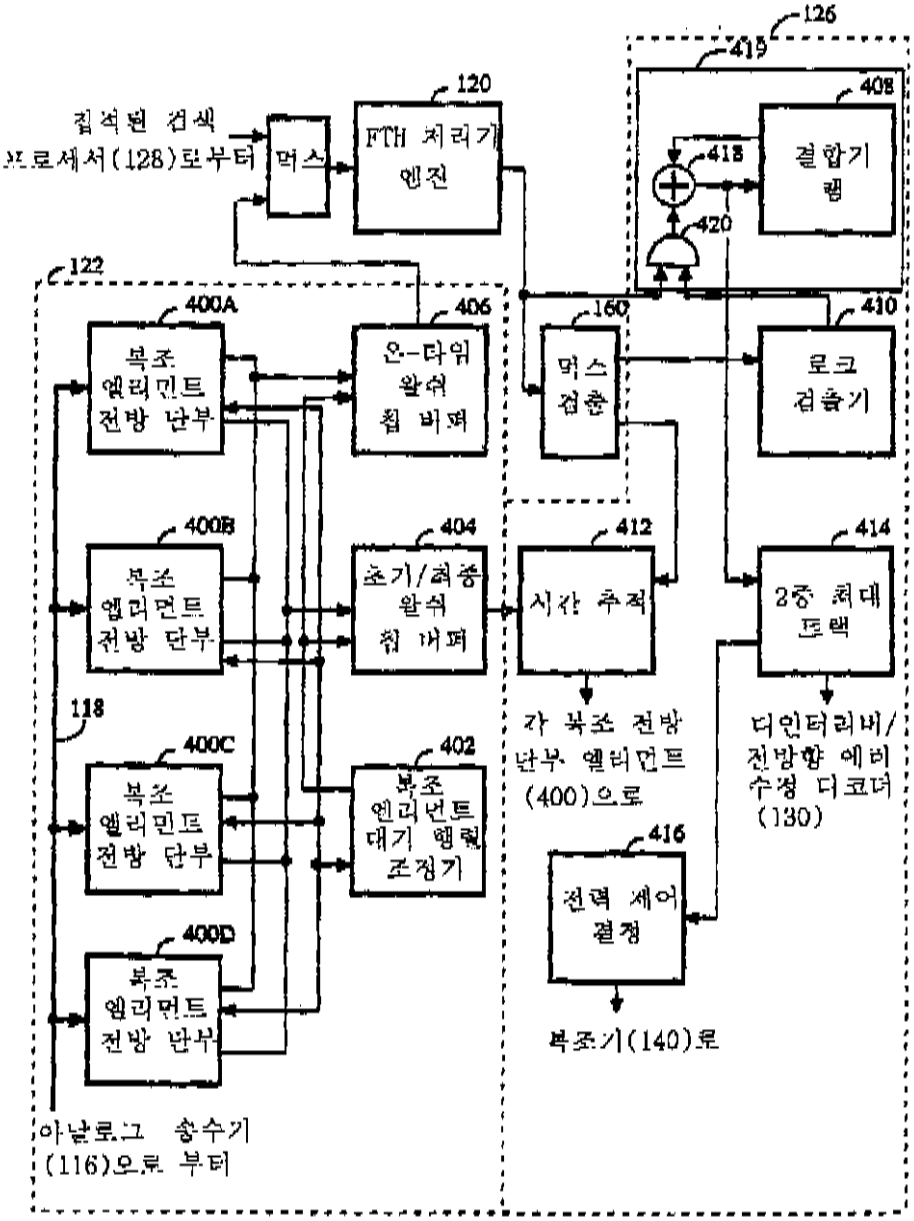
도면4



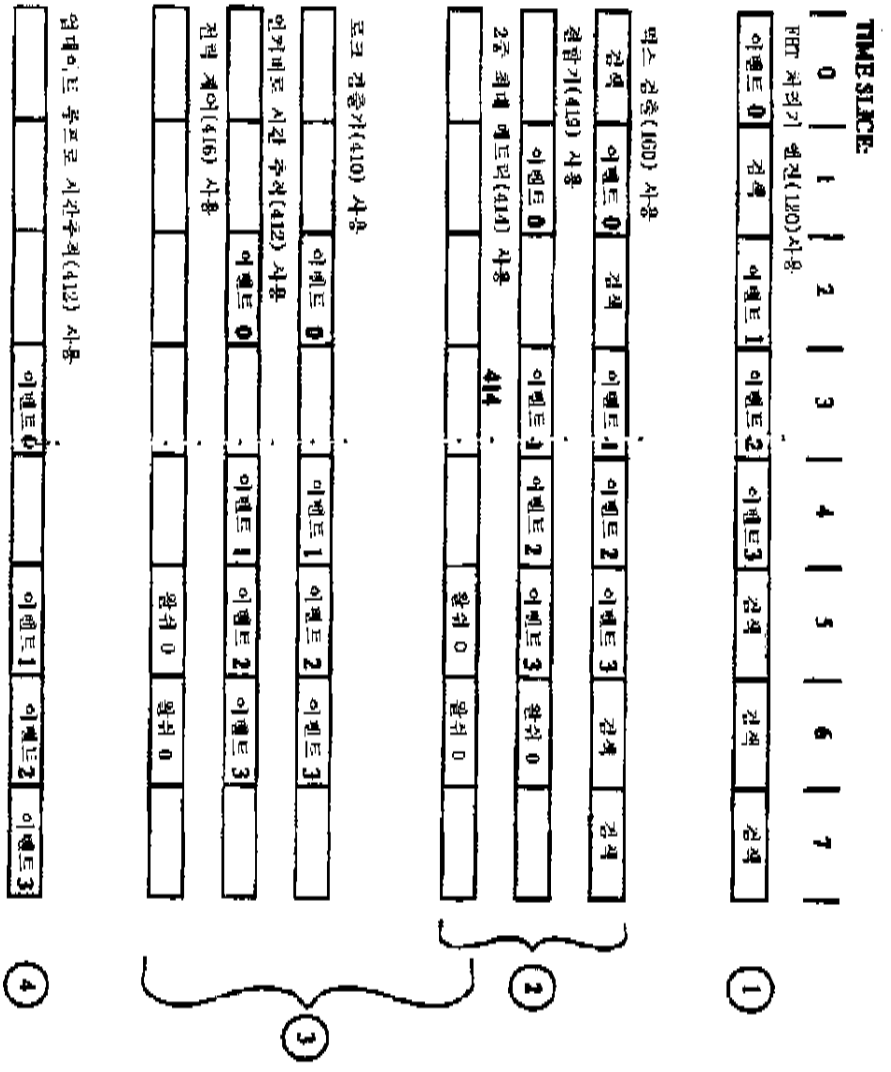
도면5


110B
110N
146
CEM
CEM
116
TX
RX
114
112
아날로그 전송기
수신 입력으로
110A
채널 엘리먼트 모뎀
128
집적된 검색 프로세서
124
120
160
126
벅스
FIIT 처리기 엔진
벅스 검출
파이프라인된 디모드 서리기
118
123
122
복조기 전방 단부
130
142
140
138
디인터리버 순방향 에러 수정 디코더
전송 합산기
복조기
엔코드/ 인터리버
144
134
136
102
121
108
이동전화 스위칭 오피스
디지털 백하울 뱅크
채널 엘리먼트 마이크로프로세서
공중전화 스위칭 네트워크

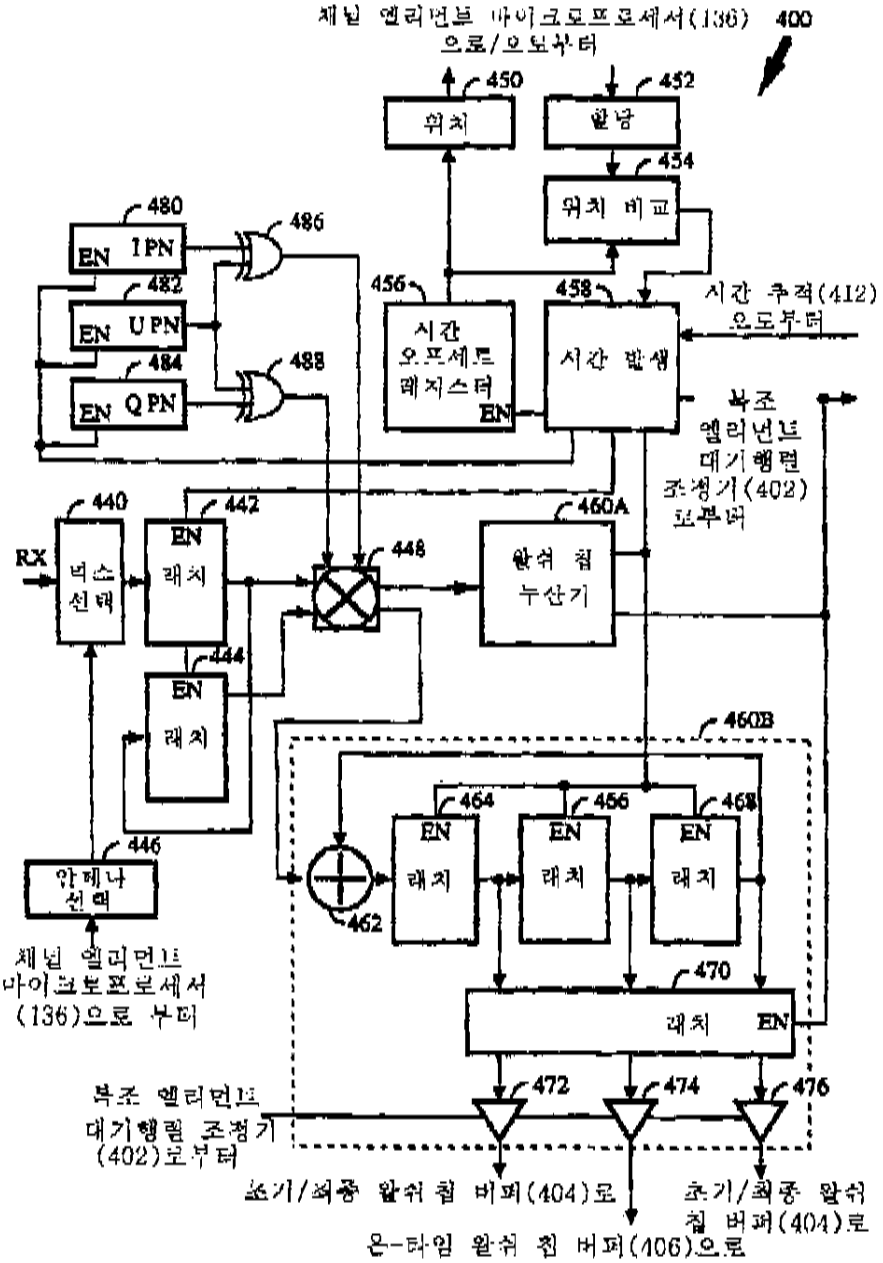
도면6


126
415
408
120
집적된 검색
프로세서(128)로부터
먹스
FTH 처리기
엔진
418
결합기
램
420
122
400A
406
160
410
복조
엘리먼트
전방 단부
온-타임
왈쉬
칩 버퍼
먹스
검출
로크
검출기
400B
404
412
414
복조
엘리먼트
전방 단부
초기/최종
왈쉬
칩 버퍼
시간 추적
2중 최대
트랙
118
400C
402
각 복조 전방
단부 엘리먼트
(400)으로
디인터리버/
전방향 에러
수정 디코더
(130)
복조
엘리먼트
대기 행렬
조정기
416
400D
전력 제어
결정
복조
엘리먼트
전방 단부
복조기(140)로
아날로그 송수기
(116)으로 부터

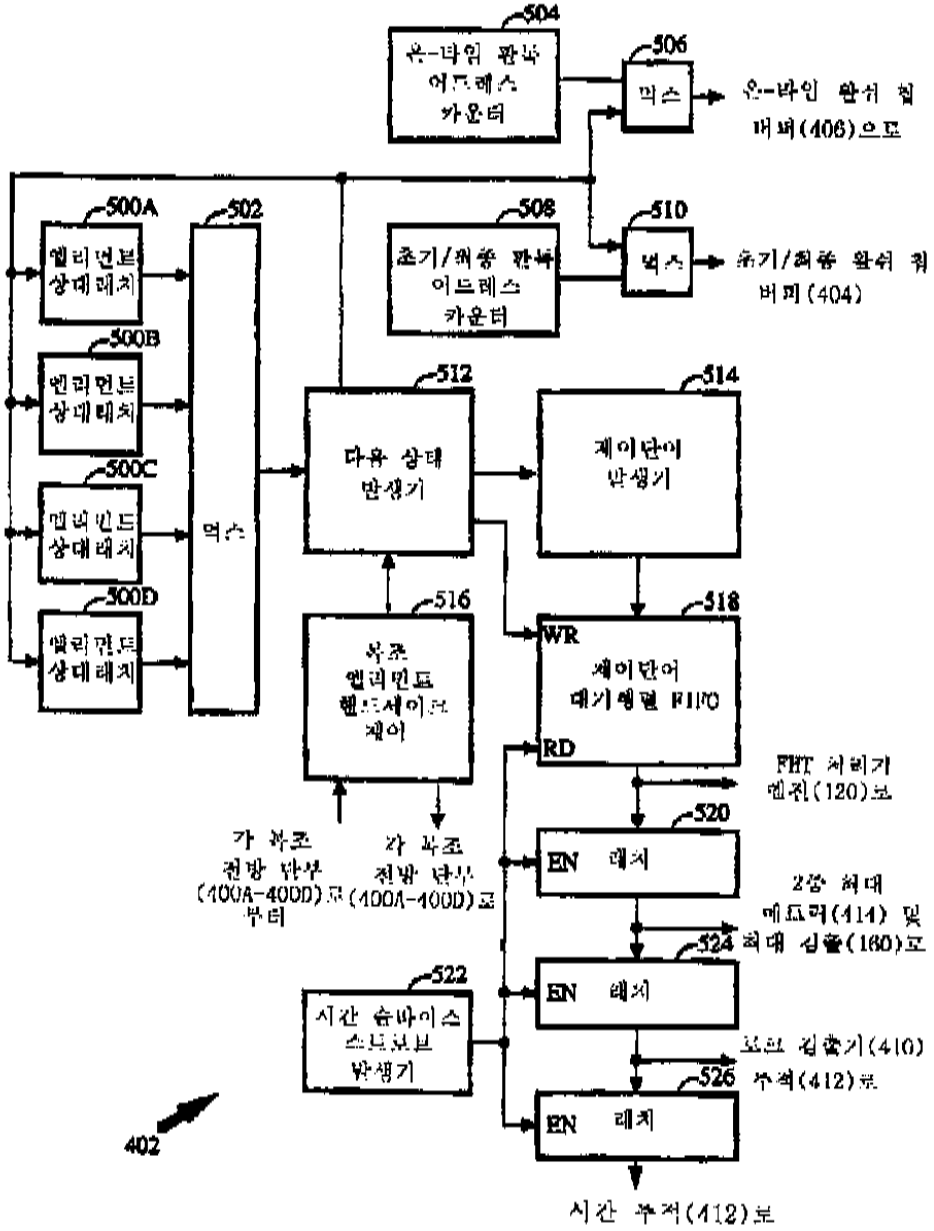
도면7


TIME SLICE:
0
1
2
3
4
5
6
7
FHT 처리기 엔진(120)사용
이벤트 0
검색
이벤트 1
이벤트 2
이벤트3
검색
검색
검색
1
믹스 검출(160) 사용
검색
이벤트 0
검색
이벤트 1
이벤트 2
이벤트 3
검색
검색
결합기(419) 사용
이벤트 0
이벤트 1
이벤트 2
이벤트 3
완쉬 0
2중 최대 메트릭(414) 사용
414
완쉬 0
완쉬 0
2
로크 검출기(410) 사용
이벤트 0
이벤트 1
이벤트 2
이벤트 3
인커비로 시간 추적(412) 사용
이벤트 0
이벤트 1
이벤트 2
이벤트 3
전력 제어(416) 사용
완쉬 0
완쉬 0
3
업데이트 루프로 시간추적(412) 사용
이벤트 0
이벤트 1
이벤트 2
이벤트 3
4

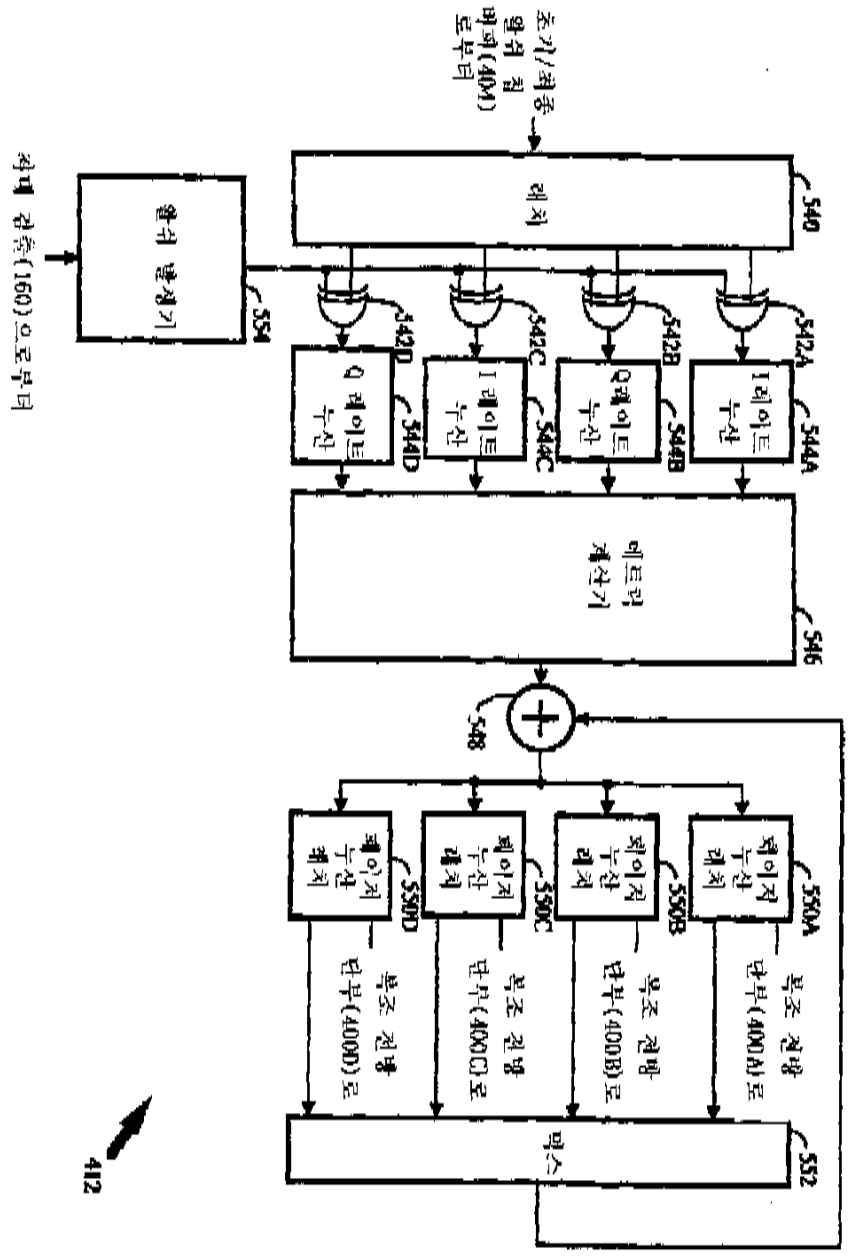
도면8


채널 엘리먼트 마이크로프로세서(136) 400
으로/으로부터
450
위치
452
할당
454
위치 비교
480
EN IPN
482
EN UPN
484
EN QPN
486
488
456
시간 오프셋트 레지스터
EN
458
시간 발생
시간 추적(412) 으로부터
복조 엘리먼트 대기행렬 조정기(402) 로부터
440
RX
버스 선택
442
EN 래치
448
460A
왈쉬 칩 누산기
444
EN 래치
460B
464
456
468
EN 래치
462
446
안테나 선택
채널 엘리먼트 마이크로프로세서 (136)으로 부터
470
래치 EN
472
474
476
복조 엘리먼트 대기행렬 조정기 (402)로부터
초기/최종 왈쉬 칩 버퍼(404)로
초기/최종 왈쉬 칩 버퍼(404)로
온-타임 왈쉬 칩 버퍼(406)으로

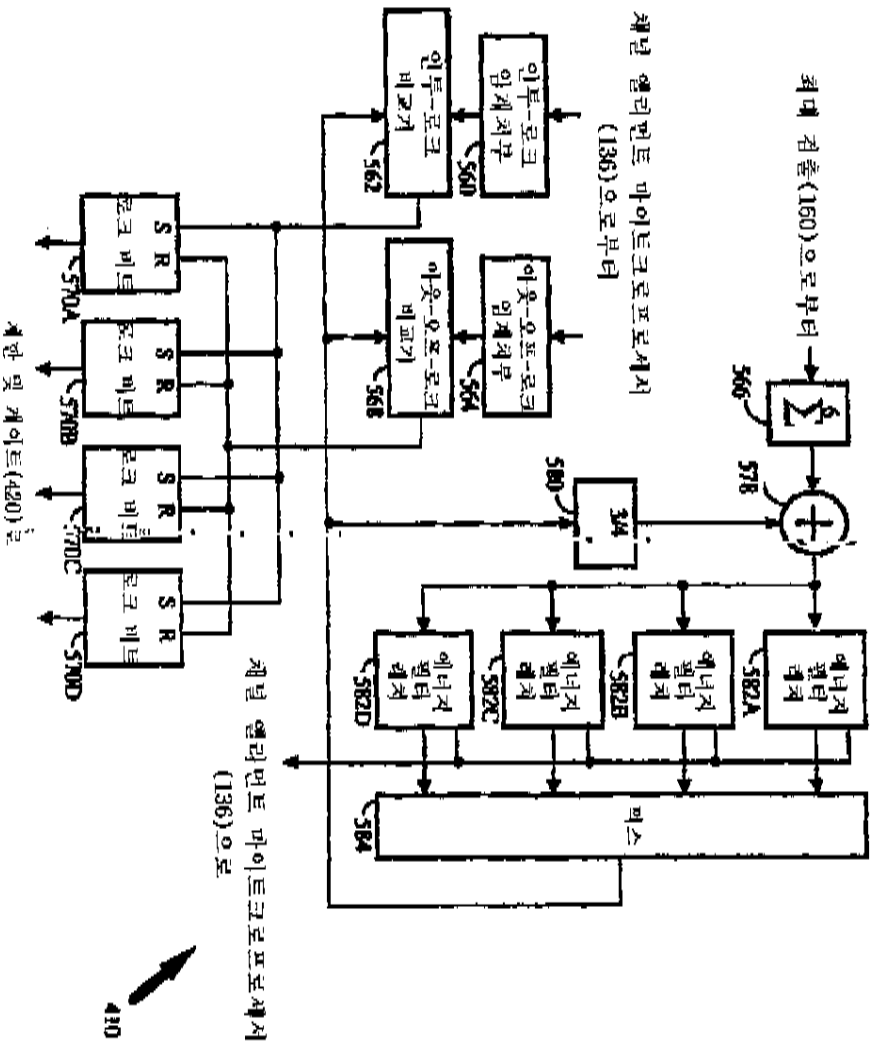
도면9


504
온-타임 판독 어드레스 카운터
506
먹스
온-타임 완쉬 칩 버퍼(406)으로
500A
엘리먼트 상대래치
500B
엘리먼트 상대래치
500C
엘리먼트 상대래치
500D
엘리먼트 상대래치
502
먹스
508
초기/최종 판독 어드레스 카운터
510
먹스
초기/최종 완쉬 칩 버퍼(404)
512
다음 상태 발생기
514
제어단어 발생기
516
복조 엘리먼트 핸드셰이크 제어
518
WR
제어단어 대기행렬 FIFO
RD
FHT 처리기 엔진(120)로
520
EN 래치
2중 최대 메트릭(414) 및 최대 검출(160)로
524
EN 래치
522
시간 슬바이스 스트로브 발생기
로크 검출기(410) 추적(412)로
526
EN 래치
시간 추적(412)로
402

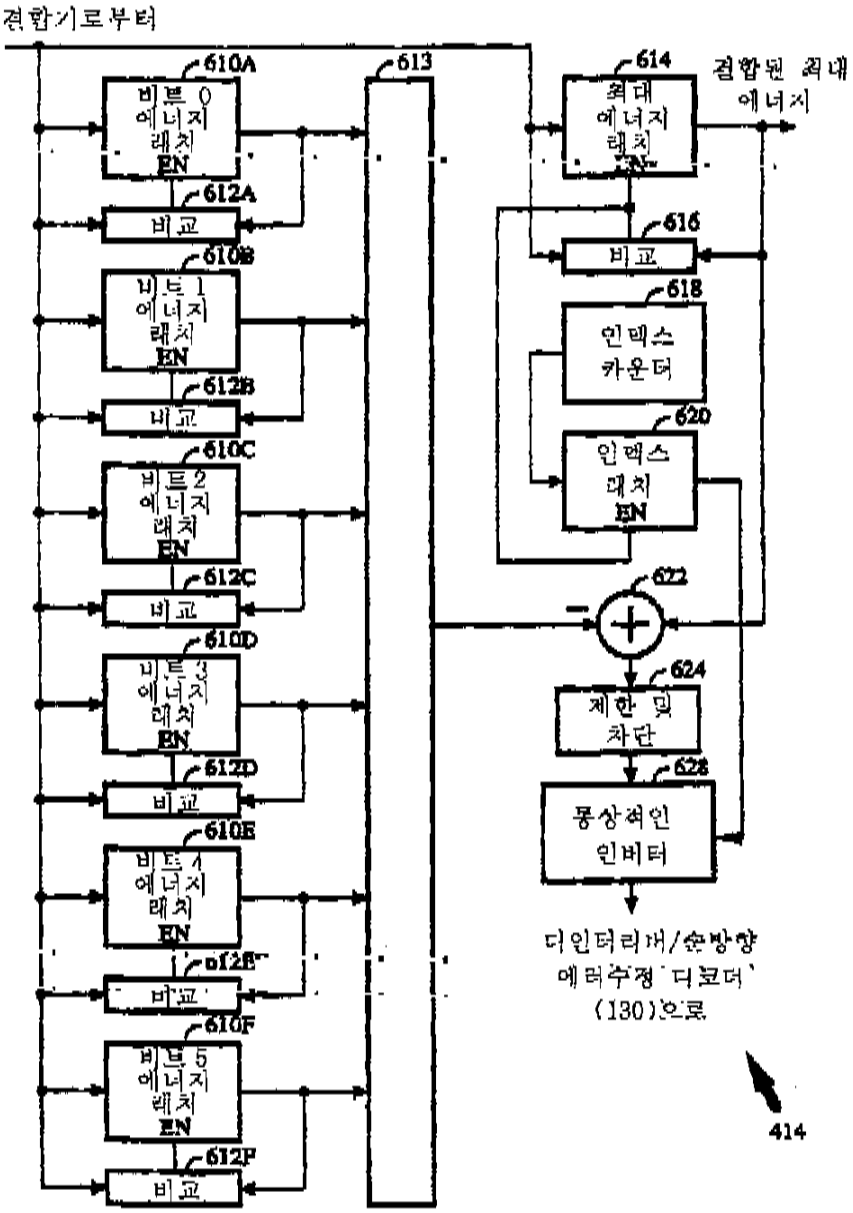
도면10


초기/최종 알쉬 칩 비퍼(40M)로부터
레치
540
542A
542B
542C
542D
I레이트 누산
544A
Q레이트 누산
544B
I레이트 누산
544C
Q레이트 누산
544D
에트릭 계산기
546
548
페이저 누산 레치
550A
페이저 누산 레치
550B
페이저 누산 레치
550C
페이저 누산 레치
550D
복조 전방 단부(400A)로
복조 전방 단부(400B)로
복조 전방 단부(400C)로
복조 전방 단부(400D)로
믹스
552
알쉬 발생기
554
차비 검출(160)으로부터
412

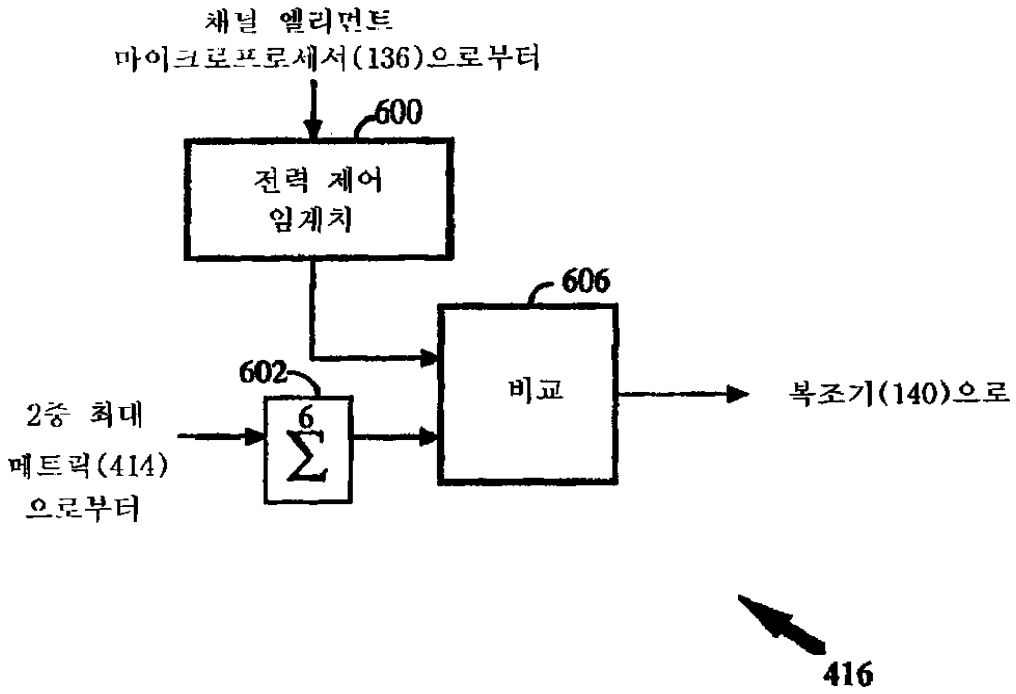
도면11


최대 검출(160)으로부터
566
578
580
3/4
582A
582B
582C
582D
584
미스
채널 엘리먼트 마이트크로프로세서
(136)으로부터
인투-로크 임계치부
560
인투-로크 비교기
562
아웃-오프-로크 임계치부
564
아웃-오프-로크 비교기
568
S R 로크 비트
570A
570B
570C
570D
제한 및 게이트(420)로
채널 엘리먼트 마이트크로프로세서
(136)으로
420

도면12


결합기로부터
610A
비트 0 에너지 래치
EN
612A
비교
610B
비트 1 에너지 래치
EN
612B
비교
610C
비트 2 에너지 래치
EN
612C
비교
610D
비트 3 에너지 래치
EN
612D
비교
610E
비트 4 에너지 래치
EN
612E
비교
610F
비트 5 에너지 래치
EN
612F
비교
613
614
최대 에너지 래치
EN
결합된 최대 에너지
616
비교
618
인덱스 카운터
620
인덱스 래치
EN
622
624
제한 및 차단
626
몽상적인 인버터
디인터리버/순방향 에러수정 디코더 (130)으로
414

도면13


채널 엘리먼트
마이크로프로세서(136)으로부터
600
전력 제어
임계치
606
602
6
Σ
2중 최대
메트릭(414)
으로부터
비교
복조기(140)으로
416