



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월09일
(11) 등록번호 10-1295503
(24) 등록일자 2013년08월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
(21) 출원번호 10-2011-7018061
(22) 출원일자(국제) 2009년12월23일
심사청구일자 2011년08월01일
(85) 번역문제출일자 2011년08월01일
(65) 공개번호 10-2011-0099798
(43) 공개일자 2011년09월08일
(86) 국제출원번호 PCT/US2009/069487
(87) 국제공개번호 WO 2010/078204
국제공개일자 2010년07월08일
(30) 우선권주장
12/347,268 2008년12월31일 미국(US)
(56) 선행기술조사문헌
US20040201037 A1
US20070200142 A1
US20080001173 A1
US20080142786 A1

(73) 특허권자
인텔 코오퍼레이션
미합중국 캘리포니아 95052 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
후다이트, 만투
미국 24061 버지니아주 블랙스버그 테프트 오브 일렉트리카일 앤드 컴퓨터 엔지니어링 휘트모어 (0111) 302 버지니아 테크
필라리셰티, 라비
미국 97209 오레곤주 포틀랜드 에이퍼티 226 노스 웨스트 호이트 에스티 925
(뒷면에 계속)
(74) 대리인
백만기, 양영준

전체 청구항 수 : 총 39 항

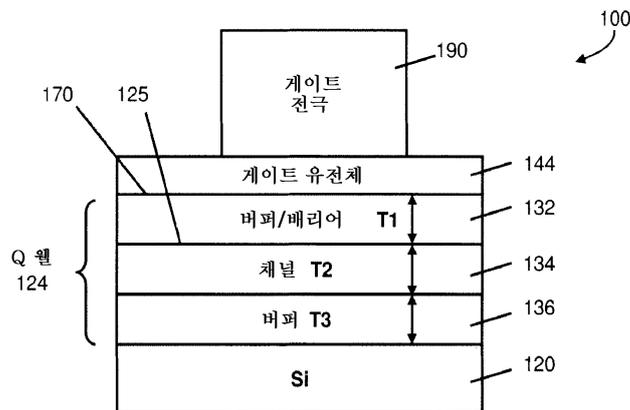
심사관 : 김정진

(54) 발명의 명칭 금속 소스/드레인에 의해 형성된 단축 변형을 갖는 양자 우물 MOSFET 채널 및 등각 재성장 소스/드레인

(57) 요약

기술된 실시예는 금속 소스/드레인들을 갖는 변형 트랜지스터 양자 우물(QW) 채널 영역들 및 MOS 채널 영역에 단축 변형을 부여하는 등각 재성장 소스/드레인들을 포함한다. 채널층의 제거된 부분들은 채널 재료의 격자 간격과 상이한 격자 간격을 갖는 접합 재료로 채워져, 양자 우물의 상부 배리어층과 바닥 버퍼층에 의해 채널층에 야기되는 2축 변형에 추가하여 채널에 단축 변형을 일으킬 수 있다.

대표도 - 도1



(72) 발명자

라도사블제비크, 마르코

미국 97006 오레곤주 비버튼 노쓰웨스트 새퍼럴 티
이알. 4129

드위, 길버트

미국 97123 오레곤주 힐스보로 사우쓰이스트 58번
에이브이이 920

라크시트, 티타쉬

미국 97124 오레곤주 힐스보로 노쓰웨스트 와일드
우드 에스티 319

카발리에로스, 잭

미국 97229 오레곤주 포틀랜드 노쓰웨스트 벨 코트
14260

차이, 월만

미국 95070 캘리포니아주 사라토가 카롤 엘엔.
20207

마지, 프라샨트

미국 78749 텍사스주 오스틴 에이퍼티. 넘버427 모
팩 익스프레스웨이 사우쓰 5701

특허청구의 범위

청구항 1

제1 접합 영역을 형성하는 기관 내의 양자 우물의 상부 배리어층과 채널층의 제1 부분, 및 상기 기관 내에 제2 접합 영역을 형성하는 상기 상부 배리어층 및 채널층의 상이한 제2 부분을 제거하는 단계; 및

상기 제1 접합 영역과 상기 제2 접합 영역 내에 임의의 두께의 접합 재료를 형성하는 단계

를 포함하고,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격과 상이한 격자 간격을 갖고, 상기 제1 접합 영역과 상기 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 변형을 일으키는 방법.

청구항 2

제1항에 있어서,

상기 채널층은 상기 양자 우물의 상부 배리어층과 바닥 버퍼층 사이에 있고, 상기 상부 배리어층과 상기 바닥 버퍼층 각각은, 상기 채널 재료의 격자 간격과는 상이한 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 상기 제3 부분에 2축 변형을 일으키는 방법.

청구항 3

제2항에 있어서,

상기 제1 부분 및 상기 제2 부분을 제거하는 단계는, 층간 절연(ILD)층을 관통하여, 그리고 상기 채널층을 관통하지 않고 상기 채널층 내부에 콘택트 개구를 형성하기 위해 상기 ILD층의 제1 부분 및 제2 부분을 제거하는 단계를 더 포함하는 방법.

청구항 4

제2항에 있어서,

상기 제1 부분 및 상기 제2 부분을 제거하는 단계는, 각각이 상기 채널층을 임의의 두께만큼 관통하지만 완전히 관통하지 않고 연장되는 2개의 콘택트 개구들을 형성하도록 이방성 건식 식각을 사용하는 단계를 포함하고,

상기 채널층을 완전히 관통하여 상기 2개의 콘택트 개구들을 연장시키고 상기 양자 우물의 바닥 버퍼층을 노출시키기 위해 선택적 등방성 습식 식각을 사용하여 상기 2개의 콘택트 개구들을 상기 상부 배리어층 안이 아닌 상기 채널층 내에 확장시키는 단계를 더 포함하는 방법.

청구항 5

제4항에 있어서,

상기 제1 부분 및 상기 제2 부분을 제거하는 단계는, 층간 절연(ILD)층을 관통하여, 그리고 상기 채널층을 관통하지 않고 상기 채널층 내부에 콘택트 개구를 형성하기 위해 상기 ILD층의 제1 부분 및 제2 부분을 제거하는 단계를 더 포함하고,

제거하는 단계는 상기 채널층의 제1 두께를 제거하지만 나머지 두께를 제거하지 않는 단계를 포함하고, 확장시키는 단계는 상기 나머지 두께를 제거하고 상기 채널층 내의 개구들을 상기 ILD층 내의 개구들의 폭보다 큰 폭으로 넓히는 단계를 포함하는 방법.

청구항 6

제4항에 있어서,

형성하는 단계는 금속 재료를 상기 확장된 콘택트 개구들 내의 상기 채널 재료 상에 형성하지만 상기 상부 배리어층의 배리어 재료 상에는 형성하지 않는 단계를 포함하는 방법.

청구항 7

제6항에 있어서,

상기 금속 재료와 상기 채널 재료 사이의 계면에서 상기 금속 재료와 상기 채널 재료를 포함하는 합금 재료를 형성하도록 상기 금속 재료를 열처리하는 단계를 더 포함하는 방법.

청구항 8

제7항에 있어서,

형성하는 단계는 원자층 퇴적(ALD)과 물리 기상 퇴적(PVD) 중의 하나를 이용하여 니켈(Ni) 재료를 퇴적하는 단계를 포함하고, 상기 채널 재료는 게르마늄(Ge)을 포함하고, 상기 상부 배리어 및 바닥 버퍼층은 실리콘을 포함하고, 상기 단축 변형 및 상기 2축 변형은 압축 변형들인 방법.

청구항 9

제7항에 있어서,

열처리하는 단계는 상기 상부 배리어층, 상기 바닥 버퍼층, 상기 채널층 및 상기 금속 재료 사이에 합금 재료를 형성하도록 상기 계면을 어닐링하는 단계를 포함하는 방법.

청구항 10

제2항에 있어서,

제1 부분 및 제2 부분을 제거하는 단계는, 상기 양자 우물의 바닥 버퍼층을 노출시키도록 상부 배리어층과 상기 채널층의 제1 부분을 제거하고 상기 양자 우물의 상기 바닥 버퍼층을 노출시키도록 상기 상부 배리어층과 상기 채널층의 상이한 제2 부분을 제거하는 단계를 포함하는 방법.

청구항 11

제10항에 있어서,

제거하는 단계는 상기 제1 접합 영역 내의 상기 바닥 버퍼층 상에 상기 배리어층 및 채널층의 제1 측벽과 제1 바닥면을 형성하고, 상기 제2 접합 영역 내의 상기 바닥 버퍼층 상에 상기 배리어층 및 채널층의 제2 측벽과 제2 바닥면을 형성하는 단계를 포함하는 방법.

청구항 12

제11항에 있어서,

형성하는 단계는 상기 접합 영역들 내의 상기 채널 재료를 에피택셜 재성장시키는 단계를 포함하는 방법.

청구항 13

제12항에 있어서,

형성하는 단계는 상기 측벽 및 바닥면들에 상기 채널 재료와 동일한 재료의 경사형 등각 재료를 형성하는 단계를 포함하는 방법.

청구항 14

제13항에 있어서,

형성하는 단계는 섭씨 550도 이하의 온도에서 상기 접합 재료를 형성하고, 어닐링 전에 상기 단축 변형을 일으키는 단계를 포함하는 방법.

청구항 15

제10항에 있어서,

상기 제1 부분 및 상기 제2 부분을 제거하는 단계는, 상기 상부 배리어층 위에 게이트 절연층을 형성하고, 상기

상부 배리어층 및 상기 채널층의 제3 부분 위에 마스크를 형성하도록 상기 게이트 절연층을 건식 식각하고, 상기 상부 배리어층의 상기 제1 부분 및 상기 제2 부분을 제거하도록 제1 선택적 습식 식각을 이용하고, 상기 채널층의 상기 제1 부분 및 상기 제2 부분을 제거하도록 제2 선택적 습식 식각을 이용하는 단계를 더 포함하는 방법.

청구항 16

제13항에 있어서,

상기 채널 재료는 인듐 갈륨 비소(InGaAs) 재료를 포함하고, 형성하는 단계는 상기 채널 재료의 인듐 농도보다 높은 인듐 농도를 갖는 InGaAs 재료를 성장시키는 단계를 포함하는 방법.

청구항 17

제16항에 있어서,

상부 배리어 재료는 인듐 인화물(Indium Phosphorus)을 포함하고, 상기 바닥 버퍼층은 인듐 알루미늄 비소(Indium Aluminum Arsenic)를 포함하고, 상기 단축 변형 및 상기 2축 변형은 압축 변형들인 방법.

청구항 18

트랜지스터로서,

상부 배리어층과 바닥 버퍼층 사이에 채널층을 포함하는 기판 내의 양자 우물 - 상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널층의 채널 재료의 격자 간격과는 상이한 격자 간격을 갖는 재료를 포함하고, 상기 채널층에 2축 변형을 일으킴 -;

상기 양자 우물에 인접하는, 상기 채널층을 통한 상기 바닥 버퍼층으로의 제1 접합 영역;

상기 양자 우물에 인접하는, 상기 채널층을 통한 상기 바닥 버퍼층으로의 상이한 제2 접합 영역; 및

상기 채널 재료의 격자 간격과는 상이한 격자 간격을 갖고, 상기 2축 변형에 추가하여 상기 채널층에 단축 변형을 일으키는, 상기 제1 접합 영역 및 상기 제2 접합 영역 내의 접합 재료

를 포함하는 트랜지스터.

청구항 19

제18항에 있어서,

상기 접합 재료는 상기 채널층과 금속 재료 사이의 계면에 합금 재료를 포함하고, 상기 합금은 상기 채널 재료와 상기 금속을 포함하는 트랜지스터.

청구항 20

제19항에 있어서,

상기 금속은 니켈(Ni)을 포함하고, 상기 채널 재료는 게르마늄(Ge)을 포함하고, 상기 상부 배리어층 및 바닥 버퍼층은 실리콘을 포함하고, 상기 단축 변형 및 상기 2축 변형은 압축 변형들인 트랜지스터.

청구항 21

제18항에 있어서,

상기 접합 재료는 상기 상부 배리어층 및 채널층의 측면면들과 상기 바닥 버퍼층의 상면들에 상기 채널 재료와 동일한 재료의 경사형 재료를 포함하는 트랜지스터.

청구항 22

제21항에 있어서,

상기 채널 재료는 인듐 갈륨 비소(InGaAs)를 포함하고, 상기 접합 재료는 상기 채널 재료의 인듐 농도보다 높은 인듐 농도를 갖는 InGaAs 재료를 포함하고, 상부 배리어 재료는 인듐 인화물(InP)을 포함하고, 상기 바닥 버퍼

층은 인듐 알루미늄 비소(InAlAs)를 포함하고, 상기 단축 변형 및 상기 2축 변형은 압축 변형인 트랜지스터.

청구항 23

기판 내의 트랜지스터 양자 우물 - 상기 양자 우물은 상부 배리어층과 바닥 버퍼층 사이의 채널층을 포함하고, 상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널층에 2축 변형을 각각 일으키기 위해 상기 채널층의 채널 재료의 격자 간격과 상이한 격자 간격을 갖는 재료를 포함함 -;

상기 양자 우물의 일부분에 인접하고, 상기 상부 배리어층 및 상기 채널층을 통과하여 상기 바닥 버퍼층으로 연장하는 제1 접합 영역;

상기 양자 우물의 일부분에 인접하고, 상기 상부 배리어층 및 상기 채널층을 통과하여 상기 바닥 버퍼층으로 연장하는 상이한 제2 접합 영역; 및

상기 제1 접합 영역 및 상기 제2 접합 영역 내의 접합 재료 - 상기 접합 재료는 상기 2축 변형 외에 상기 채널층에 단축 변형을 일으키기 위해 상기 채널 재료의 격자 간격과 상이한 격자 간격을 가짐 -

를 포함하는 장치.

청구항 24

제1항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 큰 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 압축 변형을 일으키는 방법.

청구항 25

제2항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 작은 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 압축 변형을 일으키는 방법.

청구항 26

제1항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 작은 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 신장 변형을 일으키는 방법.

청구항 27

제2항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 큰 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 신장 변형을 일으키는 방법.

청구항 28

제18항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 큰 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 압축 변형을 일으키는 트랜지스터.

청구항 29

제28항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 작은 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 압축 변형을 일으키는 트랜지스터.

청구항 30

제18항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 작은 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 신장 변형을 일으키는 트랜지스터.

청구항 31

제30항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 큰 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 신장 변형을 일으키는 트랜지스터.

청구항 32

제23항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 큰 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 압축 변형을 일으키는 장치.

청구항 33

제32항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 작은 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 압축 변형을 일으키는 장치.

청구항 34

제23항에 있어서,

상기 접합 재료는 상기 채널층의 채널 재료의 격자 간격보다 작은 격자 간격을 갖고, 상기 제1 접합 영역과 제2 접합 영역 사이의 상기 채널층의 제3 부분에 단축 신장 변형을 일으키는 장치.

청구항 35

제34항에 있어서,

상기 상부 배리어층 및 상기 바닥 버퍼층 각각은 상기 채널 재료의 격자 간격보다 큰 격자 간격을 갖는 재료를 포함하고, 상기 단축 변형 외에 상기 채널층의 제3 부분에 2축 신장 변형을 일으키는 장치.

청구항 36

제23항에 있어서,

상기 접합 재료는 상기 채널층과 금속 재료 사이의 계면에 합금 재료를 포함하고, 상기 합금은 상기 채널 재료 및 상기 금속을 포함하는 장치.

청구항 37

제36항에 있어서,

상기 금속은 니켈(Ni)을 포함하고, 상기 채널 재료는 게르마늄(Ge)을 포함하고, 상기 상부 배리어층 및 바닥 버퍼층은 실리콘을 포함하며, 상기 단축 변형 및 상기 2축 변형은 압축 변형들인 장치.

청구항 38

제23항에 있어서,

상기 접합 재료는 상기 상부 배리어층 및 채널층의 측면면들과 상기 바닥 버퍼층의 상면들에 상기 채널 재료와 동일한 재료의 경사형 재료를 포함하는 장치.

청구항 39

제38항에 있어서,

상기 채널 재료는 인듐 갈륨 비소(InGaAs)를 포함하고, 상기 접합 재료는 상기 채널 재료의 인듐 농도보다 높은 인듐 농도를 갖는 InGaAs 재료를 포함하고, 상부 배리어 재료는 인듐 인화물(InP)을 포함하고, 상기 바닥 버퍼층은 인듐 알루미늄 비소(InAlAs)를 포함하고, 상기 단축 변형 및 상기 2축 변형들은 압축 변형들인 장치.

명세서

기술분야

[0001] 본 발명은, 회로 디바이스 및 회로 디바이스의 제조 및 구조에 관한 것이다.

배경기술

[0002] 기관 상의 회로 디바이스(예를 들어, 반도체(예를 들어, 실리콘) 기관 상의 집적 회로(IC) 트랜지스터, 저항기, 캐패시터 등)의 증가된 성능은 이들 디바이스의 설계, 제조, 및 동작 중에 고려되는 전형적인 주요 인자이다. 예를 들어, 상보형 금속 산화물 반도체(CMOS)에 사용되는 것과 같은 금속 산화물 반도체(MOS) 트랜지스터 디바이스의 설계 및 제조 또는 형성 중에, N형 MOS 디바이스(n-MOS) 채널에서 전자의 이동을 증가시키고 P형 MOS 디바이스(p-MOS) 채널에서 양으로 대전된 홀의 이동을 증가시키는 것이 대개 유리하다. 디바이스 성능을 평가하는 키 파라미터는 주어진 설계 전압에서 전달되는 전류이다. 이 파라미터는 통상 트랜지스터 구동 전류 또는 포화 전류(saturation current)(I_{Dsat})로 지칭된다. 구동 전류는 트랜지스터의 채널 이동도 및 외부 저항을 포함하는 인자들에 영향을 받는다. 따라서, 디바이스 성능은 채널 이동도(예를 들어, 소스 및 드레인 사이의 채널에서의 캐리어 이동도) 및 외부 저항(R_{ext})(예를 들어, 소스의 콘택트와 드레인의 콘택트 사이에 보이는 외부 저항)에 영향을 받는다.

[0003] 트랜지스터의 채널 영역 내의 캐리어들(즉, 홀 및 전자)의 이동도는 채널 재료 조성, 도핑, 및 변형(예를 들어, 신장(tensile) 또는 압축 변형)에 영향을 받을 수 있다. 증가한 캐리어 이동도는 주어진 설계 전압 및 게이트 길이에서 직접적으로 구동 전류를 증가시킨다. 캐리어 이동도는 채널 영역의 격자를 변형시킴으로써 증가될 수 있다. p-MOS 디바이스에서, 캐리어 이동도(즉, 홀 이동도)는 트랜지스터의 채널 영역에서 압축 변형을 발생시켜 증가한다. n-MOS 디바이스에서, 캐리어 이동도(즉, 전자 이동도)는 트랜지스터의 채널 영역에서 신장 변형을 발생시켜 증가한다.

[0004] R_{ext} 는 채널 재료 조성, 도핑 및 변형에 영향을 받을 수 있다. 또한 R_{ext} 는 소스/드레인 재료 조성 및 도핑, 소스/드레인 콘택트 조성 및 도핑, 및 소스/드레인 콘택트와 소스/드레인 재료 사이의 계면(interface)에 영향을 받을 수 있다. 외부 저항은 (1) 옴 접촉(ohmic contact)(반도체-금속 및 금속-반도체)과 연관된 저항, (2) 소스/드레인 영역 자체 내부의 저항, (3) 채널 영역 및 소스/드레인 영역 사이의 영역(즉, 팁(tip) 영역)의 저항, 및 (4) 초기 기관-에피-층 계면의 위치에서의 불순물(탄소, 질소, 산소) 오염에 기인한 계면 저항의 합계로 지칭될 수 있다.

[0005] 일부의 트랜지스터들은, 예를 들어, 소스 및 드레인 사이의 "양자 우물(quantum well)"(QW)을 사용한다. 양자 우물은, MOSFET 디바이스에서, 운반에 참여하는 캐리어를 위한 에너지 영역을 한정하는 채널 "스택"의 설계를 포함하는 개념이다. 여기서, 한정된 에너지 영역(예를 들어, 층)은 낮은 밴드갭을 갖는 영역으로, 이 밴드갭은 각각이 더 높은 밴드갭을 갖는 상부층과 바닥층 사이에 한정된다. 예를 들어, 양자 우물은 2개의 실리콘층 사이에 게르마늄(Ge)의 층 또는 실리콘 게르마늄(SiGe)의 층을 포함할 수 있다. 대안으로, 양자 우물은 인듐 인화물(indium phosphide)(InP)의 상부층과 인듐 알루미늄 비소(indium aluminum arsenide)(InAlAs)의 바닥층 사이에 인듐 갈륨 비소(indium gallium arsenide)(InGaAs)의 층을 포함할 수 있다. 각각의 경우에, 상부층은 "채널" 층 내의 캐리어들의 한정(confinement)을 제공하고, 또한 (예를 들어, 매립된 채널 구조를 위해) 채널 내의 캐리어 이동도에 대한 게이트 스택 내의 결함의 산란 효과를 최소화하는 "버퍼" 및/또는 상부 "배리어" 층으로 설명될 수 있다. 또한, 바닥층은 (예를 들어, SOI 형태의 구성을 위해) 채널을 벌크로부터 절연시킴으로써 (상부층과 같이) "채널" 층 내의 캐리어들의 한정을 제공하고 정전 무결성을 개선하는 등의 바닥 "버퍼"층으로 설명될 수 있다.

[0006] 바닥 버퍼층 아래에 기관이 존재할 수 있다. 기관은 벌크형 기관 또는 SOI(silicon-on-insulator) 기관일 수 있다. 기관은 QW 바닥 버퍼 아래에 경사형(graded) 버퍼를 포함할 수 있다. 경사형 버퍼 아래에는 실리콘 핸들 웨이퍼(silicon handle wafer) 등의 다른 버퍼층 또는 기관층이 존재할 수 있다. 대안으로, 바닥층 아래에

는 SOI 또는 HOI(heterostructure-on-insulator) 구조를 형성하도록 절연층과 그 다음의 기판이 있을 수 있다. 일반적으로, QW 바닥 버퍼층 아래의 층들은 기판 또는 기판의 일부분으로 설명할 수 있다.

도면의 간단한 설명

- [0007] 도 1은 양자 우물, 게이트 유전체 및 게이트 전극을 갖는 기판의 일부분의 개략적인 단면도이다.
- 도 2는, 도 1의 기판에서 층간 절연(interlayer dielectric)(ILD)을 형성하고 ILD를 통해 채널 재료에 콘택트 개구를 형성한 후의 개략도이다.
- 도 3은, 채널 재료에 추가의 개구를 형성한 후의 도 2의 기판을 도시한다.
- 도 4는, 바닥 버퍼 위와 채널 재료의 개구 내에 살리사이드 재료를 형성한 후의 도 3의 기판을 도시한다.
- 도 5는, 살리사이드와 채널 재료를 열처리한 후의 도 4의 기판을 도시한다.
- 도 6은 2축 압축 변형과 추가의 단축 압축 변형을 갖는 양자 우물에 대한 시뮬레이션 결과를 도시하는 그래프이다.
- 도 7은 양자 우물을 갖는 기판의 일부분의 개략적인 단면도이다.
- 도 8은 도 7의 기판에서 상부 배리어와 채널층을 통해 소스 및 드레인 개구들을 형성한 후의 개략도이다.
- 도 9는, 채널에 단축 변형을 일으키도록, 채널보다 큰 격자 상수를 갖는 재성장 등각 경사형 채널 재료를 저온에서 소스 및 드레인 개구 내에 형성한 도 8의 기판을 도시한다.
- 도 10은, 텅, 스페이서, 소스/드레인 재료 상의 소스/드레인 금속 및 게이트 전극을 형성한 후의 도 9의 기판을 도시한다.
- 도 11은 도 5 또는 도 10의 기판이 통합된 대표적인 CMOS 구조를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0008] 트랜지스터 양자 우물(QW) 채널 영역을 국부적으로 변형하는 것은 MOS 트랜지스터의 채널 영역 내에 단축 변형을 부여하는 금속 소스/드레인 및 등각 재성장 소스/드레인에 의해 달성될 수 있다. 그와 같은 공정 흐름은 채널 양자 우물에 인접한 기판 내에 접합 영역을 형성하도록 기판 내의 양자 우물의 채널층(및 채널층 위의 층들)의 일부분들의 제거를 수반할 수 있다. 다음으로, 임의의 두께의 접합 재료가 접합 영역 내에 형성될 수 있고, 접합 재료는 채널층의 채널 재료의 격자 간격과 상이한 격자 간격을 가지며, 접합 영역들 사이의 채널층 내에 단축 변형을 일으킨다.
- [0009] 일부의 실시예들에서, 이 단축 변형은 2축 변형에 추가하여 채널층 내의 양자 우물의 상부 배리어층과 바닥 버퍼층에 의해 야기될 수 있다. 구체적으로, 채널층은 바닥 버퍼층 상에 형성될 수 있고, 상부 배리어층이 채널층 상에 형성될 수 있고, 상부 배리어층과 바닥 버퍼층은 각각 채널 재료의 격자 간격과 상이한 격자 간격을 갖는 재료를 구비하고, 각각은 단축 변형에 더하여 채널층 내에 2축 변형을 일으킨다.
- [0010] 예를 들어, 도 1 내지 도 6에 대해 기술된 일부의 실시예들에 따라, 트랜지스터 양자 우물(QW) 채널 영역을 국부적으로 변형하는 것은, 금속 소스/드레인에 의해 달성될 수 있다. 도 1은 양자 우물, 게이트 유전체 및 게이트 전극을 갖는 기판의 일부분의 개략적인 단면도이다. 도 1은 기판 양자 우물(QW)(124)의 상면(125)에 형성된 게이트 유전체(144)를 갖는 기판(120)을 포함하는 장치(100)를 도시한다. 게이트 전극(190)이 게이트 유전체(144) 상에 형성된다. QW(124)는 채널층(134) 상에 형성되거나 이와 접한 소정 두께(T1)의 배리어 재료이거나 이를 포함하는 상부 배리어 또는 버퍼층(132)을 포함한다. 채널층(134)은 버퍼층(136) 상에 형성되거나 이와 접한 T2의 두께를 갖는 채널 재료이거나 이를 포함한다. 버퍼층(136)은 버퍼 재료로 이루어지거나 이를 포함하며, T3의 두께를 갖는다. 버퍼층(136)은 기판(120) 상에 형성되거나 이와 접할 수 있다. 게이트 유전체(144)는 층(132) 상에 형성되거나 이와 접할 수 있다. 층(132)의 표면(170)은 게이트 전극(190) 아래에서 연장되는 것으로 도시된다. 전술한 장치(100) 및 그 구성요소들은 (예를 들어, CMOS 디바이스의 일부분들이 되는 것에 의해) QW p-MOS 또는 n-MOS 트랜지스터가 되거나 그 일부분들이 되도록, 하나 이상의 공정 챔버를 포함하는 반도체 트랜지스터 제작 공정에서와 같이 추가로 처리될 수 있다.
- [0011] 예를 들어, 기판(120)은 다결정 실리콘, 단결정 실리콘, 또는 실리콘 또는 다른 재료의 기부(base) 또는 기판(실리콘 웨이퍼 등)을 형성하기 위한 그외의 다양한 적절한 기술을 포함하거나, 이것으로 형성되거나, 이것이

퇴적되거나, 이것으로부터 성장될 수 있다. 이 적용될 수 있다. 예를 들어, 실시예들에 따라, 기판(120)은 단결정 실리콘 기판의 기부를 성장시켜 형성되거나, 다양한 적절한 실리콘 또는 실리콘 합금 재료의 충분한 화학적 기상 퇴적(CVD)에 의해 형성될 수 있다. 기판(120)은 완화된, 완화되지 않은, 경사형, 및/또는 비경사형 실리콘 합금 재료의 하나 이상의 층을 포함할 수 있다. 양자 우물 디바이스용으로 당업계에 공지된 다른 기판들이 기판(120)으로 사용될 수 있음을 알 것이다.

[0012] 도 1에 도시된 바와 같이, 기판(120)은 QW(124)를 포함한다. 양자 우물(124)은 MOSFET 디바이스를 위한 이송에 참여하는 캐리어를 위한 에너지 영역을 한정하도록 채널(예를 들어, 층(134) 또는 채널(534))을 포함한다. 여기서, 한정된 에너지 영역(즉, 채널)은 각각이 높은 밴드갭을 갖는 상부 배리어층과 바닥 버퍼층 사이에 한정된 낮은 밴드갭을 갖는 영역이다. 예를 들어, 양자 우물은 실리콘의 층들(132, 136) 사이에 게르마늄(Ge) 또는 실리콘 게르마늄(SiGe)의 층(134)을 포함할 수 있다.

[0013] 층(134)은 트랜지스터 디바이스의 QW "채널"을 형성하는데 적절한 다양한 재료들을 포함할 수 있음을 알 수 있다. 예를 들어, 트랜지스터 디바이스 QW 채널은, 상부 또는 층(132) 아래 및 층(136) 위에, 전극(190)에 인접 형성된 접합부의 표면 사이에 QW(124)의 채널 재료의 일부분으로 한정될 수 있다. 구체적으로, QW(124)(예를 들어, 도 5의 QW(594))가 소스 및 드레인 사이의 양자 우물이 되도록 소스 및 드레인이 QW(124)에 인접하여 형성될 수 있다. 소스 및 드레인 각각은 양자 우물에 인접하여 형성되거나 또는 이를 통해 (예를 들어, 채널층을 통해) 형성된 다음 접합 재료로 채워진 개구 등의 접합 영역일 수 있다.

[0014] QW(124)는 QW(124)의 형성 중에 또는 형성 후에 QW(124)를 도핑하여 형성된 전기적으로 음전하를 갖는 N형 우물일 수 있다. 구체적으로, QW(124)를 형성하기 위해, 상면(170)은 p-MOS 트랜지스터(예를 들어, CMOS 디바이스의 p-MOS 디바이스)의 N형 우물을 형성하도록 인화물, 비소 및/또는 안티몬으로 도핑될 수 있다. 대안으로, QW(124)를 형성하기 위해, 상면(120)은 n-MOS 트랜지스터(예를 들어, CMOS 디바이스의 n-MOS 디바이스)의 P형 우물을 형성하도록 붕소 및/또는 알루미늄으로 도핑될 수 있다. 본 명세서에 기재된 바와 같이, 도핑은 예를 들어, 도펀트가 QW(124)를 도핑(예를 들어, 채널층을 도핑)하는 것을 허용하면서, 도펀트의 주입이 선택되지 않은 영역 또는 영역들에 진입하는 것을 차단하기 위해 선택되지 않은 영역 또는 영역들 위에 마스크를 위치시키는 등의 앵글 도핑(angle doping) 또는 선택적 도핑에 의해 수행될 수 있다. 유사하게, 접합 영역은 N형 또는 P형 접합 영역일 수 있다.

[0015] 도 2는 도 1의 기판에서 층간 절연(ILD)을 형성하고 ILD를 통해 채널 재료에 콘택트 개구를 형성한 후의 개략도이다. 도 2는 표면(125) 상에 또는 이와 접하여 형성된 ILD(152, 112, 114 154), 층(232), 유전체(244), 및 전극(190)을 포함하는 장치(200)를 도시한다. ILD(112, 114)는 게이트 전극(190), 게이트 유전체(144) 및 배리어(232)의 표면들과 채널(234)의 표면(125) 상에 형성된 ILD 재료의 스페이서(112) 및 스페이서(114)로서 기능할 수 있다. ILD(152) 및 ILD(154)는 채널(234)의 표면(125) 상에도 형성된다. 스페이서(112, 114) 및 ILD(152, 154)는 실리콘 질화물(Si₃N₄), 실리콘 이산화물(SiO₂) 및/또는 그외의 다양한 적절한 반도체 디바이스 스페이서 재료 등의 당업계에 공지된 유전체 재료일 수 있다.

[0016] 또한, 도 2는 채널층(234) 내에 형성된 측벽면(223, 220)과 채널층(234) 내에 형성된 바닥면(222)(예를 들어, 두께(T2) 내의 어딘가의 채널 재료의 표면)을 포함하는 콘택트 개구(270)를 도시한다. 유사하게, 콘택트 개구(280)는 채널층(234) 내에 형성된 측벽면(210, 213)과 채널층(234) 내에 형성된 바닥면(212)을 포함한다.

[0017] 실시예들에 따라, 콘택트 개구들(270, 280)은 게이트 전극(190)에 인접한 접합 영역들에 형성될 수 있다. 예를 들어, 게이트 전극(190)에 인접한 접합부들은 콘택트 개구들 또는 접합 영역들을 형성하도록 층(234) 상에 형성된 ILD 층을 관통하고 층(234)을 소정 두께로 관통하는 식각에 의해 형성될 수 있다. 다음으로, 접합 재료가 접합 영역들 안에 형성되거나 퇴적될 수 있다.

[0018] 예를 들어, 도 1의 유전체(144) 및 배리어층(132)은 도 2의 유전체(244) 및 배리어층(232)을 형성하도록 식각될 수 있다. 따라서, 전극(190) 및 유전체(244)는 도 2에 도시된 바와 같이 폭(W1)을 갖고, 배리어층(232)은 폭(W2)을 갖는다. 다음으로, ILD의 층(예를 들어, 식각 전에는 보이지 않는 블랭킷층 또는 선택층)이 게이트 전극, 게이트 유전체, (예를 들어, 표면(170)의 남은 부분들을 포함하는) 배리어층의 (예를 들어, 노출된 측벽들 및/또는 상면들의) 남은 표면들 및 채널층의 표면(125) 위에 형성될 수 있다. ILD는 상부 배리어층의 일부분에 인접하고, 상부 배리어층의 일부분 상에 형성된 게이트 유전체에 인접하며, 게이트 유전체 상에 형성된 게이트 전극에 인접한 것으로 설명될 수 있다.

[0019] 다음으로, ILD 부분들(152, 112, 114, 154)을 형성하도록 ILD와 채널층의 일부분을 제거하는 등에 의해 ILD를

통해 채널층(234) 안으로 개구들(예를 들어, 콘택트 개구들)이 형성될 수 있다. 일부의 경우들에서, ILD에 개구들을 형성하기 전에, ILD 및/또는 전극(190)의 상면 위에 식각 마스크를 형성할 수 있다. 식각될 ILD의 상면의 일부분들을 노출시키도록 마스크의 일부분들을 제거할 수 있다. 마스크의 일부분들이 제거된 개구들을 통해 식각함으로써 ILD 재료 및 채널 재료를 제거할 수 있다. ILD층을 통해 채널층을 관통하지 않는 콘택트 개구들(270, 280)을 채널층 안으로 형성하도록 ILD와 채널층의 제1 부분 및 제2 부분을 제거할 수 있다. 따라서, 제거는 채널층의 제1 두께를 제거하되 잔여 두께를 제거하지 않는 것을 포함한다.

[0020] 예를 들어, 제1 작업에서 하드마스크(예를 들어, 도 2의 장치(200) 위의 하드마스크층)의 제거될 영역들을 한정하는데 포토레지스트가 사용되는 패터닝 2 작업 공정이 사용될 수 있다. 다음으로, 이러한 하드마스크의 영역들이 식각된다. 식각 후에, 포토레지스트가 제거되고, 접합 영역들(270, 280)을 형성하도록 (예를 들어, 남은 하드마스크에 의해 가려지지 않은 표면(125) 등의 ILD 및 채널층(234)의 바람직하지 않게 노출된 부분을 식각하는) 리세스 식각(recess etch)이 수행된다. 본 명세서에 기술되는 바와 같이, 접합 영역들(270, 280)을 형성하는 소스-드레인 리세스 식각 중에 보호될 영역을 한정하기 위해, 식각 스톱퍼(etch stop), 유전체 재료, 포토레지스트, 또는 마스크 및 식각 공정에 적절한 그외의 재료(예를 들어, 네거티브 포토레지스트 마스크, 포지티브 포토레지스트 마스크, 실리콘 이산화물(SiO₂) 또는 실리콘 질화물(Si₃N₄))를 사용하는 포토리소그래피 패터닝 또한 사용될 수 있다.

[0021] 실시예들에 따라, 제1 부분 및 제2 부분을 제거하는 것은, 콘택트 개구들(270, 280) - 각각은 채널층(234)의 두께를 통해 연장되지만 두께(T2)를 완전히 관통하지는 않음 - 을 형성하기 위해 (예를 들어, 가스를 이용한) 이방성 건식 식각을 사용하는 것을 포함할 수 있다. 예를 들어, 접합 영역(270, 280)은 염소(Cl₂), 염산(HCl), 수소(H₂) 및/또는 질소(N₂)를 포함하는 혼합물을 함유할 수 있는 에천트 가스를 이용한 제거 또는 식각에 의해 형성될 수 있다. 양자 우물 채널 재료를 이방성 건식 식각하기 위한 다른 적절한 건식 에천트가 사용될 수 있음을 알 수 있다.

[0022] 제거는 제1 접합 영역(예를 들어, 개구(270))에서 채널층의 제1 측벽(220)과 채널층의 제1 바닥면(222)을 형성할 수 있고, 제2 접합 영역(예를 들어, 개구(280))에서 채널층의 제2 측벽(210)과 채널층의 제2 바닥면(212)을 형성할 수 있다.

[0023] 게이트 유전체(144)는 비교적 높은 유전 상수(예를 들어, 실리콘 이산화물(SiO₂)의 유전 상수 이상의 유전 상수)를 갖는 재료, 상대적으로 낮은 유전 상수를 갖는 재료로 형성될 수 있고, 양자 우물 위의 게이트 유전체 용으로 당업계에서 공지된 다양한 적절한 재료를 포함할 수 있다. 게이트 유전체(144)는 CVD, 원자층 퇴적(atomic layer deposition)(ALD), 블랭킷 퇴적(blanket deposition) 등의 퇴적 및/또는 그외의 적절한 성장, 퇴적, 또는 형성 공정들에 의해 형성될 수 있다. 게이트 유전체(144)는 MOS 디바이스를 위한 적절한 P형 일함수 또는 적절한 N형 일함수를 가질 수 있다.

[0024] 게이트 전극(190)은 게이트 유전체(144)를 형성하는 것에 관한 전술된 공정들에 의해 형성될 수 있다. 더욱이, 게이트 전극(190)은 실리콘, 폴리실리콘, 결정질 실리콘 및/또는 그외의 다양한 적절한 게이트 전극 재료들 등의 다양한 반도체 또는 도전체 재료들로 형성될 수 있다. 또한, 게이트 전극(190)은 p형 게이트 전극을 형성하거나 또는 n형 게이트 전극을 형성하기 위해 형성 과정 도중이나 형성 후에 도핑될 수 있다. 일부의 경우들에서, 게이트 전극(190)은 TaN/HfSiO_x(산화물), 또는 양자 우물용으로 당업계에서 공지된 다른 적절한 게이트 전극 재료로 형성될 수 있다.

[0025] 도 3은, 채널 재료에 추가의 개구들을 형성한 후의 도 2의 기판을 도시한다. 도 3은 채널층(306) 내에 형성된 측면들(323, 320) 및 버퍼층(136)의 표면(334) 상에 형성된 바닥면(322)(예를 들어, 바닥 버퍼층의 상면)을 갖는 콘택트 개구들(370)을 포함하는 장치(300)를 도시한다. 유사하게, 콘택트 개구(380)는 채널층(306) 내에 형성된 측면들(310, 313) 및 버퍼(136)의 표면(334) 상에 형성된 바닥면(312)을 포함한다. 표면(334)은 버퍼(136)의 노출된 버퍼 재료면 및/또는 상면으로 설명될 수 있다. 개구(370)는 채널층(예를 들어, 층(134 또는 234))의 일부분(303)을 채널(334)로부터 분리한다. 유사하게, 개구(380)는 채널층의 일부분(306)을 채널(334)로부터 분리한다.

[0026] 개구들(370, 380)은 상부 배리어층을 제외한 채널층 내의 개구들(270, 280)을 확장하여 형성된 콘택트 개구들일 수 있다. 개구들(370, 380)은 개구들(270, 280)이 채널층(234)을 완전히 관통하여 양자 우물의 바닥 버퍼층(136)을 노출시키도록 (예를 들어, 액체를 이용한) 선택적 등방성 습식 식각에 의해 형성될 수 있다. 확장은 채널층(234)의 잔여 두께를 제거하고, 채널층 내의 개구들(270, 280)을 ILD 내의 개구(270, 280)의 폭보다 넓은

폭으로 넓히는 것을 포함할 수 있다.

- [0027] 습식 에칭에 사용되는 에천트는 층(234)의 채널 재료를 식각하는데 선택적일 수 있지만, ILD 재료 또는 층(136)의 바닥 버퍼 재료(또는 게이트 전극 재료)의 식각에는 그렇지 않을 수 있다. 실시예들에 따라, 확장은 각각이 채널층(234)의 두께(T2)를 완전히 관통하는 콘택트 개구들(370, 380)을 형성한다. 예를 들어, 접합 영역(370 및/또는 380)은 구연산(citric acid), 과산화물(peroxide), HCl 및 인산(phosphoric acid)을 포함하는 혼합물을 함유할 수 있는 에천트 액체로 제거 또는 식각하여 형성될 수 있다. 양자 우물 채널 재료의 선택적 등방성 습식 식각을 위해, 그외의 적절한 습식 에천트들이 사용될 수 있음을 알 수 있다.
- [0028] 습식 식각 중에 ILD 또는 게이트 전극의 표면들을 보호하도록 식각 마스크가 사용될 수 있다. 식각 마스크는 개구들(270, 280)을 형성할 때 사용된 것과 동일한 마스크이거나 상이한 마스크(예를 들어, 습식 에천트를 정지시키는 마스크)일 수 있다.
- [0029] 개구(370)를 형성하도록 확장시키는 것은, 채널층의 제1 측벽(320)과 제1 접합 영역(예를 들어, 개구(370)) 내의 제1 바닥벽(322)을 형성하고, 채널층의 제2 측벽(310)과 제2 접합 영역(예를 들어, 개구(380)) 내의 제2 바닥면(312)을 형성할 수 있다. 접합 영역(370, 380)은 "소스-드레인 영역들" 또는 "확산 영역들"로 지칭될 수 있다. 또한, 적절한 재료가 접합 영역들(370, 380) 내에 형성, 퇴적, 또는 성장되는 경우, 결과적인 재료는 "접합부", "소스", "드레인", 또는 "확산 영역"으로 지칭될 수 있다.
- [0030] 다른 실시예들이 고려된다. 예를 들어, 일부의 실시예들에서, 배리어층(132)의 일부분들이 콘택트 개구들(270, 280)을 형성하도록 제거된 제1 부분 및 제2 부분 내에 존재할 수 있다. 따라서, 건식 에천트는 제1 부분 및 제2 부분에서 배리어층(132)을 식각할 수 있을 뿐만 아니라(그리고 습식 에천트는 건식 에천트에 의해 생성된 개구를 통해 식각할 수 있고), ILD 및 채널층들을 식각하여 콘택트 개구들(270, 280)을 형성할 수 있다. 일부의 실시예들에서, ILD는 콘택트 개구들(270, 280)을 형성하도록 제거된 제1 부분 및 제2 부분 내에 존재하지 않을 수 있다. 따라서, 건식 에천트는 제1 부분 및 제2 부분에서 채널층(134)을 식각할 수 있지만 콘택트 개구들(270, 280)을 형성하기 위해 ILD를 식각하지는 않는다. 일부의 경우들에서, 콘택트 개구들(270, 280)을 형성하도록 제거된 제1 부분 및 제2 부분 내에 배리어층(132)도 ILD도 존재하지 않을 수 있다. 따라서, 건식 에천트는 콘택트 개구들(270, 280)을 형성하도록 제1 부분 및 제2 부분에서 채널층(134)만을 식각할 필요가 있다.
- [0031] 도 4는, 바닥 버퍼 표면과 채널 재료의 개구 내에 살리사이드 재료를 형성한 후의 도 3의 기판을 도시한다. 도 4는 콘택트 개구(470)(현재 접합 재료(476)를 포함하는 개구(370)) 등을 형성하도록 콘택트 개구(370) 내에 형성된 접합 재료(476)를 포함하는 장치(400)를 도시한다. 유사하게, 도 4는 콘택트 개구(480)를 형성하도록 콘택트 개구(380) 내에 형성된 접합 재료(486)를 도시한다. 접합 재료(476)는 콘택트 개구(470)의 바닥면(예를 들어, 접합 재료(476)의 상면)을 형성한다. 유사하게, 접합 재료(486)는 콘택트 개구(480)의 바닥면(예를 들어, 접합 재료(486)의 상면)을 형성한다.
- [0032] 니켈, 코발트, 티타늄, 또는 에르븀 등의 접합 재료의 층이 접합 재료(476, 486)를 형성하도록 개구들(376, 386) 내에 퇴적될 수 있다. 원자층 퇴적(ALD) 또는 화학 기상 퇴적(CVD)에 의해 형성된 재료의 등각, 선택적 및/또는 경사형 층이 접합 재료(476, 486)를 형성하도록 퇴적될 수 있다. 접합 재료(476, 486)가 확장된 콘택트 개구들 내의 바닥면들(322, 312) 위와 채널 재료 측벽(320, 310) 위에 형성될 수 있다. 그러나, 접합 재료(476, 486)는 상부 배리어층(232)의 배리어 재료 위나 ILD 재료 위에 형성되지 않을 수 있다. 접합 재료(476, 486)는 원자층 퇴적(ALD), 물리 기상 퇴적(PVD), 또는 (예를 들어, 금속 재료를 퇴적하기 위한) 그외의 공지된 공정들을 이용하여 형성될 수 있다.
- [0033] 접합 재료(476, 486)는 금, 은, 백금, 구리, 니켈, 코발트, 티타늄, 또는 에르븀 등의 단일 금속이거나 이를 포함할 수 있다. 일부의 경우들에서, 접합 재료(476, 486)는 2개 이상의 금속 또는 (예를 들어, 상기 나열된 금속들의) 합금이거나 이를 포함할 수 있다. (예를 들어, 도 6에 주지된 바와 같은 유니버설 실리콘 p-MOS 채널 재료 이동도에 비해 적어도 2배인 채널 이동도로 변형 임계값을 충족시키는 것으로 설명되는 바와 같이) 양자 우물 채널 재료와는 충분히 상이한 격자를 갖기 위해 당업계에 공지된 그외의 적절한 접합 재료가 사용될 수 있음을 알 수 있다.
- [0034] 도 5는, 살리사이드와 채널 재료를 열처리한 후의 도 4의 기판을 도시한다. 도 5는 재료(593, 583)에 인접하고 이와 접촉하는 채널(534)을 갖는 QW(524)를 포함하는 장치(500)를 도시한다. 또한, 도 5는 접합 재료(476)의 열처리 후에 콘택트 개구(570)의 바닥면(예를 들어, 접합 재료(576)의 상면)을 형성하는 접합 재료(576)를 도시한다. 유사하게, 도 5는 접합 재료(486)의 열처리 후에 콘택트 개구(580)의 바닥면(예를 들어, 접합 재료(586)의 상면)을 형성하는 접합 재료(586)를 도시한다.

6)의 상면)을 형성하는 집합 재료(586)를 도시한다.

- [0035] 재료(576)를 형성하도록 재료(476)를 열처리하면, 재료(476)의 일부가 일부분(303)의 재료 안으로 부분적으로 확산되고 그 부분과 합금을 형성하여 합금(573)을 형성하고, 층(334)의 채널 재료의 일부분과 합금(593)을 형성하게 된다. 열처리 중과 열처리 후에, 채널층(334)의 일부분이 채널층 재료의 채널(534)로서 남고, 재료(303)의 일부분이 일부분(503)로서 남는다. 유사하게, 재료(586)를 형성하도록 재료(486)를 열처리하면, 재료(486)의 일부가 일부분(306)의 재료 안으로 확산되고 그 부분과 합금을 형성하여 합금(581)을 형성하고, 층(334)의 채널 재료의 일부분과 합금(583)을 형성하게 된다. 열처리 중과 열처리 후에, 채널층(334)의 일부분이 채널층 재료의 채널(534)로서 남고, 재료(306)의 일부분이 일부분(506)으로서 남는다.
- [0036] 일부의 실시예들에서, 재료(576, 586)는 채널(334)의 채널 재료와는 상이한 격자 간격을 갖는다. 따라서 합금(593)과 합금(583)도 역시 채널(534)과는 상이한 격자 간격을 가질 것이다. 재료들(예를 들어, 전술한 금속들)이 재료(576, 586)와 층(534)의 채널 재료를 위해 선택되거나 미리 결정되어 채널 재료의 격자 간격과 비교되는 합금(593)과 합금(583) 사이의 격자 간격의 임계값 차이를 확보할 수 있다. 격자 간격의 임계값 차이는, 합금(593) 및 합금(583)이 각각 채널 재료와는 충분히 상이한 부피를 갖게 하고 각각이 채널(534) 내에 단축 변형을 일으켜 본 명세서에 설명되는 바와 같이(예를 들어, 도 6 참조)과 같이 채널 이동도를 증가(또는 강화)시키고(단축 변형이 없는 것에 비해) Rext를 감소시키게 하도록 충분할 수 있다. 이 변형은, 합금(593)과 합금(583)이 재료들(476, 486)에 의해 확산하여 합금(593) 및 합금(583)을 형성하는 층(334)의 채널 재료의 부피보다 더 크거나 또는 더 작은 부피를 갖도록 하는 임계값 차이가 원인일 수 있다. 또한, 채널(334)에서 채널 재료 안으로 확산되는 집합 재료의 양이 클수록, 채널(534) 내에 유도되는 변형 합금 부분들(593, 583)의 양이 더 커진다는 것에 유의한다.
- [0037] 집합 재료(476)의 열처리는 재료(486)의 열처리와 동시에 또는 동일한 열처리 중에 이루어질 수 있다. 집합 재료(476, 486)의 열처리는, 재료(476, 486)가 채널 재료 사이의 계면(예를 들어, 접합부 또는 경계)에서 채널 재료와 충분한 부피의 합금을 형성하고, 재료(476, 486)가 채널(534) 내에 단축 변형을 일으켜 채널 이동도를 증가(또는 강화)시키고(단축 변형이 없는 것에 비해) Rext를 감소시키도록 재료(476, 486)를 충분한 온도로 가열, 어닐링 및/또는 순간 어닐링하는 것으로 설명할 수 있다. 집합 재료(476, 486)의 열처리는 상부 배리어층, 바닥 버퍼층, 채널층, 및 금속 재료 사이에 합금 재료를 형성하도록 계면을 어닐링하는 것을 포함할 수 있다.
- [0038] 일부의 실시예들에서, 재료(576, 586)는 N형 채널층(534) 내에 캐리어로서 holes을 갖는 p-MOS 디바이스를 위한 채널 이동도를 증가시키기에 충분한, 채널(534)의 채널 재료보다 큰 격자 간격을 갖는다. 따라서, 합금(593) 및 합금(583)은, 부피 화살표(574, 584)로 나타낸 바와 같이, 층(334)(및 534)의 재료보다 큰 격자 간격과 부피도 가질 것이며, 변형 화살표(592, 594)로 나타낸 바와 같이 채널(534) 내에 압축 단축 변형을 일으킬 것이다. 일부분들(593, 583)이 채널(534)과 인접, 접촉 및/또는 닿음에 따라, 이들은 채널 재료를 자신들로부터 멀어지도록 우선 밀어내어 자신들로부터 멀어지는 방향으로 채널 내에 단축 변형을 유도 또는 일으키는 것으로 설명할 수 있다. 더욱이, 변형들(592, 594)의 조합은, 일부분(593)(예를 들어, 일부분(593)을 포함하는 집합 영역(576))와 일부분(583)(예를 들어, 일부분(583)을 포함하는 집합 영역(586)) 사이의 채널(534) 내에 단축 변형을 일으키는 채널(534)의 채널 재료의 격자 간격과는 상이한 격자 간격을 갖는 집합 재료 일부분들(593, 583) 등이 원인이 되는 채널층 내의 단축 변형으로 설명할 수 있다.
- [0039] 일부의 실시예들에서, 재료(576, 586)는 P형 채널층(534) 내의 캐리어로서 전자를 갖는 n-MOS 등을 위한 채널(334) 등의 채널 재료보다 작은 격자 간격을 갖는 것으로 간주된다. 따라서, 합금(593, 583)은 층(334)(및 534)의 재료보다 작은 격자 간격과 부피 또한 갖고, 변형 화살표(592, 594)로 나타낸 것과 반대 방향으로 채널(534) 내에 단축 신장 변형을 일으킬 것이다.
- [0040] 단축 변형에 추가하여, 채널 재료와는 상이한 층(232)의 배리어 재료의 격자 간격으로 인해 화살표들(592, 594)로 나타낸 것과 동일한 방향(및 도 5에 도시한 단면 안팎)으로 제1 2축 변형이 채널(534) 내에 야기되거나 존재할 수 있다. 채널 재료와는 상이한 층(136)의 버퍼 재료의 격자 간격으로 인해 유사한 제2 2축 변형이 채널(534) 내에 야기되거나 존재할 수 있다. 예를 들어, 채널 재료보다 크거나 작은 층(232)의 배리어 재료의 격자 간격 및/또는 채널 재료보다 크거나 작은 층(136)의 버퍼 재료의 격자 간격으로 인해 2축 압축 또는 신장 변형이 채널(534) 내에 존재할 수 있다.
- [0041] 일부의 실시예들에서, 채널 재료는 게르마늄(Ge) 또는 실리콘 게르마늄이거나 이를 포함하고, 상부 배리어과 바닥 버퍼층은 실리콘(Si)이거나 이를 포함하며, 재료(476, 486)는 원자층 퇴적(ALD) 또는 물리 기상 퇴적(PVD)을

이용하여 퇴적된 니켈(Ni)이거나 이를 포함한다. 따라서, 상부 배리어 및 바닥 버퍼층 실리콘은 채널 Ge 재료 보다 작은 격자 간격과 부피를 가져, 채널 이동도를 증가시키고 Rext를 감소시키는 채널 Ge 재료 내의 2축 압축 변형을 일으키기에 충분하다. 또한, 열처리 후에, 영역들(593, 583)은 채널 Ge 재료보다 큰 격자 간격과 부피를 갖는 니켈게르마늄(NiGe) 또는 니켈실리콘게르마늄(NiSiGe)이거나 이를 포함하여, 채널 Ge 재료 내에 단축 변형을 일으키기에 충분하다. 단축 변형은 2축 변형에 추가되어 채널 이동도를 더 증가시키고 Rext를 더 감소시킨다. Ge 또는 SiGe 양자 우물 채널 내에 2축 압축 변형을 일으키기에 충분한 그외의 적절한 재료들이 채널 재료, 상부 배리어 재료 및/또는 바닥 버퍼 재료로 사용될 수 있음을 알 수 있다.

[0042] 도 6은 2축 압축 변형과 추가의 단축 압축 변형을 갖는 양자 우물에 대한 시뮬레이션 결과들을 도시하는 그래프이다. 도 6은 플롯(604)에서의 유니버설 실리콘 p-mos 이동도 장치를 위한 효과적인 홀 이동도 대 반전 전하 밀도를 도시한다. 도 6은 플롯(606)에서의 본 발명의 일부의 실시예들에 따른 변형된 게르마늄 채널에 대한 홀 이동도 대 대전 밀도를 도시한다. 예를 들어, 플롯(606)은 상부 및 하부 배리어 변형된 실리콘의 5nm 두께 사이에 2축 변형 및 단축 변형된 게르마늄의 5 나노미터(nm)의 두께를 갖는 양자 우물을 갖는 디바이스(608)에서 측정된 실험 결과를 플로팅하여, 전술한 바와 같이, 단축 변형된 채널의 이점들을 도시한다. 바닥 버퍼 아래의 기판은 실리콘 핸들 웨이퍼의 층을 포함하는 기판(120)일 수 있으며, 실리콘 핸들 웨이퍼 상에 LPCVD 실리콘 이산화물(SiO₂)의 층이 형성되고, LPCVD 실리콘 이산화물의 층 상에 바닥 버퍼층이 형성된다. 도 6에서 볼 수 있는 바와 같이, 2축 변형에 더하여 단축 변형을 포함하는 것은 유니버설 실리콘에 비해 홀 이동도를 대략 9배 증가시킨다.

[0043] 후속하여, 장치(500)는 p형 접합 재료를 형성하거나 n형 접합 재료를 형성하는 형성 중이나 후에 (예를 들어, 아마도 도핑부(593)를 포함하는) 접합 재료(576)와 (아마도 도핑부(583)를 포함하는) 접합 재료(586)의 재료를 도핑하도록 처리될 수 있다. 후속하여, 장치(500)는 접합 재료(576, 586)에 콘택트를 형성하도록 처리될 수도 있다. 예를 들어, 장치(500)는 도 11에 도시된 바와 같이 CMOS 디바이스의 일부분이 되도록 처리될 수 있다.

[0044] 도 1 내지 도 6에 관해 전술한 일부의 실시예들은 Si-Ge에 기초한 헤테로 양자 우물 MOSFET 내에 단축 공정 유도된 응력(stress)을 제공할 수 있다. Si 상에 에피택셜 퇴적된 Ge(또는 SiGe)에 기초한 채널에서, Ge(또는 SiGe) 채널들의 고유한 높은 이동도로 인해 높은 이동도가 구현되는 것을 알게 된다. 시뮬레이션(및 실험 데이터)은, 이들 QWFET의 이동도가 (보통 Si/SiGe/Si 헤테로 구조 스택(예를 들어, 도 6 참조)의 epi 헤테로 구조 층들 내의 격자 부정합과 연관된) 2축 변형의 상부에 단축 응력을 통합함으로써 강화될 수 있음을 보여주었다. 본 명세서에 기술된 실시예들에서, Si-Ge QWFET의 소스/드레인 영역들은 QW 채널에 현저한 (단축) 응력을 인가하도록 조정/설계될 수 있다(예를 들어, 도 1 내지 도 6 참조). 이들 Si-Ge 기반의 QWFET를 위한 변형을 이용하는 강화는 Si의 그것과 유사하므로, (2축 변형에 더하여) 단축 변형된 Si-Ge 기반의 QWFET(예를 들어, 도 6 참조)를 사용함으로써, 변형된 Si에 대하여 이동도 강화를 제공한다. 이러한 응력 부여 기술은 접합 재료(예를 들어, 금속)가 매립 채널에 매우 가까이 위치되므로 매우 낮은 외부 저항을 초래하기도 한다.

[0045] 도 1 내지 도 6에 관해 전술한 일부의 실시예들은 (1) 변형된 채널을 갖는 Ge 채널 양자 우물 MODFET, (2) 실리콘 사이드 콘택트들에 기인한 채널 내의 단축 압축 변형을 갖는 양자 우물 트랜지스터, (3) SiGe 버퍼 구조(architecture)에 기인한 채널 변형 내의 2축 압축 변형을 갖는 양자 우물 트랜지스터, (4) 단축 및 2축 변형 모두가 추가적인 양자 우물 트랜지스터, 및 (5) 외부 저항을 개선하도록 Ge QW에 접한 실리콘사이드된 소스/드레인 콘택트들을 포함할 수 있다. 이들 실시예로부터 얻을 수 있는 이익은 단축 응력이 적어도 2의 인자로 이동도를 강화하도록 Si-Ge 기반의 헤테로 구조 양자 우물 MOSFET 내에 높은 수준의 단축 응력을 갖는 것; 금속 소스/드레인이 채널에 아주 근접하고, 당업자는 소스/드레인의 쇼트키 배리어 높이를 반도체 채널에 대해 제어하기(감소시키기) 위해 도펀트/불순물을 적층하도록 합금된 실리콘사이드/게르마늄화물(germanide) 공정을 엔지니어링할 수 있으므로, Si-Ge QWFET 내에 극히 낮은 외부 저항을 포함하는 것; 채널들 내에 (공정 유도된) 더 높은 수준의 변형을 통합하도록 채널 내에 2축 및 단축 변형을 중첩 또는 추가하여 Si에 유사한 단채널 효과들을 유지할 수 있으면서 고도로 스케일된 (예를 들어, 길이가 더 짧은 채널) 디바이스를 위한 고유하게 높은 채널 이동도를 갖는 것을 포함할 수 있다.

[0046] 일부의 트랜지스터들은 양자 우물에 III-V형 재료를 사용할 수 있다. 예를 들어, 에피택셜 성장된 반도체 헤테로 구조, 전형적으로는, III-V 재료 시스템 내에 형성된 양자 우물 트랜지스터 디바이스는 변조 델타 도핑에 기인한 불순물 확산과 함께 낮은 유효 질량에 기인한 트랜지스터 채널 내의 극히 높은 캐리어 이동도를 제공한다. 이러한 디바이스들은 극히 높은 구동 전류 성능을 제공하고, 미래의 낮은 전력 및 고속 논리 애플리케이션들을 보장하는 것으로 보인다.

- [0047] 실시예들에 따라, 국부적으로 변형되는 트랜지스터 양자 우물(QW) 채널 영역들은, 양자 우물의 상부 배리어층과 바닥 버퍼층에 의해 채널층에 야기되는 2축 변형에 추가하여, MOS 트랜지스터의 QW 채널 영역에 단축 변형을 부여하도록 소스/드레인을 등각 재성장시키는 것에 의해 달성될 수 있다. 예를 들어, 도 7 내지 도 10에 대해 기술된 일부의 실시예들은, 양자 우물의 상부 배리어층과 바닥 버퍼층에 의해 채널층 내에 야기된 2축 변형에 추가하여, III-V형 재료 QW 채널 영역 내에 단축 변형을 제공할 수 있다.
- [0048] 도 7은 양자 우물을 갖는 기판의 일부분의 개략적인 단면도이다. 도 7은 기판(720) 상에 형성되거나 이와 접하는 양자 우물(QW)(754)을 포함하는 장치(700)를 도시한다. QW(754)는 채널층(734) 상에 형성되거나 이와 접한 T11의 두께를 갖는 배리어 재료이거나 이를 포함하는 상부 배리어 또는 버퍼층(732)을 포함한다. 버퍼층(732)은 상면(770)을 갖고, 채널층(734)의 상면(775) 상에 형성될 수 있다. 채널층(734)은 버퍼층(736) 상에 형성되거나 이와 접한 (예를 들어, 버퍼층(736)의 상면(777) 상에 형성되거나 이와 접한) T12의 두께를 갖는 채널 재료이거나 이를 포함할 수 있다. 버퍼층(736)은 버퍼 재료로 구성되거나 이를 포함하고, T13의 두께를 갖는다. 버퍼층(736)은 기판(720) 상에 형성되거나 이와 접할 수 있다.
- [0049] 기판(720)은 버퍼층(724) 상에 형성되거나 이와 접한 경사형 버퍼 재료이거나 이를 포함하는 상부 경사형 버퍼층(722)을 포함하는 것으로 도시된다. 버퍼층(724)은 Si 기판층(726) 상에 형성되거나 이와 접한 (예를 들어, 비경사형 또는 균질의(homogenous)) 버퍼 재료이거나 이를 포함한다. 층(726)은 오프컷(offcut) 고저항률 재료로 구성되거나 이를 포함한다.
- [0050] 실시예들에 따라, 기판(726) 상의 상부 경사형 버퍼층(722)은 경사형 인듐 알루미늄 비소(InAlAs)이거나 이를 포함할 수 있고, 버퍼층(724)은 갈륨 비소(GaAs)이거나 이를 포함할 수 있으며, Si 기판층(726)은 고저항률 실리콘(Si) 재료이거나 이를 포함할 수 있다. III-V형 양자 우물용으로 당업계에 공지된 그외의 기판, 기판층 및/또는 기판 재료가 기판(720)을 위해 사용될 수 있음을 알 수 있다. 일부의 경우들에서, 기판(720)은 기판(120)에 관해 전술한 기판일 수 있다.
- [0051] 전술한 장치(700) 및 그 구성요소는 (예를 들어, CMOS 디바이스의 부분들이 됨으로써) QW p-MOS 또는 n-MOS 트랜지스터가 되거나 그 부분들이 되도록, 하나 이상의 공정 챔버를 포함하는 반도체 트랜지스터 제작 공정 등에서 추가로 처리될 수 있다.
- [0052] 층(734)은 상부 또는 층(732) 아래 및 층(736) 위에, 게이트 전극(예를 들어, 도 10의 전극(1090))에 인접하여 형성된 접합부들의 표면들 사이에, 채널 재료의 QW "채널" 일부분을 형성하기에 적절한 다양한 재료들을 포함할 수 있음을 알 수 있다. 구체적으로, 소스 및 드레인이 (예를 들어, 도 10의 QW(954)가 소스와 드레인 사이의 양자 우물이 되도록) QW(735)에 인접하여 형성될 수 있다. 소스 및 드레인 각각은 양자 우물에 인접하거나 이를 통해 (예를 들어, 채널층을 통해) 형성된 개구 등의 접합 영역일 수 있고, 다음으로 접합 재료들로 채워질 수 있다.
- [0053] 양자 우물(754)은 MOSFET 디바이스를 위한 이송에 참여하는 캐리어를 위한 에너지 영역을 한정하도록 채널(예를 들어, 층(734) 또는 채널(934))을 포함한다. 여기서, 한정된 에너지 영역(즉, 채널)은 각각이 높은 밴드갭을 갖는 상부 배리어층(예를 들어, 층(732) 또는 채널(932))과 바닥 버퍼층(예를 들어, 층(736)) 사이에 한정된 낮은 밴드갭을 갖는 영역이다.
- [0054] 실시예들에 따라, 버퍼층(732)은 인듐 인화물(InP)이거나 이를 포함할 수 있고, 채널층(734)은 인듐 갈륨 비소(InGaAs)이거나 이를 포함할 수 있으며, 버퍼층(736)은 인듐 알루미늄 비소(InAlAs)이거나 이를 포함할 수 있다. III-V형 재료 양자 우물 내에 2축 변형을 일으키기에 충분한 그외의 적절한 재료들이 채널 재료, 상부 배리어 재료 및/또는 바닥 버퍼 재료로 사용될 수 있음을 알 수 있다.
- [0055] QW(724)는 QW(124)를 도핑하기 위해 전술한 바와 같이, QW(724)의 형성 중이나 형성 후에 QW(724)를 도핑함으로써 형성되는 전기적으로 음전하를 갖는 N형 우물일 수 있다. QW(724)는 N형으로 도핑될 수 있거나 또는 P형일 수 있다. 유사하게, 접합 영역은 N형이거나 P형 접합 영역일 수 있다.
- [0056] 도 8은 도 7의 기판에서 상부 배리어와 채널층을 통해 소스 및 드레인 개구를 형성한 후의 개략도이다. 도 8은 채널층(834)에 형성된 측면(812)과 콘택트 개구 바닥면(예를 들어, 버퍼층(736)의 상면(777))을 포함하는 콘택트 개구(870)를 포함하는 장치(800)를 도시한다. 유사하게, 콘택트 개구(880)는 채널층(834)에 형성된 측면(810)과 콘택트 개구 바닥면(예를 들어, 버퍼층(736)의 상면(777))을 포함한다.
- [0057] 실시예들에 따라, 콘택트 개구들(870, 880)은 트랜지스터의 게이트 전극 또는 QW 채널을 위한 위치에 인접한 접

합 영역을 형성하도록 형성될 수 있다. 예를 들어, 콘택트 개구들 또는 집합 영역 리세스들을 형성하도록 상부 QW 배리어층(732) 및 층(734)을 통해 식각하여 집합부들이 형성될 수 있다. 다음으로, 집합 재료가 집합 영역 리세스들 안에 형성 또는 퇴적될 수 있다. 집합 영역들(870, 880)은 "소스-드레인 영역들" 또는 "확산 영역들"로 지칭될 수 있다. 또한, 적절한 재료가 집합 영역들(870, 880)에 형성, 퇴적, 또는 성장되는 경우에, 결과적인 재료는 "집합부," "소스," "드레인," 또는 "확산 영역"으로 지칭될 수 있다.

[0058] 예를 들어, 개구들(예를 들어, 콘택트 개구들)이 양자 우물의 바닥 버퍼층(736)을 노출시키도록 (예를 들어, 상면(777)을 노출시키도록) 층(732)과 층(734)의 일부분들을 제거하는 등에 의해 층(732)과 층(734)을 통해 형성될 수 있다. 층(732)과 층(734)을 통해 개구들을 형성(예를 들어, 제거)하는 것은, 배리어층(832)과 채널층(834)을 형성할 수 있다. 개구들을 형성(예를 들어, 제거)하는 것은 채널층(834)의 제1 측벽(812), 제1 집합 영역(예를 들어, 개구(870)) 내의 바닥 버퍼층(736)의 제1 바닥면(777), 채널층의 제2 측벽(810), 및 제2 집합 영역(예를 들어, 개구(880)) 내의 바닥 버퍼층(736)의 제2 바닥면(777)도 역시 형성할 수 있다.

[0059] 일부의 경우들에서, 개구들을 형성하기 전에 상면(770) 위에 식각 마스크가 형성될 수 있다. 식각될 상면(770)의 일부분들을 노출시키기 위해 마스크의 일부분들을 제거할 수 있다. 마스크의 일부분들이 제거된 개구들을 통해 식각하여 층(732) 및 층(734)의 일부분들을 제거할 수 있다. 상면(777)을 노출시키도록 층(734)을 통해 콘택트 개구들(870, 880)을 형성하도록 층(732) 및 층(734)의 제1 부분 및 제2 부분을 제거할 수 있다.

[0060] 예를 들어, 도 2의 장치(200)에 대한 하드마스크층에 관해 전술한 것과 같이, 패터닝 2-작업 공정이 사용될 수 있다. 일부의 경우들에서, 식각 마스크는 상면(770)을 노출시키기 위해 개구들을 형성하도록 건식 식각되는 HFO_2Al_2 또는 HFO_2Al_3 등의 하이(high) K의 유전체일 수 있다. 본 명세서에 기술되는 바와 같이, 집합 영역(870, 880)을 형성하도록 소스-드레인 리세스를 식각하는 중에 보호될 영역을 정의하도록 그외의 마스크들 또는 공정들을 사용할 수 있음을 알 수 있다.

[0061] 실시예들에 따라, 제1 부분 및 제2 부분을 제거하는 것은 각각이 채널층(734)의 두께(T2)를 완전히 관통하는 콘택트 개구들(870, 880)을 형성하도록 (예를 들어, 액체를 이용한) 습식 식각 공정을 이용하는 것을 포함할 수 있다. 습식 식각 공정은 등방성 또는 이방성일 수 있다.

[0062] 예를 들어, 층(732)을 통해 선택적으로 식각한 다음 층(734)을 통해 선택적으로 식각하도록 2-식각 습식 식각 공정이 사용될 수 있다. 제1 습식 에천트는 층(732)의 재료를 식각하지만 층(734)(또는 표면(770) 상의 식각 스톱퍼)의 재료를 식각하지 않도록 선택적일 수 있다. 또한, 제2 습식 에천트는 층(734)의 재료를 식각하지만 층(732)(또는 표면(770) 상의 식각 스톱퍼)의 재료를 식각하지 않도록 선택적일 수 있다. 일부의 경우들에서, 제2 습식 에천트는 층(732)의 재료와 층(734)의 재료를 식각하도록 (그러나, 표면(770) 상의 식각 스톱퍼를 식각하지 않도록) 선택적일 수 있다.

[0063] 예를 들어, 집합 영역(870 및/또는 880)은 구연산, 과산화물, HCl 및 인산을 포함하는 혼합물을 함유할 수 있는 에천트 액체로 제거 또는 식각하여 형성될 수 있다. 예를 들어, HCl과 H_2O 의 혼합물은 InP만을 식각하지만, InGaAs 재료에는 (예를 들어, 이를 식각하지 않도록) 선택적이다. 한편, 인산(H_3PO_4), 과산화수소(H_2O_2) 및 H_2O 의 혼합물은 InGaAs 및 InAlAs를 식각하지만, InP 재료에는 (예를 들어, 이를 식각하지 않도록) 선택적이다. 층(732)과 그 다음에 층(734)의 재료를 선택적으로 습식 식각하기 위해 그외의 적절한 습식 에천트가 사용될 수 있음을 알 수 있다.

[0064] 도 9는 도 8의 기판에서 채널에 단축 변형을 일으키도록 채널보다 큰 격자 상수를 갖는 재성장 등각 경사형 채널 재료를 저온에서 소스 및 드레인 개구 내에 형성한 것을 도시한다. 도 9는 콘택트 개구(870)에 형성된 집합 재료(970)와 콘택트 개구(880)에 형성된 집합 재료(980)를 포함하는 장치(900)를 도시한다. 집합 재료(970, 980)는 각각 상면(972, 982)을 갖는다. 도 9는 재료(970, 980)에 인접하거나 이에 접한 채널(934)을 갖는 QW(954)를 포함하는 장치(900)를 도시한다.

[0065] 실시예들에 따라, (예를 들어, 층(834)과 동일한) 채널층(734)의 재료와 동일한 재료인 집합 재료의 층이 집합 재료(970, 980)를 형성하도록 개구들(870, 880) 내에 퇴적 또는 성장될 수 있다. 재료의 등각, 선택적, 에피택셜 및/또는 경사형 층이 집합 재료(876, 886)를 형성하도록 성장될 수 있다. 일부의 경우들에서, 재료(970, 980)는 In 농도를 증가시키면서 Ga의 농도를 동일한 양만큼 감소시키도록 경사진, 선택적으로 에피택셜 성장된 InGaAs 재료이거나 이를 포함한다(예를 들어, 재료는 $\text{In}(x)\text{Ga}(1-x)\text{As}$ 임). 채널 재료로부터 재료(970, 980)를 에피택셜 성장시키는 것은 (예를 들어, 동일 재료이지만 상이한 In 및 Ga 농도를 갖는) 집합 재료를 형성하도록

채널 재료를 "재성장"시키는 것으로 설명될 수 있다.

- [0066] 접합 재료(970, 980)는 콘택트 개구들의 바닥면(777)과 채널 재료 측벽(812, 810) 상에 형성될 수 있다. 접합 재료(970, 980)는 접합 영역들 내에 채널 재료(예를 들어, 층(834)의 재료)를 에피택셜 재성장시켜 형성될 수 있다. 구체적으로, 재료(970, 980)는, 표면(777)으로부터 표면(972/982)으로 In 농도가 증가하는 측벽과 바닥면 상에, 채널 재료와 동일한 재료의 경사형 등각 재료를 에피택셜 성장시켜 형성될 수 있다.
- [0067] 접합 재료(970, 980)는 채널 재료의 "저온" 에피택셜 재성장기에 의해 형성될 수 있다. 그러한 성장은 충분한 유기 금속(MO) 화학 기상 퇴적(CVD), 유기 금속 기상 에피택시(MOVPE), 분자 빔 에피택시(MBE), 화학 빔 에피택시(CBE), 또는 원자층 에피택시(ALE)를 포함할 수 있다. "저온" 성장은, 백-엔드(back end) 어닐링에 사용되는 온도 아래(예를 들어, 접합부와 게이트 콘택트에 상호접속(interconnect)을 형성하는데 사용하는 온도 아래)의 온도에서의 성장을 설명할 수 있다. 예를 들어, 접합 재료는 섭씨 550도 이하의 온도에서 형성되고, 어닐링 전에 In 및 Ga의 상이한 농도를 갖는 것으로 인해 채널 재료 내에 단축 변형을 일으킬 수 있다. 일부의 실시예들에서, 온도는 섭씨 400도를 초과할 수 있지만 섭씨 550도 미만이다.
- [0068] 접합 재료(970, 980)는 채널 재료의 것과 상이한 농도의 In 및 Ga를 갖는 InGaAs의 층을 생성하도록 다양한 적절한 In, Ga 및 As 채널 재료들의 저온 에피택셜 재성장기에 의해 형성될 수 있다. 접합 재료가 In 농도에 대해 경사형인 경우에, 적어도 접합 재료의 두께는 채널 재료와는 상이한 In 및 Ga의 농도를 갖는다.
- [0069] 따라서, 상이한 In(및 Ga) 농도로 인해, 재료(970, 980)는 각각 채널(934)과는 상이한 격자 간격을 갖는 두께를 포함할 수 있다. 이러한 상이한 In 농도는 접합부와 채널 재료 사이의 격자 간격의 임계값 차이를 보장하도록 선택되거나 미리 결정될 수 있다. 격자 간격의 임계값 차이는, 재료(970, 980)가 각각 채널 재료와는 충분히 서로 다른 부피를 갖고 각각이 채널(934)에 단축 변형을 일으켜 채널 이동도를 증가(또는 강화)시키고(단축 변형이 없는 것에 비해) Rext를 감소시키도록 충분할 수 있다. 일부의 실시예들에서, 변형을 0 내지 3.8% 사이의 변형에 맞추도록(예를 들어, 0 내지 3.8% 사이의 변형인 원하는 변형의 10% 내에서 제어된 양의 변형을 제공하도록) 이러한 상이한 In 농도들을 선택 또는 미리 결정하는 것이 가능하다.
- [0070] 일부의 실시예들에서, 재료(970, 980)는 (부피 화살표들(974, 984)로 도시된) 채널(934)의 채널 재료보다 큰 격자 간격을 갖고, 이 격자 간격은 N형 채널층(934) 내에 캐리어로서 holes를 갖는 p-MOS 디바이스를 위한 채널 이동도를 증가시키기에 충분한 (변형 화살표들(992, 994)로 도시된) 채널(934) 내의 압축 단축 변형을 발생시킨다. 재료(970, 980)가 채널(934)에 인접, 접촉 및/또는 닿음에 따라, 이들은 채널 재료를 자신들로부터 멀어지도록 우선 밀어내어 자신들로부터 멀어지는 방향으로 채널 내에 단축 변형을 유도 또는 일으키는 것으로 설명할 수 있다. 더욱이, 변형(992, 994)의 조합은 재료(970, 980) 사이의 채널(934) 내에 단축 변형을 일으키는 채널(934)의 채널 재료의 격자 간격과는 상이한 격자 간격을 갖는 접합 재료(970, 980) 등이 원인이 되는 채널층 내의 단축 변형으로 설명할 수 있다.
- [0071] 이 변형은 재료(970, 980) 각각이 층의 채널 재료의 부피보다 큰 부피를 갖게 하는 임계값 차이에 기인할 수 있다. 예를 들어, 채널 재료가 70%와 100% 사이의 상수인 일정하거나 균일한 In의 농도를 갖는데 반해, 접합 재료는 표면(777)에서의 53%로부터 표면(972/982)에서의 100%로 증가하는 In의 농도를 갖도록 경사를 가질 수 있다. 일부의 실시예들에서, 재료(970, 980)는 선택적 에피택셜 성장한 In(x)Ga(1-x)As 재료의 두께를 포함할 수 있고, 여기에서 x는 표면(777)에서의 0.53으로부터 표면(972/982)에서의 1.0으로 증가하고, 채널 재료는 In(x)Ga(1-x)As이고, x는 0.7 과 0.95 사이이다. 이들 경우의 일부분에서, 채널 재료 x는 대략 0.7 또는 0.8 일 수 있다.
- [0072] 다른 실시예들에서, 재료(970, 980)는 n-MOS 디바이스를 위한 전자 캐리어 이동도를 증가시키도록 신장 변형을 야기하도록 (예를 들어, 변형 화살표(992, 994)로 도시한 반대 방향으로 채널(934) 내에 신장 단축 변형을 일으키도록) 채널(934)의 채널 재료보다 작은 격자 간격을 가질 수 있다.
- [0073] 단축 변형에 더하여, 층(932)의 배리어 재료의 격자 간격이 채널 재료의 격자 간격과 상이함에 기인하여, 제1 2축 변형이 화살표(992, 994)로 도시한 것과 동일한 방향으로 (그리고 도 9에 도시한 단면 안팎으로) 채널(934) 내에 야기되거나 존재할 수 있다. 층(736)의 버퍼 재료의 격자 간격이 채널 재료의 격자 간격과 상이한 것에 의해, 유사한 제2 2축 변형이 채널(934) 내에 야기되거나 존재할 수 있다. 예를 들어, 층(932)의 배리어 재료의 격자 간격이 채널 재료의 격자 간격보다 크거나 작음에 따라 및/또는 층(736)의 버퍼 재료의 격자 간격이 채널 재료의 격자 간격보다 크거나 작음에 따라, 2축 압축 또는 신장 변형이 채널(934) 내에 존재할 수 있다.
- [0074] 일부의 실시예들에서, 상부 배리어 및 바닥 버퍼층은 채널 재료보다 작은 격자 간격과 부피를 가져, 채널 이동

도를 증가시키고 Rext를 감소시키는 채널 재료 내의 2축 압축 변형을 일으키기에 충분하다. 이들 실시예에서, 채널 재료는 균일한 $\text{In}(x)\text{Ga}(1-x)\text{As}$ 이거나 이를 포함하며, x 는 0.7 내지 0.95 사이이고, 접합 재료는 에피택시 성장한 $\text{In}(x)\text{Ga}(1-x)\text{As}$ 재료를 포함하고, 여기에서 x 는 표면(777)에서의 0.53으로부터 표면(972/982)에서의 1.0으로 증가하여, 예를 들어, (2축 변형에 더하여) 채널 이동도를 또한 증가시키고 Rext를 감소시키도록 충분한 양으로 2축 변형에 추가되는 채널 내의 단축 변형을 일으킨다. 일부의 실시예들에서, 상부 배리어 재료는 인듐 인화물(InP)이거나 이를 포함할 수 있고, 바닥 버퍼층은 인듐 알루미늄 비소(InAlAs)이거나 이를 포함할 수 있으며, 단축 변형과 2축 변형은 압축 변형이다. III-V형 양자 우물 채널 내에 2축 압축 변형을 일으키기에 충분한 그외의 적절한 재료가 채널 재료, 상부 배리어 재료 및/또는 바닥 버퍼 재료로 사용될 수 있음을 알 수 있다.

[0075] 도 10은 도 9의 기관에서 팁, 스페이서, 소스/드레인 재료 상의 소스/드레인 금속 및 게이트 전극을 형성한 후의 상태를 도시한다. 도 10은 상면(770) 상에 형성된 하이 K 게이트 유전체(1044)를 갖는 QW(954)를 포함하는 장치(1000)를 도시하고, 게이트 금속 게이트 전극(1090)은 게이트 유전체(1044) 상에 형성된다. (예를 들어, 소스 콘택트인) 소스 금속(1070)이 재료(970)의 표면(972) 상에 형성되고, (예를 들어, 드레인 콘택트인) 드레인 금속(1080)이 재료(980)의 표면(982) 상에 형성된다.

[0076] 스페이서(1002)가 게이트 구조(게이트 유전체(1044) 및 게이트 금속 게이트 전극(1090))와 소스/드레인(소스 금속(1070) 및 드레인 금속(1080)) 사이에 형성되어 이들을 전기적으로 격리시킨다. 게이트 유전체(1044), 게이트 금속(1090), 소스 금속(1070) 및 드레인 금속(1080)은, 본 명세서에 기술된 III-V형 QW를 위한 자신들의 기능을 수행하기에 충분한 공정들에 의해 형성되고 이를 수행하기에 충분한 재료들을 포함할 수 있다. 일부의 경우들에서, 게이트 유전체(1044), 게이트 금속(1090), 소스 금속(1070) 및 드레인 금속(1080)은 게이트 유전체(244), 게이트 전극(1090), 재료(476) 및 재료(486)에 대해 설명한 것과 같은 공정에 의해 형성되고 그러한 재료들을 포함할 수 있다.

[0077] 전술한 장치(1000) 및 그 구성요소들은, (예를 들어, CMOS 디바이스의 부분이 되는 것에 의해) QW p-MOS 또는 n-MOS 트랜지스터가 되거나 그의 부분이 되도록, 하나 이상의 공정 챔버를 수반하는 반도체 트랜지스터 제작 공정에서와 같이 추가로 처리될 수 있다. 후속하여, 장치(1000)는 p형 재료 또는 n형 재료를 적절히 형성하기 위해, 접합 재료, 채널 재료, 게이트 재료를 도핑하도록 처리될 수 있다. 예를 들어, 장치(1000)는 도 11에 도시된 바와 같이 CMOS 디바이스의 일부분이 되도록 처리될 수 있다. 또한, 도 1의 게이트 구조에 대응하는 게이트 구조를 도 7에 포함하지만 도 7의 III-V형 QW 구조에 관한 게이트 구조가 도 7 내지 도 9에 대해 전술한 공정 전에 형성될 수 있다고 생각된다.

[0078] 따라서, 도 7 내지 도 9에 대해 설명한 실시예들은, 고농도로 도핑된 경사형의 더 큰 격자 상수 $(n++)\text{In}(x)\text{Ga}(1-x)\text{As}$ 소스/드레인 재료 상의 불순물의 이온 주입과 후속하는 불순물 활성화의 어닐링에 의해 이루어진 용기된 금속 소스/드레인 콘택트를, 등각 재성장 경사형의 $(n++)\text{In}(x)\text{Ga}(1-x)\text{As}$ 소스/드레인 변형 엔지니어링된 III-V 양자 우물 기반의 MOFET 디바이스 상의 금속 콘택트로 대체하기 위해 사용될 수 있다. 이온 주입 및 후속하는 어닐링은, 도 7 내지 도 9에 설명된 실시예들이 회피하는 도펀트 활성화의 고온 어닐링과 이온 주입 손상에 기인한 3원(ternary) III-V 재료(예를 들어, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)의 성분 변화를 초래한다. 또한, 소스 및 드레인 영역 내의 불량한 도펀트 활성화는 높은 Rext를 초래하며, 이것은 도 7 내지 도 9에 설명된 실시예들이 회피하는 이온 주입 및 후속하는 어닐링 디바이스를 위한 디바이스 성능에 큰 영향을 준다. 또한, 도 7 내지 도 9에 설명된 실시예를 위한 소스/드레인 영역들 내의 더 큰 격자 상수의 경사형 HIV 재료들의 등각 재성장은 채널 III-V 재료들에 변형을 증가시킨다.

[0079] 더욱이, SiGe 소스/드레인에 비해, 도 7 내지 도 9에 설명된 더 큰 격자 상수의 경사형 $\text{In}(x)\text{Ga}(1-x)\text{As}$ (예를 들어, $x=0.53$ 내지 1) 또는 일정한 조성 소스/드레인 실시예들의 저온 등각 성장은 채널 재료(예를 들어, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$)에 0 내지 3.8%로 맞춰진 단축 변형을 제공하는데, 이는 SiGe 소스/드레인 경우에는 가능하지 않다. 이것은 MOCVD, CBE, MBE 또는 ALE를 이용하여 소스/드레인 재료들을 그레이딩(grading)함으로써 채널 재료 내의 변형의 제어의 융통성을 제공한다. 디바이스 구조 성장 중의 2축 변형과 함께 단축 변형의 주입은 이 2개의 변형이 더해지므로 채널 이동도를 더 증가시킨다.

[0080] 또한, (1) 고농도로 도핑된 캡층의 상부에 금속을 갖는 용기된 소스/드레인 콘택트(예를 들어, $n+\text{InGaAs}$) 또는 (2) 도펀트 활성화 및 금속 콘택트 퇴적이 후속되는 소스/드레인 영역들 내의 도펀트들의 이온 주입을 이용한 III-V MOSFET에 비해, 도 7 내지 도 10에 대해 전술한 실시예들은 아래의 이점들을 야기할 수 있다.

[0081] 1. 더 낮은 Rext 저항

- [0082] 2. 더 낮은 소스/드레인 저항
- [0083] 3. 게이트 길이 스케일러빌리티(scalability)
- [0084] 4. 감소된 오프 상태 누설 및 최소화된 기생 접합 누설
- [0085] 5. 소스/드레인 형성을 위한 합금된 또는 비합금된 금속 콘택트들을 만드는데 저온 열예산(thermal budget)만이 필요: 통상, 공정은 옴 접촉을 만들기 위해 450°C 미만에서의 어닐링을 포함하고, 소스/드레인 확장 또는 깊은 이온 주입 공정이 없기 때문에, 콘택트를 만드는데 고온 주입 어닐링들이 필요하지 않다.
- [0086] 6. 옴 접촉을 만들기 위해 450°C 미만에서의 어닐링에 기인한 채널 재료들 내의 경사형 캐리어 이동도 없이 MOSFET 기반의 양자 우물을 제공
- [0087] 7. 제작의 실행 가능한 제조 공정
- [0088] 8. 현저히 축소된 자기 정렬 구조 및 소스-드레인 간격
- [0089] 9. MOSFET 제작 공정들을 주입하고 어닐링하는 것에 비해 주입 유도형 손상들을 제거

- [0090] 일부의 실시예들이 예를 들어, InGaAs/InAlAs를 포함하는 QW인 것으로 도 7 내지 도 10에 관해 전술되었지만, 도 7 내지 도 10에 관해 전술한 개념들은, (1) III-V형 재료들의 다양한 유형을 포함하는 QW 디바이스, (2) 디바이스가 p 채널 또는 n 채널인지, 디바이스 동작이 다수 또는 소수 캐리어에 기초하는지, 및/또는 디바이스가 디플리션(depletion) 또는 인핸스먼트(enhancement) 모드로 동작하는지에 기초하여 선택되는 델타 도펀트 유형을 갖는 QW 디바이스, (3) (실리콘 이외의) 다양한 서로 다른 기관들 상에 성장된 구조를 갖는 QW 디바이스, (4) 모듈레이션(modulation) 도핑이 바닥 배리어 내에 적용될 수 있는 QW 디바이스, 및 (5) 소스/드레인 영역들이 재성장 (P++)InGaAs 재료로서 사용될 p 채널 시스템을 이용하는 QW 디바이스를 포함하는 다양한 QW 디바이스를 위해 사용될 수 있다.
- [0091] 도 11은 도 5 내지 도 10에 관해 전술한 장치(500 또는 900)의 실시예가 통합될 수 있는 대표적인 CMOS 구조를 도시한다. 도 11은 CMOS 디바이스의 p-MOS 및 n-MOS 트랜지스터들의 접합 영역들과 게이트 전극들에 적절히 결합된 접지(GND), 입력 전압(V_{in}), 출력 전압(V_{out}) 및 바이어스 전압(V_{DD})을 갖는 CMOS 디바이스(1200)를 도시한다.
- [0092] 일부의 실시예들에서, 도 11은 통상의 방식으로 n-MOS 트랜지스터 디바이스(1104)에 접속된, 도 5 내지 도 10에 관해 전술한 장치(500 또는 1000)의 p-MOS 실시예와 같은 p-MOS 디바이스(1204)를 갖는 CMOS 디바이스(1100)를 도시한다. p-MOS 디바이스(1204)의 게이트 유전체, 게이트 전극, 접합 영역들, QW 채널 및 QW 구조들은 도 5 및 도 10에 관해 전술한 것과 같은 장치(500 또는 1000)의 실시예들에 대해 설명한 것들에 해당할 수 있다.
- [0093] 예를 들어, 도 5에 관해서, 접합 영역(1274)은 도 5에 관해 설명한 재료(576)(및 변형(574)을 갖는 재료(593))를 포함할 수 있다. 유사하게, 접합 영역(1284)은 도 5에 관해 전술한 재료(586)(및 변형(584)을 갖는 재료(593))를 포함할 수 있다. 또한, 우물(1224)은 도 5에 관해 설명한 단축 변형(592, 594)을 구비하는 채널(534)을 갖는 QW(524)를 포함할 수 있다.
- [0094] 또한, 도 10에 관해서, 접합 영역(1274)은 도 10에 관해 전술한 (변형(974)을 갖는) 재료(970)를 포함할 수 있다. 유사하게, 접합 영역(1284)은 도 10에 관해 설명한 (변형(984)을 갖는) 재료(980)를 포함할 수 있다. 또한, 우물(1224)은 도 10에 관해 설명한 단축 변형(992, 994)을 구비하는 채널(934)을 갖는 QW(954)를 포함할 수 있다.
- [0095] 기관(1102)은 P형 QW(1224)도 포함하고, P형 우물(1124)이 기관(1102)의 제2 영역 상에 형성되고 N형 QW(1124)에 인접한 기관(1102)의 제2 상이한 계면 표면(1125)을 정의하는 n-MOS 트랜지스터 디바이스(1104)의 부분이 되도록, CMOS 디바이스(1200)를 형성하기 위한 N형 우물(1124)과 관련된다. 구체적으로, 예를 들어, n-MOS 디바이스(1104)는 재료(1110)를 전기적으로 절연시켜 n-MOS 디바이스(1204)를 p-MOS 디바이스(1204)로부터 전기적으로 격리시킴으로써 p-MOS 디바이스(1204)에 인접하여 형성될 수 있다. 더욱이, n-MOS 디바이스(1104)는 게이트 전극(1190) 아래의 유전체(1144)의 아래이고 N형 접합부(1120, 1130) 사이에 있는 QW 채널을 포함할 수 있다. n-MOS 디바이스(1204)는 스페이서들(1112, 1114)을 갖는 것으로 도시된다.
- [0096] 도 11은 n-MOS 디바이스(1104) 내의 신장 변형(1174, 1184, 1192, 1214)도 도시한다. 예를 들어, 접합부

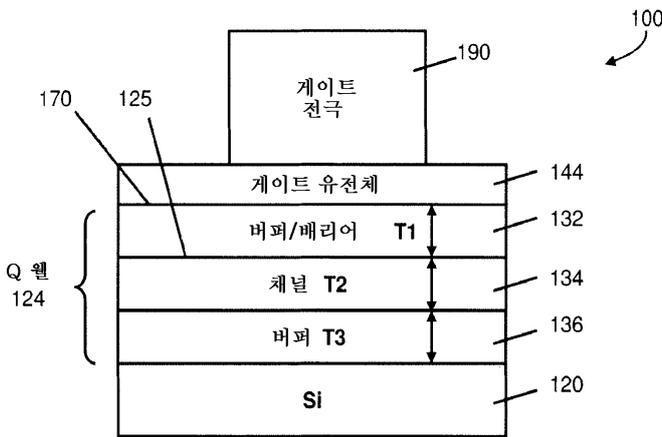
(1120, 1130)는 상면(1125) 아래에서 기판(1102)의 일부분으로부터 멀어지는 신장 변형(1174, 1184)을 일으킬 수 있다. 따라서 변형(1174, 1184)은 n-MOS 디바이스(1104)의 QW 채널 내에 신장 변형(1192, 1194)을 일으킬 수 있다. 신장 변형(1192, 1194)은 접합부(1120, 1130) 사이의 캐리어 이동도(예를 들어, 우물(1124)의 채널 내의 전자의 이동도)를 증가시키기에 충분할 수 있음을 알 수 있다. 구체적으로, 접합부(1120, 1130)는 QW(1124)의 QW 채널보다 작은 격자 간격을 갖는 재료로 형성될 수 있다.

[0097] 실시예들에 따라, n-MOS 디바이스(1104)는 통상의 방식으로 p-MOS 디바이스(1204)에 접속된, 도 5 및 도 10에 관해 기술한 장치(500 또는 1000)의 n-MOS 실시예일 수 있다. 이러한 경우들에서, 디바이스(1104)의 게이트 유전체, 게이트 전극, 접합 영역, 채널 및 우물 구조들은 도 5 및 도 10에 관해 기술한 장치(500 또는 1000)의 실시예에 관해 설명한 것들에 대응할 수 있고, p-MOS 디바이스(1204)는 기술한 n-MOS 디바이스(1104)의 p-MOS 디바이스 버전에 대응할 수 있다.

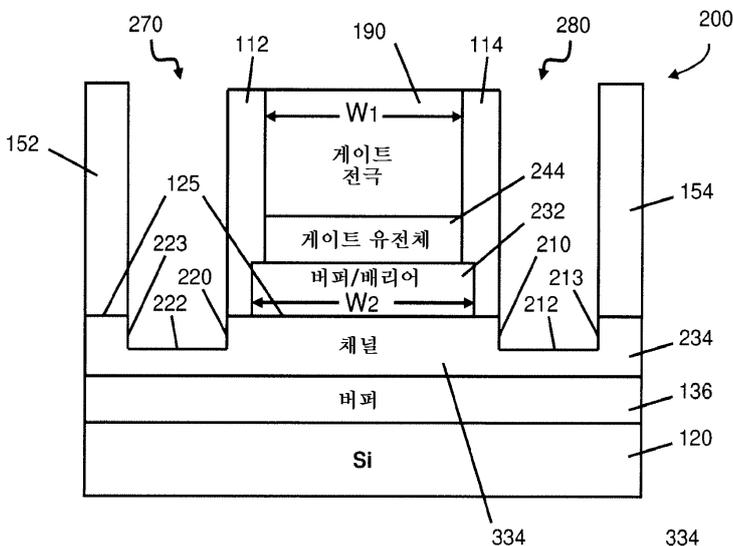
[0098] 기술한 명세서에서, 구체적인 실시예들이 설명되었다. 그러나, 특허청구범위에 제시되는 실시예들의 더 넓은 사상과 범주로부터 벗어나지 않으면서 실시예를 다양하게 수정하고 변경할 수 있다. 따라서, 명세서 및 도면들은 한정이라기보다는 예시로 간주되어야 한다.

도면

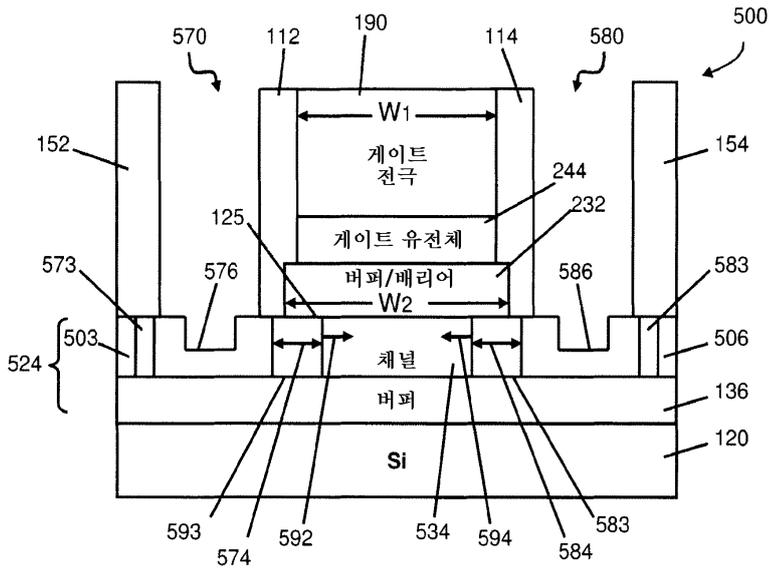
도면1



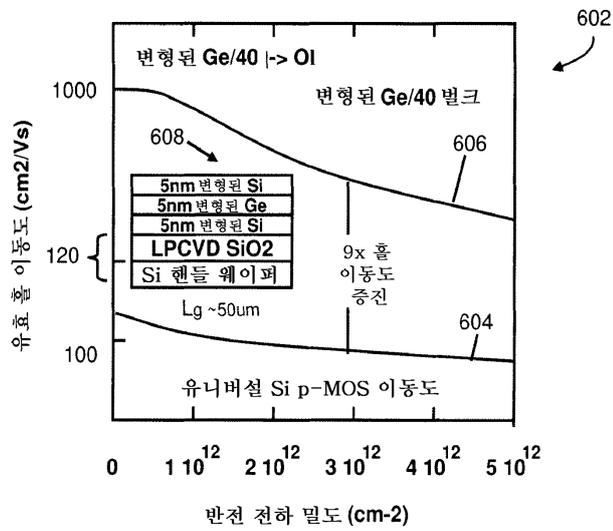
도면2



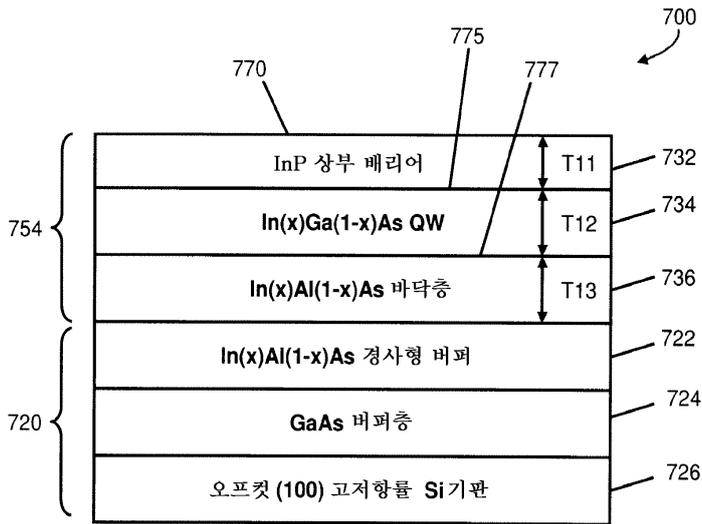
도면5



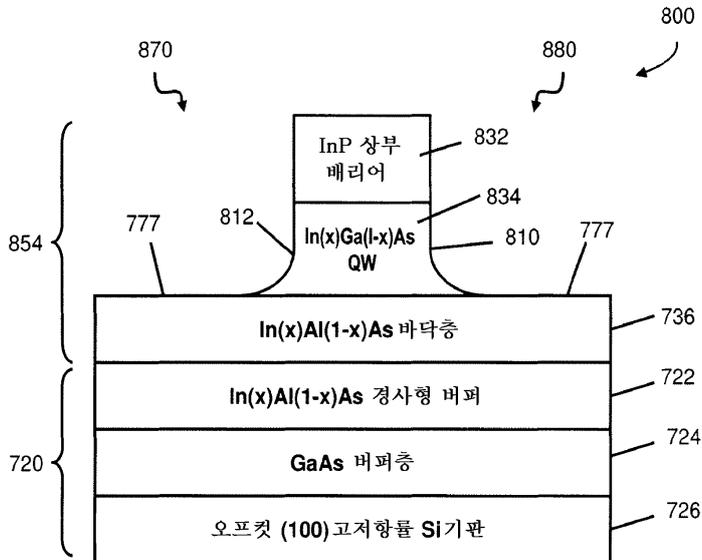
도면6



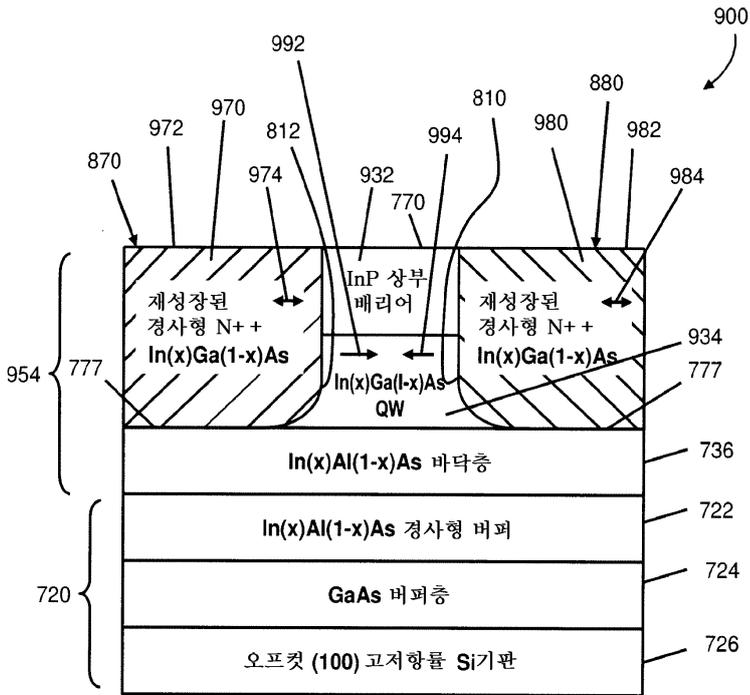
도면7



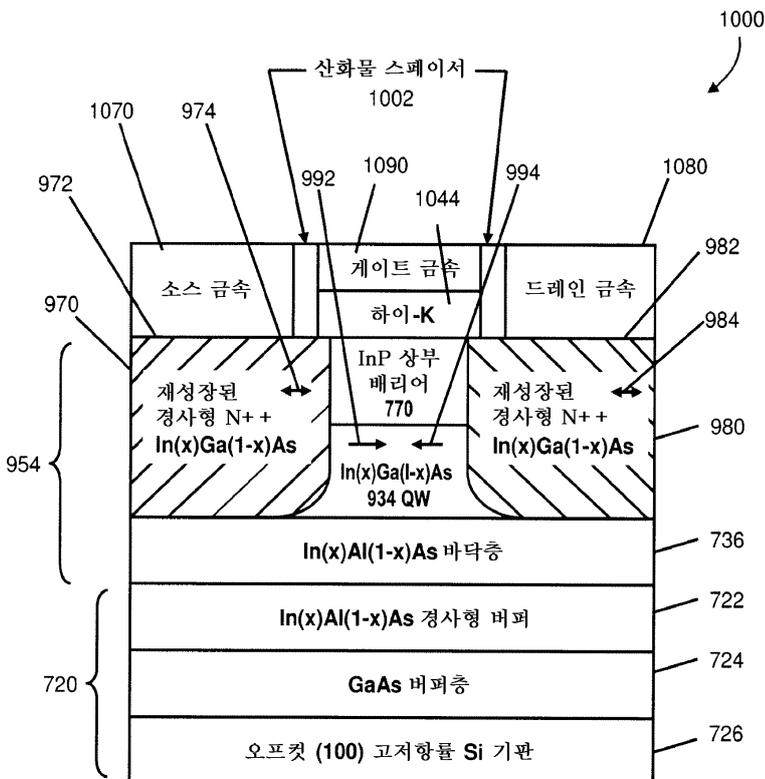
도면8



도면9



도면10



도면11

