

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5259823号
(P5259823)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F 1		
HO3K 23/64	(2006.01)	HO3K 23/64	Z
HO3K 5/13	(2006.01)	HO3K 5/13	
HO3L 7/08	(2006.01)	HO3L 7/08	H

請求項の数 32 (全 22 頁)

(21) 出願番号	特願2011-523943 (P2011-523943)
(86) (22) 出願日	平成21年8月18日 (2009.8.18)
(65) 公表番号	特表2012-500596 (P2012-500596A)
(43) 公表日	平成24年1月5日 (2012.1.5)
(86) 国際出願番号	PCT/US2009/054211
(87) 国際公開番号	W02010/022092
(87) 国際公開日	平成22年2月25日 (2010.2.25)
審査請求日	平成23年4月18日 (2011.4.18)
(31) 優先権主張番号	12/193,693
(32) 優先日	平成20年8月18日 (2008.8.18)
(33) 優先権主張国	米国 (US)

(73) 特許権者	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(74) 代理人	100108855 弁理士 蔵田 昌俊
(74) 代理人	100159651 弁理士 高倉 成男
(74) 代理人	100091351 弁理士 河野 哲
(74) 代理人	100088683 弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】三分周直交位相周波数分周器

(57) 【特許請求の範囲】

【請求項 1】

第1の信号C、及び前記第1の信号Cに関しておおよそ120度位相がずれている第2の信号A'を生成するために、3で入力信号を周波数分周すること(frequency dividing)であって、前記第1の信号Cは、おおよそ50%のデューティ・サイクルを有し、前記第2の信号A'はおおよそ50%のデューティ・サイクルを有する、前記周波数分周することと、

前記第2の信号A'に関して前記第2の信号A'の遅延バージョン(delayed version)Aが遅延される際の遅延の量を制御することと、

を備え、

前記第2の信号A'の前記遅延バージョンAが前記第1の信号Cに対して90度位相がずれるように、前記第1の信号C及び前記遅延バージョンAに基づいて制御ループ(control loop)によって、前記遅延バージョンAが制御される方法。

【請求項 2】

前記Aの遅延量を制御することは、

前記第1の信号C、及び前記第2の信号の前記遅延バージョンAで論理AND演算(logical AND operation)を実行することであって、それによって第3の信号を生成する、前記実行することと、

前記第1の信号Cを反転することであって、それによって前記第1の信号の反転バージョン(inverted version)C bを生成する、前記反転することと、

10

20

前記第1の信号の前記反転バージョンC b、及び前記第2の信号の前記遅延バージョンAで論理AND演算を実行することであって、それによって第4の信号を生成する、前記実行することと、

前記制御ループの第3及び第4の信号に基づいて、前記第2の信号A'に関する前記遅延バージョンAの遅延の前記量を制御することと、

を備える請求項1の方法。

【請求項3】

前記Aの遅延量を制御することは、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成することと、

10

前記第1の信号Cの前記エッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成することと、

を備える請求項1の方法。

【請求項4】

前記Aの遅延量を制御することは、

前記第3の信号を第1の電圧レベルに変換することであって、前記第1の電圧レベルは前記時間T1の量を示す、前記変換することと、

前記第4の信号を第2の電圧レベルに変換することであって、前記第2の電圧レベルは前記時間T2の量を示す、前記変換することと、

前記第1及び第2の電圧レベルを演算増幅器に供給することであって、前記演算増幅器によって出力される信号は、前記第2の信号の前記非遅延バージョン(undelayed version)A'に関して、前記第2の信号の前記遅延バージョンAがどの程度遅延されるかどうかを決定する、前記供給することと、

20

を更に備える請求項3の方法。

【請求項5】

前記Aの遅延量を制御することは、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成する第1の論理ゲートと、

前記第1の信号Cのエッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成する第2の論理ゲートと、

30

を備える請求項1の方法。

【請求項6】

前記入力信号を周波数分周することは、第3の信号Bを生成することを更に備え、

前記Aの遅延量を制御することは、

前記第1、第2、及び第3の信号の一つ、及び前記第1、第2、及び第3の信号の他の一つで論理AND演算を実行することと、

前記第1、第2、及び第3の信号の前記一つ、及び前記第1、第2、及び第3の信号の前記他の一つの反転で論理AND演算を実行することと、

を備える請求項1の方法。

【請求項7】

周波数3Fの入力信号を受信し、周波数Fの第1の信号Cを出力し、周波数Fの第2の信号A'を出力する周波数分周器(frequency divider)であって、前記第1の信号Cは、およそ50%のデューティ・サイクル(duty cycle)を有し、前記第2の信号A'は、およそ50%のデューティ・サイクルを有し、前記第2の信号A'は、前記第1の信号Cに関しておよそ120度位相がずれている、前記周波数分周器と、

40

前記第2の信号A'を受信し、前記第2の信号の遅延バージョンAを出力する遅延回路と、

前記第2の信号の前記遅延バージョンAが前記第1の信号Cに対して90度位相がずれるように、前記第1の信号C及び前記遅延バージョンAに基づいて、前記遅延回路を制御するフィードバック回路と、

50

を備える回路。

【請求項 8】

前記フィードバック回路は、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成する回路と、

前記第1の信号Cの前記エッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成する回路と、

前記第3の信号及び前記第4の信号を受信し、そこから、前記遅延回路に供給される制御信号を生成する差動增幅回路と、

を備える請求項7の回路。

10

【請求項 9】

前記第3及び第4の信号はデジタル論理信号 (digital logic signal) である請求項8の回路。

【請求項 10】

前記第3及び第4の信号は電圧レベル信号である請求項8の回路。

【請求項 11】

前記第3の信号を生成する前記回路は、第1のデジタル論理ゲート (digital logic gate) を備え、前記第4の信号を生成する前記回路は、第2のデジタル論理ゲートを備える請求項8の回路。

【請求項 12】

20

前記フィードバック回路は、

第1のロー・パス・フィルタの入力リードに結合された出力リードを有する第1のデジタル論理ゲートと、

第2のロー・パス・フィルタの入力リードに結合された出力リードを有する第2のデジタル論理ゲートと、

前記第1のロー・パス・フィルタから信号を受信し、前記第2のロー・パス・フィルタから信号を受信し、制御信号を前記遅延回路に供給する差動增幅回路と、

を備える請求項7の回路。

【請求項 13】

30

前記周波数分周器は、

第1のPチャネル電界効果トランジスタ (PFET)、第2のPFET、第1のNチャネル電界効果トランジスタNFET、及び第2のNFETを備える第1のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは、前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合される、前記第1のステージと、

第1のPFET、第2のPFET、第1のNFET、及び第2のNFETを備える第2のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、そして前記第1のステージの前記第1のPFET及び前記第1のNFETの前記ドレインに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合される、前記第2のステージと、

第1のPFET、第2のPFET、第1のNFET、及び第2のNFETを備える第3のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、そして前記第2のステージの前記第1のPFET及び前記第1のNFETの前記ドレインに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは、前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合され、前記第1のPFET及び第1のNFETの前記ドレインは、前記第1のステージの前

40

50

記第1のP F E T及び前記第1のN F E Tの前記ゲートに結合され、前記第1、第2、及び第3のステージの前記第2のP F E Tの前記ゲート、及び前記第1、第2、及び第3のステージの前記第2のN F E Tの前記ゲートは、前記入力信号を受信するために結合される、前記第3のステージと、

を備える請求項7の回路。

【請求項14】

前記回路は無線レシーバの局部発振器であり、前記入力信号は少なくとも100メガヘルツの周波数を有している請求項7の回路。

【請求項15】

前記フィードバック回路は、

10

前記第2の信号及び前記第1の信号の反転(inverse)の論理A N Dを出力する第1のデジタル論理ゲートと、

前記第1の信号及び前記第2の信号の論理A N Dを出力する第2のデジタル論理ゲートと、

前記第1の信号及び前記第2の信号の反転の論理A N Dを出力する第3のデジタル論理ゲートと、

前記第1の信号の反転及び前記第1の信号の反転の論理A N Dを出力する第4のデジタル論理ゲートと、

前記第1、第2、第3、及び第4のデジタル論理ゲートから出力された信号を受信し、制御信号を前記遅延回路へと供給する回路と、

20

を備える請求項7の回路。

【請求項16】

前記遅延回路は、デジタル論理インバータ、及びNチャネル電界効果トランジスタ(N F E T)を備え、前記デジタル論理インバータは、信号入力リード、信号出力リード、電源供給リード、及びグランド・リードを備え、前記グランド・リードは、前記N F E Tを介し、抵抗を介して(resistively)グランド電位に結合されることが可能(couplable)である請求項7の回路。

【請求項17】

前記遅延回路は、Pチャネル電界効果トランジスタ(P F E T)を更に備え、前記デジタル論理インバータの前記電源リードは、前記P F E Tを介し、抵抗を介して供給電圧に結合されることが可能である請求項16の回路。

30

【請求項18】

周波数3Fの入力信号を受信し、第1の信号C及び第2の信号A'を出力する三分周回路(divide-by-three circuit)であって、前記第1の信号C及び前記第2の信号A'は、同様の周波数Fを有し、前記第1の信号C及び前記第2の信号A'は、互いに關しておおよそ120度位相がずれている、前記三分周回路と、

前記三分周回路から前記第2の信号A'を受信し、前記第2の信号の遅延バージョンAを出力する遅延回路と、

前記第2の信号の前記遅延バージョンAが、前記第1の信号Cに對して90度位相がずれるように、前記第1の信号C及び前記遅延バージョンAに基づいて、フィードバック制御ループ(feedback control loop)において前記遅延回路を制御する手段と、

40

を備える回路。

【請求項19】

前記回路は、無線レシーバの局部発振器であり、前記入力信号は、少なくとも100メガヘルツの周波数を有している請求項18の回路。

【請求項20】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

第1の信号C、及び前記第1の信号Cに關しておおよそ120度位相がずれている第2

50

の信号 A' を生成するために、3 で入力信号を周波数分周すること (frequency dividing) であって、前記第 1 の信号 C は、おおよそ 50 % のデューティ・サイクルを有し、前記第 2 の信号 A' はおおよそ 50 % のデューティ・サイクルを有する、前記周波数分周することと、

前記第 2 の信号 A' に関して前記第 2 の信号 A' の遅延バージョン (delayed version) A が遅延される際の遅延の量を制御することと、
を備え、

前記第 2 の信号 A' の前記遅延バージョン A が、前記第 1 の信号 C に対して 90 度位相がずれるように、前記第 1 の信号 C 及び前記遅延バージョン A に基づいて制御ループ (control loop) によって、前記遅延バージョン A が制御される

10

有形記憶媒体。

【請求項 2 1】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

電圧制御オシレータ (VCO : voltage controlled oscillator) からの信号を受信する請求項 2 0 の有形記憶媒体。

【請求項 2 2】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

20

前記ステップは、

前記第 1 の信号 C、及び前記第 2 の信号の前記遅延バージョン A で論理 AND 演算 (logical AND operation) を実行することであって、それによって第 3 の信号を生成する、前記実行することと、

前記第 1 の信号 C を反転することであって、それによって前記第 1 の信号の反転バージョン (inverted version) Cb を生成する、前記反転することと、

前記第 1 の信号の前記反転バージョン Cb、及び前記第 2 の信号の前記遅延バージョン A で論理 AND 演算を実行することであって、それによって第 4 の信号を生成する、前記実行することと、

前記制御ループの第 3 及び第 4 の信号に基づいて、前記第 2 の信号 A' に関する前記遅延バージョン A の遅延の前記量を制御することと、

を更に備える請求項 2 0 の有形記憶媒体。

30

【請求項 2 3】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

前記第 2 の信号の前記遅延バージョン A の第 1 のエッジ、及び前記第 1 の信号 C のエッジ間の時間 T 1 の量を示す第 3 の信号を生成することと、

前記第 1 の信号 C の前記エッジ、及び前記第 2 の信号の前記遅延バージョン A の第 2 のエッジ間の時間 T 2 の量を示す第 4 の信号を生成することと、

40

を更に備える請求項 2 0 の有形記憶媒体。

【請求項 2 4】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

前記第 3 の信号を第 1 の電圧レベルに変換することであって、前記第 1 の電圧レベルは前記時間 T 1 の量を示す、前記変換することと、

前記第 4 の信号を第 2 の電圧レベルに変換することであって、前記第 2 の電圧レベルは前記時間 T 2 の量を示す、前記変換することと、

前記第 1 及び第 2 の電圧レベルを演算増幅器に供給することであって、前記演算増幅器

50

によって出力される信号は、前記第2の信号の前記非遅延バージョン（undelayed version）A'に関して、前記第2の信号の前記遅延バージョンAがどの程度遅延されるかどうかを決定する、前記供給することと、

を更に備える請求項23の有形記憶媒体。

【請求項25】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成する第1の論理ゲートと、

10

前記第1の信号Cのエッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成する第2の論理ゲートと、

を更に備える請求項20の有形記憶媒体。

【請求項26】

ステップをプロセッサに実行させるように構成されるプロセッサ実行可能なソフトウェア命令が保持されている有形記憶媒体であって、

前記ステップは、

前記第1、第2、及び第3の信号の一つ、及び前記第1、第2、及び第3の信号の他の一つで論理AND演算を実行することと、

20

前記第1、第2、及び第3の信号の前記一つ、及び前記第1、第2、及び第3の信号の前記他の一つの反転で論理AND演算を実行することと、

を更に備える請求項20の有形記憶媒体。

【請求項27】

第1の信号C、及び前記第1の信号Cに関しておおよそ120度位相がずれている第2の信号A'を生成するために、3で入力信号を周波数分周する手段であって、前記第1の信号Cは、おおよそ50%のデューティ・サイクルを有し、前記第2の信号A'はおおよそ50%のデューティ・サイクルを有する、前記周波数分周する手段と、

前記第2の信号A'に関して前記第2の信号A'の遅延バージョン（delayed version）Aが遅延される際の遅延の量を制御する手段と、

を備え、

30

前記第2の信号A'の前記遅延バージョンAが、前記第1の信号Cに対して90度位相がずれるように、前記第1の信号C及び前記遅延バージョンAに基づいて制御ループ（control loop）によって、前記遅延バージョンAが制御される

回路。

【請求項28】

前記Aの遅延量を制御する手段は、

前記第1の信号C、及び前記第2の信号の前記遅延バージョンAで論理AND演算（logical AND operation）を実行する手段であって、それによって第3の信号を生成する、前記実行する手段と、

前記第1の信号Cを反転する手段であって、それによって前記第1の信号の反転バージョン（inverted version）C_bを生成する、前記反転する手段と、

40

前記第1の信号の前記反転バージョンC_b、及び前記第2の信号の前記遅延バージョンAで論理AND演算を実行する手段であって、それによって第4の信号を生成する、前記実行する手段と、

前記制御ループの第3及び第4の信号に基づいて、前記第2の信号A'に関する前記遅延バージョンAの遅延の前記量を制御する手段と、

を更に備える請求項27の回路。

【請求項29】

前記Aの遅延量を制御する手段は、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッ

50

ジ間の時間 T_1 の量を示す第 3 の信号を生成する手段と、

前記第 1 の信号 C の前記エッジ、及び前記第 2 の信号の前記遅延バージョン A の第 2 のエッジ間の時間 T_2 の量を示す第 4 の信号を生成する手段と、
を更に備える請求項 27 の回路。

【請求項 30】

前記 A の遅延量を制御する手段は、

前記第 3 の信号を第 1 の電圧レベルに変換する手段であって、前記第 1 の電圧レベルは前記時間 T_1 の量を示す、前記変換する手段と、

前記第 4 の信号を第 2 の電圧レベルに変換する手段であって、前記第 2 の電圧レベルは前記時間 T_2 の量を示す、前記変換する手段と、

前記第 1 及び第 2 の電圧レベルを演算増幅器に供給する手段であって、前記演算増幅器によって出力される信号は、前記第 2 の信号の前記非遅延バージョン (undelayed version) A' に関して、前記第 2 の信号の前記遅延バージョン A がどの程度遅延されるかどうかを決定する、前記供給する手段と、
を更に備える請求項 29 の回路。

【請求項 31】

前記 A の遅延量を制御する手段は、

前記第 2 の信号の前記遅延バージョン A の第 1 のエッジ、及び前記第 1 の信号 C のエッジ間の時間 T_1 の量を示す第 3 の信号を生成する手段と、
前記第 1 の信号 C のエッジ、及び前記第 2 の信号の前記遅延バージョン A の第 2 のエッジ間の時間 T_2 の量を示す第 4 の信号を生成する手段と、

を更に備える請求項 27 の回路。

【請求項 32】

前記入力信号を周波数分周する手段は、第 3 の信号 B を生成する手段を更に備え、

前記 A の遅延量を制御する手段は、

前記第 1、第 2、及び第 3 の信号の一つ、及び前記第 1、第 2、及び第 3 の信号の他の一つで論理 AND 演算を実行する手段と、
前記第 1、第 2、及び第 3 の信号の前記一つ、及び前記第 1、第 2、及び第 3 の信号の前記他の一つの反転で論理 AND 演算を実行する手段と、

を更に備える請求項 27 の回路。

【発明の詳細な説明】

【技術分野】

【0001】

本開示の実施形態は、周波数分周器 (frequency dividers) に関する。

【背景技術】

【0002】

図 1 (従来技術) は、局部発振器 (local oscillator) 1 の一例のダイアグラムである。携帯電話で見られるような無線レシーバ、及び無線トランシミッタは、しばしば、複数のそのような局部発振器を含む。このタイプの局部発振器は一般的に、参照クロック・ソース (reference clock source) 2、位相ロック・ループ (phase-locked loop) 3、及び周波数分周器 4 を含む。図示された例において、位相検出器 5 は、参照クロック・ソース 2 から、参照クロック信号 R E F を受信し、また、周波数分周器 6 からフィードバック信号を受信する。位相検出器 5 は、チャージ・ポンプ (charge pump) 7 に供給される位相エラー信号を出力する。電圧レベル信号を生成するために、チャージ・ポンプ 7 の出力は、ループ・フィルタ 8 によってフィルタリングされる。電圧レベル信号は、電圧制御オシレータ (VCO : voltage controlled oscillator) 9 の制御入力リード (control input lead) 上に供給される。VCO 9 の制御入力リード上の電圧は、VCO 9 によって出力される信号 VCO_OUT の周波数を決定する。周波数分周器 6 は、VCO_OUT を周波数分周 (frequency divides) し、その結果として得られる周波数分周信号 (resulting frequency-divided signal) を、フィードバック信号として位相検出器 5 に供給する

10

20

30

40

50

。位相ロック・ループがロックされた (locked) 場合、フィードバック信号及び信号 VCO_RF は同相 (in-phase) であり、 VCO_OUT の周波数は、周波数分周器 6 が分周する場合に用いる除数 (divisor number) によって決定される。 VCO_OUT の周波数は、除数の積 (product) であり、参照クロック REF の周波数である。 VCO_OUT 信号は、典型的に局部発振器出力信号 (LO) として出力されないが、むしろ、 VCO_OUT 信号は、第 2 の周波数分周器 4 によって、より低い周波数に周波数分周される。周波数分周器 4 は、例えば、2、または 4、または 8 のような比較的小さい整数で周波数分周するためにセットされ得る。

【0003】

携帯電話内に集積された、トランシーバ集積回路のケースにおいて、同様の集積回路デザインが、複数の種々のバンドの任意の一つにおいて通信するために用いられることができるよう、トランシーバ集積回路を構成することがしばしば望ましい。図 2 (従来技術) は、単一トランシーバ (携帯電話のトランシーバ集積回路内) が通信するために要求されるだろう種々の周波数バンドの例を示している。図 2 の最も右側の 2 列は、生成されるために、必要とされた局部発振器 (LO) 信号の出力周波数を表している。“LO 分周器”と表された列は、周波数分周器 4 が分周する場合に用いる数を表す。“VCO 出力 MIN”、及び“VCO 出力 MAX”と表された 2 列は、LO 分周器の列の指定された除数のもとで、望ましい LO MIN 及び LO MAX 周波数を生成するために要求される対応する VCO 出力周波数を示す。望ましい周波数の要求された局部発振器出力信号を生成するために、VCO 出力周波数は、2950 メガヘルツ～5380 メガヘルツまで分布することが可能でならなければならないということに留意する。これは比較的広い VCO チューニング範囲である。広いチューニング範囲で VCO を得ることは困難であり得る、または、そのような広い VCO チューニング範囲を設けなければならないことは、望ましくない他の理由のためであり得る。

【0004】

周波数分周器 4 が、3 で分周するようにセットされることができる場合、VCO チューニング範囲を減少させることができること可能であり得る。3 で周波数分周する周波数分周器が知られているといえ、望ましい局部発振器出力信号がしばしば実際に、単一の信号 (LO) ではなくむしろ、信号の一つの位相が、信号の他方に関して、90 度位相がずれている信号の組であるので、そのような周波数分周器は、一般的に有効ではない。そのような LO 信号は、直交位相信号 (quadrature signal) と呼ばれ、または局部発振器信号は、“直交である”と呼ばれる。文字 I 及び Q はしばしば、そのような直交位相信号を示すために用いられる。直交位相信号は、例えば、位相シフト・キーイング変調 (phase shift keying modulation) を実行するため、及び / またはイメージ・キャンセリング (image canceling) を実行するために、他のレシーバ回路によって要求され得る。

【0005】

図 3 (従来技術) は、H.Oguey and C.Vittoz による 1973 年 8 月 23 日、vol 9、Issue 17、Electronics Letters の “Low Power Consumption And High Frequency” と題された論文で 1973 年に示された、従来技術の三分周周波数分周器 (divide-by-three frequency divider) 10 の例である。図 4 (従来技術) は、回路の動作を図示する波形ダイアグラムである。周波数 $3F$ の入力クロック信号 CLK が、入力リード 11 上に供給される場合に、回路は、ノード 12、13、及び 14 上にそれぞれ周波数 F の三つの信号 A、B、及び C を生成する。信号 A、B、及び C のうちの二つは、互いに関しても 90 度位相ずれがない。そのため、そのような周波数分周器は、直交位相局部発振器出力信号が生成される場合、図 1 の局部発振器 1 内の周波数分周器 4 について用いられない。

【発明の概要】

【0006】

局部発振器は、電圧制御オシレータ (VCO : voltage-controlled oscillator) の出力に結合されたプログラマブル周波数分周器 (programmable frequency divider) を備える。プログラマブル周波数分周器は、3 で分周する (divide) ためにセットされることが

10

20

30

40

50

できる。プログラマブル周波数分周器が分周する際に用いられる番号に関係なく、プログラマブル周波数分周器は、90度で位相が互いに異なる、50%のデューティ・サイクル直交位相(duty cycle quadrature)信号(I, Q)を出力する。3で分周するために、周波数分周器は、三分周(divide-by-three)周波数分周器を備える。三分周周波数分周器は、三分周回路、遅延回路、及びフィードバック回路を備える。三分周回路は、VCOから受信された入力信号を、周波数分周し(frequency divide)、それから、120度で位相が互いに異なる三つの信号C、A'、及びBを生成する。遅延回路は、第2の信号の遅延バージョン(delayed version)Aを生成するために、第2の信号A'を遅延する。フィードバック回路は、遅延バージョンAが、第1の信号Cに関して90度位相がずれるように、遅延回路を制御する。遅延バージョンAは、直交位相信号Iとして使用することができ、第1の信号Cは、直交位相信号Qとして使用することができる。フィードバック・ループは、温度変化、供給電圧の変化及び/または半導体製造工程のバラツキに起因する回路動作における変化及び/またはバラツキについて、自動的に修正する。

【0007】

プログラマブル周波数分周器は、携帯電話内のRFトランシーバ集積回路内で実現され得る。デジタル・ベースバンド集積回路で命令を実行するプロセッサは、プログラマブル周波数分周器が分周する際に用いる除数(divisor)を、適切な制御情報をバスを通り、デジタル・ベースバンド集積回路から、RFトランシーバ集積回路に通信することによって、セットすることができる。

【0008】

一つの特定の例において、フィードバック回路は、デジタル論理部と、平均、及び比較回路部と、を含む。デジタル論理部は、信号A及びCを受信し、信号Aの第1のエッジ、及び信号Cのエッジの間の時間T1の量を示すデジタル信号を生成する。デジタル論理部はまた、信号Cのエッジ、及び信号Aの第2のエッジの間の時間T2の量を示すデジタル信号を生成する。時間T1の量を示すデジタル信号は、時間T1の量を示す電圧レベル信号に変換される。時間T2の量を示すデジタル信号は、時間T2の量を示す電圧レベル信号に変換される。二つの電圧レベル信号は、演算増幅器が制御信号を生成するように、演算増幅器の入力に供給される。制御信号は、遅延回路に供給されるバイアス電圧制御信号に変換される。このフィードバック・ループを通って、フィードバック回路は、信号C及び信号A巻の位相差が、90度であるように、遅延回路の遅延を制御するために、動作する。

【0009】

前述は、要約であり、そして、従って必要に応じて、単純化、一般化、及び詳細の省略を含み、その結果、当業者は、要約がただの実例であり、任意の方法に限定されることを意味しないということを正しく理解するだろう。本明細書に記載の他の態様、発明の特徴、及びデバイス及び/またはプロセスの利点は、特許請求の範囲で単に明示されるように、本明細書に示される詳細な記載に限定されずに明白になる。

【図面の簡単な説明】

【0010】

【図1】図1(従来技術)は、携帯電話で使用可能な局部発振器の一例のダイアグラムである。

【図2】図2(従来技術)は、どのように図1の局部発振器のVCOが望ましくない広いVCOチューニング範囲を有するかを示したチャートである。

【図3】図3(従来技術)は、従来技術の三分周周波数分周器回路のダイアグラムである。

【図4】図4(従来技術)は、図3の従来技術の三分周周波数分周器回路の動作を示す波形ダイアグラムである。

【図5】図5は、一新規態様(novel aspect)に従ったモバイル通信デバイス100の高レベル・プロック・ダイアグラムである。

【図6】図6は、図5のRFトランシーバ集積回路103の、より詳細なプロック・ダイ

10

20

30

40

50

アグラムである。

【図7】図7は、図6の局部発振器111の、より詳細なダイアグラムである。

【図8】図8は、図7の局部発振器111のプログラマブル周波数分周器202の、より詳細なダイアグラムである。

【図9】図9は、どのように図7の局部発振器111のVCOが、図1の従来技術回路のVCOよりも狭いVCOチューニング範囲を有するかを示すチャートである。

【図10】図10は、図8の新規三分周周波数分周器300の回路ダイアグラムである。

【図11】図11は、図10の新規三分周周波数分周器300の動作を示す波形ダイアグラムである。

【図11A】図11Aは、どのように信号A&C_b及びA&Cが、対応電圧レベル信号A&C_b(AXE)、及びA&C(AVE)に変換されるかを示す波形ダイアグラムである。
10

【図12】図12は、図10の三分周周波数分周器300の遅延回路401及びフィードバック回路402の他の実施形態の回路ダイアグラムである。

【図13】図13は、一新規態様に従った方法500のフローチャートである。

【発明を実施するための形態】

【0011】

図5は、一新規態様に従ったモバイル通信デバイス100の一つの特定のタイプの、とても単純化された高レベル・ブロック・ダイアグラムである。この特定の例において、モバイル通信デバイス100は、符号分割多重接続(CDMA)携帯電話通信プロトコル、またはGSM(登録商標)(グローバル・システム・フォー・モバイル・コミュニケーション)携帯電話通信プロトコルのどちらか一方に従って動作することができる3G携帯電話である。携帯電話は、(図示されていない、いくつかの他の部分のうち)アンテナ102及び二つの集積回路103、及び104を含んでいる。集積回路104は、“デジタル・ベースバンド集積回路”または“ベースバンド・プロセッサ集積回路”と呼ばれる。デジタル・ベースバンド集積回路104は、図示されていない、いくつかの他の部分のうち、プロセッサ読み取り可能な媒体106に記憶された命令を実行するデジタル・プロセッサ105を含んでいる。プロセッサ105は、バス107、及びバス・インターフェース108A、及びバス配線(bus conductor)109を通って、集積回路103のバス・インターフェース108Bへと情報を通信することができる。集積回路103は、RFトランシーバ集積回路である。RFトランシーバ集積回路103は、レシーバと同様にトランスマッタを備えているので、“トランシーバ”と呼ばれる。
20

【0012】

図6は、図5のRFトランシーバ集積回路103の、より詳細なブロック・ダイアグラムである。レシーバは、局部発振器111と同様に、“受信チェイン(receive chain)”110と呼ばれるものを備えている。携帯電話が受信している場合、高周波数RF信号112は、アンテナ102上で受信される。信号112からの情報は、デュプレクサ113を通って、受信チェイン110内を通る。信号112は、低ノイズ増幅器(LNA:low noise amplifier)115によって増幅され、ミキサ116によって周波数においてダウン・コンバートされる。その結果として得られるダウン・コンバート信号(resulting down-converted signal)は、ベースバンド・フィルタ117によってフィルタされ、デジタル・ベースバンド集積回路104にバスされる。デジタル・ベースバンド集積回路104のアナログ・デジタル(analog-to-digital)変換器118は、信号をデジタル形式に変換し、その結果として得られるデジタル情報は、デジタル・ベースバンド集積回路104のデジタル回路によって処理される。デジタル・ベースバンド集積回路104は、局部発振器111によって、配線(conductor)127、及び128上のミキサ116に供給された直交位相局部発振器信号I及びQの周波数を制御することで、レシーバを調整する。
30

【0013】

携帯電話が送信している場合、送信される情報は、デジタル・ベースバンド集積回路1

10

20

30

40

50

04 のデジタル・アナログ (digital-to-analog) 変換器 119 によって、アナログ形式に変換され、“送信チェイン (transmit chain) ” 120 に供給される。ベースバンド・フィルタ 121 は、デジタル・アナログ変換処理によってノイズ除去する。局部発振器 123 の制御下のミキサ・ブロック 122 は、信号を高周波数信号にアップ・コンバートする。ドライバ增幅器 124 及び外部電力増幅器 125 は、高周波数 R F 信号 126 がアンテナ 102 から送信されるように、アンテナ 102 を駆動するために、高周波数信号を増幅する。デジタル・ベースバンド集積回路 104 は、局部発振器 123 によって、ミキサ 122 に供給された局部発振器直交位相信号 I 及び Q の周波数を制御することでトランスマッタを調整する。矢印 130 は、局部発振器 111 内の周波数分周器が、下記に更に詳細に説明されるように、分周する際に用いる除数をセットするために、デジタル・ベースバンド集積回路 104 から、バス・インターフェース 108A を通り、バス配線 109 を越え、バス・インターフェース 108B を通り、そして配線 131 及び 132 を通り、局部発振器 111 へと通信される情報を表している。
10

【0014】

図 7 は、局部発振器 111 の、より詳細なダイアグラムである。局部発振器 111 は、参考クロック・ソース 200 (ここでは配線によって識別される)、周波数シンセサイザ (frequency synthesizer) 201、及び新規プログラマブル周波数分周器 202 を含む。図示された例において、周波数シンセサイザ 201 は、位相検出器 203、チャージ・ポンプ 204、ループ・フィルタ 205、電圧制御オシレータ (VCO : voltage controlled oscillator) 206、及び周波数分周器 207 を備えるアナログ位相ロック・ループ (PLL : phase-locked loop) である。受信チェイン 110 のレシーバは、配線 127、及び 128 の、局部発振器出力直交位相信号 I 及び Q の周波数をそれぞれセットすることによって調整される。直交位相信号 I 及び Q の周波数は、周波数分周器 207 が分周する際に用いる除数、及びプログラマブル周波数分周器 202 が分周する際に用いる除数によって決定される。参考クロック R EF の周波数は、固定される。周波数分周器 207 が分周する際に用いる除数は、制御配線 131 上に供給される値によってセットされる。周波数分周器 202 が分周する際に用いる除数は、制御配線 132 上に供給される値によってセットされる。本例において、図 5 のデジタル・ベースバンド集積回路 104 は、バス 109 を介してこれらの除数値を制御する。
20

【0015】

図 8 は、図 7 の新規プログラマブル周波数分周器 202 の、より詳細なダイアグラムである。プログラマブル周波数分周器 202 は、新規三分周周波数分周器 300、リップル分周器 (ripple divider) 301、及びマルチプレキシング回路 (multiplexing circuitry) 302 を備える。VCO 206 からの VCO_OUT 信号は、配線 208 を介して、周波数分周器 202 の入力リード 303 上で受信される。リップル分周器 301 は、いくつかのステージを有する 2 成分の分周器 (binary divider) である。第 1 のステージは、信号 VCO_OUT の周波数の半分の周波数を有する直交位相信号のセットを出力する。これらの信号は、図 8 の DIV2 で示される。第 2 のステージは、信号 VCO_OUT の周波数の 4 分の 1 の周波数を有する直交位相信号のセットを出力する。これらの信号は、図 8 の DIV4 で示される。新規三分周周波数分周器 300 は、3 で信号 VCO_OUT を周波数分周し、周波数が VCO_OUT の周波数の 3 分の 1 である直交位相信号のセットを出力する。これらの信号は、図 8 の DIV3 で示される。周波数分周器 202 から出力リード 304 及び 305 に出力される直交位相信号の三つのセットの一つは、制御配線 132 上のデジタル値によって決定される。マルチプレキシング機能 (multiplexing function) を表すために、マルチプレクサ・シンボル (multiplexer symbol) が図示されるとはいえ、マルチプレクサは用いられる必要はない。一例において、ブロック 300、及び 301 からの三つの I 出力配線は互いに結合され、ブロック 300、及び 301 からの三つの Q 出力配線は互いに結合される。出力リード 304 及び 305 上へ、I 及び Q 信号のセットを適切に駆動するために、制御配線 132 上の制御値は、ブロック 300 及び 301 の適切な一つを有効にする。出力リード 304 及び 305 のそれぞれは、それゆえに
30

、有線 OR 出力 (wired-OR output) のようなものとなる。

【0016】

図9は、新規周波数分周器202で実現される利点を図示するチャートである。周波数分周器202は、2、または3、または4のいずれかで周波数分周することができる。三つの除数値の全てについて、周波数分周器202は、直交位相信号I及びQを出力する。図9のチャートにおいて、同様の周波数バンド、及び同様の“LO MIN”、及び“LO MAX”周波数は、図2の先行技術チャートのように表すことを留意し、しかし、図9のチャートにおいて、“LO分周器”列は、VCO_OUTが2つのケースにおいて3で周波数分周されるということを表すということを留意する。結果として、図9のケースにおいて、VCOチューニング範囲は、図2の広範囲から、3610~5380メガヘルツの、より狭いチューニング範囲 (narrower tuning range) に減少される。各周波数バンド動作状況の下、VCO_OUT周波数の設定、及び“LO分周器”値の設定は、上で説明したようなデジタル・ベースバンド集積回路104のプロセッサ105の制御下である。一つの有利な態様において、VCO_OUTの周波数、及び周波数分周器202が分周する際に用いる除数は、周波数シンセサイザ201が比較的狭いVCOチューニング範囲を有するタイプのようであることが可能なように、セットされる。

【0017】

図10は、図8の新規三分周周波数分周器300を実施するための一つの方法の、より詳細なダイアグラムである。周波数分周器300は、三分周周波数分周器400、遅延回路401及びフィードバック回路402を含んでいる。フィードバック回路402は、そして、デジタル論理部403及び、平均及び比較回路部 (average and compare circuit portion) 404を備えている。

【0018】

一例において、周波数分周器400は、上の図3で示された周波数分周器である。周波数分周器400は、図示するような三つのステージで構成された12個の電界効果トランジスタ(FET)405~416を備えている。第1のステージは、第1のPチャネルFET電界効果トランジスタ(PFET)405、第2のPFET407、第1のNチャネル電界効果トランジスタ(NFET)406、及び第2のNFET408を含んでいる。PFET405及びNFET406のゲートは、互いに接続され、PFET405及びNFET406のドレインは、互いに接続される。第2のPFET407のドレインは、第1のPFET405のソースに結合され、第2のNFET408のドレインは、第1のNFET406のソースに結合される。第2のPFET407のソースは、供給電圧バス416に接続され、第2のNFET408のソースは、グランド・バス417に接続される。トランジスタの第2及び第3のステージは、同様の方法で互いに結合される。周波数3F(VCO_OUT)の入力クロック信号CLKが入力リード418に供給される場合、周波数分周器400は、ノード419、420、及び421上にそれぞれ三つの信号C、A'、及びBを生成する。これらの信号のそれぞれは、およそ50%のデューティ・サイクル (duty cycle) を有する。第2の信号A'は、第1の信号Cに関しておよそ120度位相がずれており、第3の信号Bは、第2の信号A'に関しておよそ120度位相がずれており、第1の信号Cは、第3の信号Bに関しておよそ120度位相がずれている。

【0019】

ノード419上の第1の信号Cは、出力リード422上に、直交位相信号Qとして提供される。第2の信号A'は、遅延回路401に提供される。遅延回路401は、インバータ回路423及び424の組に第2の信号を通すことで、第2の信号A'の遅延バージョン (delayed version) Aを生成する。遅延回路401は、その結果として得られる遅延バージョンAを、直交位相信号Iとして、出力リード425に出力する。

【0020】

フィードバック回路402は、出力リード425の信号Aが、出力リード422の信号Cに関して90度位相がずれるように、遅延回路401による遅延を制御するために、動

作する。デジタル論理部 403 は、ノード 427 上に、第 2 の信号の遅延バージョン A の第 1 の立ち上がりエッジ (rising edge)、及び第 1 の信号 C の次の立ち上がりエッジ間の時間 T1 の量を示すデジタル信号を生成する第 1 の論理 AND ゲート 426 を含んでいる。デジタル論理部 403 は、ノード 429 上に、第 1 の信号 C の立ち上がりエッジ、及び第 2 の信号の遅延バージョン A の第 2 の立ち下がりエッジ (falling edge) 間の時間 T2 の量を示すデジタル信号を生成する第 2 の論理 AND ゲート 428 を含んでいる。第 2 の信号の遅延バージョン A の第 1 の立ち上がりエッジ、及び第 2 の信号の遅延バージョン A の第 2 の立ち下がりエッジは、遅延バージョン A の高パルス期間 (遅延バージョン A がデジタル論理ハイ (digital logic high) である期間) を明らかにする。

【0021】

10

図 10 の例において、時間 T1 及び T2 が等しい場合、出力リード 425 及び 422 上の信号 I 及び Q は、互いに関して 90 度位相がずれているだろう。平均及び比較回路部 404 は、第 1 の RC ロー・パス・フィルタ 430、及び第 2 の RC ロー・パス・フィルタ 431 を有する。第 1 の RC ロー・パス・フィルタ 430 は、ノード 427 上の信号を、ノード 432 上の対応電圧レベル信号におおまかに変換する。ノード 432 上の電圧のレベルは、時間 T1 を示す。同様に、第 2 の RC ロー・パス・フィルタ 431 は、ノード 429 上の信号を、ノード 433 上の対応電圧レベル信号におおまかに変換する。ノード 433 上の電圧のレベルは、時間 T2 を示す。演算増幅器 434 は、演算増幅器 434 の非反転及び反転入力リードで、ノード 432 及び 433 上の信号をそれぞれ受信し、制御信号を出力する。制御信号は、回路 435 をバイアスすることで、遅延回路 401 のトランジスタ 436 及び 437 をバイアスする対応バイアス電圧 VBIASN に変換される。トランジスタ 436 及び 437 のゲートに供給されたバイアス電圧 VBIASN がより高くなるほど、インバータ回路 423 及び 424 が抑制している電流がより小さくなり、インバータ回路 423 及び 424 は、より速くそれらの出力を切り替えることができる。従つて、バイアス電圧 VBIASN がより高いほど、遅延回路 401 による伝搬遅延 (propagation delay) は、より少なくなる。

20

【0022】

回路 438 は、制御ループがオシレーティング (oscillating) することを防ぐために、適切な周波数でポール (pole) を加えるために供給される。ノード 432 の電圧が、ノード 433 上の電圧よりも高くなる場合、T1 は T2 よりも大きくなり、T1 及び T2 がより等しくされるように、遅延回路 401 による遅延を増加させるために、ノード 439 上の制御電圧は減少される。一方で、ノード 432 上の電圧が、ノード 433 上の電圧よりも低い場合、T1 は T2 よりも小さくなり、T1 及び T2 がより等しくされるように、遅延回路 401 による遅延を減少させるために、ノード 439 上の制御電圧は増加される。T1 及び T2 が等しくなるように制御されるように、そして信号 C 及び A 間の位相差が 90 度であるように、フィードバック制御ループの動作は制御される。

30

【0023】

図 10 の回路の動作は、図 11 の波形ダイアグラムと関連して、更に説明される。図 11 の波形は、実際に、波形のセットを三つ備えている。上方の波形のセットは、T1 が T2 より大きい状況を表す。真ん中の波形のセットは、T1 と T2 とが等しい状況を表す。下方の波形のセットは、T1 が T2 より小さい状況を表す。図 11 の波形から分かるように、時間 T1 は、信号 A & Cb がデジタル論理ハイ (digital logic high) である時間によって表される。信号 A & Cb は、図 10 のノード 427 に存在している信号である。信号 A & Cb は、信号 C の反転バージョン (inverted version) Cb を生成するために、第 1 の信号 C を反転することで生成される。この概念における “b” は、“反対 (inverse)” を表す。AND ゲート 426 は、信号 Cb 及び信号 A の論理 AND を実行する。概念 “A & Cb” は、信号 “A” 及び “Cb” の論理 AND を表す。同様に、時間 T2 は、信号 A & C がデジタル論理ハイである時間によって表される。信号 A & C は、図 10 のノード 429 に存在している信号である。AND ゲート 428 は、信号 C 及び信号 A の論理 AND を実行する。概念 “A & C” は、信号 “A” 及び “C” の論理 AND を表す。

40

50

【0024】

図11Aは、どのようにノード427、及び429上の信号A & C b、及びA & Cが、それぞれ、ノード432及び433上の対応電圧レベル信号A & C b (A V E)、及びA & C (A V E)に変換されるかを示している。電圧レベル信号A & C b (A V E)及びA & C (A V E)は、水平に延伸した破線によって図11Aに表される。R C ロー・パス・フィルタの入力に供給される信号がハイ (high) である時間の割合が大きくなると、R C ロー・パス・フィルタのキャパシタがチャージング・アップ (charging up) される時間の割合がより大きくなり、キャパシタがディスチャージング・ダウント (discharging down) される時間の割合がより少なくなる。従って、R C ロー・パス・フィルタの入力に供給される信号がハイ (high) である時間の割合が大きくなると、R C ロー・パス・フィルタによって出力される電圧レベル信号がより大きくなる。10

【0025】

新規三分周周波数分周器300を実現する方法の一つが、図10に示されるとはいえ、他の方法もある。図12は、デジタル論理部403が、四つのデジタル信号A b & C b、A & C、A & C b、及びA b & Cを生成する例を示す。図10の演算増幅器434は、一つの電圧バイアス制御信号V B I A S Nが、遅延回路401による、伝搬遅延 (propagation delay) を制御するように、シングル・エンド (single-ended) 制御信号を出力するが、図12の例では、演算増幅器434は、差動信号の組を、対応するバイアス回路435、及び435Aの組に出力する。バイアス回路435Aは、制御ループ・オシレーション (control loop oscillation) を抑制するためにポールを加える関連回路 (associated circuit) 438Aを有している。一方のバイアス回路435は、V B I A S Nバイアス電圧をN F E T 436のゲートに出力する。第2のバイアス回路435Aは、V B I A S Pバイアス電圧を、P F E T 436Aのゲートに出力する。図12の遅延回路401の例において、遅延回路401の第2のインバータ回路424は、単純なインバータであり、図示するように二つのトランジスタを含むだけである。フィードバック回路402は、N F E T 436及びP F E T 436Aの伝導率を変化することによる遅延回路401の伝搬遅延を変化することによって動作する。20

【0026】

図13は、一つの新規の態様に従った方法500のフローチャートである。第1ステップにおいて、第1の信号C及び第2の信号A'を生成するために、入力信号 (例えばV C O_O U T) は、3で周波数分周される (ステップ501)。第1の信号Cは、およそ50%のデューティ・サイクル (duty cycle) を有し、第2の信号A'は、およそ50%のデューティ・サイクルを有する。第2の信号A'は、第1の信号Cに関しておよそ120度位相がずれている。30

第2のステップにおいて、制御ループは、第2の信号の遅延バージョンAが第1の信号Cに関して90度位相がずれるように、第2の信号A'に関して、第2の信号A'の遅延バージョンAが遅延される遅延の量を制御するために用いられる (ステップ502)。方法の一例において、第2の信号の遅延バージョンA及び第1の信号Cは、携帯電話の無線トランスマッタ及び/またはレシーバにおいて局部発振器出力信号 (直交位相信号I及びQ) として用いられ、入力信号の周波数は、少なくとも100メガヘルツである。40

【0027】

一つまたはそれ以上の実施形態例において、述べた機能は、ハードウェア、ソフトウェア、ファームウェア、またはこれらの任意の組み合わせ内に実装され得る。ソフトウェアに実装された場合、コンピュータ読み取り可能またはプロセッサ読み取り可能な媒体に、記憶され、または、一つまたはそれ以上の命令またはコードとして送信され得る。コンピュータ読み取り可能またはプロセッサ読み取り可能な媒体は、一箇所から他の場所へのプログラムの転送を促進する任意のメディアを含んでいるコンピュータ記憶メディア及び通信メディアを含む。記憶媒体は、コンピュータまたはプロセッサによってアクセスされることができる任意の入手可能な媒体であり得る。例のため、そして例に限らず、そのような媒体は、RAM、ROM、EEPROM、CD-ROMまたは他の光学ディスク記憶、50

磁気ディスク記憶、または他の磁気記憶デバイス、または、命令またはデータ構造の形態において、望ましいプログラム・コードを運び、記憶することができ、コンピュータまたはプロセッサによってアクセスされることができる任意の他の媒体を備えることができる。また、任意のつながりは、適切にコンピュータ読み取りメディアと称され得る。例えば、ソフトウェアが、ウェブサイト、サーバー、または、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、デジタル加入者線 (DSL)、または赤外線、無線、及びマイクロ波のようなワイヤレス技術を用いる他の遠隔ソース、から送信される場合、同軸ケーブル、光ファイバ・ケーブル、ツイスト・ペア、DSL、または赤外線、無線、及びマイクロ波のようなワイヤレス技術、従ってそのような接続は媒体の定義に含まれる。本明細書に用いたように、ディスク (disk) 及びディスク (disc) は、コンパクトディスク (CD)、レーザーディスク (登録商標)、光学ディスク、デジタル多用途ディスク (DVD)、フロッピー (登録商標) ディスク、及びブルーレイ (登録商標) ディスク、を含み、ディスク (disk) は大抵磁的にデータを再生し、ディスク (disc) は光学的またはレーザーでデータを再生する。上の組み合わせは、また、コンピュータ読み取り可能なメディアの範囲の中に含まれるべきである。いくつかの実施形態におけるデジタル・ベースバンド I C 104 のプロセッサ読み取り可能な媒体 106 に記憶された命令のセットの、プロセッサ 105 による実行は、新規周波数分周器 202 が、3 で周波数分周するため、及び 90 度で位相が異なる直交位相信号 (I 及び Q) の組を出力するために実行されるように、デジタル情報をデジタル・ベースバンド I C 104 から、バス配線 109 を通って、図 7 の新規周波数分周器 202 に通信させる。このような方法で周波数分周器 202 がセットされる場合、VCO_OUT の周波数は、周波数 3F であり、直交位相信号は、周波数 F の 50 % のデューティ・サイクル信号である。10 20

【0028】

確かな特定の実施形態が、教示的な目的で上に記載されているとはいえ、本特許文章の教示は、一般的な適用を有し、上述された特定の実施形態に限定されない。フィードバック回路 402 は、 2^N (N は整数) ではない除数で直交位相周波数分周器を実行するためには用いられることができる。例えば、1.5 の除数を有する直交位相周波数分周器は、上述した三分周直交位相周波数分周器に引き続き、周波数 2 倍器 (frequency doubler) を用いることで実装されることがある。三分周周波数分周器の I 及び Q 出力は、25 % のデューティ・サイクル信号または 50 % のデューティ・サイクル信号ができる。従って、種々の変形例、適応、及び記載された特定の実施形態の種々の特性の組み合わせは、下に示された特許請求の範囲の範囲から逸脱することなく実行されることがある。30

1. 第 1 の信号 C、及び前記第 1 の信号 C に関しておおよそ 120 度位相がずれている第 2 の信号 A' を生成するために、3 で入力信号を周波数分周すること (frequency dividing) であって、前記第 1 の信号 C は、おおよそ 50 % のデューティ・サイクルを有し、前記第 2 の信号 A' はおおよそ 50 % のデューティ・サイクルを有する、前記第 2 の信号 A'、前記周波数分周すること、

前記第 2 の信号 A' に関して前記第 2 の信号 A' の遅延バージョン (delayed version) A が遅延される際の遅延の量を制御することであって、前記第 2 の信号 A' の前記遅延バージョン A は、前記第 1 の信号 C に関して 90 度位相をずらすために制御ループ (control loop) によって制御される、前記制御することと、40
を備える方法。

2. 前記 A の遅延量を制御することは、

前記第 1 の信号 C、及び前記第 2 の信号の前記遅延バージョン A で論理 AND 演算 (logical AND operation) を実行することであって、それによって第 3 の信号を生成する、前記実行すること、

前記第 1 の信号 C を反転することであって、それによって前記第 1 の信号の反転バージョン (inverted version) Cb を生成する、前記反転すること、

前記第 1 の信号の前記反転バージョン Cb、及び前記第 2 の信号の前記遅延バージョン

Aで論理AND演算を実行することであって、それによって第4の信号を生成する、前記実行することと、

前記制御ループの第3及び第4の信号に基づいて、前記第2の信号A'に関する前記遅延バージョンAの遅延の前記量を制御することと、
を備える1の方法。

3. 前記Aの遅延量を制御することは、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成することと、

前記第1の信号Cの前記エッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成することと、

を備える1の方法。

4. 前記Aの遅延量を制御することは、

前記第3の信号を第1の電圧レベルに変換することであって、前記第1の電圧レベルは前記時間T1の量を示す、前記変換することと、

前記第4の信号を第2の電圧レベルに変換することであって、前記第2の電圧レベルは前記時間T2の量を示す、前記変換することと、

前記第1及び第2の電圧レベルを演算増幅器に供給することであって、前記演算増幅器によって出力される信号は、前記第2の信号の前記非遅延バージョン(undelayed version)A'に関して、前記第2の信号の前記遅延バージョンAがどの程度遅延されるかどうかを決定する、前記供給することと、

を更に備える3の方法。

5. 前記Aの遅延量を制御することは、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成する第1の論理ゲートと、

前記第1の信号Cのエッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成する第2の論理ゲートと、

を備える1の方法。

6. 前記入力信号を周波数分周することは、第3の信号Bを生成することを更に備え、

前記Aの遅延量を制御することは、

前記第1、第2、及び第3の信号の一つ、及び前記第1、第2、及び第3の信号の他の一つで論理AND演算を実行することと、

前記第1、第2、及び第3の信号の前記一つ、及び前記第1、第2、及び第3の信号の前記他の一つの反転で論理AND演算を実行することと、

を備える1の方法。

7. 周波数3Fの入力信号を受信し、周波数Fの第1の信号Cを出力し、周波数Fの第2の信号A'を出力する周波数分周器(frequency divider)であって、前記第1の信号Cは、およそ50%のデューティ・サイクル(duty cycle)を有し、前記第2の信号A'は、およそ50%のデューティ・サイクルを有し、前記第2の信号A'は、前記第1の信号Cに関しておよそ120度位相がずれている、前記周波数分周器と、

前記第2の信号A'を受信し、前記第2の信号の遅延バージョンAを出力する遅延回路と、

前記第2の信号の前記遅延バージョンAが、前記第1の信号Cに関して90度位相がずれるように、前記遅延回路を制御するフィードバック回路と、

を備える回路。

8. 前記フィードバック回路は、

前記第2の信号の前記遅延バージョンAの第1のエッジ、及び前記第1の信号Cのエッジ間の時間T1の量を示す第3の信号を生成する回路と、

前記第1の信号Cの前記エッジ、及び前記第2の信号の前記遅延バージョンAの第2のエッジ間の時間T2の量を示す第4の信号を生成する回路と、

前記第3の信号及び前記第4の信号を受信し、そこから、前記遅延回路に供給される制

10

20

30

40

50

御信号を生成する差動増幅回路と、
を備える7の回路。

9. 前記第3及び第4の信号はデジタル論理信号(digital logic signal)である8の回路。

10. 前記第3及び第4の信号は電圧レベル信号である8の回路。

11. 前記第3の信号を生成する前記回路は、第1のデジタル論理ゲート(digital logic gate)を備え、前記第4の信号を生成する前記回路は、第2のデジタル論理ゲートを備える8の回路。

12. 前記フィードバック回路は、

第1のロー・パス・フィルタの入力リードに結合された出力リードを有する第1のデジタル論理ゲートと、 10

第2のロー・パス・フィルタの入力リードに結合された出力リードを有する第2のデジタル論理ゲートと、

前記第1のロー・パス・フィルタから信号を受信し、前記第2のロー・パス・フィルタから信号を受信し、制御信号を前記遅延回路に供給する差動増幅回路と、
を備える7の回路。

13. 前記周波数分周器は、

第1のPチャネル電界効果トランジスタ(PFET)、第2のPFET、第1のNチャネル電界効果トランジスタNFET、及び第2のNFETを備える第1のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは、前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合される、前記第1のステージと、 20

第1のPFET、第2のPFET、第1のNFET、及び第2のNFETを備える第2のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、そして前記第1のステージの前記第1のPFET及び前記第1のNFETの前記ドレインに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合される、前記第2のステージと、

第1のPFET、第2のPFET、第1のNFET、及び第2のNFETを備える第3のステージであって、前記第1のPFETのゲート及び前記第1のNFETのゲートは互いに結合され、そして前記第2のステージの前記第1のPFET及び前記第1のNFETの前記ドレインに結合され、前記第1のPFETのドレイン及び前記第1のNFETのドレインは互いに結合され、前記第2のPFETのドレインは、前記第1のPFETのソースに結合され、前記第2のNFETのドレインは、前記第1のNFETのソースに結合され、前記第1のPFET及び第1のNFETの前記ドレインは、前記第1のステージの前記第1のPFET及び前記第1のNFETの前記ゲートに結合され、前記第1、第2、及び第3のステージの前記第2のPFETの前記ゲート、及び前記第1、第2、及び第3のステージの前記第2のNFETの前記ゲートは、前記入力信号を受信するために結合される、前記第3のステージと、 30

を備える7の回路。

14. 前記回路は無線レシーバの局部発振器であり、前記入力信号は少なくとも100メガヘルツの周波数を有している7の回路。

15. 前記フィードバック回路は、

前記第2の信号及び前記第1の信号の反転(inverse)の論理ANDを出力する第1のデジタル論理ゲートと、

前記第1の信号及び前記第2の信号の論理ANDを出力する第2のデジタル論理ゲートと、

前記第1の信号及び前記第2の信号の反転の論理ANDを出力する第3のデジタル論理 50

ゲートと、

前記第1の信号の反転及び前記第1の信号の反転の論理ANDを出力する第4のデジタル論理ゲートと、

前記第1、第2、第3、及び第4のデジタル論理ゲートから出力された信号を受信し、制御信号を前記遅延回路へと供給する回路と、

を備える7の回路。

16. 前記遅延回路は、デジタル論理インバータ、及びNチャネル電界効果トランジスタ(NFET)を備え、前記デジタル論理インバータは、信号入力リード、信号出力リード、電源供給リード、及びグランド・リードを備え、前記グランド・リードは、前記NFETを介し、抵抗を介して(resistively)グランド電位に結合されることが可能(couplable)である7の回路。10

17. 前記遅延回路は、Pチャネル電界効果トランジスタ(PFET)を更に備え、前記デジタル論理インバータの前記電源リードは、前記PFETを介し、抵抗を介して供給電圧に結合されることが可能である16の回路。

18. 周波数3Fの入力信号を受信し、第1の信号C及び第2の信号A'を出力する三分周回路(divide-by-three circuit)であって、前記第1の信号C及び前記第2の信号A'は、同様の周波数Fを有し、前記第1の信号C及び前記第2の信号A'は、互いに関連しておおよそ120度位相がずれている、前記三分周回路と、

前記三分周回路から前記第2の信号A'を受信し、前記第2の信号の遅延バージョンAを出力する遅延回路と、20

前記第2の信号の前記遅延バージョンAが、前記第1の信号Cに関して90度位相がずれるように、フィードバック制御ループ(feedback control loop)において前記遅延回路を制御する手段と、

を備える回路。

19. 前記回路は、無線レシーバの局部発振器であり、前記入力信号は、少なくとも100メガヘルツの周波数を有している請求項18の回路。

20. プロセッサ読み取り可能な媒体に記憶されたプロセッサ実行可能な命令のセットであって、

周波数分周器が分周する際に用いる番号(number)を第1の番号から第2の番号に変えるように、前記周波数分周器と通信することであって、前記第1の番号及び前記第2の番号の一つは3であり、前記周波数分周器が3で分周する際に、前記周波数分周器は、直交位相信号の組を出力する、前記通信する30

ステップを実行するためのプロセッサ実行可能な命令のセット。

21. 前記周波数分周器は、電圧制御オシレータ(VCO: voltage controlled oscillator)からの信号を受信するように結合される請求項20のプロセッサ実行可能な命令のセット。

【図1】

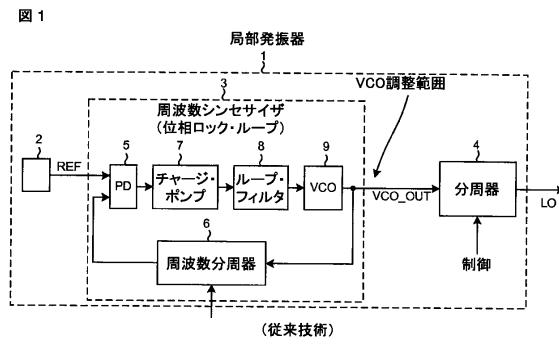


FIG. 1

【図2】

図2

周波数バンド	ユニット	VCO 出力 MIN	VCO 出力 MAX	LO 分周器	LO MIN	LO MAX
900 MHz	MHz	3660	3840	4	915	960
PDC	MHz	2350	3002	2	1475	1501
ATC-MSS L バンド	MHz	3252	3320	2	1626	1660
UMTS 1700/1800及びPCS	MHz	3610	3760	2	1805	1880
US PCS	MHz	3860	3990	2	1930	1995
IMT/AWS	MHz	4220	4340	2	2110	2170
ATC-MSS S バンド	MHz	4360	4400	2	2180	2200
IMT EXT/BRS-TDD	MHz	5000	5380	2	2500	2690

広いVCO調整範囲要求
(2950~5380MHz)
(従来技術)

FIG. 2

【図3】

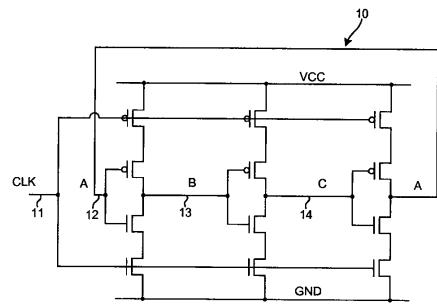


FIG. 3

【図4】

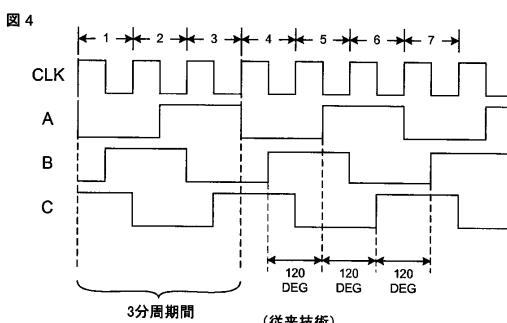


FIG. 4

【図5】

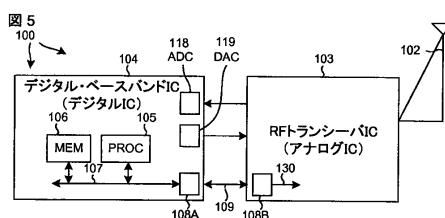


FIG. 5

【図6】

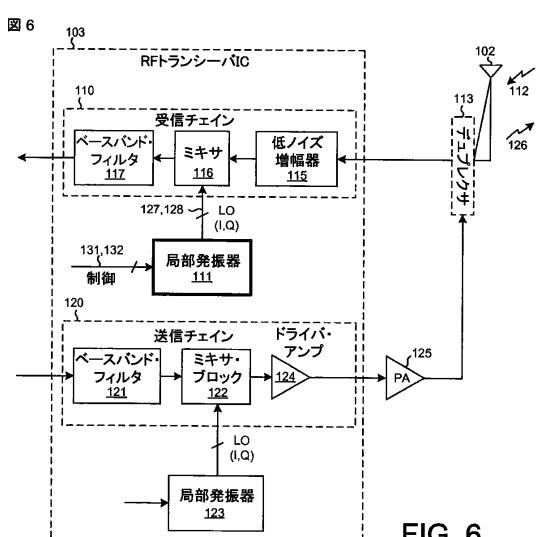


FIG. 6

【図7】

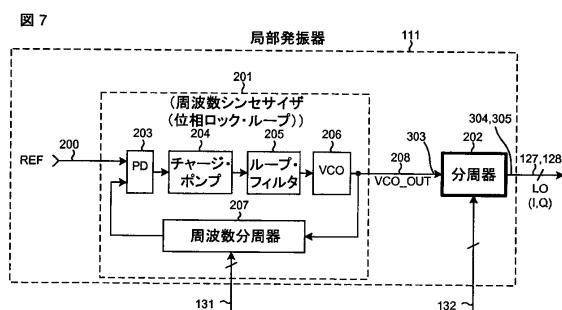


FIG. 7

【図8】

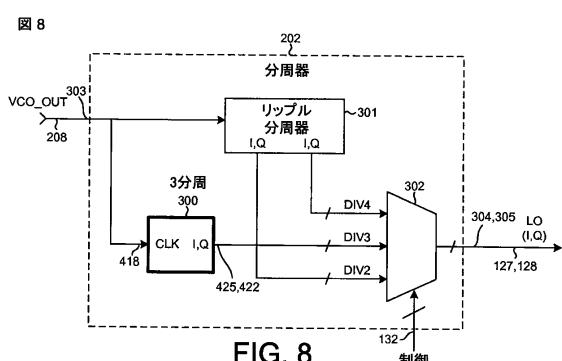


FIG. 8

【図 9】

図 9

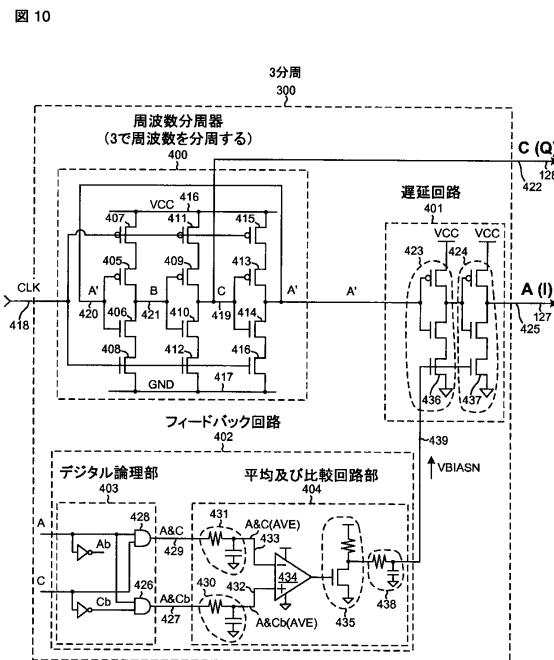
周波数バンド	ユニット	VCO 出力 MIN	VCO 出力 MAX	LO 分周器	LO MIN	LO MAX
900 MHz	MHZ	3660	3840	4	915	960
PDC	MHZ	4425	4503	3	1475	1501
ATC-MSS L バンド	MHZ	4878	4980	3	1626	1660
UMTS1700/1800及びKPCS	MHZ	3610	3760	2	1805	1880
US PCS	MHZ	3860	3990	2	1930	1995
IMT/AWS	MHZ	4220	4340	2	2110	2170
ATC-MSS S バンド	MHZ	4360	4400	2	2180	2200
IMT EXT/BRS-TDD	MHZ	5000	5380	2	2500	2690

3分周分周器により、
より狭いVCO調整範囲が要求される

(3610~5380MHz)

FIG. 9

【図 10】



フィードバック回路
Aが90度位相がずれているような遅延回路を制御する

$A = I$

$C = Q$

FIG. 10

【図 11】

図 11

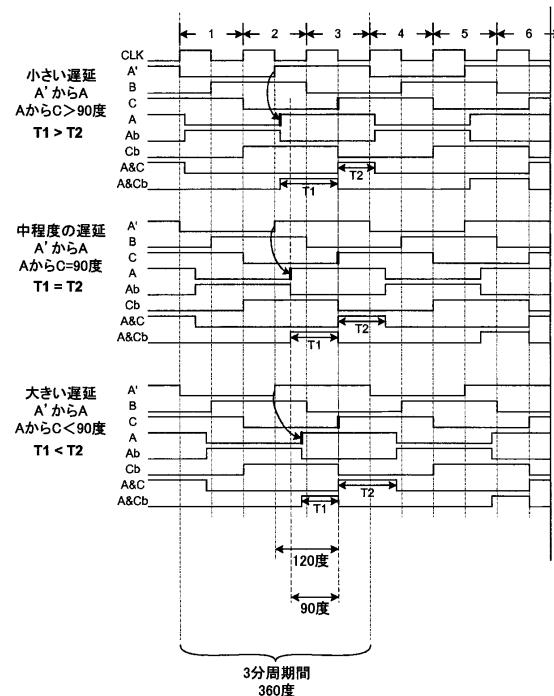


FIG. 11

【図 11A】

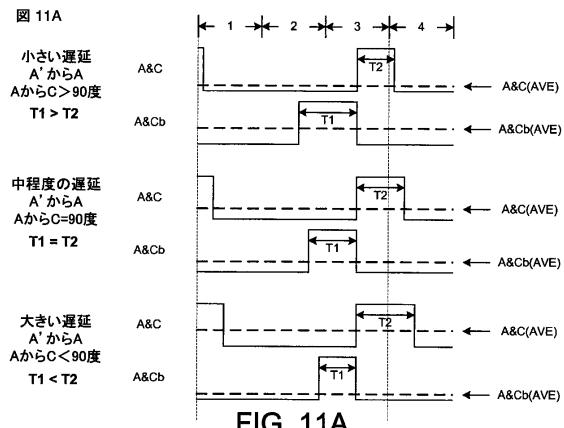


FIG. 11A

【図 12】

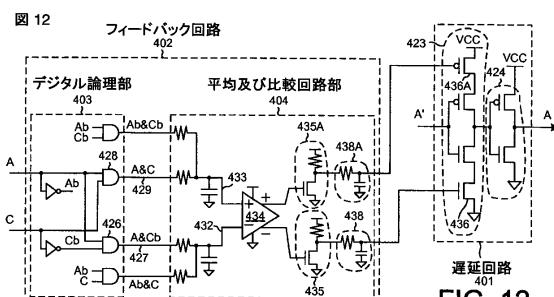


FIG. 12

【図13】

図13

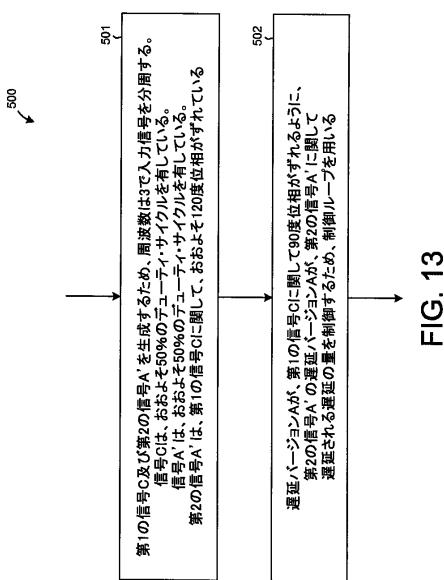


FIG. 13

フロントページの続き

(74)代理人 100109830
弁理士 福原 淑弘

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100084618
弁理士 村松 貞男

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 チャオ、ドンジヤン
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

(72)発明者 ポッス、フレデリック
アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75

審査官 柳下 勝幸

(56)参考文献 特開2006-157505 (JP, A)
特表2004-536479 (JP, A)
特開2009-017528 (JP, A)
特開2010-233181 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K 23/64
H03K 5/13
H03L 7/08