

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年9月4日 (04.09.2008)

PCT

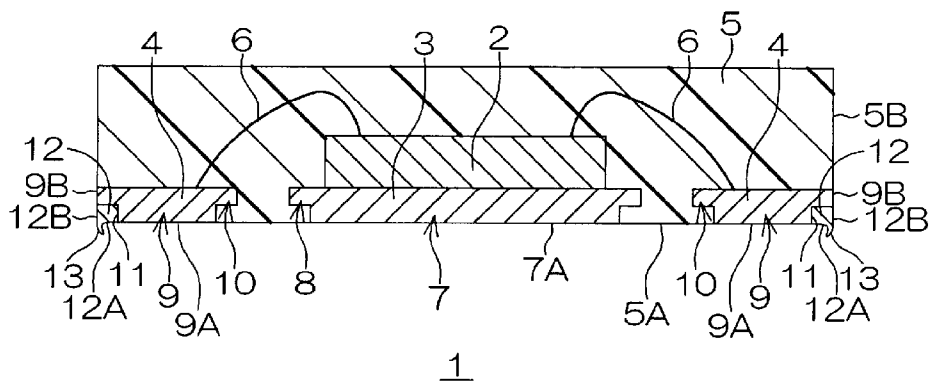
(10) 国際公開番号
WO 2008/105437 A1

- (51) 国際特許分類:
H01L 23/50 (2006.01)
- (21) 国際出願番号: PCT/JP2008/053353
- (22) 国際出願日: 2008年2月27日 (27.02.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-047394 2007年2月27日 (27.02.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 糟谷 泰正 (KA-SUYA, Yasumasa) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 芳我 基治 (HAGA, Motoharu) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP). 安永 尚司 (YASUNAGA, Shoji) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 稲岡 耕作, 外 (INAOKA, Kosaku et al.); 〒5410054 大阪府大阪市中央区南本町2丁目6番12号 サンマリオンNBFタワー21階 あい特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, LEADFRAME AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、リードフレームおよび半導体装置の製造方法



(57) Abstract: Provided are a semiconductor device and a leadframe which can prevent generation of mounting failures due to burrs, and a semiconductor device manufacturing method using such leadframe. The semiconductor device is provided with a semiconductor chip, and a lead, which is arranged around the semiconductor chip, extends in a direction intersecting with a side surface of the semiconductor chip and has at least an end section on a side far from the semiconductor chip bonded on a mounting substrate. On the lead, a groove, which opens on a bonding surface to the mounting substrate and on an end surface on a side far from the semiconductor chip, is formed over the entire width, which orthogonally intersects with the thickness direction and is along the end surface. In the groove, an embedding body composed of a solder is embedded.

(57) 要約: ばりに起因する実装不良の発生を防止することができる、半導体装置およびリードフレーム、ならびにそのリードフレームを用いた半導体装置の製造方法を提供する。半導体装置は、半導体チップと、半導体チップの周囲に配置されて、半導体チップの側面と交差する方向に延び、少なくとも半導体チップから遠い側の端部が実装基板に接合されるリードとを備えている。リードには、実装基板に対する接合面および半導体チップから遠い側の端面で開放される溝が、厚さ方向と直交かつ当該端面に沿う幅方向の全幅にわたって形成されている。そして、溝には、半田からなる埋設体が埋設されている。

WO 2008/105437 A1



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類：
— 國際調查報告書

明 細 書

半導体装置、リードフレームおよび半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置、リードフレームおよび半導体装置の製造方法に関する。

背景技術

[0002] 電子機器の小型化に伴い、QFN(Quad Flat Non-leaded Package)が適用された半導体装置の需要が高まっている。

QFNが適用された半導体装置は、たとえば、MAP(Molded Array Packaging)方式により作製される。MAP方式では、リードフレーム上で複数の半導体チップが封止樹脂により一括して封止された後、1つの半導体チップを備える半導体装置の個体に切り分けられる。

[0003] リードフレームは、たとえば、銅からなる。このリードフレームは、格子状の支持部を備えている。支持部に取り囲まれる各矩形領域内には、矩形のダイパッドと、複数のリードとが形成されている。リードは、ダイパッドの周囲に配置されている。各リードは、基端部が支持部に接続され、遊端部がダイパッドに向けて延びる長尺形状に形成されている。

[0004] 各ダイパッド上に半導体チップがダイボンディングされた後、各半導体チップに形成されている端子とその周囲のリードの上面とがボンディングワイヤを介して接続(ワイヤボンディング)される。すべての半導体チップのワイヤボンディングが完了すると、リードフレームが成形金型にセットされ、そのリードフレーム上のすべての半導体チップが一括して樹脂により封止される。その後、支持部上に設定されたダイシングラインに沿って、ダイシングソーがリードフレームの下面側から入れられ、支持部および支持部上の封止樹脂が除去される。これにより、各リードが支持部から切り離されて、半導体装置の個体が得られる。

[0005] この半導体装置では、各リードの下面が封止樹脂の下面に露出しており、各リードの下面を実装基板(配線基板)上のランドに接合させることにより、実装基板への半導体装置の実装が達成される。QFNが適用された半導体装置では、封止樹脂の側

面からのリードの延伸がないので、QFP (Quad Flat Package) が適用された半導体装置と比較して、実装面積を大幅に低減することができる。

特許文献1:特開2001-257304号公報

発明の開示

発明が解決しようとする課題

[0006] ところが、ダイシングソーにより各リードが支持部から切り離される際に、リードの材料である銅がつられて伸び、リードの端部に下方に伸びるばりを生じることがある。このようなばりが生じていると、ばりが実装基板上のランドに当接して、そのばりの部分で半導体装置が実装基板から浮き上がるため、半導体装置が実装基板に対して傾斜した状態で実装されてしまう。このような実装状態は、周囲の温度変化による実装基板の反りの原因となり、この反りによるリードとランドとの接続不良などの実装不良を生じるおそれがある。

[0007] そこで、本発明の目的は、ばりに起因する実装不良の発生を防止することができる、半導体装置およびリードフレーム、ならびにそのリードフレームを用いた半導体装置の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明の一の局面に係る半導体装置は、半導体チップと、前記半導体チップの周囲に配置されて、前記半導体チップの側面と交差する方向に伸び、少なくとも前記半導体チップから遠い側の端部が実装基板に接合されるリードとを含む。前記リードには、前記実装基板に対する接合面および前記半導体チップから遠い側の端面で開放される溝が、厚さ方向と直交かつ前記端面に沿う幅方向の全幅にわたって形成されており、前記溝には、半田からなる埋設体が埋設されている。

[0009] リードには、実装基板に対する接合面および半導体チップから遠い側の端面(外端面)で開放される溝が形成されている。この溝には、半田からなる埋設体が埋設されている。そのため、リードフレームからリードが切り離される際に、切断刃(たとえば、ダイシングソー)は、リードの外端面および埋設体の端面に接触する。溝がリードの幅方向の全幅にわたって形成されているので、埋設体の材料である半田が切断刃につられて伸びることによるばりを生じても、リードの材料が切断刃につられて伸びることに

よるばりは生じない。半田からなるばりが存在していても、そのばりは半導体装置の実装基板への実装時のリフローにより溶融するので、半導体装置が実装基板に対して傾斜した状態で実装されるおそれはない。よって、半導体装置は、ばりに起因する実装不良の発生を生じない。また、埋設体が半田からなるので、リードと実装基板との接合剤として用いられる半田を埋設体の端面に濡れ上がらせることができ、いわゆる半田フィレットをリードの端面に形成することができる。そのため、リードと配線基板との接合(半田付け)状態を容易に外観検査することができる。

[0010] 本発明の他の局面に係るリードフレームは、半導体チップが一方側の面に搭載されるダイパッドと、前記ダイパッドの周囲に配置されて、前記ダイパッドとの対向方向に伸びるリードと、前記リードの前記ダイパッドから遠い側の端部が接続された支持部とを含む。前記リードには、前記ダイパッドから遠い側の端部における前記一方側と反対側の面に、溝が、当該リードの長手方向と直交かつ厚さ方向と直交する幅方向の全幅にわたって形成されている。

[0011] このリードフレームを用いて、前記ダイパッド上に半導体チップをダイボンディングし、前記半導体チップと前記リードとをボンディングワイヤで電氣的に接続するボンディング工程と、前記ボンディング工程後、前記溝に埋められている前記半田が封止樹脂から露出するように、前記半導体チップを前記リードフレームとともに前記封止樹脂により封止する封止工程と、ダイシングソーを用いた切断により、前記支持部および前記支持部上の前記封止樹脂を除去するダイシング工程とを含む製造方法により、ばりに起因する実装不良の発生を防止することができる半導体装置を製造することができる。

[0012] リードフレームの半導体チップが配置される一方側と反対側の面には、リードのダイパッドから遠い側の端部に、溝が形成されている。この溝は、半田で埋め尽くされている。そのため、支持部および支持部上の封止樹脂を除去するダイシング工程において、ダイシングソーの側面は、リード、溝に埋められた半田および封止樹脂に接触する。溝がリードの幅方向の全幅にわたって形成されているので、溝に埋められた半田がダイシングソーの側面につられて伸びることによるばりを生じても、リードの材料が切断刃につられて伸びることによるばりは生じない。半田からなるばりが存在してい

ても、そのばりは半導体装置の実装基板への実装時のリフローにより溶融するので、半導体装置が実装基板に対して傾斜した状態で実装されるおそれはない。よって、前記の製造方法によれば、ばりに起因する実装不良の発生を防止することができる半導体装置を製造することができる。

[0013] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0014] [図1]図1は、本発明の一実施形態に係る半導体装置の図解的な断面図である。

[図2]図2は、半導体装置の製造に用いられるリードフレームの一部を示す底面図である。

[図3A]図3Aは、半導体装置の製造工程(リードフレームを用意する工程)を示す図解的な断面図である。

[図3B]図3Bは、図3Aの次の工程(半田を埋設する工程)を示す図解的な平面図である。

[図3C]図3Cは、図3Bの次の工程(ボンディング工程)を示す図解的な断面図である。

[図3D]図3Dは、図3Cの次の工程(封止工程)を示す図解的な断面図である。

[図3E]図3Eは、図3Dの次の工程(ダイシング工程)を示す図解的な断面図である。

符号の説明

- [0015]
- 1 半導体装置
 - 2 半導体チップ
 - 3 ダイパッド
 - 4 リード
 - 5 封止樹脂
 - 6 ボンディングワイヤ
 - 9A 下面(接合面)
 - 9B 端面
 - 11 溝

- 12 埋設体
- 21 リードフレーム
- 22 支持部
- 23 溝
- 31 半田
- 32 樹脂
- 33 ダイシングソー

発明を実施するための最良の形態

[0016] 以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の図解的な断面図である。

半導体装置1は、QFNが適用された半導体装置である。この半導体装置1は、半導体チップ2と、この半導体チップ2を支持するダイパッド3と、半導体チップ2と電気的に接続される複数のリード4と、これらを封止する封止樹脂5とを備えている。

[0017] 半導体チップ2は、機能素子が形成されている側の表面(デバイス形成面)を上方に向けた状態で、ダイパッド3上にダイボンディングされている。また、半導体チップ2の表面には、複数個のパッド(図示せず)が、配線層の一部を表面保護膜から露出させることにより形成されている。各パッドは、金細線からなるボンディングワイヤ6を介して、リード4と電気的に接続されている。

[0018] ダイパッド3およびリード4は、後述するように、金属薄板から形成される。

ダイパッド3は、平面視矩形状の本体部7と、本体部7の周囲を取り囲む平面視矩形状の抜け止め部8とを一体的に備えている。

本体部7は、その下面7Aが封止樹脂5の下面5Aから露出している。この封止樹脂5の下面5Aから露出する本体部7の下面7Aには、たとえば、半田めっき層(図示せず)が形成されている。

[0019] 抜け止め部8は、本体部7よりも薄く形成されている。抜け止め部8の上面は、本体部7の上面と面一をなしている。半導体チップ2とともにリード4を樹脂封止した状態では、抜け止め部8の下方に封止樹脂5が回り込むので、ダイパッド3の封止樹脂5からの抜け防止が図られる。

リード4は、ダイパッド3の各側面と直交する各方向における両側に、それぞれ同数ずつ設けられている。ダイパッド3の各側面に対向するリード4は、その対向する側面と平行な方向に等間隔に配置されている。

[0020] 各リード4は、ダイパッド3の側面と直交する方向(ダイパッド3との対向方向)に長尺な平面視矩形状に形成されている。そして、各リード4は、本体部9と、ダイパッド3側の端部に下面側から潰し加工を施すことによって形成された抜け止め部10とを一体的に備えている。

本体部9は、その下面9Aが封止樹脂5の下面5Aから露出し、長手方向の端面9Bが封止樹脂5の側面5Bから露出している。封止樹脂5の下面5Aから露出する本体部9の下面9Aには、半田めっき層(図示せず)が形成されており、この下面9Aは、実装基板(配線基板)上のランドに半田接合される外部端子として機能する。一方、本体部9の上面は、封止樹脂5内に封止されている。この本体部9の上面は、インナーリードとしての役割を担い、ボンディングワイヤ6が接続されている。

[0021] 本体部9の抜け止め部10側と反対側の端部には、下面9Aおよび端面9Bで開放される溝11が、リード4の長手方向と直交かつ厚さ方向と直交する幅方向(端面5Bに沿う方向)の全幅にわたって形成されている。

溝11には、半田からなる埋設体12が埋設されている。この埋設体12は、本体部9の下面9Aと面一をなす下面12Aおよび本体部9の端面9Bと面一をなす端面12Bを有している。また、埋設体12は、下面12Aの端面12B側の端部に、埋設体12の材料である半田が下方に延びることにより形成されるばり13を有している。

[0022] 抜け止め部10は、本体部9よりも薄く形成されている。抜け止め部10の上面は、本体部9の上面と面一をなしている。半導体チップ2とともにリード4を樹脂封止した状態では、抜け止め部10の下方に封止樹脂5が回り込むから、リード4の封止樹脂5からの抜け防止が図られる。

図2は、半導体装置1の製造に用いられるリードフレームの一部を示す底面図である。

[0023] 半導体装置1は、後述するように、リードフレーム21を用いたMAP方式により製造される。

リードフレーム21は、金属(たとえば、銅、42アロイなど)の薄板を加工することにより形成される。このリードフレーム21は、格子状の支持部22と、支持部22に取り囲まれる各矩形領域内に配置されるダイパッド3と、ダイパッド3の周囲に配置される複数のリード4とを一体的に備えている。

[0024] 各リード4は、ダイパッド3側と反対側の端部が支持部22に接続されている。互いに隣り合うダイパッド3の間において、一方のダイパッド3の周囲に配置される各リード4と他方のダイパッド3の周囲に配置される各リード4とは、リード4の長手方向に支持部22を挟んで対向し、一直線状に延びている。そして、支持部22を挟んで対向する各リード4の溝11は、支持部22に溝11と同じ深さおよび幅で形成される溝23により連通している。すなわち、支持部22を挟んで対向する各リード4の端部間には、溝11および溝23がリード4の長手方向に延びる1本の溝として形成されている。なお、図2では、理解しやすいように、溝11および溝23にクロスハッチングを付している。

[0025] 図3A～3Eは、半導体装置1の製造工程を順に示す図解的な断面図である。

半導体装置1の製造工程では、図3Aに示すように、リードフレーム21が用意される。
。なお、図3A～3Eにおいて、リードフレーム21は、その切断面のみが示されている。
。

[0026] まず、図3Bに示すように、リードフレーム21の溝11および溝23に、半田31が埋められる。半田31は、たとえば、めっきにより形成することができる。また、半田31は、ペースト印刷およびリフローにより形成することもできる。さらに、半田31は、ボール状半田を溝11および溝23に配置した後にリフローを行うことにより形成することもできる。

[0027] 次に、図3Cに示すように、リードフレーム21のダイパッド3上に、たとえば、高融点はんだ(融点が260°C以上のはんだ)からなる接合剤(図示せず)を介して、半導体チップ2がダイボンディングされる。つづいて、ボンディングワイヤ6の一端が半導体チップ2のパッドに接続され、ボンディングワイヤ6の他端がリード4の上面に接続(ワイヤボンディング)される。

[0028] すべての半導体チップ2のワイヤボンディングが完了すると、図3Dに示すように、リードフレーム21が成形金型にセットされ、リードフレーム21上のすべての半導体チップ

プ2がリードフレーム21とともに封止樹脂32により一括して封止される。そして、封止樹脂32から露出するリードフレーム21の下面(ダイパッド3の本体部7の下面7A、リード4の本体部9の下面9A)に半田めっき層(図示せず)が形成される。

[0029] その後、図3Eに示すように、リードフレーム21の支持部22上に設定されたダイシングラインに沿って、ダイシングソー33が支持部22の下面側から入れられ、支持部22、支持部22上の封止樹脂32、ならびに支持部22の両側の所定幅の領域に存在するリード4の一部および封止樹脂32が除去される。すなわち、図2に示す二点鎖線で挟まれた帯状領域に存在するリードフレーム21および封止樹脂32が除去される。これにより、各リード4が支持部22から切り離されて、溝11に埋設された半田31が埋設体12となり、切り分けられた封止樹脂32が封止樹脂5となって、図1に示す構造の半導体装置1の個体を得られる。

[0030] このダイシングソー33による切断時(ダイシング時)に、ダイシングソー33の側面は、リード4、半田31(埋設体12)および封止樹脂32(封止樹脂5)に接触する。そのため、溝11に埋められた半田31がダイシングソー33の側面につられて延びることにより、図1に示すように、埋設体12の下面12Aの端面12B側の端部に、ばり13を生じることがある。しかし、溝11がリード4の幅方向の全幅にわたって形成されているので、リード4の材料が切断刃につられて延びることによるばりは生じない。半田からなるばり13が存在していても、そのばり13は半導体装置1の実装基板への実装時のリフローにより溶融するので、半導体装置1が実装基板に対して傾斜した状態で実装されるおそれはない。よって、この半導体装置1は、ばり13に起因する実装不良の発生を生じない。

[0031] また、埋設体12が半田からなるので、リード4と実装基板との接合剤として用いられる半田を埋設体12の端面12Bに濡れ上がらせることができ、いわゆる半田フィレットをリード4の端面に形成することができる。そのため、リード4と配線基板との接合(半田付け)状態を容易に外観検査することができる。

なお、この実施形態では、リードフレーム21において、支持部22を挟んで対向する各リード4の溝11は、支持部22に溝11と同じ深さおよび幅で形成される溝23により連通している。しかしながら、リードフレーム21において、各リード4に形成される溝1

1が支持部22の両側の所定幅の領域(図2に示す二点鎖線で挟まれた帯状領域)に達していれば、支持部22に溝23が形成されなくてもよい。すなわち、ダイシングソー33の側面が溝11に埋め込まれた半田31と接触する長さに溝11が形成されていれば、支持部22に溝23が形成されなくてもよい。

[0032] 以上、本発明の一実施形態を説明したが、本発明は、他の形態で実施することが可能である。たとえば、QFNが適用された半導体装置を取り上げたが、本発明は、SON (Small Outlined Non-leaded Package) など、他の種類のノンリードパッケージが適用された半導体装置に適用することもできる。

また、リードの端面と封止樹脂の側面とが面一に形成された、いわゆるシンギュレーションタイプに限らず、リードが封止樹脂の側面から突出するリードカットタイプのノンリードパッケージが適用された半導体装置に本発明を適用することもできる。

[0033] さらに、ノンリードパッケージに限らず、封止樹脂からリードが突出することによるアウターリードを有するパッケージが適用された半導体装置に本発明を適用することもできる。

さらにまた、半導体装置は、MAP方式に限らず、個々の半導体チップを別個に封止する個別封止法により製造されてもよい。

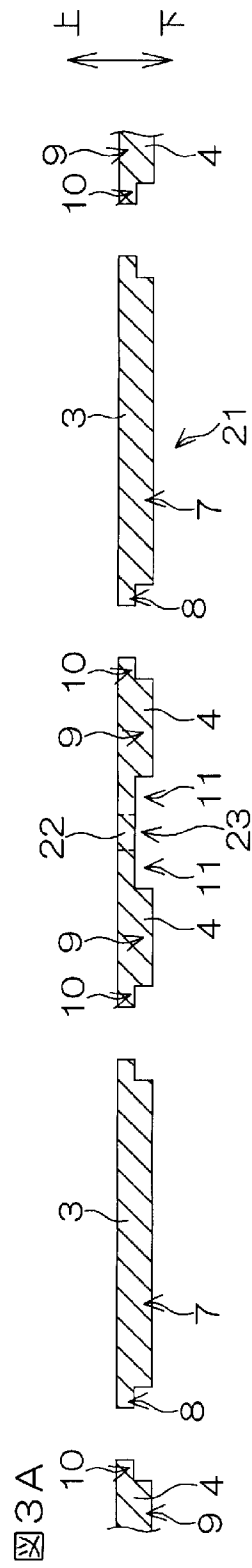
[0034] 本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の精神および範囲は添付の請求の範囲によってのみ限定される。

この出願は、2007年2月27日に日本国特許庁に提出された特願2007-47394号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

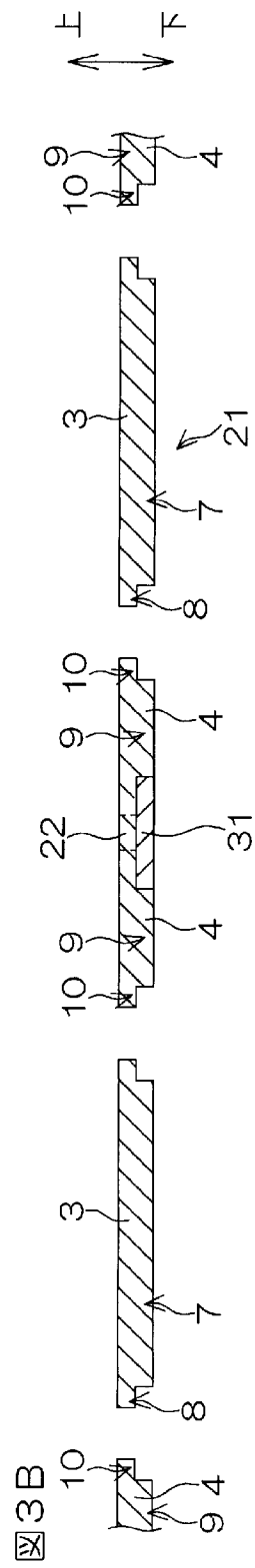
請求の範囲

- [1] 半導体チップと、
前記半導体チップの周囲に配置されて、前記半導体チップの側面と交差する方向に延び、少なくとも前記半導体チップから遠い側の端部が実装基板に接合されるリードとを含み、
前記リードには、前記実装基板に対する接合面および前記半導体チップから遠い側の端面で開放される溝が、厚さ方向と直交かつ前記端面に沿う幅方向の全幅にわたって形成されており、
前記溝には、半田からなる埋設体が埋設されている、半導体装置。
- [2] 前記埋設体は、半田が延びて形成されるばりを有している、請求項1記載の半導体装置。
- [3] 半導体チップが一方側の面に搭載されるダイパッドと、
前記ダイパッドの周囲に配置されて、前記ダイパッドとの対向方向に延びるリードと、
前記リードの前記ダイパッドから遠い側の端部が接続された支持部とを含み、
前記リードには、前記ダイパッドから遠い側の端部における前記一方側と反対側の面に、溝が、当該リードの長手方向と直交かつ厚さ方向と直交する幅方向の全幅にわたって形成されており、
前記溝は、半田で埋め尽くされている、リードフレーム。
- [4] 請求項3記載のリードフレームを用いて、半導体装置を製造する方法であって、
前記ダイパッド上に半導体チップをダイボンディングし、前記半導体チップと前記リードとをボンディングワイヤで電氣的に接続するボンディング工程と、
前記ボンディング工程後、前記溝に埋められている前記半田が封止樹脂から露出するように、前記半導体チップを前記リードフレームとともに前記封止樹脂により封止する封止工程と、
ダイシングソーを用いた切断により、前記支持部および前記支持部上の前記封止樹脂を除去するダイシング工程とを含む、半導体装置の製造方法。

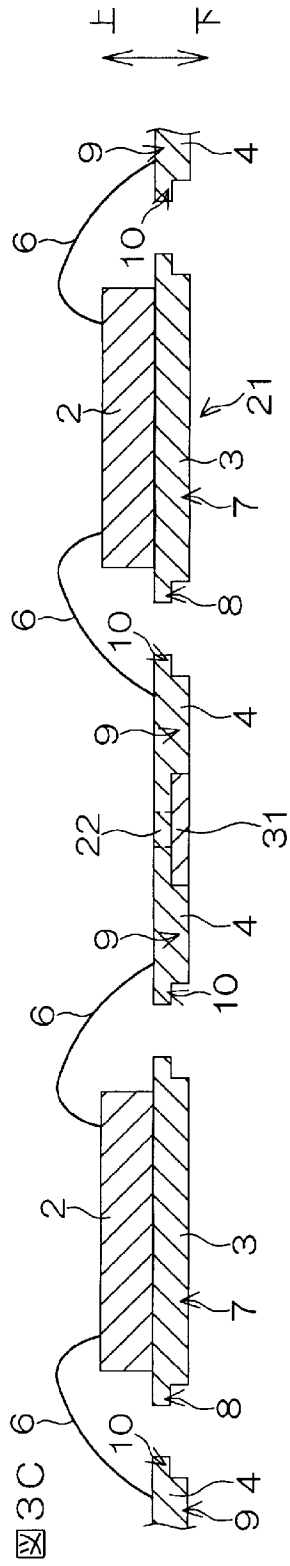
[図3A]



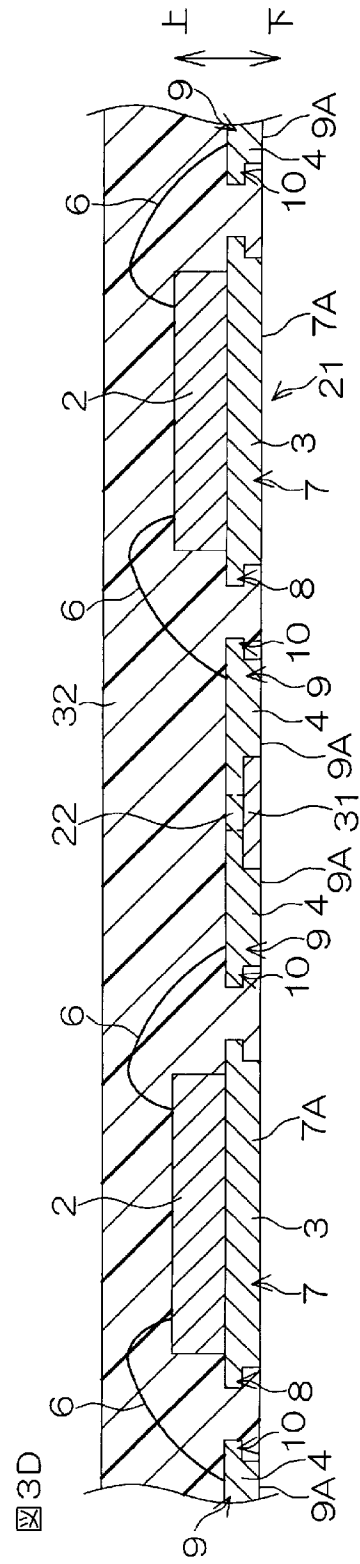
[図3B]



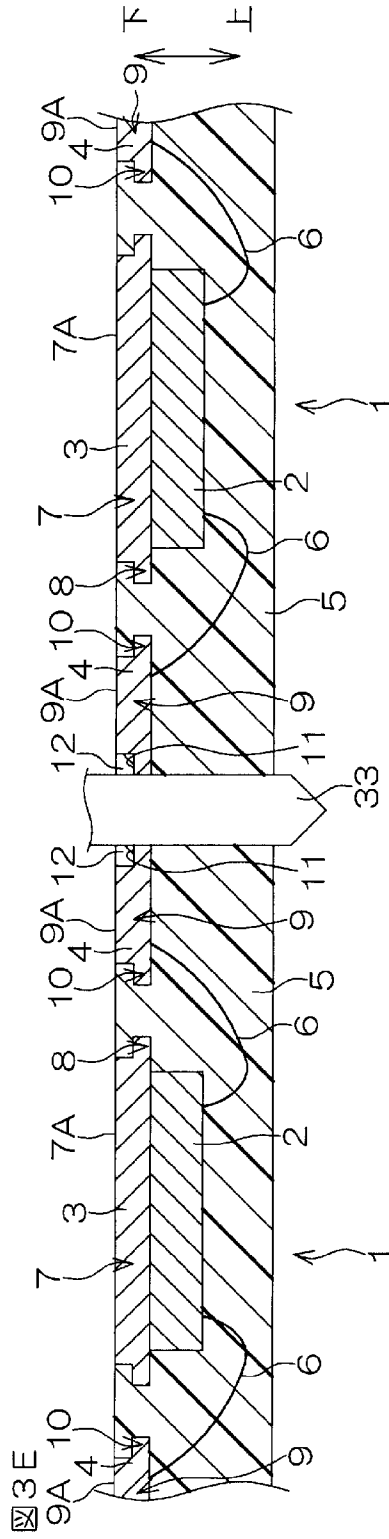
[図3C]



[図3D]



[図3E]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053353

A. CLASSIFICATION OF SUBJECT MATTER H01L23/50 (2006.01) i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L23/50		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2000-294719 A (Hitachi, Ltd.), 20 October, 2000 (20.10.00), Par. Nos. [0019] to [0091] (Family: none)	1, 3 4
Y A	JP 2000-294715 A (Hitachi, Ltd.), 20 October, 2000 (20.10.00), Par. Nos. [0005] to [0010] (Family: none)	4 2
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 23 May, 2008 (23.05.08)		Date of mailing of the international search report 03 June, 2008 (03.06.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L23/50(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L23/50		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2008年 日本国実用新案登録公報 1996-2008年 日本国登録実用新案公報 1994-2008年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-294719 A (株式会社日立製作所) 2000.10.20, 【0019】 ~ 【0091】 (ファミリーなし)	1, 3
Y		4
Y	JP 2000-294715 A (株式会社日立製作所) 2000.10.20, 【0005】 ~ 【0010】 (ファミリーなし)	4
A		2
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 23.05.2008	国際調査報告の発送日 03.06.2008	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 淳一 電話番号 03-3581-1101 内線 3471	4R 9055