

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-506284
(P2010-506284A)

(43) 公表日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/06 (2006.01)	G06F 12/06 515G	5B060
G11C 16/02 (2006.01)	G11C 17/00 601D	5B125
G11C 16/06 (2006.01)	G11C 17/00 631	
G06F 12/00 (2006.01)	G06F 12/00 597U	
	G06F 12/06 515D	

審査請求 未請求 予備審査請求 未請求 (全 28 頁)

(21) 出願番号 特願2009-530969 (P2009-530969)
 (86) (22) 出願日 平成19年10月2日 (2007.10.2)
 (85) 翻訳文提出日 平成21年3月27日 (2009.3.27)
 (86) 国際出願番号 PCT/IB2007/004468
 (87) 国際公開番号 W02008/090409
 (87) 国際公開日 平成20年7月31日 (2008.7.31)
 (31) 優先権主張番号 60/828,144
 (32) 優先日 平成18年10月4日 (2006.10.4)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/866,176
 (32) 優先日 平成19年10月2日 (2007.10.2)
 (33) 優先権主張国 米国 (US)

(71) 出願人 502188642
 マーベル ワールド トレード リミテッド
 バルバドス国 ビービー14027, セントマイケル、ブリトンス ヒル、ガンサイ トロード、エル ホライズン
 (74) 代理人 100104156
 弁理士 龍華 明裕
 (74) 代理人 100118005
 弁理士 飯山 和俊
 (74) 代理人 100143502
 弁理士 明石 英也
 (74) 代理人 100138128
 弁理士 東山 忠義

最終頁に続く

(54) 【発明の名称】 フラッシュメモリ制御インターフェース

(57) 【要約】

【課題】 フラッシュメモリ制御インターフェースを提供する。

【解決手段】 ピンカウントを増やすことなく、マルチデバイスシステムが備える複数のフラッシュメモリデバイスを制御するインターフェース、装置および方法を開示する。一実施形態に係るシステムは、第1および第2のフラッシュメモリデバイスと、メモリコントローラとを備える。第1のメモリデバイスは、メモリコントローラから設定信号を受信して、設定信号から記録信号を第2のメモリデバイスのために生成する。当該記録信号はさらに、複数のメモリデバイスのうち最後のメモリデバイスからメモリコントローラに供給されるとしてもよい。メモリコントローラは、インターフェースを介して複数のメモリデバイスと通信する。当該インターフェースは、各メモリデバイスに接続されている複数のパラレル入出力(I/O)端子と、シリアルに接続されている制御端子とを有する。パラレルI/O端子は通常、データ(パラメータデータを含む)およびコマンドを送信する1以上のデータI/O端子と、クロック信号を受信する

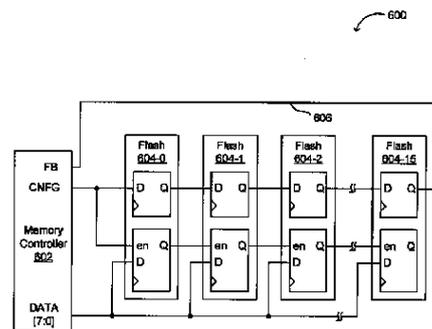


FIG. 6

【特許請求の範囲】**【請求項 1】**

マルチデバイスメモリシステムを設定する方法であって、

1以上のデータ入出力(I/O)端子、クロック信号を受信するクロック端子、およびライトプロテクト信号を受信するライトプロテクト端子を含む複数のパラレルI/O端子と、制御信号を受信する、シリアルに接続されている制御端子とをそれぞれが有する複数のフラッシュメモリデバイスに対する一の前記制御信号をアサートする段階と、

前記複数のフラッシュメモリデバイスのそれぞれについて一意的な識別子を決定する段階と、

前記制御信号がアサートされている予め定められた数のクロックサイクル内で、前記複数のフラッシュメモリデバイスのうち対応するフラッシュメモリデバイスに前記一意的な識別子をシリアルに格納する段階と

を備える方法。

【請求項 2】

前記制御信号は設定制御信号であり、前記設定制御信号は、予め定められた状態の場合または予め定められた移行の場合にアサートされている

請求項 1 に記載の方法。

【請求項 3】

前記制御信号は、予め定められた数のクロックサイクルにわたってアサートされる

請求項 1 に記載の方法。

【請求項 4】

第 1 のフラッシュメモリデバイスにおいて前記クロック信号を用いて前記制御信号を時間シフトさせる段階と、前記第 1 のフラッシュメモリデバイスに隣接する第 2 のフラッシュメモリデバイスに、シフトされた制御信号を供給する段階と

をさらに備える、請求項 3 に記載の方法。

【請求項 5】

前記データ I/O 端子を介して前記複数のフラッシュメモリデバイスのそれぞれにパラメータデータを供給する段階

をさらに備える、請求項 4 に記載の方法。

【請求項 6】

前記クロック信号を用いて前記複数のフラッシュメモリデバイスのそれぞれについて前記パラメータデータを記録する段階

をさらに備える、請求項 5 に記載の方法。

【請求項 7】

前記一意的な識別子を決定する段階は、第 1 のコマンドと時間シフトされた前記設定信号との間のクロックサイクル数をカウントする段階を含む

請求項 4 に記載の方法。

【請求項 8】

前記第 1 のコマンドは、デバイス設定コマンドを含む

請求項 7 に記載の方法。

【請求項 9】

前記複数のフラッシュメモリデバイスのうち 1 つのフラッシュメモリデバイスが、リセットされることなく、前記一意的な識別子を格納した場合、

前記ライトプロテクト信号がアサートされている場合、および/または

1 よりも大きい予め定められた数のクロックサイクルにわたって、前記制御信号がアサートされている場合、

前記複数のフラッシュメモリデバイスのうち前記 1 つのフラッシュメモリデバイスにおいて前記制御信号のアサートを無視する段階

を備える、請求項 1 に記載の方法。

【請求項 10】

10

20

30

40

50

前記複数のフラッシュメモリデバイスのうち最終フラッシュメモリデバイスから得られる、時間シフトされた前記設定制御信号を用いて、前記複数のフラッシュメモリデバイスの数を決定する段階

をさらに備える、請求項 2 に記載の方法。

【請求項 1 1】

前記一意的な識別子は、マルチビットバイナリ列を含む

請求項 1 に記載の方法。

【請求項 1 2】

マルチデバイスメモリシステムを操作する方法であって、

前記システムに備えられた、それぞれが 1 以上のパラレルデータ入出力 (I/O) 端子およびクロック端子を含む複数のフラッシュメモリデバイスが有する、1 以上の制御信号の数に対応する数のシリアルに接続されている I/O 端子において、前記 1 以上の制御信号をアサートする段階と、

10

前記制御信号がアサートされている予め定められた数のクロックサイクル内で、前記パラレルデータ I/O 端子において一意的な識別子を送信することによって前記複数のフラッシュメモリデバイスのうち 1 つのフラッシュメモリデバイスを特定する段階と、

前記データ I/O 端子において前記複数のフラッシュメモリデバイスのうち前記特定された 1 つのフラッシュメモリデバイスに命令を送信する段階と

を備える方法。

【請求項 1 3】

前記命令は、読出コマンド、消去コマンド、またはプログラムコマンドを含む

請求項 1 2 に記載の方法。

20

【請求項 1 4】

前記特定する段階は、前記データ I/O 端子からデバイス識別バイトを供給する段階を含む

請求項 1 2 に記載の方法。

【請求項 1 5】

前記デバイス識別バイトは、前記命令の前記送信に先立つクロック信号のサイクルで供給され、前記クロック信号は前記クロック端子から供給される

請求項 1 4 に記載の方法。

30

【請求項 1 6】

前記複数のフラッシュメモリデバイスのそれぞれに接続されている読出サンプリングクロックを用いて前記命令の結果を同期させる段階

をさらに備える、請求項 1 4 に記載の方法。

【請求項 1 7】

前記命令を送信する段階は、前記複数のフラッシュメモリデバイスとメモリコントローラとを接続するインターフェースを用いる段階を含み、前記インターフェースは、

前記複数のフラッシュメモリデバイスのうち第 1 のフラッシュメモリデバイスに設定信号を送信する設定端子と、

前記複数のフラッシュメモリデバイスにコマンドタイミング信号を送信するコマンド制御端子と、

40

前記複数のフラッシュメモリデバイスのうち 1 つから読出サンプリングクロックを受信する読出クロック端子と

を有する

請求項 1 2 に記載の方法。

【請求項 1 8】

メモリコントローラから設定信号を受信して、前記設定信号から第 1 の記録信号を生成する第 1 のフラッシュメモリデバイスと、

前記第 1 の記録信号を受信して、前記第 1 の記録信号から、前記メモリコントローラに供給される第 2 の記録信号を生成する第 2 のフラッシュメモリデバイスと、

50

インターフェースを介して前記第 1 および第 2 のフラッシュメモリデバイスに接続されている前記メモリコントローラと

を備え、

前記インターフェースは、

前記設定信号を送信する制御端子と、

前記第 1 および第 2 のフラッシュメモリデバイスのそれぞれに接続されている複数のパラレル入出力 (I / O) 端子と

を有し、

前記複数のパラレル I / O 端子は、データ信号を送信する 1 以上のデータ I / O 端子と、クロック信号を受信するクロック端子と、ライトプロテクト信号を受信するライトプロテクト端子とを含む

メモリモジュール。

【請求項 19】

前記第 1 および第 2 の記録信号は、前記第 1 のフラッシュメモリデバイスから前記第 2 のフラッシュメモリデバイスに、そして前記メモリコントローラへと、前記設定信号のパルスをシリアルにシフトさせる

請求項 18 に記載のメモリモジュール。

【請求項 20】

前記第 1 および第 2 のフラッシュメモリデバイスはそれぞれ、前記第 1 および第 2 の記録信号を供給する第 1 の D フリップフロップを有する

請求項 18 に記載のメモリモジュール。

【請求項 21】

前記第 1 および第 2 のフラッシュメモリデバイスはそれぞれ、前記第 1 および第 2 の記録信号のうち対応する記録信号によってイネーブルされるとパラメータデータを記録する第 2 の D フリップフロップを有し、前記パラメータデータは、前記データ I / O 端子から供給される

請求項 20 に記載のメモリモジュール。

【請求項 22】

前記パラメータデータは、一意的な識別子を含む

請求項 21 に記載のメモリモジュール。

【請求項 23】

デバイス設定コマンドと前記第 1 および第 2 の記録信号のうち対応する記録信号との間のクロック数から、一意的な識別子を算出するカウンタロジック

をさらに備える、請求項 19 に記載のメモリモジュール。

【請求項 24】

前記データ I / O 端子は、少なくとも 8 ビットである

請求項 19 に記載のメモリモジュール。

【請求項 25】

前記コントローラはさらに、

前記第 1 のフラッシュメモリデバイスに前記設定信号を送信する設定ロジックと、

前記第 1 および第 2 のフラッシュメモリデバイスにコマンドタイミング信号を送信するコマンド制御ロジックと、

前記第 1 および第 2 のフラッシュメモリデバイスにクロック信号を送信するタイミングロジックと、

前記複数のフラッシュメモリデバイスのうち 1 つから読出サンプリングクロックを受信する読出クロック端子と

を有する

請求項 19 に記載のメモリモジュール。

【発明の詳細な説明】

【関連出願】

10

20

30

40

50

【 0 0 0 1 】

本願は、米国仮特許出願第 6 0 / 7 9 8 , 6 3 0 号 (代理人整理番号 : M P 1 3 1 3 P R 、 出願日 : 2 0 0 6 年 1 0 月 4 日) による恩恵を主張し、当該仮出願の内容はすべて参照により本願に組み込まれる。

【 技術分野 】

【 0 0 0 2 】

本発明は概して、フラッシュメモリデバイス、フラッシュメモリインターフェース、およびフラッシュメモリアーキテクチャに関する。特に、本発明の実施形態は、フラッシュメモリデバイスを制御するためのインターフェース、装置および方法に関連する。

【 背景技術 】

【 0 0 0 3 】

フラッシュEEPROM (Electrically Erasable Programmable Read Only Memory) のようなメモリデバイスが広く利用されるようになってきている。例えば、「ジャンプ」ドライブ (例えば、ユニバーサル・シリアル・バス (USB) 接続用) 、メモリカード等の不揮発性メモリアプリケーションが、カメラ、ビデオゲーム、コンピュータ等の電子デバイスにおいて一般的に用いられている。図 1 は、従来のメモリアレイ編成 1 0 0 を示すブロック図である。例えば、当該メモリアレイは、ビット (例えば、8 ビット深さ 1 0 8) 、バイト (例えば、2 k B 部分 1 0 4 および 6 4 B 部分 1 0 6) 、ページ (例えば、5 1 2 K のページ 1 0 2 、 8 1 9 2 個のブロックに対応) 、およびブロック (例えば、ブロック 1 1 0 、 6 4 個のページに等しい) を単位として編成することができ、本例では 8 M b デバイスを形成している。また、1 ページ 1 1 2 は、部分 1 1 4 (例えば、2 k B + 6 4 B = 2 1 1 2 B = 8 4 0 h) 、および、8 ビットの幅を持つデータ入出力 (I / O) 経路 (例えば、I / O 0 から I / O 7) に対応する部分 1 1 6 として編成され得る。

【 0 0 0 4 】

この種のフラッシュメモリは、「NAND」型と呼ばれることもあり、通常は「NOR」型フラッシュメモリに比べて、消去時間および書込時間が短くてすみ、密度が高く、1 ビット当たりのコストが低く、耐久性が高い。しかし、NAND型フラッシュI/Oインターフェースでは通常、データに対してシーケンシャルアクセスしか実現できない。

【 0 0 0 5 】

図 2 A は、従来の読出動作 2 0 0 を示すタイミングチャートである。以下で表 1 に示すように、NANDフラッシュインターフェースでは、さまざまなピン機能を指定ピンに対応させることができる。

【 表 1 】

ピン	ピン機能
I / O [7 : 0]	データ入出力
C L E	コマンドラッチイネーブル
A L E	アドレスラッチイネーブル
C E _	チップイネーブル
R E _	リードイネーブル
W E _	ライトイネーブル
W P _	ライトプロテクト
R / B _	レディー/ビジー 出力

【 0 0 0 6 】

図 2 A から分かるように、W E _ がパルス状で与えられることによって (例えば、2 5 n s 周期) 、デバイスでは行アドレス (例えば、R A 1 、 R A 2 、 および R A 3) 情報および列アドレス (例えば、C A 1 および C A 2) 情報をラッチしている。図示されているコマンド「0 0 h」は読出アドレス入力を示し、コマンド「3 0 h」は読出開始を示すと

してもよい。パルス状で与えられている $RE_$ にしたがって、データである $Dout_N$ 、 $Dout_N+1$ 、 $Dout_N+2$ 、 \dots 、および $Dout_M$ を当該デバイスから読み出すことができる。また例えば、信号 $R/B_$ は、論理値 LOW の状態では出力がビジー状態であることを示し、 $WE_$ の最後の立ち上がりエッジの後で所定の時間が経過すると論理値 $HIGH$ になるとしてもよい。データ入出力ピン（例えば、 $I/O[7:0]$ ）における行アドレスおよび列アドレスの多重化は、以下の表 2 に示すとおりであるとしてもよい。

【表 2】

サイクル	I/O [0]	I/O [1]	I/O [2]	I/O [3]	I/O [4]	I/O [5]	I/O [6]	I/O [7]
第 1 サイクル 列アドレス	A0	A1	A2	A3	A4	A5	A6	A7
第 2 サイクル 列アドレス	A8	A9	A10	A11	L	L	L	L
第 3 サイクル 行アドレス	A12	A13	A14	A15	A16	A17	A18	A19
第 4 サイクル 行アドレス	A20	A21	A22	A23	A24	A25	A26	A27
第 5 サイクル 行アドレス	A28	A29	A30	L	L	L	L	L

10

【0007】

20

例えば、より高位のアドレスビットを使用するほど、アドレス指定対象のメモリ装置を大きくすることができる（例えば、 $A30$ は 2 Gb 用、 $A31$ は 4 Gb 用、 $A32$ は 8 Gb 用、 $A33$ は 16 Gb 用、 $A34$ は 32 Gb 用、および $A35$ は 64 Gb 用である）。

【0008】

図 2 B は、従来のページプログラミング動作 220 を示すタイミングチャートである。ここで、コマンド「80h」は、シリアルデータ（例えば、 $Din_N \dots Din_M$ ）の入力を示すとしてもよい。コマンド「10h」は、ステータス読出（コマンド「70h」）が後に続く、オートプログラミングを示すとしてもよい。 $I/O[0] = '0'$ は、エラーが無い状態を示し、 $I/O[0] = '1'$ はオートプログラミングでのエラー発生を示すとしてもよい。また、信号 $R/B_$ は、 LOW の場合にビジー状態を示すとしてもよく、ビジー状態は通常、数百 μs のオーダーの時間継続する。また、 $RE_$ の立ち上がりエッジは、所定の時間（一例では 60 ns）の間隔を空けて、 $WE_$ の立ち上がりエッジに続くとしてもよい。

30

【0009】

図 2 C は、従来のブロック消去動作を示すタイミングチャート 240 である。コマンド「60h」はブロック消去動作を示すとしてもよく、シーケンシャルな行アドレス（例えば、 $RA1$ 、 $RA2$ 、および $RA3$ ）が与えられる。コマンド「D0h」は、2 サイクル目のブロック消去動作を示すとしてもよい。ブロック消去動作は、ステータス読出（コマンド「70h」）によってチェックすることができる。ここで、 $I/O[0] = '0'$ は、エラーが無い状態を示し、 $I/O[0] = '1'$ はブロック消去動作でのエラー発生を示すとしてもよい。信号タイミングの例を挙げると、信号 $R/B_$ は通常約 1 ミリ秒のオーダーの期間中 LOW であり（所定の最大値あり）、 $RE_$ の立ち上がりエッジは $WE_$ の立ち上がりエッジの後に発生し、コマンド「D0h」に対応する $WE_$ の立ち上がりエッジから $R/B_$ の立ち下がりエッジの間は約 100 ns であってもよい。

40

【0010】

共通パッケージ内に複数のチップまたはデバイスを含む従来のフラッシュメモリ装置（例えば、ハイブリッドドライブ）では、さまざまなフラッシュメモリチップにアクセスするためには複数のチップイネーブル（ $CE_$ ）ピンが必要となり得る。特にメモリ構造が大きくなると、このように複数のイネーブルピンを設けると、制御ロジックがかなり複雑になると共に、占有するチップ面積がかなり大きくなってしまふ場合がある。このため、

50

ピンカウントを大きくすることなく、複数のフラッシュメモリチップまたはデバイスに対するアクセス（例えば、プログラミングおよび読出）を制御できるようになることが望まれている。

【発明の概要】

【課題を解決するための手段】

【0011】

本発明の実施形態は、フラッシュメモリデバイスを制御するインターフェース、装置および方法に関する。1つの側面に係る、マルチデバイスメモリシステムを設定する方法は、複数のフラッシュメモリデバイスに対する一の制御信号をアサートする段階と、前記複数のフラッシュメモリデバイスのそれぞれについて一意的な識別子を決定する段階と、前記制御信号がアサートされている予め定められた数のクロックサイクル内で、前記複数のフラッシュメモリデバイスのうち対応するフラッシュメモリデバイスに前記一意的な識別子をシリアルに格納する段階とを備える。当該システムが備える前記複数のフラッシュメモリデバイスはそれぞれ、複数のパラレルI/O端子と、前記制御信号を受信する、シリアルに接続されている制御端子とを有する。複数のパラレルI/O端子は、1以上のデータ入出力（I/O）端子、クロック信号を受信するクロック端子、およびライトプロテクト信号を受信するライトプロテクト端子を含む。複数のパラレルI/O端子はさらに、コマンドタイミング信号を受信するコマンド制御入力端子、特定されるフラッシュメモリデバイスから割り込み信号を送信する割り込み端子、および/または、特定されるフラッシュメモリデバイスからメモリコントローラに読出サンプリングクロックを送信する読出クロック出力端子を含むとしてもよい。最終フラッシュメモリデバイスから得られる、時間シフトされた制御信号を用いて、設定されるべきフラッシュメモリデバイスの数を決定するとしてもよい。一意的な識別子は通常、マルチビットバイナリ列を含む。別の実施形態によると、一意的な識別子はそれぞれ、複数のフラッシュメモリデバイスのうち対応するフラッシュメモリデバイスの予約メモリ部分にシリアルに格納されるとしてもよく、および/または、当該方法はさらに、複数のフラッシュメモリデバイスのそれぞれからそれぞれの一意的な識別子を読み出す段階を備えるとしてもよい。

【0012】

当該方法のさまざまな実施形態によると、前記制御信号は設定制御信号であってよく、前記制御信号は、予め定められた状態である場合または予め定められた移行の場合にアサートされている。一実施例によると、制御信号がアサートされている期間は、約1クロックサイクルである。当該方法はさらに、当該システムにおける所与のメモリデバイス設定処理を制御し得るデバイス設定コマンド等のコマンドを送受信する段階を備えるとしてもよい。例えば、あるコマンドは、複数のフラッシュメモリデバイスのうち1以上（例えばそれぞれ）から一意的な識別子を読み出すことを含むとしてもよい。

【0013】

別の実施形態によると、当該方法はさらに、第1のフラッシュメモリデバイスにおいて前記クロック信号を用いて前記制御信号を時間シフトさせる段階と、前記第1のフラッシュメモリデバイスに隣接する第2のフラッシュメモリデバイスに、シフトされた制御信号を供給する段階とをさらに備えるとしてもよい。変形例を1つ挙げると、一意的な識別子の決定は、前記データI/O端子を介して前記複数のフラッシュメモリデバイスのそれぞれにパラメータデータを供給することによってなされるとしてもよく、および/または、前記クロック信号を用いて前記複数のフラッシュメモリデバイスのそれぞれについて前記パラメータデータの少なくとも一部分を記録および/または格納することによってなされるとしてもよい。複数のフラッシュメモリデバイスにおいて、隣接するフラッシュメモリデバイスから受信する、時間シフトされた設定制御信号に基づいて、パラメータデータを記録するとしてもよい。これに代えて、一意的な識別子は、記録されるパラメータデータの少なくとも一部分を一意的な識別子として格納することで決定されるとしてもよいし、および/または、第1のコマンドと時間シフトされた設定信号との間のクロックサイクル数をカウントすることで決定されるとしてもよい。

10

20

30

40

50

【0014】

当該メモリデバイス設定方法によると、前記複数のフラッシュメモリデバイスのうち1つのフラッシュメモリデバイスが、リセットされることなく、前記一意的な識別子を格納した場合、前記ライトプロテクト信号がアサートされている場合、および/または、予め定められた数のクロックサイクルにわたって、前記制御信号がアサートされている場合、前記複数のフラッシュメモリデバイスのうち前記1つのフラッシュメモリデバイスにおいて前記制御信号を無視することができる。一実施例によると、予め定められた数は1よりも大きい。また、一意的な識別子はそれぞれ、フラッシュメモリデバイスの予約メモリ部分に格納されるとしてもよい。

【0015】

本発明の別の側面は、マルチデバイスメモリシステムが備える複数のフラッシュメモリデバイスのそれぞれにおいて、1以上の制御信号を、対応する数のシリアルに接続されているI/O端子においてアサートする段階と、前記制御信号がアサートされている予め定められた数のクロックサイクル内で、データI/O端子において一意的な識別子を送信することによって前記複数のフラッシュメモリデバイスのうち1つのフラッシュメモリデバイスを特定する段階と、前記データI/O端子において前記特定された1つのフラッシュメモリデバイスに命令を送信する段階とを備えるマルチデバイスメモリシステムを操作する方法に関する。一般的に、前記複数のフラッシュメモリデバイスはそれぞれ、複数のパラレルデータI/O端子およびクロック端子を有する。

【0016】

当該マルチデバイスメモリシステム操作方法のさまざまな実施形態によると、前記命令は、読出コマンド、消去コマンド、またはプログラムコマンドをさらに含むとしてもよい。メモリのうち1つを特定する段階は、前記データI/O端子からデバイス識別バイトを供給する段階を含むとしてもよい。ある実施例によると、前記デバイス識別バイトは、前記命令の前記送信に先立つクロックサイクルで供給され、前記クロック信号は前記クロック端子から供給される。当該マルチデバイスメモリシステム操作方法はさらに、前記複数のフラッシュメモリデバイスのそれぞれに接続されている読出サンプリングクロックを用いて前記命令の結果を同期させる段階をさらに含むとしてもよい。別の実施例によると、命令は、前記複数のフラッシュメモリデバイスとメモリコントローラとを接続するインターフェースを用いて送信されるとしてもよく、当該インターフェースは、前記複数のフラッシュメモリデバイスのうち第1のフラッシュメモリデバイスに設定信号を送信する設定端子と、前記複数のフラッシュメモリデバイスにコマンドタイミング信号を送信するコマンド制御端子と、前記複数のフラッシュメモリデバイスのうち1つから読出サンプリングクロックを受信する読出クロック端子とを有する。

【0017】

上記装置は、メモリモジュールに関する。当該メモリモジュールは、メモリコントローラから設定信号を受信して、前記設定信号から第1の記録信号を生成する第1のフラッシュメモリデバイスと、前記第1の記録信号を受信して、前記第1の記録信号から、第2の記録信号を生成する第2のフラッシュメモリデバイスと、インターフェースを介して前記第1および第2のフラッシュメモリデバイスに接続されている前記メモリコントローラとを備える。当該インターフェースは、前記設定信号を送信する制御端子と、前記第1および第2のフラッシュメモリデバイスのそれぞれに接続されている複数のパラレル入出力(I/O)端子とを有する。複数のパラレルI/O端子は通常、設定信号およびデータ信号を送信する1以上のデータI/O端子と、クロック信号を受信するクロック端子と、ライトプロテクト信号を受信するライトプロテクト端子とを含む。一部の実施例によると、前記データI/O端子は、少なくとも8ビットである。別の実施例によると、パラレルI/O端子はさらに、コマンドタイミング信号を受信するコマンド制御入力端子、特定されるフラッシュメモリデバイスからメモリコントローラに読出サンプリングクロックを送信する読出クロック出力端子、および/または、特定されるフラッシュメモリデバイスから割り込み信号を送信する割り込み端子を含むとしてもよい。

10

20

30

40

50

【0018】

さまざまな実施形態によると、前記第1および第2の記録信号は、前記第1のフラッシュメモリデバイスから前記第2のフラッシュメモリデバイスに、そして前記メモリコントローラへと、前記設定信号のパルスをシリアルにシフトさせている。前記第1および第2のフラッシュメモリデバイスはそれぞれ、前記第1および第2の記録信号を供給する第1のDフリップフロップを有する。前記第1および第2のフラッシュメモリデバイスはそれぞれ、前記第1および第2の記録信号のうち対応する記録信号によってイネーブルされるとパラメータデータを記録する第2のDフリップフロップを任意で有し、前記パラメータデータは、前記データI/O端子から供給される。前記パラメータデータは、一意的な識別子を含むとしてもよい。

10

【0019】

別の実施形態によると、当該メモリモジュールはさらに、デバイス設定コマンドと前記第1および第2の記録信号のうち対応する記録信号との間のクロック数から、一意的な識別子を算出するカウンタロジックを備えるとしてもよい。このような設定に加えて、またはこのような設定に代えて、前記コントローラはさらに、前記第1のフラッシュメモリデバイスに前記設定信号を送信する設定ロジック、前記第1および第2のフラッシュメモリデバイスにコマンドタイミング信号を送信するコマンド制御ロジック、前記第1および第2のフラッシュメモリデバイスにクロック信号を送信するタイミングロジック、および/または、前記複数のフラッシュメモリデバイスのうち1つから読出サンプリングクロックを受信する読出クロック端子を有する。一実施例によると、コマンドタイミング信号は、一意的な識別子を供給する場合に、データI/O端子をディセーブルまたはスリー・ステート化するよりも予め定められた数のクロックサイクル数（例えば、1サイクル）だけ前にデアサートされる。

20

【0020】

本発明によれば、ピンカウントを増やすことなく、マルチデバイスシステムが備える複数のフラッシュメモリデバイスを設定および操作するインターフェース、装置および方法を実現するという効果が得られる。こういった本発明の効果は、それ以外の利点と共に、以下の好ましい実施形態の詳細な説明から容易に明らかとなる。

【図面の簡単な説明】

【0021】

30

【図1】従来のメモリアレイ編成を示すブロック図である。

【0022】

【図2A】従来の読出動作を示すタイミングチャートである。

【0023】

【図2B】従来のページプログラミング動作を示すタイミングチャートである。

【0024】

【図2C】従来のブロック消去動作を示すタイミングチャートである。

【0025】

【図3】本発明の実施形態に係る利用に適しているハイブリッドドライブ装置の一例を示すブロック図である。

40

【0026】

【図4】本発明の実施形態に係る信号接続装置の一例を示すブロック図である。

【0027】

【図5】本発明の実施形態に係るコマンドシーケンスの一例を示すタイミングチャートである。

【0028】

【図6】本発明の実施形態に係るフラッシュメモリチップおよびメモリコントローラ装置の一例を示すブロック図である。

【0029】

【図7】本発明の実施形態に係るデバイス設定の一例を示すタイミングチャートである。

50

【0030】

【図8A】本発明の実施形態に係る消去動作の一例を示すタイミングチャートである。

【0031】

【図8B】本発明の実施形態に係る、バッファ読出のためにホストへバッファデータを送信する動作の一例を示すタイミングチャートである。

【0032】

【図9】本発明の実施形態に係る消去方法の一例を示すフローチャートである。

【0033】

【図10A】本発明を利用し得るシステムの例を示す図である。

【図10B】本発明を利用し得るシステムの例を示す図である。

10

【図10C】本発明を利用し得るシステムの例を示す図である。

【図10D】本発明を利用し得るシステムの例を示す図である。

【図10E】本発明を利用し得るシステムの例を示す図である。

【図10F】本発明を利用し得るシステムの例を示す図である。

【図10G】本発明を利用し得るシステムの例を示す図である。

【発明を実施するための形態】

【0034】

以下に本発明の好ましい実施形態を詳細に記載する。実施形態の例を添付図面に図示する。本発明は好ましい実施形態に基づいて説明するが、本発明がそれらの実施形態に限定されるわけではないと理解されたい。本発明は、特許請求の範囲が定義する発明の目的および範囲に含まれ得る変更、変形および均等物を含むものとする。さらに、以下の本発明の詳細な説明には、本発明を詳細に記載するべく具体的且つ詳細な内容が数多く含まれる。しかし、本発明がそれらの具体的且つ詳細な内容以外に基づいても実施され得ることは当業者には明らかである。また、本発明の側面を不必要にあいまいにってしまうのを避けるべく、公知の方法、手順、構成要素、および回路については詳細には説明しない。

20

【0035】

以下の詳細な説明は一部、コンピュータ、プロセッサ、コントローラおよび/またはメモリにおけるデータビット、データストリームまたは波形に関する演算を象徴的に表現したもの、例えば、プロセス、手順、ロジックブロック、機能ブロックおよび処理について記載している。このような説明および表現は一般的に、データ処理分野の当業者が作業の内容を他の当業者に効率よく伝えるべく利用しているものである。プロセス、手順、ロジックブロック、機能、演算などは、本明細書において、および一般的に、所望および/または期待される結果を導き出す一貫した一連のステップまたは命令であると考えられる。ステップとは通常、物理量の物理的操作を含む。多くの場合、必ずしもそうではないが、こういった物理量は、コンピュータ、データ処理システムまたはロジック回路において格納、伝送、合成、比較および操作され得る電気信号、磁気信号、光学信号または量子信号として表される。主に一般的な用法のために、こういった信号をビット、波、波形、ストリーム、値、要素、シンボル、文字、用語、数などと呼ぶことは時に便利である。

30

【0036】

しかし、上記および同様の用語はすべて適切な物理量と対応付けられており対応する物理量に関する簡便な名称として利用されるのみということを中心に留めておかなければならない。具体的に明記していなければ、および/または、以下の説明から明らかであるように、本願において、「処理」「演算」「算出」「計算」「決定」「操作」「変換」などの用語を用いた記載は、物理量（例えば電子量）として表現されるデータを操作および変換する、コンピュータ、データ処理システム、ロジック回路または同様の処理デバイス（例えば、電氣的、光学的または量子的に算出または処理を行うデバイス）の動作および処理を指すものと推定される。上記の用語は、あるシステムまたはアーキテクチャの構成要素内（例えば、レジスタ、メモリ、情報を格納、伝送または表示するその他のデバイス）での物理量を操作または変換して、同一または別のシステムまたはアーキテクチャの別の構成要素内での物理量として同様に表現される別のデータを得る処理デバイスの動作、演算

40

50

および/またはプロセスを指すものである。

【0037】

また、説明を簡単にする便宜上、「信号」および「波形」という用語は互いに同じ意味で使用され得ると共に、一般的に、使用されている前後の文脈からそうでないと明確に分かる以外には、一方の形式を利用することは他方の形式を利用することを含む。しかし、これらの用語は一般的に、それぞれの技術分野で特別な意味を持つ。「ノード」「入力」「出力」および「ポート」といった用語は、互いに同じ意味で使用され得る。これは「に接続されている」「と接合されている」「に接合されている」「と通信を行う」（これらの用語は、使用されている前後の文脈からそうでないと明確に分かる以外には、接続、接合および/または通信し合う要素間の直接的関係および/または間接的関係を指す）といった用語についても同様である。しかし、これらの用語もまた一般的に、それぞれの技術分野で特有の意味を持つ。

10

【0038】

本発明は、さまざまな側面について、実施形態例を参照しつつ、以下でさらに詳細に説明される。

【0039】

図3は、本発明の実施形態に係る利用に適しているハイブリッドドライブ装置300の一例を示す図である。ホスト302は、ハイブリッドドライブ304内のフラッシュデバイス308とインターフェースで接続されている。フラッシュデバイス308は通常、コントローラ/フラッシュメモリモジュール404を有する(図4および以下の記載を参照のこと)。図3に戻って、さまざまな例によると、ホスト302とフラッシュデバイス308との間のインターフェースには、SATA(シリアル・アドバンスド・テクノロジー・アタッチメント)インターフェースまたはPATA(パラレルATA)インターフェースなどがあるとしてもよい。ハイブリッドドライブ304はさらに、中央演算処理装置(CPU)310、読出チャンネル312、およびバッファメモリ(例えば、DRAM(ダイナミックランダムアクセスメモリ))306を有するとしてもよい。例えば、CPU310は、従来のマイクロプロセッサ、(デジタル)シグナルプロセッサ(例えばDSP)、またはマイクロコントローラを有するとしてもよい。読出チャンネル312は、従来の読出チャンネルデータ転送処理ブロック(例えば、1以上のポート、信号検出器、符号器、復号器、インターリーバ、デインターリーバ、エラー検出訂正(ECC)算出器、および/または比較器等)を有するとしてもよい。DRAM306は、約2Mbから約8Mbのメモリを有するとしてもよい。具体的な実施形態におけるこのようなフラッシュメモリ/コントローラモジュールは、ハイブリッドドライブ304で利用するとしてもよいし、または任意の適切なソリッド・ステート・ドライブ(SSD)で利用するとしてもよい。ハードディスクを用いる場合に比べて、ハードドライブでフラッシュメモリを利用すると、(i)ブート時間およびレジューム時間が短くなり、(ii)バッテリー寿命が長くなり(例えば、ワイヤレスアプリケーションにおいて)、(iii)データ信頼性が高くなるという利点がある。

20

30

【0040】

図4は、本発明の実施形態に係る信号接続装置400の一例を示す図である。ホスト402は、メモリコントローラ/フラッシュメモリモジュール404とインターフェースで接続されるとしてもよい。ホスト402とメモリコントローラ406との間のインターフェースは、従来通りであってよい(例えば、図2Aから図2Cおよび/または表1で示す信号用のピンおよび/または端子、または、当該ピンおよび/または端子のサブセットを含む)。メモリコントローラ406は、各信号ピンまたは端子を介して、図示するように、複数のフラッシュメモリデバイス(例えば、フラッシュメモリチップ408-Aおよびフラッシュメモリチップ408-B)に接続されるとしてもよい。一部の実施形態によると、メモリコントローラ406は、特定用途向け集積回路(ASIC)またはシステムオンチップ(SOC)として実装されるとしてもよい。また、信号CNFGは、フラッシュデバイス408-Aおよび408-B上の回路を通り、シリアル接続されるとしてもよい

40

50

。表 3 は、従来の NAND フラッシュインターフェースに対比させて、本発明の実施形態に係る、メモリコントローラ 406 とフラッシュメモリデバイス 408 - A および 408 - B との間のインターフェースにおける信号用のピンまたは端末の説明を示す（例えば、「メモリコントローラ」と示される列を参照されたい）。「入/出」は、信号が、メモリコントローラ 406 において、入力信号であるか、出力信号であるか、または両方であるかを指し示す。

【表 3】

NANDフラッシュ	メモリコントローラ	入/出	説明
データ入出力 I/O [7:0]	DATA [7:0]	入/出	8ビットデータの入出力
コマンドラッチイネーブル CLE	SYNC_N	出	コマンドタイミング信号
アドレスラッチイネーブル ALE	REF_CLK	出	フラッシュIPブロック用のクロック
チップイネーブル CE_			
リードイネーブル RE_	RD_CLK	入	読出データCH0-CH3に対するサンプリングクロック、データバイトに対するキャプチャクロック
ライトイネーブル WE_	CNFG	出	チップ設定
ライトプロテクト WP_	WP_N	出	ライトプロテクト
レディー/ビジー出力 R/B_	INT_N	入 OD	PRG/ERASEコマンドに対する割り込み、メモリコントローラに対するプルアップ
RESET_N	RESET_N	出	

10

20

30

40

50

【0041】

図 5 は、本発明の実施形態に係るコマンドシーケンスの一例を示すタイミングチャート 500 である。メモリコントローラから、ライトプロテクト (WP_N)、コマンドタイミング信号 (SYNC_N)、フラッシュ用クロック (REF_CLK)、およびチップ設定 (CNFG) が供給され得る。コマンドタイミング信号 SYNC_N は、データバスのスリー・ステート化の 1 サイクル前に、HIGH になるとしてもよい。フラッシュからは、読出データ用のサンプリングクロックまたはデータバイト用のキャプチャクロック (RD_CLK) および PRG/ERASE コマンドに対する割り込み (INT_N) が供給され得る。メモリコントローラまたはフラッシュのいずれかから、入出力データ (DATA [7:0]) が供給され得る。

【0042】

図 5 に示した例によると、SYNC_N はコマンドシーケンスを開始するためのタイミング信号を示すとしてもよい。適切に初期設定されると、3つの信号が、フラッシュデバイスの制御において最も重要になり得る（例えば、SYNC_N、REF_CLK、および RD_CLK）。DATA [7:0] ピンでは、「I」がフラッシュ識別番号 (ID)

を示し、「C」がコマンドバイトを示し、「P」がパラメータを示し、「D」がメモリコントローラからのデータバイトを示し、「F」はフラッシュデータバイトまたはフラッシュデバイスからのアナログ読出データを示すとしてもよい。コマンドバイトは通常、IDバイトの後に配置され、特定のコマンドが関連するフラッシュメモリデバイスを指定するとしてもよい。メモリコントローラに接続されている各フラッシュデバイスにブロードキャストすることは、指定されたIDバイトを介して、供給され得る。コマンドバイトの例を表4に示す。表4では、各「x」が別個に特定のコマンドに割り当てられる16進数の値を表す。

【表4】

コマンドバイト	コマンド
xxh	プログラミング
xxh	バッファ書込
xxh	プログラミング実行
xxh	読出
xxh	バッファ読出
xxh	ステータス読出
xxh	ID読出
xxh	デバイス設定
xxh	設定
xxh	エラー情報読出
xxh	消去
xxh	リセット

10

20

【0043】

パラメータバイトは、通常はコマンドバイトの後に配置され、その総数は特定の対応付けられたコマンドに応じて決まるとしてもよい。続いて、データバイトは、通常はパラメータバイトの後に配置され、その総数も特定の対応付けられたコマンドによって定義されるとしてもよい。さらに、データバイトは通常、プログラミングコマンドまたはバッファ書込みコマンドに対するデータを提供し得る。フラッシュデータバイト（つまり、フラッシュメモリデバイスから出力されるもの）は、通常はその後方にコマンドバイトまたはパラメータバイトが配置されており、その総数は特定の対応付けられているコマンドによって定義されるとしてもよい。さらに、フラッシュデータバイトは通常、バッファ読出コマンド、データ読出コマンド、ステータス読出コマンド、ID読出コマンドまたは読出データ送信コマンドに対するデータであってよい。

30

【0044】

リセットコマンドは、コマンドをアボートするように、および/または、対応付けられている（または特定されている）フラッシュメモリデバイスをリセットするように、コントローラ/フラッシュメモリモジュール（例えば、図4のモジュール404）に命令し得る。フラッシュIDを設定するためのコマンドまたは命令（例えば、デバイス設定コマンド）のコマンド記述例を表5に示す。

40

【表5】

記号	B 7	B 6	B 5	B 4	B 3	B 2	B 1	B 0
I	xxh (ブロードキャスト) のみ							
C	xxh (デバイス設定)							
P (P1 - Pn)	認証バイト							

【0045】

50

I D 読出コマンドは、例えば、認証バイト、製品コード、およびフラッシュメモリデバイスまたはチップの修正を検証し得る。検証コマンドまたは命令（例えば、I D 読出）の記述例を表 6 に示す。

【表 6】

記号	B 7	B 6	B 5	B 4	B 3	B 2	B 1	B 0
I	フラッシュ I D							
C	xxh (I D 読出)							
F 1	製品コード							
F 2	フラッシュチップ修正							
F 3	認証バイト							

10

【0046】

設定コマンドは、割り込みをイネーブルおよび/またはディセーブルして、セルごとのビット数を設定し得る。割り込みイネーブルまたはセル設定のコマンドまたは命令（例えば、設定）の記述例を図 7 に示す。

【表 7】

記号	B 7	B 6	B 5	B 4	B 3	B 2	B 1	B 0
I	フラッシュ I D または xxh (ブロードキャスト)							
C	xxh (設定)							
P 1	D16	MLC			EN_P	IEN_E	IEN_P	IEN_R
	D16: 「1」= 16 ビットデータバス、「0」= 8 ビットデータバス MLC: セル毎のビット数設定 EN_P: 「1」= プログラミングデータのパッキングをイネーブル IEN_E: 「1」= 消去動作完了で割り込みをイネーブル IEN_P: 「1」= プログラミング動作完了で割り込みをイネーブル IEN_R: 「1」= 読出データが準備されると割り込みをイネーブル							

20

30

【0047】

図 6 は、本発明の実施形態に係る、フラッシュメモリチップおよびメモリコントローラ装置の一例を示す装置 600 のブロック図である。例えば、装置 600 または任意の数のフラッシュメモリデバイスを備える変形例は、メモリモジュールを形成するとしてもよい。図 6 に示す具体例によると、メモリコントローラ 602 は、例えば、シリアルに接続されているフラッシュメモリデバイスまたはチップ 604 - 0、604 - 1、604 - 2、
 ・ ・ ・ 604 - 15 と、インターフェースによって接続され得る。メモリコントローラ 602 の C N F G は、図示されているように、1 つのフリップフロップの「D」入力およびフラッシュ 604 - 0 の別のフリップフロップのイネーブル入力に接続され得る。さらに、図示されているように、フリップフロップの出力は互いにシリアルに接続されるとしてもよく、メモリコントローラ 602 からの D A T A [7 : 0] はフリップフロップの「D」入力に接続されるとしてもよい。

40

【0048】

このようにして、スキャンチェーンまたはシリアル接続装置を形成することができ、フィードバック 606 がメモリコントローラ 602 の F B に接続される。C N F G は、チェーンを通過してフィードバック 606 を介して戻り得る。各フリップフロップは、R E F _ C L K (図 6 には図示されていないが、図 7 を参照しつつ以下で説明する) に同期して

50

、時間シフトさせた設定信号（以下では時間シフト設定信号と呼ぶ）をチェーン内の後続のフラッシュメモリデバイスに与えるとしてもよい。このため、C N F Gパルスがメモリコントローラ602に戻る前に発生するR E F _ C L Kサイクルの数に基づいて、特定の装置またはメモリモジュールに設けられるフラッシュデバイスの数を決定するとしてもよい。また、再設定が必要な場合、リセット動作（例えば、図4に示したR E S E T _ N信号を用いる）をまず実行するとしてもよい。

【0049】

図7は、本発明の実施形態に係るデバイス設定動作の一例を示すタイミングチャート700である。ライトプロテクト信号および/または同期信号がアサート状態に移行すると、フラッシュデバイス識別バイト（例えば、フラッシュIDまたは「I」バイト）およびコマンドバイト（例えば、「C」バイト）を、コントローラからフラッシュメモリデバイスに送信する。図示するように、フラッシュIDバイトおよびコマンドバイトが与えられた後、C N F Gが1サイクルの間移行する（例えば、バイナリロジック状態で「HIGH」に移行する）と、認証データ「P」を与えるとしてもよい。また、同期（または、コマンドタイミング）信号S Y N C _ Nは、認証データの最後の部分よりも1サイクル前に移行する（例えば、バイナリロジック状態で「HIGH」に移行する）としてもよい。一部の実施形態によると、このような認証データは、部分単位で、最長でR E F _ C L Kの16サイクルの間、与えられるとしてもよい。また、デバイス設定コマンド（例えば、コマンドA0h）は、（i）特定のフラッシュメモリデバイスが既に設定されている場合、（i i）ライトプロテクト信号がアサートされていない場合（例えば、W P _ N = 「0」）、（i i i）設定信号（例えば、C N F G）がアサートされていない、および/または（i v）設定信号がクロック周期2つ以上の期間にわたってアサートされている場合、または別々に2回アサートされた場合には、特定のフラッシュメモリデバイスによって無視されるとしてもよい。

【0050】

システムが備える各フラッシュメモリデバイスの設定について、「I」バイトは、後続のデバイス設定コマンドが、デバイスIDを始めとするその他の設定情報を格納する準備として、各デバイスによって受信され得るように、ブロードキャストコマンドであってもよい。各フラッシュデバイスIDは、各フラッシュメモリデバイス内の予約メモリ部分に格納され得る。さらに、各デバイスは、デバイス設定コマンドのアサート時と所定のフラッシュメモリデバイスにおける時間シフト設定信号の受信時との間のクロックサイクル数をカウントすることによって、自身のIDを求めるとしてもよい。例えば、フラッシュメモリデバイス604-0は、C F N G信号はデバイス設定コマンドが発行されてから1サイクル後にアサートされているので、自身にフラッシュID「0000」を割り当てるとしてもよい。フラッシュメモリデバイス604-1は、デバイス設定コマンド発行時と時間シフト設定信号のフラッシュメモリデバイス604-1への到達時（信号がデバイス604-0に到達して1サイクル後）との間に2サイクルの差があるので、自身に「0001」というIDを割り当てるとしてもよい。このようにして、IDを割り当てていく。これに代えて、単にパラメータデータバイトが、メモリコントローラから各フラッシュメモリデバイスのIDを与えるとしてもよい。

【0051】

図8Aは、本発明の実施形態に係る、複数のフラッシュメモリデバイスのうち1つにおけるデータ消去動作の一例を示すタイミングチャート720である。このような消去動作を実行する場合は、ライトプロテクト信号（例えば、W P _ N）は動作期間の略すべてにわたってアサートするが、同期信号（例えば、S Y N C _ N）はタイミング信号の限定サイクル数（例えば、R E F _ C L Kの1サイクル）にわたってアサートするとしてもよい。消去コマンド（例えば、D0h）が与えられると、後続のサイクルではパラメータバイトP1、P2およびP3が続く。さらに、消去割り込み（I N T _ N）が、コマンドバイト「C」に先立って与えられたフラッシュ識別バイト「I」が指し示す特定のフラッシュデバイスによって与えられるとしてもよく、I N T _ NはL O Wに移行して消去動作の完

10

20

30

40

50

了を示すとしてもよい（例えば、 $IEN_E = 「1」$ ）。

【0052】

図8Bは、本発明の実施形態に係る、バッファ読出のためにホストへバッファデータを送信する動作の一例を示すタイミングチャート780である。バッファ読出動作を実行するためには、ライトプロテクト信号（例えば、 WP_N ）は動作期間のすべてにわたってアサートするが、同期信号（例えば、 $SYNC_N$ ）はタイミング信号の限定サイクル数（例えば、 REF_CLK の1サイクル）にわたってアサートするとしてもよい。バッファ読出コマンド（例えば、32h）が与えられると、1サイクル後に、フラッシュデータバイトF1、F2およびFnが続く。フラッシュデータバイト（F1 - Fn）は、アナログ出力RDP0/RDN0 - RDP3/RDN3（8ビットバス）またはRDP0/RDN0 - RDP7/RDN7（16ビットバス）で与えられるとしてもよい。これらのデータバイトを同期させるべく、読出タイミング信号（例えば、 RD_CLK ）が、コマンドバイト「C」に先立って与えられたフラッシュ識別バイト「I」が指し示す特定のフラッシュデバイスによって与えられるとしてもよい。また、 $IEN_R = 「1」$ の場合に INT_N はLOWで、読出データが準備されると割り込みがイネーブルされる。

10

【0053】

図9は、本発明の実施形態に係る消去方法の一例を示すフローチャート800である。当該フローはステップ802で開始され、ステップ804で、コントローラによって、またはコントローラから、消去コマンドが発行され得る。例えば、消去コマンドはデータ消去動作を実行するとしてもよい。続いて、ステップ806で、コントローラによって、またはコントローラから、読出ステータスコマンドが発行されるとしてもよい。ステップ808で、「動作進行中」(OIP)インジケータがデアサートされる（例えば、 $OIP = 「0」$ ）まで、読出ステータスコマンドが継続するとしてもよい。読出ステータスコマンドは一般的に、（先行する）コマンド、例えば、消去コマンド、プログラムコマンドまたは読出コマンド等のステータスを決定するものである。このようなコマンドのステータスには、エラー無し、コマンド実行中、および/または、1以上のエラー有りまたはエラータイプ等があり、読出ステータス情報を与えるために利用可能なビット数に応じて選択され得る。ステップ808でOIPインジケータがデアサートされると、および/または、ステップ812で割り込みが発生すると、ステップ810で第2の読出ステータスコマンドが発行されるとしてもよい。エラーが発生することなく動作が完了する場合には、「エラー無し」ステータスが示されるとしてもよい。これに代えて、第2の読出ステータスコマンド（810）は、動作（例えば、コマンド実行）中にエラーが発生したか否かに応じて、割り込みをクリアまたはアサートするとしてもよい。エラーが検出される場合（例えば、ステップ814においてエラーインジケータまたはエラーフラグをアサートすることによって）、エラー情報を取得するべく読出エラー情報コマンドが発行されるとしてもよい（ステップ816）。こうして当該フローはステップ818で完了する。エラーが検出されない（ステップ814で $ERR = 「0」$ ）場合、当該フローは完了され得る（ステップ818）。

20

30

【0054】

<本発明に係る回路を用いるシステムの例>

40

本発明の別の側面に係るシステムは、フラッシュメモリデバイスを制御するべく、本発明に係る装置または回路を備えるとしてもよい。本発明のさまざまな実施例を図10Aから図10Gに示す。

【0055】

図10Aを参照すると、本発明はハードディスクドライブ(HDD)900において実現され得る。本発明は、図10Aにおいて902として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方を実施するとしてもよい。実施形態によっては、HDD900の信号処理回路および/または制御回路902および/またはその他の回路（不図示）は、データを処理し、符号化および/または暗号化を行って、演算を実施し、および/または、磁気格納媒体906に対して出力される、および/または

50

、磁気格納媒体 906 から受信されたデータをフォーマットするとしてもよい。

【0056】

HDD900は、コンピュータ、携帯情報端末(PDA)などの携帯用コンピュータデバイス、携帯電話、メディアプレーヤまたはMP3プレーヤなどのホストデバイス(不図示)および/またはそれ以外のデバイスと、1以上の有線通信リンクまたは無線通信リンク908を介して通信し得る。HDD900は、ランダムアクセスメモリ(RAM)、フラッシュメモリなどの低レイテンシ不揮発性メモリ、リードオンリーメモリ(ROM)および/またはそれ以外の適切な電子データストレージなどであるメモリ909に接続され得る。

【0057】

図10Bを参照すると、本発明はDVDドライブ910において実現され得る。本発明は、図10Bにおいて912として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方、および/または、DVDドライブ910の大容量データストレージ918を実施するとしてもよい。DVDドライブ910の信号処理回路および/または制御回路912および/またはその他の回路(不図示)は、データを処理し、符号化および/または暗号化を行って、演算を実施し、および/または、光学格納媒体916から読み出された、および/または、光学格納媒体916に書き込まれるデータをフォーマットするとしてもよい。実施形態によっては、DVDドライブ910の信号処理回路および/または制御回路912および/またはその他の回路(不図示)はさらに、符号化および/または復号化および/またはDVDドライブに関連するそれ以外の信号処理機能といった機能を実行し得る。

【0058】

DVDドライブ910は、コンピュータ、テレビまたはそれ以外のデバイスなどの出力デバイス(不図示)と、1以上の有線通信リンクまたは無線通信リンク917を介して通信し得る。DVDドライブ910は、不揮発にデータを格納する大容量データストレージ918と通信し得る。大容量データストレージ918は、ハードディスクドライブ(HDD)を含み得る。HDDは、図10Aに示すような構成を持つとしてもよい。HDDは、約1.8"未満の直径を持つプラッタを1以上有するミニHDDであってよい。DVDドライブ910は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データストレージなどであるメモリ919に接続され得る。

【0059】

図10Cを参照すると、本発明は高精細テレビ(HDTV)920において実現され得る。本発明は、図10Cにおいて922として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方、HDTV920のWLANインターフェースおよび/または大容量データストレージを実現するとしてもよい。HDTV920は、有線または無線でHDTV入力信号を受信し、ディスプレイ926用のHDTV出力信号を生成する。実施形態によっては、HDTV920の信号処理回路および/または制御回路922および/またはその他の回路(不図示)は、データを処理し、符号化および/または暗号化を行って、演算を実施し、データをフォーマットし、および/または、必要に応じてその他のHDTV関連処理を行うとしてもよい。

【0060】

HDTV920は、光学および/または磁気ストレージデバイスのように不揮発にデータを格納する大容量データストレージ927と通信し得る。少なくとも1つのHDDは図10Aに示す構成を有し、および/または、少なくとも1つのDVDドライブは図10Bに示す構成を有し得る。HDDは、約1.8"未満の直径を持つプラッタを1以上有するミニHDDであってよい。HDTV920は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データストレージなどであるメモリ928に接続され得る。HDTV920はまた、WLANネットワークインターフェース929を介したWLANとの接続をサポートし得る。

10

20

30

40

50

【0061】

図10Dを参照すると、本発明は、車両930の制御システム、車両制御システムのWLANインターフェースおよび/または大容量データストレージにおいて実現されるとしてもよい。実施形態によっては、本発明は、1以上のセンサから入力を受信するパワートレイン制御システム932を実施する。センサの例を挙げると、温度センサ、圧力センサ、回転センサ、気流センサ、および/または、エンジン操作パラメータ、トランスミッション操作パラメータ、および/またはそれ以外の制御信号といった出力制御信号を1以上生成するそれ以外の適切なセンサなどがある。

【0062】

本発明は、車両930の別の制御システム940においても実現され得る。制御システム940も同様に、入力センサ942から信号を受信し、および/または、1以上の出力デバイス944に制御信号を出力するとしてもよい。実施形態によっては、制御システム940は、アンチロックブレーキングシステム(ABS)、ナビゲーションシステム、テレマティクスシステム、車両テレマティクスシステム、車線逸脱システム、車間距離制御システム、およびステレオ、DVD、コンパクトディスク等の車両内エンターテインメントシステムの一部であってよい。これ以外にも実施例は検討されている。

【0063】

パワートレイン制御システム932は、不揮発にデータを格納する大容量データストレージ946と通信し得る。大容量データストレージ946は、光学および/または磁気ストレージデバイス(例えば、ハードディスクドライブ(HDD)および/またはDVDドライブ)を含み得る。少なくとも1つのHDDは図10Aに示す構成を有し、および/または、少なくとも1つのDVDドライブは図10Bに示す構成を有し得る。HDDは、約1.8"未満の直径を持つプラッタを1以上有するミニHDDであってよい。パワートレイン制御システム932は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データストレージなどであるメモリ947に接続され得る。パワートレイン制御システム932はまた、WLANネットワークインターフェース948を介したWLANとの接続をサポートし得る。制御システム940はまた、大容量データストレージ、メモリおよび/またはWLANインターフェース(全て不図示)を含み得る。

【0064】

図10Eを参照すると、本発明は携帯電話用アンテナ951を含み得る携帯電話950において実現され得る。本発明は、図10Eにおいて952として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方、携帯電話950のWLANインターフェースおよび/または大容量データストレージを実現するとしてもよい。実施形態によっては、携帯電話950は、マイクロフォン956、スピーカおよび/または音声出力ジャックなどの音声出力958、ディスプレイ960、および/または、キーパッド、ポインティングデバイス、音声起動デバイスおよび/またはそれ以外の入力デバイスである入力デバイス962を備える。携帯電話950の信号処理回路および/または制御回路952および/またはその他の回路(不図示)は、データを処理し、符号化および/または暗号化を行って、演算を実施し、データをフォーマットし、および/または、その他の携帯電話機能を実施するとしてもよい。

【0065】

携帯電話950は、光学および/または磁気ストレージデバイス(例えばハードディスクドライブ(HDD)および/またはDVDドライブ)のように不揮発にデータを格納する大容量データストレージ964と通信し得る。少なくとも1つのHDDは図10Aに示す構成を有し、および/または、少なくとも1つのDVDドライブは図10Bに示す構成を有し得る。HDDは、約1.8"未満の直径を持つプラッタを1以上有するミニHDDであってよい。携帯電話950は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データストレージなどであるメモリ966に接続され得る。携帯電話950はまた、WLANネットワークインターフェー

10

20

30

40

50

ス 9 6 8 を介した W L A N との接続をサポートし得る。

【 0 0 6 6 】

図 1 0 F を参照すると、本発明はセットトップボックス 9 8 0 において実施され得る。本発明は、図 1 0 F において 9 8 4 として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方、セットトップボックス 9 8 0 の W L A N インターフェースおよび/または大容量データストレージを実現するとしてもよい。セットトップボックス 9 8 0 は、ブロードバンドソースなどのソースから信号を受信し、テレビおよび/またはモニタおよび/またはその他のビデオおよび/またはオーディオ出力デバイスのようなディスプレイ 9 8 8 に適切な標準および/または高精細オーディオ/ビデオ信号を出力する。セットトップボックス 9 8 0 の信号処理回路および/または制御回路 9 8 4 および/またはその他の回路(不図示)は、データを処理し、符号化および/または暗号化を行って、演算を実施し、データをフォーマットし、および/または、その他のセットトップボックス機能を実施するとしてもよい。

10

【 0 0 6 7 】

セットトップボックス 9 8 0 は、不揮発にデータを格納する大容量データストレージ 9 9 0 と通信し得る。大容量データストレージ 9 9 0 は、光学および/または磁気ストレージデバイス(例えば、ハードディスクドライブ(HDD)および/またはDVDドライブ)を含み得る。少なくとも1つのHDDは図 1 0 A に示す構成を有し、および/または、少なくとも1つのDVDドライブは図 1 0 B に示す構成を有し得る。HDDは、約 1 . 8 "未満の直径を持つプラッタを1以上有するミニHDDであってよい。セットトップボックス 9 8 0 は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データストレージなどであるメモリ 9 9 4 に接続され得る。セットトップボックス 9 8 0 はまた、W L A N ネットワークインターフェース 9 9 6 を介した W L A N との接続をサポートし得る。

20

【 0 0 6 8 】

図 1 0 G を参照すると、本発明はメディアプレーヤ 1 0 0 0 において実現され得る。本発明は、図 1 0 G において 1 0 0 4 として一般的に識別される、信号処理回路および/または制御回路のどちらか一方または両方、メディアプレーヤ 1 0 0 0 の W L A N インターフェースおよび/または大容量データストレージを実現するとしてもよい。実施形態によっては、メディアプレーヤ 1 0 0 0 は、ディスプレイ 1 0 0 7 および/またはキーボード、タッチパッド等のユーザ入力 1 0 0 8 を有する。実施形態によっては、メディアプレーヤ 1 0 0 0 は、ディスプレイ 1 0 0 7 および/またはユーザ入力 1 0 0 8 を介して、メニュー、ドロップダウンメニュー、アイコンおよび/またはポイントアンドクリックインターフェースを通常使用するグラフィカルユーザインターフェース(GUI)を利用し得る。メディアプレーヤ 1 0 0 0 はさらに、スピーカおよび/または音声出力ジャックなどの音声出力 1 0 0 9 を有する。メディアプレーヤ 1 0 0 0 の信号処理回路および/または制御回路 1 0 0 4 および/またはその他の回路(不図示)は、データを処理し、符号化および/または暗号化を行って、演算を実施し、データをフォーマットし、および/または、その他のメディアプレーヤ機能を実施するとしてもよい。

30

【 0 0 6 9 】

メディアプレーヤ 1 0 0 0 は、圧縮オーディオおよび/またはビデオコンテンツなどのデータを不揮発に格納する大容量データストレージ 1 0 1 0 と通信し得る。実施例によっては、圧縮オーディオファイルは、MP3フォーマットまたはそれ以外の適切な圧縮オーディオおよび/またはビデオフォーマットに準拠したファイルを含む。大容量データストレージは、光学および/または磁気ストレージデバイス(例えば、ハードディスクドライブ(HDD)および/またはDVDドライブ)を含み得る。少なくとも1つのHDDは図 1 0 A に示す構成を有し、および/または、少なくとも1つのDVDドライブは図 1 0 B に示す構成を有し得る。HDDは、約 1 . 8 "未満の直径を持つプラッタを1以上有するミニHDDであってよい。メディアプレーヤ 1 0 0 0 は、RAM、ROM、フラッシュメモリなどの低レイテンシ不揮発性メモリおよび/またはそれ以外の適切な電子データスト

40

50

レージなどであるメモリ1014に接続され得る。メディアプレーヤ1000はまた、WLANネットワークインターフェース1016を介したWLANとの接続をサポートし得る。上述した実施形態に加えて、他の実施形態も検討されている。

【0070】

< 結論 >

このように、本発明は、ピンカウントを増やすことなくマルチデバイスシステムにおけるフラッシュメモリデバイスを設定および操作するインターフェース、装置および方法を提供する。特に、本発明の実施形態は、1つのメモリコントローラを備えるマルチフラッシュメモリシステムと共に、そのようなシステムが備える複数のフラッシュメモリデバイスを設定および操作する方法を提供する。

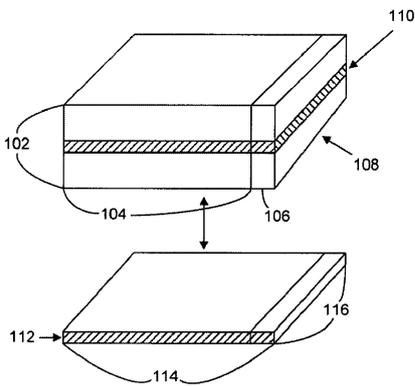
10

【0071】

本発明の具体的な実施形態を上記で説明したが、上記の記載は説明を目的としたものであり、本発明の全内容を網羅したものではなく、本発明を開示された具体的な形態に限定するものでもない。上記の教示内容に基づき多くの変形および変更を実現することができるのは明らかである。上述した実施形態は、本発明の原理および本発明を実際に適用する場合を最も良く説明するものとして選択されている。このため当業者は、上記の実施形態に基づき、それぞれの利用に適するように様々に変形することによって本発明および様々な実施形態を最大限利用することができる。本発明の範囲は、本願の特許請求の範囲およびその均等物によって定義されるべきものである。

【図1】

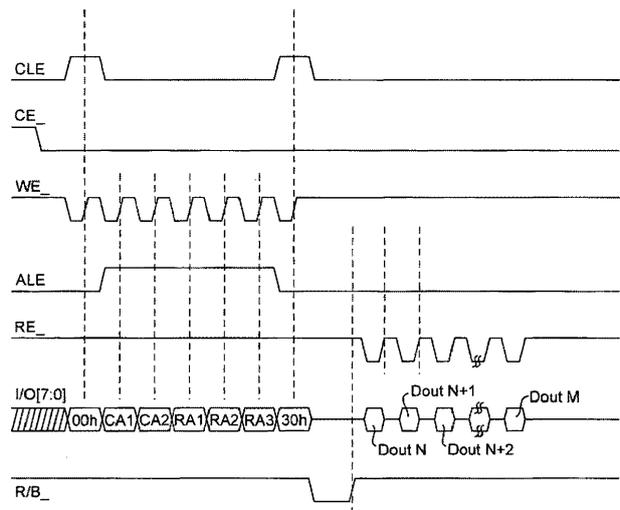
100



(従来)

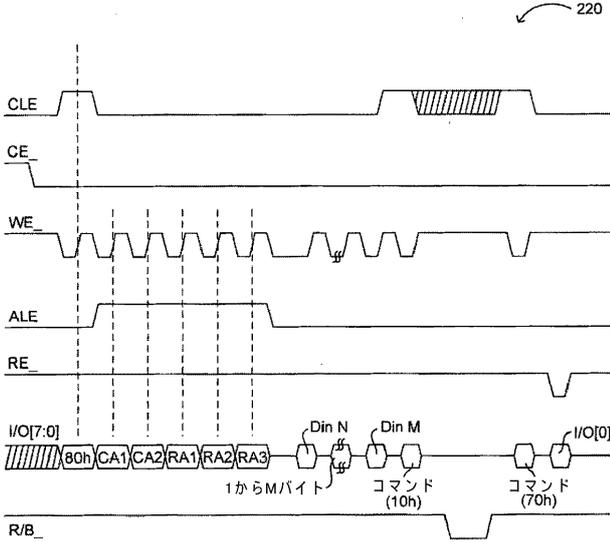
【図2A】

200



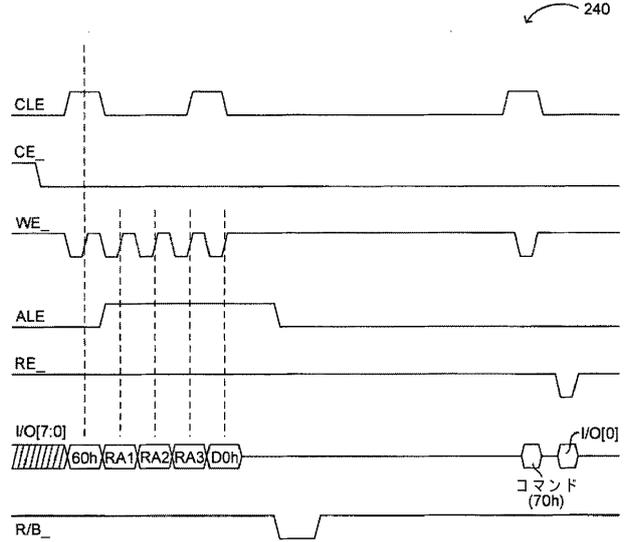
(従来)

【図2B】



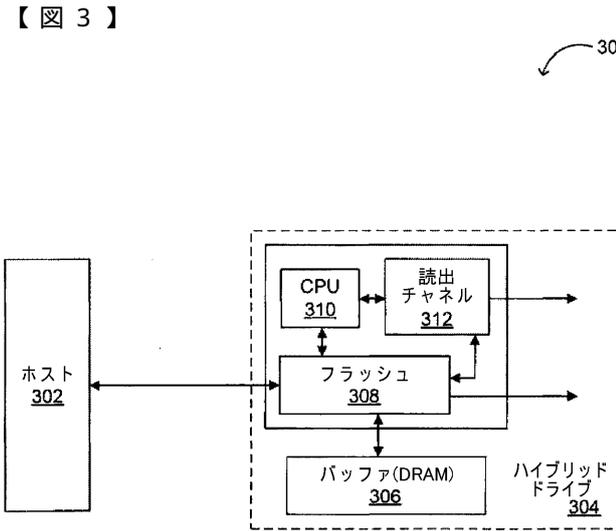
(従来)

【図2C】

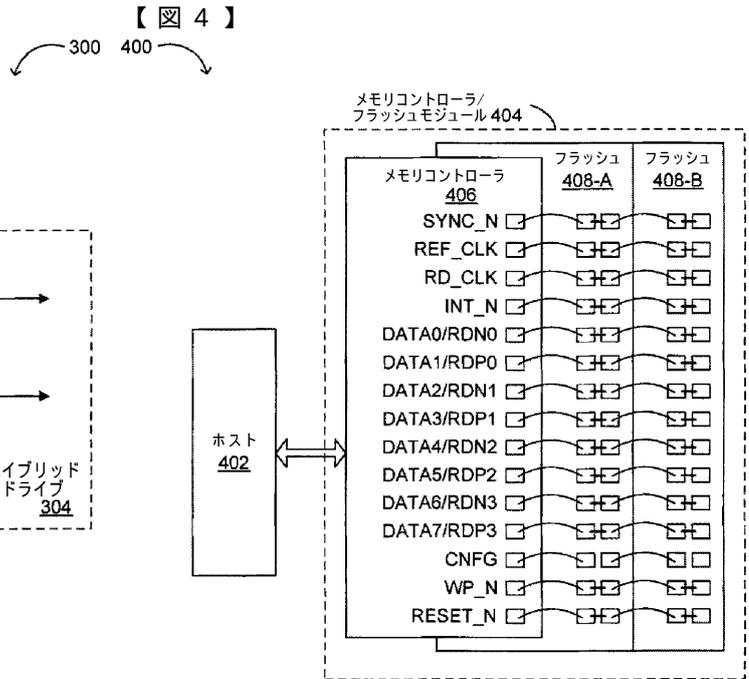


(従来)

【図3】



【図4】



【 図 5 】

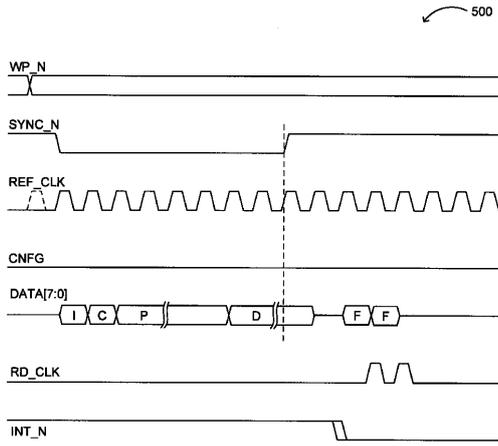
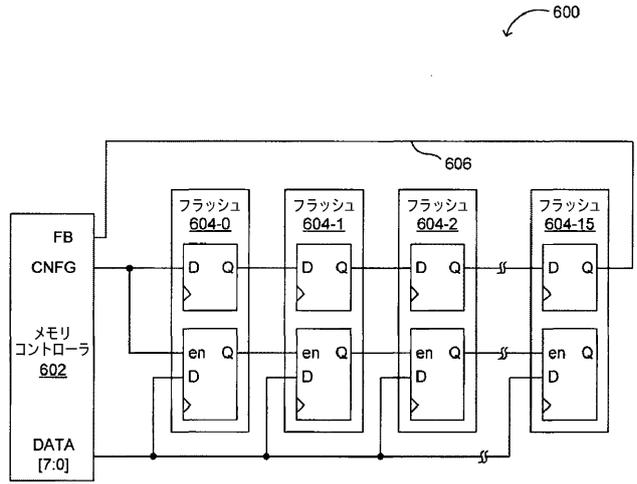


FIG. 5

【 図 6 】



【 図 7 】

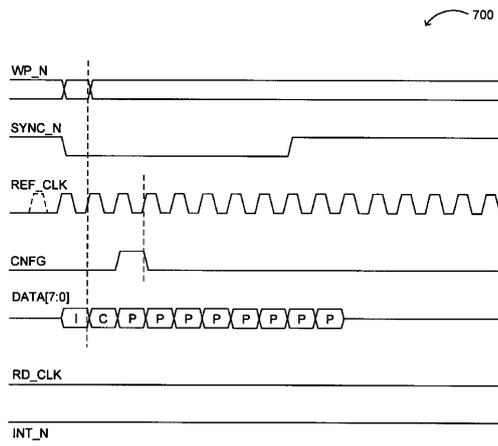


FIG. 7

【 図 8 A 】

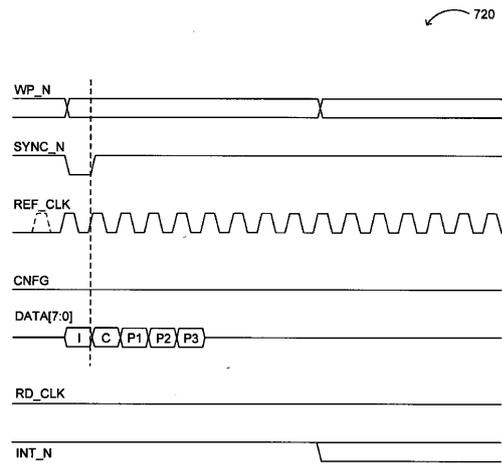


FIG. 8A

【図8B】

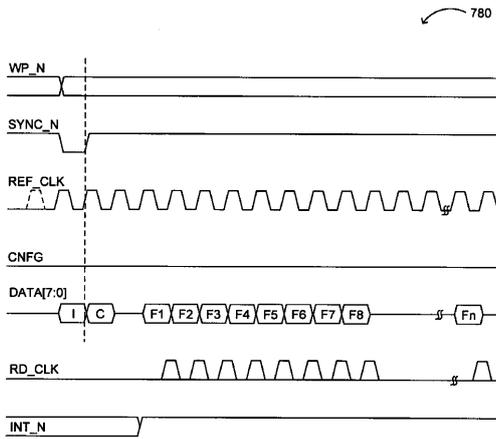
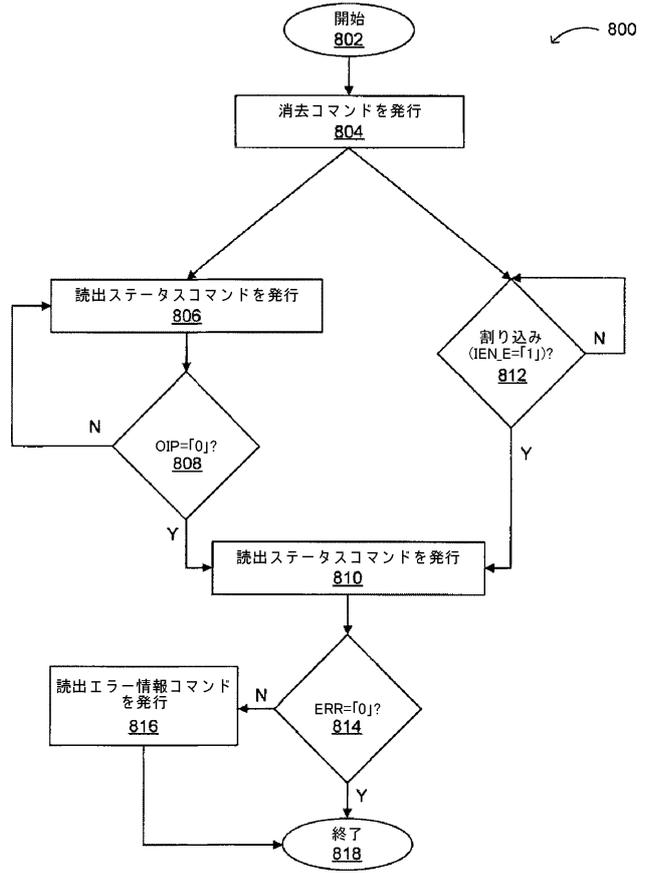
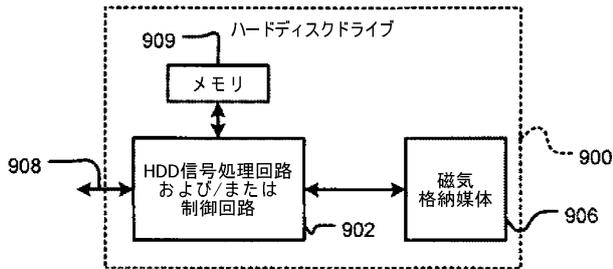


FIG. 8B

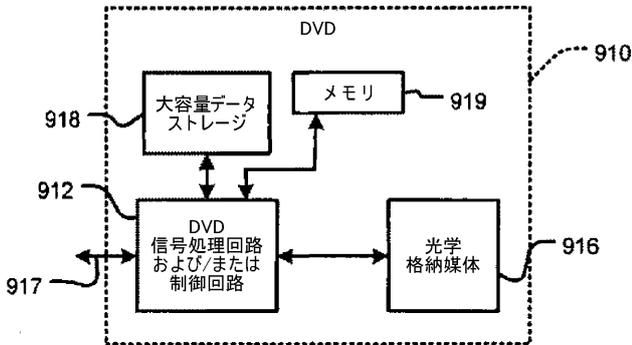
【図9】



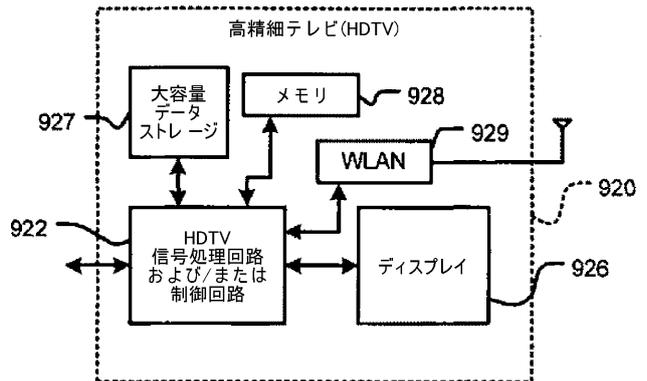
【図10A】



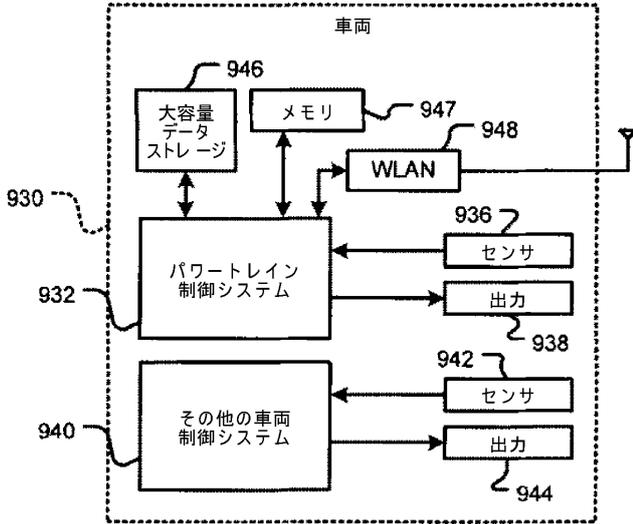
【図10B】



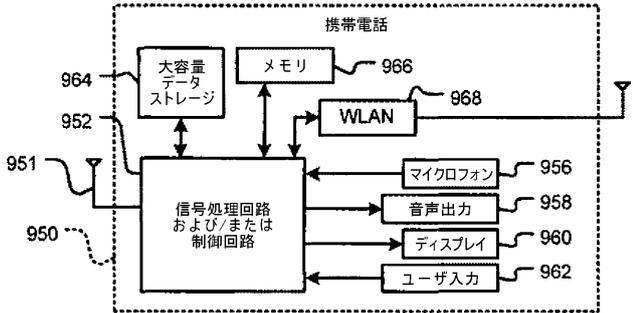
【図10C】



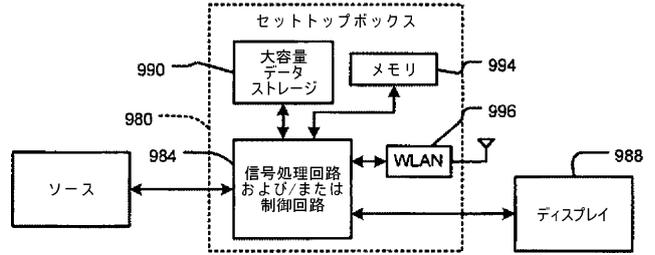
【図10D】



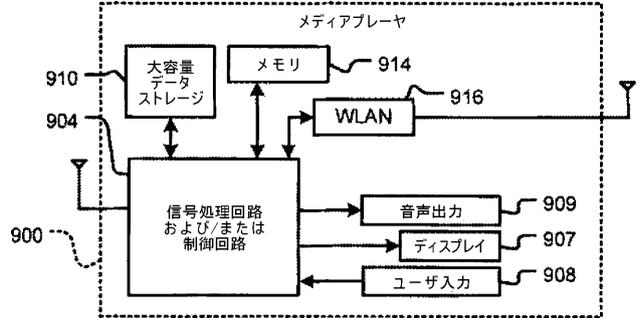
【図10E】



【図10F】



【図10G】



INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2007/004468

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2004/168014 A1 (LOFGREN KARL M J [US] ET AL) 26 August 2004 (2004-08-26) the whole document	1-25
A	US 6 021 459 A (NORMAN ROBERT D [US] ET AL) 1 February 2000 (2000-02-01) the whole document	1-25

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/IB2007/004468

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004148482	A1	29-07-2004	NONE
US 6658509	B1	02-12-2003	NONE
US 2004168014	A1	26-08-2004	NONE
US 6021459	A	01-02-2000	US 6212123 B1 03-04-2001

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100112520
弁理士 林 茂則

(74)代理人 100156591
弁理士 高田 学

(72)発明者 浦辺 正幸
アメリカ合衆国、95054 カリフォルニア州、サンタ クララ、マーベル レーン 5488
マーベル セミコンダクター インコーポレイテッド内

Fターム(参考) 5B060 MB09 MM11
5B125 BA01 CA07 CA08 DE20 EA05 FA01 FA02 FA10

【要約の続き】

クロック端子と、ライトプロテクト信号を受信するライトプロテクト端子とを含む。

【選択図】 図4