[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G06F 13/38

[12]发明专利说明书

[21] ZL 专利号 95119634.0

[45]授权公告日 2002 年 6 月 26 日

[11]授权公告号 CN 1086819C

[22]申请日 1995.11.17
[21]申请号 95119634.0
[30]优先权
[32]1994.11.30 [33]US [31]351194
[73]专利权人 国际商业机器公司
地址 美国纽约州
[72]发明人 A·库立克 W·A·沃尔
D·R·克罗宁三世
[56]参考文献

US 5249188	1993. 9.28	G06F15/40
US 5325499	1994. 6.28	G06F12/00
US 5341480	1994. 8.23	G06F13/00
审查员 齐 霁

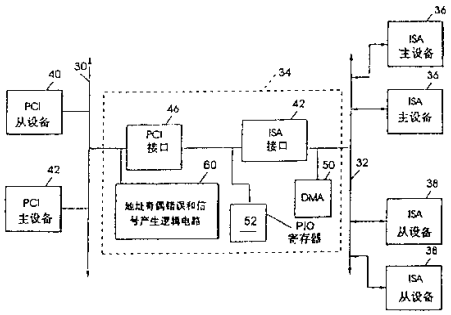
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 董江雄 马铁良

权利要求书 2 页 说明书 9 页 附图页数 3 页

[54]发明名称 对 PCI 地址奇偶错误做出响应的 PCI/ISA 桥接器

[57]摘要

一种 PCI/ISA 桥接器连接在计算机系统的 PCI 和 ISA 总线之间。系 统中的 PCI 主设备要求总线上的地址和地址奇偶信息,以便在第一总 线上开始主一从事务处理。该桥接器包括逻辑电路,用于比较地址和 地址奇偶信息,并且当存在一个奇偶地址错误时产生地址奇偶错误信 号。桥接器中的一个从设备接收奇偶地址错误信号并作为响应产生一 个目标异常结束信号。该桥接器还具有逻辑电路,用于阻止目标异常 结束信号传输到第一总线。



ISSN1008-4274

权 利 要 求 书

1. 一个用于连接计算机系统的第一总线和第二总线的桥接器，所述计算机系统在所述第一总线上至少有一个主设备，该第一总线传送包括一个设备地址和地址奇偶数据的命令，所述桥接器包括:

至少一个从设备，该从设备接收地址奇偶错误信号并作为响应产生一个异常结束信号;

被耦合到所述至少一个从设备，并被连接起来接收所述命令的一条内部总线;

用于锁存在所述内部总线上接收并可以被所述至少一个从设备读出的所述命令的逻辑电路;

用于将一个设备选择信号从所述至少一个从设备传送到所述第一总线的逻辑电路;

用于在将相应命令锁存到内部总线时，测试地址和地址奇偶数据，并且在出现地址奇偶错误时产生一个错误信号的逻辑电路；和响应所述错误信号，封锁该设备选择，并阻止在所述第一总线上产生设备选择和停止信号的相关逻辑电路。

2.根据权利要求 1 的桥接器，其特征在于所述第一总线是基于 PCI 总线标准。

3.根据权利要求 1 的桥接器，其特征在于所述第二总线基于 ISA 总线标准。

4.一个计算机系统，包括:

一条第一总线;

一条第二总线;

在所述第一总线上的至少一个主设备，该第一总线传递包括一个设备地址和地址奇偶数据的命令;

一个连接所述第一和第二总线的桥接器，包括:

至少一个从设备，该从设备接收地址奇偶错误信号并作为响应

产生一个异常结束信号;

被耦合到所述至少一个从设备，并被连接起来接收所述命令的一条内部总线;

用于锁存在所述内部总线上接收并可以被所述至少一个从设备读出的所述命令的逻辑电路;

用于将一个设备选择信号从所述至少一个从设备传送到所述第一总线的逻辑电路;

用于在将相应命令锁存到内部总线时，测试地址和地址奇偶数据，并且在出现地址奇偶错误时产生一个错误信号的逻辑电路；和响应所述错误信号，封锁该设备选择，并阻止在所述第一总线上产生设备选择和停止信号的相关逻辑电路.

5.根据权利要求 4 所述的系统，其特征在于所述第一总线是基于 PCI 总线标准.

6.根据权利要求 4 所述的系统，其特征在于所述第二总线是基于 ISA 总线标准.

说　明　书

对PCI地址奇偶错误做出响应的PCI／ISA桥接器

本发明涉及数字计算机系统的领域，更具体地说涉及在PCI 总线上的主—从事务处理。

在计算机系统中，电子芯片和其它部件是通过总线相互连接的。各种部件可以与总线相连，该总线使得与总线相连的所有设备之间实现相互通信。已经得到工业上广泛认可的一种总线是工业标准结构(ISA) 总线。ISA总线具有24根存储器地址线，因此可以支持高达16兆字节的存储器。对ISA总线的广泛认可已经导致正在设计用在ISA总线上的占很大百分比的设备。然而，一般用于计算机系统的更高速的输入／输出设备要求总线的速度更快。

解决从处理器到任何高速输入设备发送和接收数据所产生的一般问题的办法是采用局部总线。ISA 总线是以有限的带宽比较慢地进行操作，与ISA总线不同，局部总线以系统速度通信，并携带32 位数据块的数据。局部总线机远离需要快速响应的主系统总线接口，例如存储器、显示器和盘驱动器。工业上得到认可的一种这样的局部总线是外围部件互连(PCI) 总线。为了进行高速数据传输，PCI 总线可以是32或64位通路。除了ISA总线，基本上PCI 总线是并行数据通路。例如系统处理器和存储器可以直接与PCI 总线相连。 其它设备如图形显示适配器、 盘控制器等也可以直接或间接地(例如通过主桥接器) 与PCI 总线相连。

为了实现PCI 总线和ISA总线上设备之间的通信， 这两种总线之间提供了一个桥接器芯片。桥接器芯片基本上将ISA总线周期变成PCI 总线周期，反之亦然。

与PCI 总线和ISA总线相连的许多设备是主设备，它们可以独立于总线或其它设备进行处理。与这些总线相连的某些设备被认为是从设备或目标设备，它们接收命令和对主设备的请求做出响应。根据 PCI 协议，在PCI 说明书(此处作为参考) 中提出，PCI 从设备需要在一段预定的时间段内，例如PCI 主设备已经要求一个帧信号之后的五个时钟内，对请求该从设备进行事务处理的主设备做出响应。

在正常的PCI 事务处理中，PCI 主设备将要求一个帧信号(FRAME#) 以及地址信号和地址奇偶信息。与PCI 总线相连的PCI 从设备将在检测到PCI 总线上的帧信号之后对该地址解码，确定从设备是否被PCI 主设备寻址。如果PCI 从设备确定它被主设备寻址， 那么它将要求一个设备选择信号(DEVSEL#) 索取周期。然而同时， 从设备将奇偶地址信息与PCI 主设备要求的地址进行比较。如果由这一PCI 从设备检测到地址奇偶错误，那么通过不要求设备选择信号(DEVSEL#) 和要求停止信号(STOP#) ，可以实现主设备异常结束，实现目标异常结束， 或忽略该奇偶错误。即使主设备试图用不同的从设备进行该事务处理或不同的从设备能够对该事务处理做出响应，目标异常结束也将终止主—从事务处理周期。

PCI 主设备也可以实现主设备异常结束，并且当 PCI 主设备要求FRAME#之后的一段时间内主设备未能从PCI 从设备接收到设备选择信号DEVSEL#时也能这样做。预定的时间段可以是例如要求FRAME# 之后的五个时钟周期。未能接收到设备选择信号DEVSEL#表示没有PCI 从设备索取周期，因此PCI 主设备将有效地终止主—从事务处理周期。

连接在PCI 总线和ISA总线之间的桥接器芯片可以包含作为PCI 从设备运行的部件。然而，与这种结构相关的一个问题是桥接器芯片上的PCI 从设备必须在由PCI 总线协议确定的时间限度内对PCI 总线上的FRAME#做出响应。当桥接器芯片是一种相对低速的芯片时，上述问题

特别麻烦。为了在特定的时间段内对PCI主设备做出响应， 桥接器芯片中的PCI从设备必须通过在接收FRAME# 之后的时钟周期内要求设备选择信号，来作为快速PCI设备做出响应。 然后桥接器芯片将在随后的周期中向PCI总线和PCI主设备要求设备选择信号DEVSEL#。一旦PCI从设备要求设备选择信号DEVSEL#，主设备异常结束便不可能， 而只有目标异常结束。

然而由于奇偶错误，可能在桥接器芯片中的PCI从设备不是PCI主设备为进行主—从事务处理所要的目标。在这种情况下，由于主—从事务处理是对可能仍索取该地址的另一个从设备来说的，所以目标异常结束是不合适的。因此，桥接器利用PCI 主设备提供的地址和地址奇偶信息进行地址奇偶错误校验。如果桥接器确定有地址奇偶错误，那么它将向桥接器中的PCI从设备提供一个地址奇偶错误信号。 然而由于PCI协议要求的快速响应，所以PCI从设备必须在桥接器可以检验地址奇偶错误并且向桥接器上的PCI 从设备产生地址奇偶错误信号之前的一段时间内要求设备选择信号DEVSEL#。因此由PCI从设备的内部要求设备选择信号DEVSEL#的需要产生了一个难题，使得在PCI事务处理的预定时间段可以对主设备做出响应，并且由于另一个从设备可能成为指定的目标而避免了桥接器中的PCI从设备产生PCI总线上的目标异常结束。

需要采用具有PCI从设备的PCI桥接器的方法和系统，该从设备在预定的时间段对由PCI主设备要求的帧信号做出响应， 而不需要根据地址奇偶错误在PCI总线上产生目标异常结束。

本发明满足了这些和其它需要，本发明提供了一种用于连接在具有第一和第二总线的计算机系统的总线和与第一总线相连的主设备之间的桥接器，主设备要求总线上的地址和地址奇偶信息，以便在第一总线上开始主—从事务处理。该桥接器包括逻辑电路，用于比较地址

和地址奇偶信息，并且当存在一个奇偶地址错误时产生地址奇偶错误信号。桥接器中的一个从设备接收奇偶地址错误信号并作为响应产生一个目标异常结束信号。该桥接器还具有逻辑电路，用于阻止目标异常结束信号传输到第一总线。

本发明的另一实施例也满足了上述需要，它提供了一种计算机系统，该系统包括第一和第二总线，与第一总线相连并要求总线上的地址和奇偶信息以便在第一总线上开始主—从事务处理的一个主设备。桥接器连接在第一和第二总线之间。该桥接器包括逻辑电路，用于比较地址和奇偶信息，并且当存在一个地址奇偶错误时产生地址奇偶错误信号。桥接器还包括一个从设备，它接收地址奇偶错误信号并作为响应产生一个目标异常结束信号。该桥接器还具有逻辑电路，用于阻止目标异常结束信号传输到第一总线。

在最佳实施例中，第一总线是PCI 总线，主设备是PCI 主设备，从设备是PCI 从设备。

由于桥接器同时确定是否存在地址奇偶错误和在存在地址奇偶错误的情况下阻止目标异常结束信号(设备选择信号和停止信号) 从桥接器芯片中传出，所以本发明的优点是允许桥接器中的PCI 从设备在由PCI 总线协议指定的时间段内做出响应。

从以下结合附图对本发明所作的详细描述中，本发明的上述和其它目的、特征、方面和优点将变得更清楚。

图1 是本发明的计算机系统的透视图。

图2 是根据本发明的一个实施例构成的图1 的计算机系统的框图。

图3 是根据本发明的一个实施例构成的桥接器的地址奇偶错误和PCI 信号产生部件的框图。

图4 根据本发明的一种方法的地址奇偶错误响应的时序图， 其中从内部PCI 目标异常结束形成外部PCI 主设备异常结束。

现在参照附图特别是参照图1，用标号10 表示的常规的计算机或PC是具体应用本发明的环境。计算机10最好(但不是必须) 是IBM 个人计算机或类似系统，包括台式外壳12，其中装有包含必要电路的电路板，如微处理器和BIOS芯片、控制器、随机存取存储器和其它硬件。该计算机还将包括视频显示器14和通过电缆18与外壳12相连的键盘16。大容量存储媒体包括外壳中的用户不能访问的硬盘驱动器，和用户可访问的软盘以及可选择的CD-ROM驱动器20和22。

图2是根据本发明的实施例构成的计算机系统的框图。 该系统包括PCI 总线30，带有多个ISA主设备36和ISA从设备38的ISA总线32。多个PCI 存储器从设备40 与PCI 总线30相连。

桥接器芯片34包含连接在ISA总线32和系统总线44之间的ISA接口42。PCI 接口46连接在PCI 总线30和系统总线44之间。桥接器芯片34还具有DMA控制器50、可编程I ／O(PIO) 寄存器 52 和地址奇偶错误和PCI 信号产生逻辑电路60，这将在以后说明。DMA控制器50 与ISA 总线32相连。桥接器芯片34提供PCI 总线30和ISA总线32之间的一个接口。

为了被桥接器芯片34使用，桥接器芯片34中的ISA总线接口42 将ISA总线周期变成系统总线周期。为了桥接器芯片34，PCI 总线接口46将来自PCI 总线30的PCI 总线周期变成系统总线周期。DMA控制器50 控制系统中的存储器存取的DMA控制。DMA控制器50提供多条独立的 DMA信道，包含各个ISA主设备36 的存储器存取分别在这些信道上进行通信。

由于DMA控制器50作为ISA总线32上的总线主设备起作用，所以或者DMA控制器50，或者ISA总线主设备36都可以产生传输周期。ISA 主设备36和DMA控制器50二者都可以访问或处于ISA总线32上或处于 PCI 总线30上的存储器。然而为了便于下面的描述，所给出的例子是 ISA 总线主设备36产生传输周期。当这种情况出现时，DMA控制器50 作为

任选设备。

图 3 是图 2 系统中桥接器芯片 34 内地址奇偶错误和 PCI 信号产生逻辑电路 60 的框图。在本例中逻辑电路 60 包括多个 PCI 从设备 62，它们与内锁存 PCI 总线 63 相连。内部 PCI 输入和输出锁存器以及 PCI 接口逻辑电路 64（以下称为“PCI 锁存器和接口逻辑电路 64”）连接在 PCI 总线 30 和内锁存 PCI 总线 63 之间。PCI 锁存器和接口逻辑电路 64 接收来自 PCI 总线 30 和内锁存 PCI 总线 63 的信号，并将这些信号锁存，以便桥接器 34 和逻辑电路 60 使用。由于 PCI 总线 30 以高速运行，而以低速技术实现的 PCI 从设备 62 不能可靠地对未锁存的信号进行操作，所以需要用锁存器。

PCI 锁存器和接口逻辑电路 64 从 PCI 总线 30 接收地址信号、帧信号（FRAME#）、IRDY#（启动器准备）信号。逻辑电路 64 发送设备选择信号（DEVSEL#）、停止信号（STOP#）和目标准备信号（TRDY#）。这些信号中的每个信号的锁存部分出现在内锁存 PCI 总线 63 上。

来自 PCI 总线 30 的地址也被地址奇偶发生器和校验逻辑电路 66 接收。除了未锁存的地址，地址奇偶发生器和校验逻辑电路 66（以下称为“校验逻辑电路 66”）还接收来自 PCI 总线 30 的未锁存的奇偶信息。对未锁存的奇偶地址信号和地址进行比较，如果存在错误，则校验逻辑电路 66 改变内部桥接器地址错误信号（PIB_ADD_ERR）的电平。该信号被锁存在单独的锁存器 68 中，PCI 从设备 62 可在那里得到该信号。

下面对地址奇偶错误和 PCI 信号产生逻辑电路 60 的操作作一基本说明，这一基本说明之后是对地址奇偶错误响应包括时序图的更详细的说明。

当主设备 42 需要对一个 PCI 从设备 62 进行主一从事务处理时，主设备 42 要求 PCI 总线 30 上的 FRAME#、一个地址和地址奇偶信息。桥接器 34 上的地址奇偶错误和 PCI 信号产生逻辑电路 60 接收锁存在内部 PCI

锁存器和接口逻辑电路64中以便桥接器芯片34使用的FRAME#和地址信息。被锁存的FRAME#和地址信号放在内锁存PCI总线63上，PCI从设备62可在那里得到它们。PCI从设备62对被锁存的地址解码，并确定特定的PCI从设备62是否将对主设备42做出响应。假定该解码指出这一特定的PCI从设备62将做出响应，那么PCI从设备62中的一个要求在内锁存PCI总线63上的设备选择信号DEVSEL#。内部PCI锁存器和接口逻辑电路64要求PCI总线30上的设备选择信号DEVSEL#，设备选择信号DEVSEL#是在PCI总线30上由主设备42接收的。当IRDY#和TRDY#都被要求时，则进行特定的事务处理。

以上对操作的全部描述都假定地址和地址奇偶信息校验都没有引起产生地址奇偶错误信号。当地址被由PCI从设备62解码的同时，进行这一校验。

然而，现在假定由校验逻辑电路66进行的地址奇偶信息校验指出存在地址奇偶错误。还假定PCI从设备62中的一个通过要求DEVSEL#已经索取该地址。校验逻辑电路66要求被锁存器68锁存的内部桥接器地址奇偶错误信号(PIB_ADD_ERR)。锁存的地址奇偶错误信号被送至PCI从设备62。PCI从设备62索取该地址，然后进行主—从事务处理的目标异常结束。这是通过PCI从设备62不要求设备选择信号DEVSEL#而要求停止信号STOP#实现的。向也已经接收了设备选择信号的内部PCI锁存器和接口逻辑电路64提供锁存的内部桥接器地址奇偶错误信号。当内部PCI锁存器和接口逻辑电路64已经接收了锁存的地址奇偶错误信号和设备选择信号DEVSEL#时，逻辑电路64阻止设备选择信号DEVSEL#和从设备停止信号STOP#传输(被锁存)到PCI总线30。因此主设备42在PCI总线30上看不到目标异常结束。如果主设备42要求FRAME#之后的预定时间段内PCI总线30上没有其它的从设备通过要求设备选择信号DEVSEL#索取该地址，那么主设备42将实现主设备异常

结束。

应认识到，直到未锁存的内部桥接器地址奇偶错误信息被解码之前，对设备选择信号DEVSEL#的要求不能被PCI从设备62 延迟， 因为PCI总线协议需要PCI从设备62在内部做出快速响应(要求FRAME#之后的第一时钟) ，于是在PCI总线协议的时间限制内可能做出外部响应，该外部响应是慢速响应(要求FRAME#之后的第三时钟) 。

现在将参照图4 的时序图更详细地描述本发明的结构的地址奇偶错误响应。

主设备42在时钟1中要求帧信号FRAME#和地址信息。 这一信息在时钟2中被锁存在PCI锁存器和接口逻辑电路64中。在时钟2期间， 从主设备42接收地址奇偶信息。在时钟2期间，由校验逻辑电路66 将这一信息与该地址进行比较。同时校验逻辑电路66校验奇偶信息， PCI从设备62查看所要求的被锁存的FRAME#，并对该被锁存的地址进行解码。

在本例中，由校验逻辑电路66对地址奇偶信息与地址所作的比较表示地址奇偶错误。因此在时钟2的末尾校验逻辑电路66 产生内部桥接器地址奇偶错误信号(PIB_ADD_ERR) 。在时钟3锁存这一信号(LATCHED PIB_ADD_ERR) 。然而，已经对地址解码的PCI从设备62在时钟3中对锁存的FRAME#做出响应，以便通过要求设备选择信号DEVSEL#满足PCI总线30的时序需要。由于PCI从设备62在接收锁存的FRAME#之后一个周期内做出响应，所以PCI从设备62在内部作为“快速”PCI从设备运行。PCI主设备42在要求帧信号FRAME# 之后三个周期接收来自从设备62的设备选择信号DEVSEL#(当没有地址奇偶错误时) ， 然而对PCI主设备42而言，PCI从设备62是一种“慢速”从设备。

在时钟周期4， PCI 从设备 62 识别锁存的地址奇偶错误信号(PIB_ADD_ERR信号) ，并通过不要求设备选择信号DEVSEL# 而要求停

止信号STOP#实现内部目标异常结束。这样便有效地停止了PCI从设备62进行主—从事务处理。作为本来会被主设备42看到的目标异常结束，现在PCI锁存器和接口逻辑电路64已经阻止设备选择信号DEVSEL#和停止信号STOP#传输到PCI总线30上。PCI锁存器和接口逻辑电路64 对接收的来自锁存器68的锁存的PIB_ADD_ERR(锁存的地址奇偶错误信号)和由PCI 从设备 62 要求的设备选择信号 DEVSEL# 做出响应， 阻止DEVSEL#和STOP#。如从图4的屏蔽信号中所看到的，在外部PCI设备选择信号DEVSEL#保持不被要求(在高电位) ，PCI停止信号STOP# 也保持不被要求。PCI总线30上的另一从设备能够索取该地址， 或者如果外部PCI主设备42不接收来自PCI总线30上的另一PCI 从设备的设备选择信号DEVSEL#，那么外部PCI主设备42将实现主设备异常结束。

如果没有本发明，那么如图4底部的未屏蔽的信号所示，将在PCI总线30上要求PCI设备选择信号DEVSEL#，后面在时钟5中跟着PCI停止信号STOP#。这将在PCI总线30上引起不希望的目标异常结束。

利用本发明的结构和方法，即使采用目标异常结束机制来满足内部技术／时序需要，所需的地址奇偶错误的主设备异常结束终止也是由桥接器芯片34完成的。这使得能够以比其它结构更低速和便宜的技术实现桥接器芯片。

从锁存的奇偶内部桥接器地址奇偶错误信息信号内部产生的目标异常结束确保在最差的边界条件下，内部PCI从设备62 将保证适当的状态机器控制。如果用未锁存的地址奇偶错误信号进行内部主设备异常结束，那么在最差的条件下，将导致不可预见的行为。

虽然已经详细描述了本发明，但是应清楚地懂得所举实例不是对本发明的限制，本发明的精神和范围仅受所附权利要求书的限制。

说 明 书 附 图

图 1

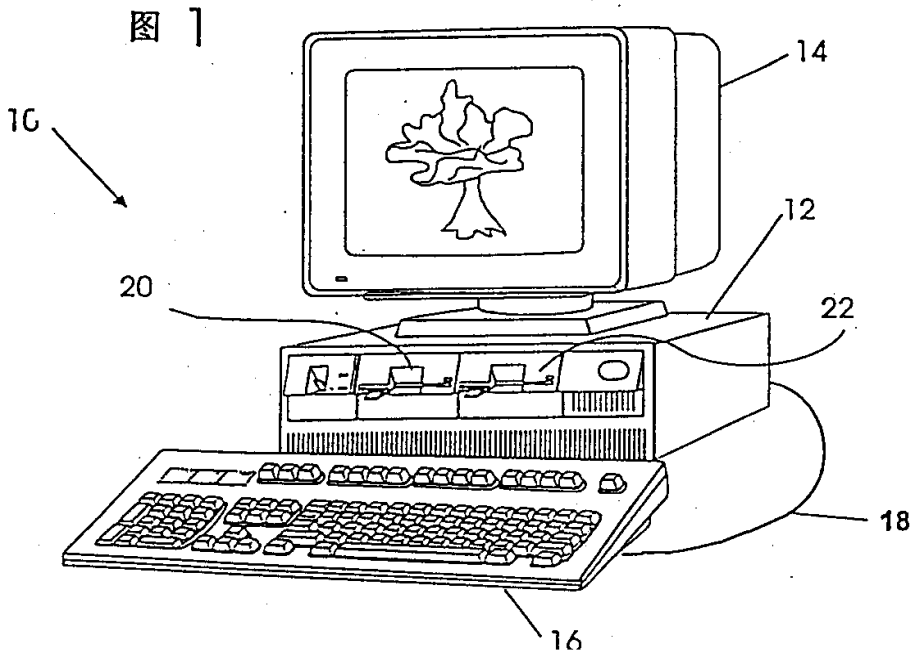
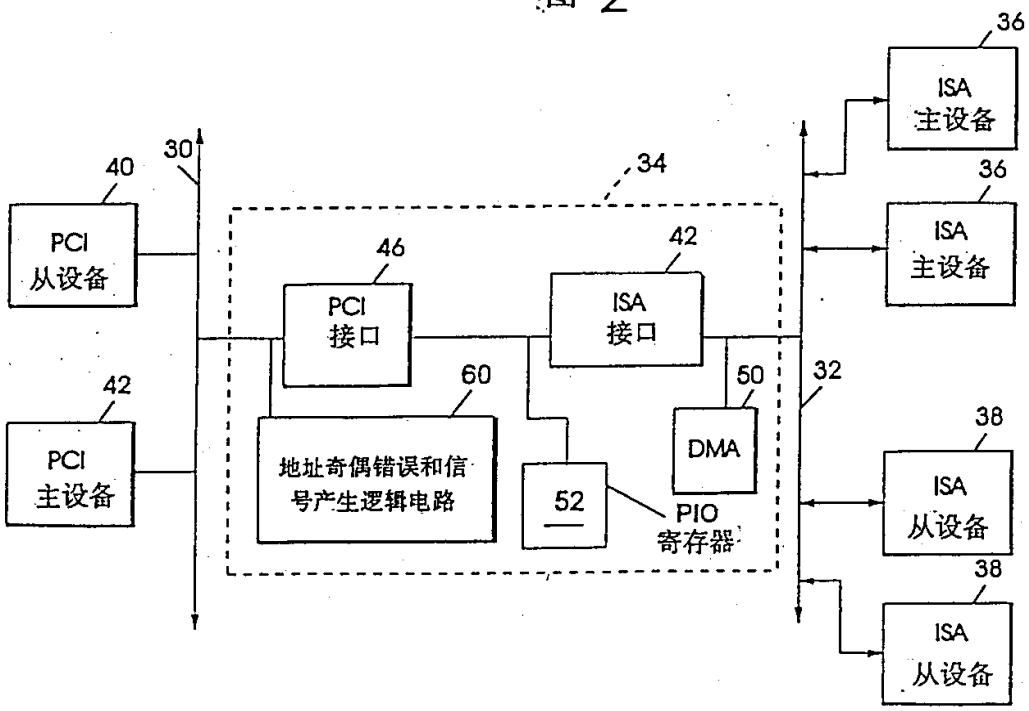

10
14
12
20
22
18
16

图 2


36
ISA
主设备
36
ISA
主设备
30
40
34
PCI
从设备
46
PCI
接口
42
ISA
接口
42
PCI
主设备
60
地址奇偶错误和信
号产生逻辑电路
50
DMA
32
52
PIO
寄存器
38
ISA
从设备
38
ISA
从设备

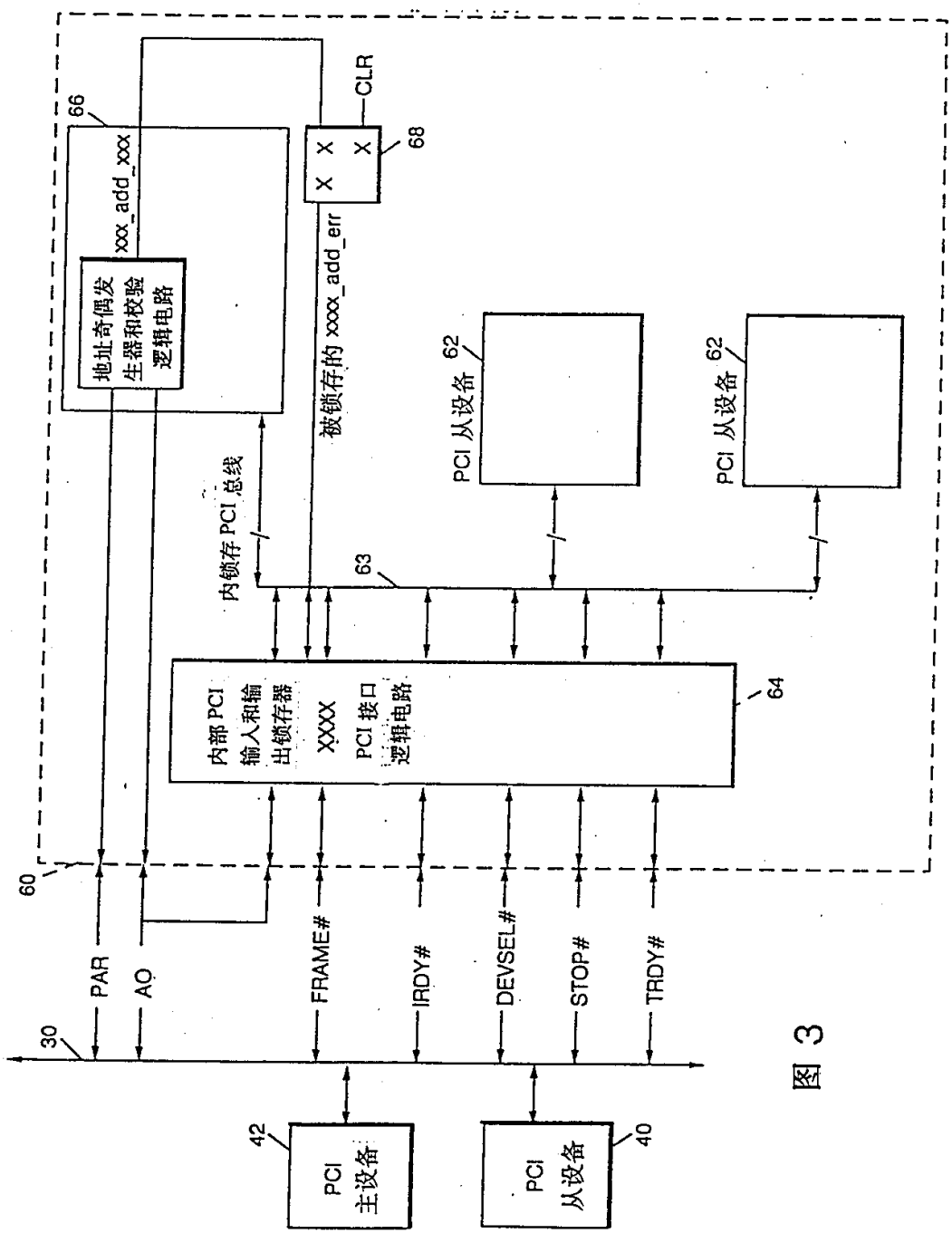
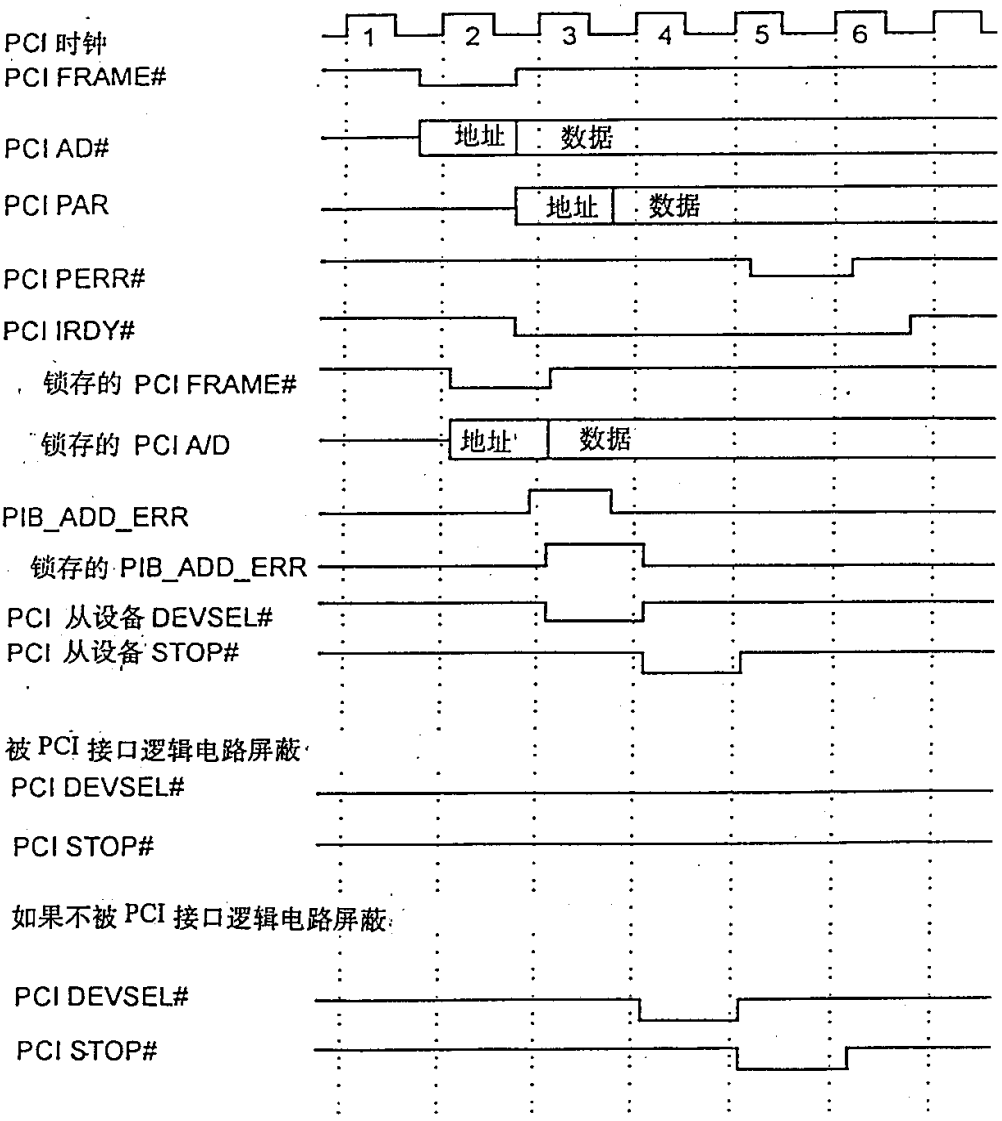

66
xxx_add_xxx
地址奇偶发生器和校验逻辑电路
CLR
X X X
68
被锁存的 xxxx_add_err
内锁存 PCI 总线
62
PCI 从设备
62
PCI 从设备
63
内部 PCI 输入和输出锁存器
XXXX
PCI 接口逻辑电路
64
60
PAR
AO
FRAME#
IRDY#
DEVSEL#
STOP#
TRDY#
30
42
PCI 主设备
PCI 从设备
40

图 3

图 4


PCI 时钟
1
2
3
4
5
6
PCI FRAME#
PCI AD#
地址
数据
PCI PAR
地址
数据
PCI PERR#
PCI IRDY#
锁存的 PCI FRAME#
锁存的 PCI A/D
地址
数据
PIB_ADD_ERR
锁存的 PIB_ADD_ERR
PCI 从设备 DEVSEL#
PCI 从设备 STOP#
被 PCI 接口逻辑电路屏蔽
PCI DEVSEL#
PCI STOP#
如果不被 PCI 接口逻辑电路屏蔽
PCI DEVSEL#
PCI STOP#