



[12] 发明专利说明书

[21] ZL 专利号 99120971.0

[45] 授权公告日 2005 年 7 月 6 日

[11] 授权公告号 CN 1209950C

[22] 申请日 1999. 11. 29 [21] 申请号 99120971.0

[30] 优先权

[32] 1998. 12. 2 [33] US [31] 09/203,978

[71] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 约翰·M·劳福

罗伊·H·马格努森

沃雅·R·马克维奇

约翰·A·沃尔西

审查员 庄 蕾

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

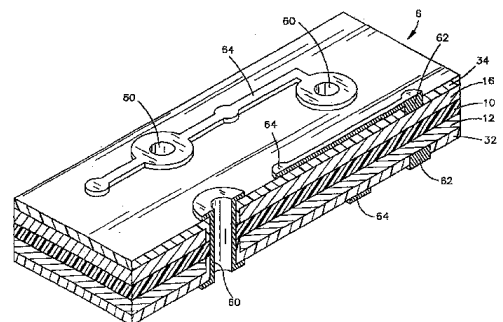
代理人 王永刚

权利要求书 3 页 说明书 6 页 附图 4 页

[54] 发明名称 多电压平面多信号平面电路卡

[57] 摘要

有机芯片载体或电路板，将第一介电层键合到第一金属层，提供穿过第一介电层的窗口。第二金属层键合到第一光成像层。在第一和第二金属层中，腐蚀对应于且大于第一介电层中的窗口上图形的孔。显影第一介电层上的暴露图形。第二和第三光成像层涂敷在第一和第二金属层上，并被光图形化和显影，在第二和第三介电层中提供窗口。第二和第三介电材料的暴露表面被电路化，并用金属镀敷或填充各个孔。



1. 一种制作具有二个电压平面和至少二个信号平面的芯片载体或电路板的方法，它包含下列步骤：

将第一光成像介电材料层键合到第一金属层；

将所述第一光成像介电材料层暴露于辐照图形，以便提供至少一个穿过所述第一光成像介电材料层的窗口；

将第二金属层键合到与所述第一金属层相反的侧上的所述第一光成像介电材料层；

在所述第一和第二金属层中，腐蚀与所述第一光成像介电材料层中的各个所述窗口的各个所述图形对应并对准的至少一样大的孔；

显影所述第一光成像介电材料层中的所述孔的所述图形，从而提供至少一个穿过所述第一和第二金属层和所述第一光成像介电材料层的窗口；

分别在所述第一和第二金属层上提供第二和第三光成像介电材料层；

光图形化并显影对应于所述第一介电材料层中的各个孔并小于各个所述第一和第二金属层中的孔的各个所述第二和第三介电材料层中的窗口；以及

对至少所述第二光成像介电材料层的暴露表面进行电路化，镀敷穿过所有所述光成像介电材料层的至少一个孔，以便在所述至少一个表面上提供电路，镀敷的通孔穿过所有所述光成像介电材料层和二所述金属层。

2. 权利要求1所述的方法，其进一步特征是，制作其中具有从所述第二介电材料的所述至少一个表面到所述第一金属层的无出口的金属通路。

3. 权利要求1所述的方法，其进一步特征是，在所述第三光成像介电材料层的暴露表面上制作电路。

4. 权利要求1所述的方法，其中所述光成像介电材料是环氧基树

脂。

5. 权利要求 1 所述的方法，其中所述第二光成像介电材料层的所述暴露表面和所述镀敷的通孔，用光刻镀敷技术制作。

6. 权利要求 5 所述的方法，其中所述光刻技术包括附加的镀敷。

7. 权利要求 1 所述的方法，其中所述第一和第二金属层中的所述孔，用光刻技术制作。

8. 权利要求 1 所述的方法，其中各个所述金属层由铜制作。

9. 权利要求 2 所述的方法，其进一步特征是，在所述第二光成像介电材料层上提供至少一个第四光成像介电材料层，

光图形化和显影对应于所述第二光成像介电材料层中的窗口的所述第四光成像介电材料层中的窗口，

在所述第四光成像介电材料层的暴露表面上制作电路，并镀敷所述第四光成像介电材料层中的至少一个窗口，以便在所述第四光成像介电材料层的暴露表面上提供电路以及提供所述第四光成像介电材料层上的所述电路到所述第二光成像介电材料层上的电路的连接。

10. 权利要求 1 所述的方法，其中第二光成像介电材料层和通孔，用铜完全镀敷，并用光刻胶和减蚀制作电路图形。

11. 一种芯片载体或电路板，它包含：

夹在第一和第二金属层之间的第一光成像介电材料层、键合到所述第一金属层的第二光成像介电材料层、以及键合到所述第二金属层的第三光成像介电材料层，

制作在所述第二光成像介电材料层和所述第三光成像介电材料层上的电路，

穿过所有所述光成像介电材料层和所述二个金属层以便将所述第二光成像介电材料层上的部分电路与所述第三光成像介电材料层上的部分电路连接起来的镀敷的通孔，

以及从所述第二光成像介电材料层上的电路，穿过所述第二光成像介电材料层，延伸到一个所述金属层，以及从所述第三光成像介电材料层上的电路，穿过所述第三光成像介电材料层，延伸到另一个所

述金属层的填充有金属的通路。

12. 权利要求 11 所述的芯片载体或电路板，其中所述镀敷的通孔和所述通路是光成像的窗口。

13. 权利要求 11 所述的芯片载体或电路板，其中进一步包括第四光成像介电材料层和第五光成像介电材料层，第四光成像介电材料层排列在所述第二光成像介电材料层上，而第五光成像介电材料层排列在所述第三光成像介电材料层上，且电路分布在所述第四和第五光成像介电材料层上，金属填充的孔将所述第四和第五光成像介电材料层上的电路连接到镀敷的通孔。

多电压平面多信号平面电路卡

技术领域

本发明一般涉及到具有多电压平面的芯片载体或印刷电路板的制造，更确切地说是涉及到具有多电压平面的芯片载体，特别是有机芯片载体，其多个电压平面被介电材料分隔，镀敷的通孔穿过二个电压平面和分隔电压平面的介电材料而从一个表面延伸到另一个表面。

背景技术

过去，用有机介电材料制作具有多个亦即至少二个电压平面和多个亦即至少二个信号平面（2s/2p）的芯片载体的典型方法，依赖于在电压平面中机械地钻孔，确切地说是依赖于在电压平面已经被层叠到诸如FR4材料之类的玻璃加固的环氧树脂的衬底上之后再在电压平面中机械地钻孔。这一钻孔有一些缺点。首先，必须在网格上相继精确地钻各个孔，其成本极高。其次，最小孔径受到限制，最小孔径通常为0.1524-0.2032mm（0.006-0.008英寸），导致岛的最小直径为0.254-0.3556mm（0.010-0.014英寸），在精制工艺中更是如此。而且，钻孔能够导致阴极和阳极丝沿可能受到钻孔损伤的玻璃纤维涂敷生长引起的可靠性问题，这就引起失效或偏离指标。此外，由于要求较大的网格尺寸而必须腐蚀掉大量的铜，以便为涂敷的通孔提供空间，故典型钻孔的有机芯片载体中的功率分布很差。

所有这些因素使得最小I/O网格为0.4572-0.508mm(0.018-0.02英寸)。随着技术的进步，希望I/O网格为0.254mm(0.010英寸)，以便适应倒装片安装（亦即焊料球或C4连接）。

发明内容

根据本发明，提供了一种制作具有二个电压平面和至少二个信号平面的芯片载体最好是有机芯片载体的方法。此方法包括将第一光刻介电材料层键合到第一金属层，并将第一介电材料层暴露于辐射图形，

以便在后续工艺中提供至少一个穿过第一介电材料层的窗口。

第二金属层被键合到第一金属层反侧上的第一光成像材料层。在第一和第二金属层中腐蚀出孔，这些孔对应于而且大于第一介电材料层中所述窗口上的各个图形。然后对第一介电材料层上的暴露图形进行显影，以便形成至少一个对应于暴露图形的穿过第一和第二金属层并穿过第一介电材料层的窗口，第一和第二金属层中的窗口大于第一介电材料层中得到的窗口。

在第一和第二金属层上，分别涂敷第二和第三光成像介电材料层。第二和第三光图形化介电材料层被光图形化并显影，以便在对应于第一介电材料层中的各个孔以及第一和第二金属层中的孔的各个第二和第三介电材料层中提供窗口。至少第二介电材料，最好是第二和第三介电材料的暴露表面被电路化，并涂敷各个孔，以便至少在一侧具有电路，最好是二侧都有电路，而涂敷的通孔穿过整个介电材料。可以用叠加工艺、完全精制工艺或半叠加图形涂敷工艺来进行电路化。金属层和电路层最好由铜制作，铜层中的孔的腐蚀最好用光刻方法来执行。电路化最好也用光刻方法进行。

附图说明

图 1 是局部剖面示意透视图，示出了根据本发明制作的芯片载体；

图 2a-2m 是基本上沿图 1 中 2-2 线规定的平面的纵向剖面图，示出了图 1 的载体的制作步骤；以及

图 2n 是本发明另一个实施例的相似于图 2m 的图。

具体实施方式

现参照附图，暂时先看图 1，示出了根据本发明制作的芯片载体 6 的具有部分剖面的示意透视图。所示的结构是一种 2S/2P 结构，亦即具有二个电压平面和二信号平面。如此处所用的那样，术语“电压平面”包括一个处于地电位的平面和具有外加电压的平面。实际上，在本发明中，二个电压平面包括一个地电位平面和一个具有正电压或负电压的平面。

图 2a-2m 示出了制作芯片载体 6 的技术和方法。现参照图 2a，示

出了涂敷在金属层（最好是铜层）12 一个表面上的第一光图形化介电材料层 10。介电材料最好是共同受让的美国专利 No.5026624 所述的一类环氧基树脂，如此专利所述，可以幕涂或可以包含触变剂并用共同受让的美国专利 No.5300402 所述的溢流遮蔽（flood screening）方法来涂敷。此外，光图形化材料可以制作成干膜并层叠到金属层（最好是铜层）12。制作干膜的适当方法如下。

制备固体含量约为 86.5-89%的光成像介质组分，这种固体包含：大约 27.44% PKHC 的苯氧树脂；41.16%的 Epirez 5183 四溴双酚 A；22.88%的 Epirez SU-8 八功能环氧双酚 A 甲醛合成酚醛树脂；4.85%的 UVE 1014 光引发剂；0.07%的乙基紫染料；从 3M 公司得到的 0.03% Fc 430 氟化聚酯非离子表面活性剂；从 Degussa 得到的 3.85%的 Aerosil 380 非晶二氧化硅；以便提供固体组分。溶剂约为总光成像介质组分的 11-13.5%。光成像介电组分被涂敷在从 DuPont 得到的称为 Mylar D 的 0.0361mm（1.42 密尔）厚的聚对苯二甲酸乙二醇酯聚酯层上。可以对光成像介电组分进行干燥，以便在聚对苯二甲酸乙二醇酯背面提供厚度为 0.07112mm（2.8 密尔）的光成像介电膜。

如果以干膜形式涂敷，则最好真空层叠到表面上。这些层的厚度最好在大约 0.508-0.127mm（0.002-0.005 英寸）之间。若干燥涂敷，则清除 Mylar[®]之类的任何表面保护材料。

涂敷介电材料的特定技术对本发明来说是不重要的，可以根据载体制作中的工程实践来选取。

最好是铜且最好是 14.18g（1/2 盎司）或 28.35g（1 盎司）铜的金属层，将形成一个电压平面。根据产品对电压平面的要求，铜层的厚度应该在大约 0.0127-0.07112mm（0.5-2.8 密尔）之间。

第一光图形化介电材料层 10 的光图形化材料是一种负性感光材料，亦即一种不曝光处显影且暴露于热时硬化或局部固化的感光材料。然后使层 10 的材料暴露于辐照，掩模位于待要制作孔的区域 14 上。制造过程中，暴露的区域，亦即区域 14 外面的层 10 的区域最好被预暴露而不是完全暴露，亦即，区域 14 外面的层 10 的区域暴露于辐照

的程度小于正常完全暴露所需的程度。这一紫外曝光最好在大约 100-800 毫焦耳的范围内进行大约 0.5-2.0 分钟。与完全曝光相反，这是一个预先或局部曝光，致使其表面保持足够发粘，使另一个铜片能够在随后的操作中层叠到其上。

预先或局部曝光之后，第二铜层 16 被层叠到第一光图形化介电材料层 10 的与层叠了金属层（最好是铜层）12 一侧相反的侧上。此层仍然最好是 14.18g（1/2 盎司）到 28.35g（1 盎司）的铜箔，其厚度范围与第一金属层（最好是铜层）12 相同。图 2b 示出了这一生产阶段。

将铜层 16 层叠到第一光图形化介电材料层 10 之后，在金属层（最好是铜层）12 和 16 上涂敷光刻胶层 18。此光刻胶最好是 McDermid 公司所售的 CFI 或 CF。图 2c 示出了这一点。对金属层（最好是铜层）12 和 16 上的光刻胶层 18 进行图形化，以便显影时具有对应于但稍大于第一光图形化介电材料层 10 中的未暴露区域的孔 20。图 2d 示出了这一点。这将使铜能够从区域 14 中的孔的边沿向外腐蚀，致使当区域 14 中的孔 14 作为涂敷的通孔终止时，涂层通过金属层（最好是铜层）12 和 16 而不接触它们，以便在增加后续的光图形化介质层之后，形成电绝缘于金属层（最好是铜层）12 和 16 的通孔。

在对光刻胶层 18 进行图形化之后，用诸如碳酸钠之类的常规显影液进行显影，然后用诸如氯化铜这样的常规铜腐蚀剂腐蚀暴露的第二铜层 16 的铜和光刻胶层 18，以便在金属层（最好是铜层）12 和 16 中形成窗口 26 和 28。图 2e 示出了这一条件。如从图 2e 可见，第一介电材料层 10 的未暴露部分包含在分别腐蚀在金属层（最好是铜层）12 和 16 中的窗口 26 和 28 中。然后用诸如氢氧化钠之类的常规剥离剂剥离残留的光刻胶层 18 的光刻胶。最好对图 2f 的环 30 进行大约 2 分钟的大约 200-1500 毫焦耳的紫外线最后曝光，然后在大约 125℃ 下进行 1 小时的曝光后烘焙。这可以抑制显影过程中介质在邻近环 30 的铜平面之间的迁移，并提高环在下一步骤中的刚性。

然后，最好用丙烯酸酯显影第一光图形化介电材料层 10 中的区域 14，这将提供图 2f 所示的结构。如从图 2f 可见，显影的区域 14 中

的孔小于铜中的窗口 26 和 28，使环 30 环绕各个显影的区域 14 中的孔。然后，最好在 195-200°C 下对图 2f 的结构进行 3 小时热固化。

然后，用含有亚氯酸钠 (NaClO_2) 的标准 Shipley 亚氯酸盐溶液处理金属层 (最好是铜层) 12 和 16 的暴露表面，接着，如图 2g 所示，将第二光图形化材料层 32 涂敷到金属层 (最好是铜层) 12 的暴露表面，并将第三光图形化材料层 34 涂敷到第二铜层 16 的暴露表面。此材料仍然最好是美国专利 No.5026624 所述的环氧基树脂，如上所述，可以幕涂或可以溢流遮蔽或涂敷成干膜。如果以干膜形式涂敷，则最好真空层叠到表面上。这些层的厚度最好在大约 0.508-0.127mm (0.002-0.005 英寸) 之间。若干燥涂敷，则清除 Mylar[®] 之类的任何表面保护材料。层 32 和 34 被曝光，以便形成与层 10 中的区域 14 对准的层 32 中的窗口 36 和层 34 中的窗口 38 的区域。层 32 和 34 还被光图形化，以便为盲孔提供分别穿过层 32 和 34 到下方金属层 (最好是铜层) 12 和 16 的窗口 40 和 42。图 2h 示出了这一点。

然后在 125°C 下对这种形式的载体进行 1 小时烘焙。再用丙烯酸酯显影层 32 和 34 中的介电材料，以便开孔，从而分别提供涂敷的通孔所需的通孔和向下延伸到下方金属层 (最好是铜层) 12 和 16 的窗口 40 和 42 中的盲孔。然后用 2-6 焦耳的紫外线激励二侧的材料，接着，在大约 150-200°C 下进行 1 小时固化。

固化之后，例如用熟知的喷蒸汽和去涂抹的方法对暴露的表面进行表面处理，然后，若用额外的涂敷进行电路化，则如图 2i 所示，用钨催化剂或引晶 46 处理表面。

借助于如图 2j 所示，在各个光图形化材料层 32 和 34 上涂敷诸如 DuPont 公司所售 Riston T168 之类的光刻胶层 50，并如图 2k 所示，曝光和显影光刻胶层 50，以便提供对应于区域 14 的窗口 52、对应于窗口 42 的窗口 54 和用来在各个光图形化材料层 32 和 34 的表面上提供电路的窗口 56，来进行电路化。可以看到，窗口 52 稍大于区域 14 中的孔，并分别大于光图形化材料层 32 和 34 中的窗口 36 和 38。这使岛能够以熟知的方法制作成涂敷通孔的一部分。

在如图 2k 所示已经显影窗口 52、54 和 56 中的孔图形化之后，如图 2l 所示，用常规技术执行无电镀敷，然后，在大约 60-100°C 温度下，用丙烯酸碳酸酯剥离残留的光刻胶层 50 的光刻胶，并在氰化物溶液中剥离其余暴露的催化剂。

这就得到图 2m 和图 1 所示的电路，它包括涂敷的通孔 60、盲孔 62 和光图形化材料层 32 和 34 顶部上的电路 64。于是提供了根据本技术的具有二个电压平面，即金属层（最好是铜层）12 和 16，以及二个信号平面的芯片载体，涂敷的通孔穿过作为电压平面的铜层 12 和 16。

依照在通孔 60、盲孔 62 中的电路和电路 64 顶部涂敷光成像介电材料 70 的步骤和依照如上所述对层 32 和 34 进行光图形化、显影和电路化，从而提供涂敷的通孔 72、与下方电路层上的盲孔 62 接触的盲孔 74，以及电路化 76 的步骤，也有可能各个侧上产生额外的信号平面。当然，应该理解，在这些额外的层上，盲孔无法直接连接到层 12 或 16。

因此，已经描述了本发明的最佳实施例。但记住上述的描述，应该理解的是，此描述仅仅是举例的方式，本发明不局限于此处所述的特定实施例，而是可以作出各种各样的重组、修正和替换而不超越下列权利要求所述的本发明的实际构思。

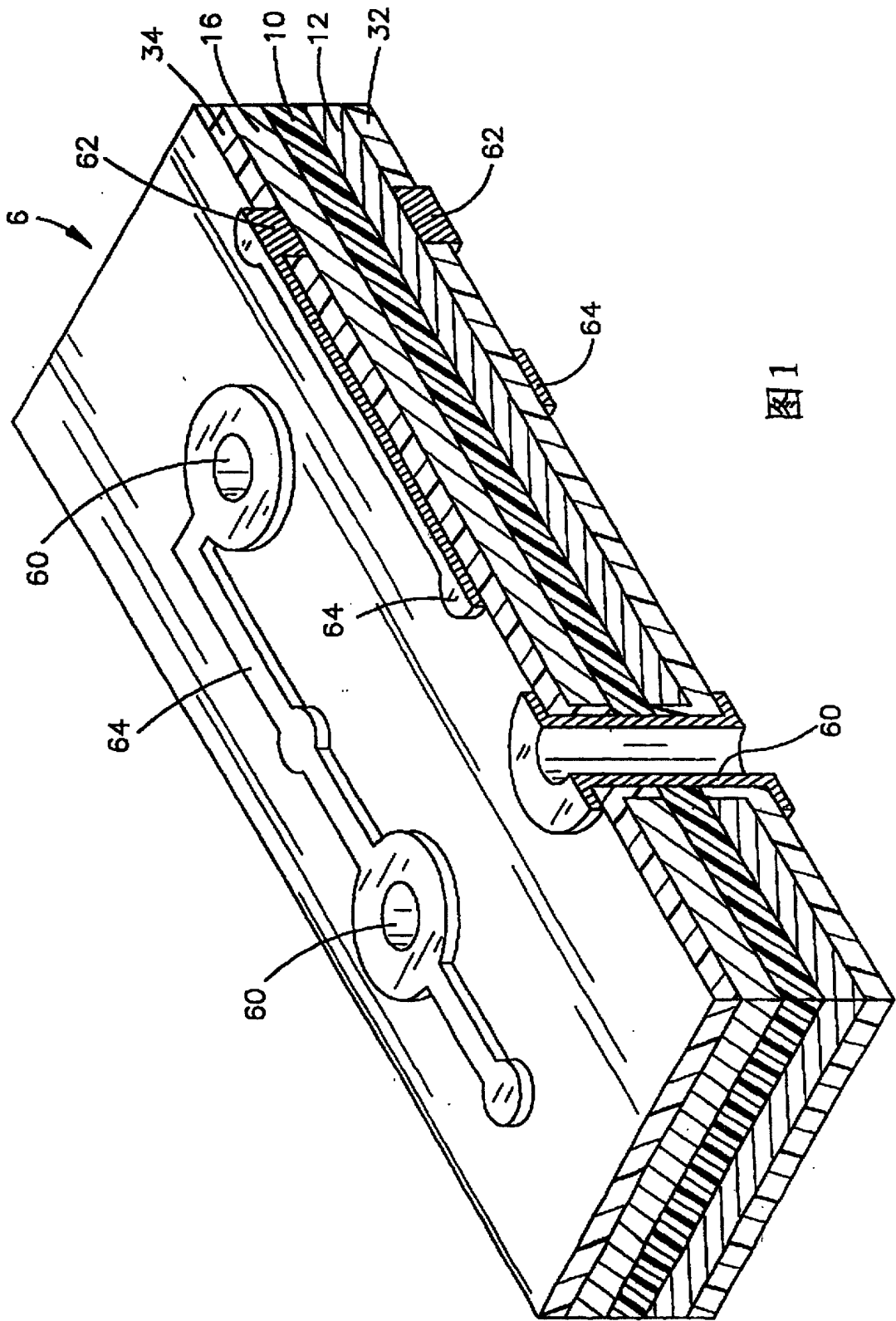


图1

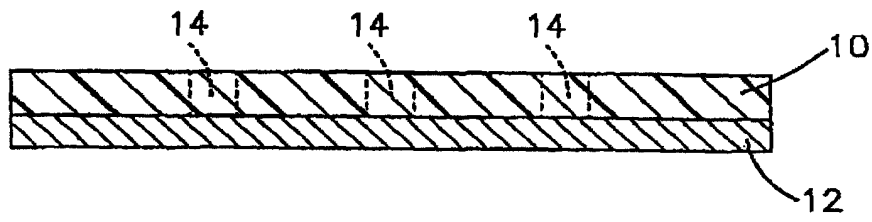


图2a

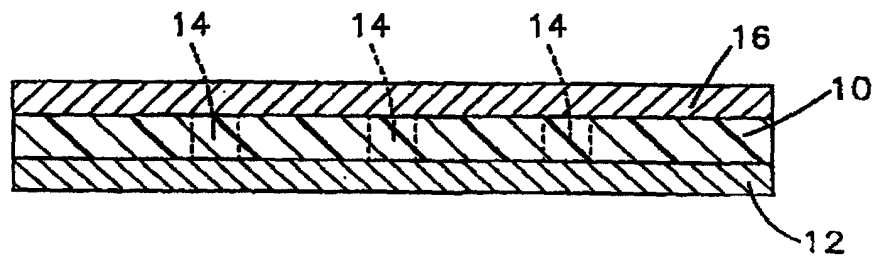


图2b

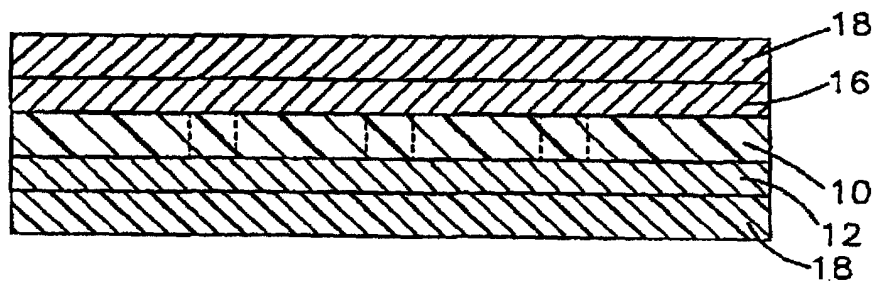


图2c

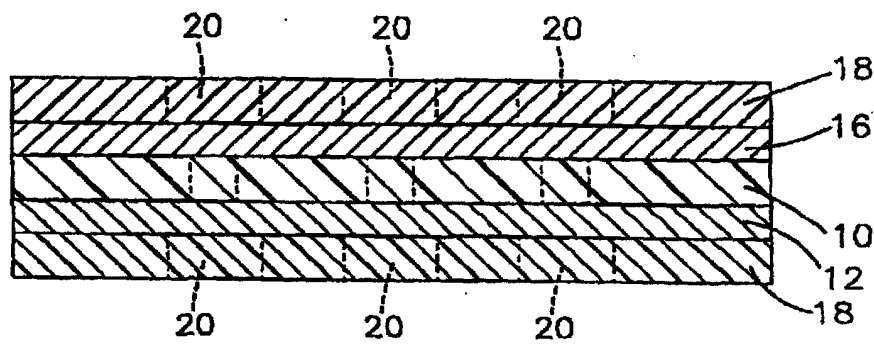


图2d

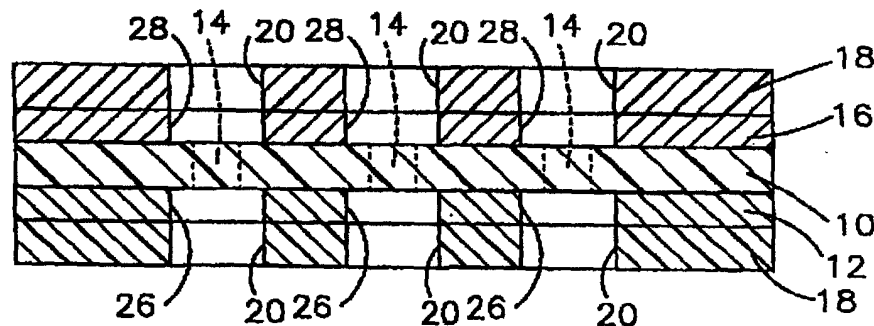


图2e

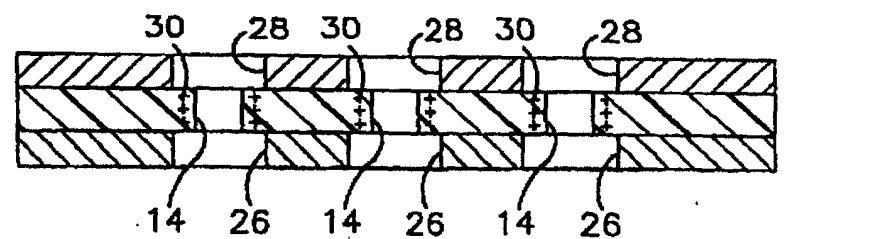
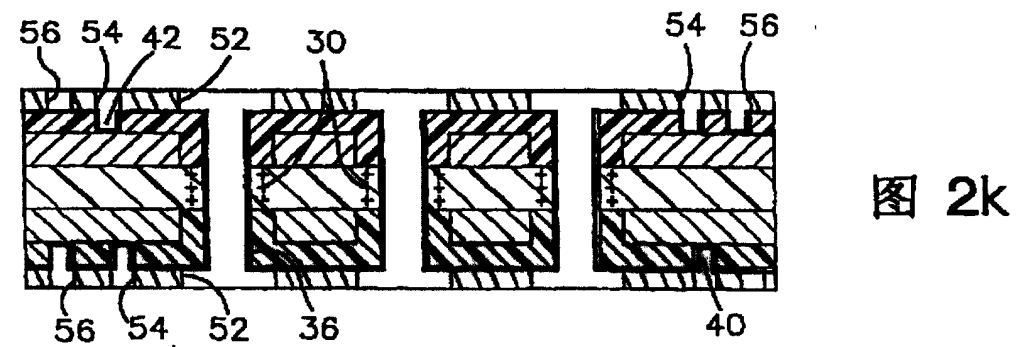
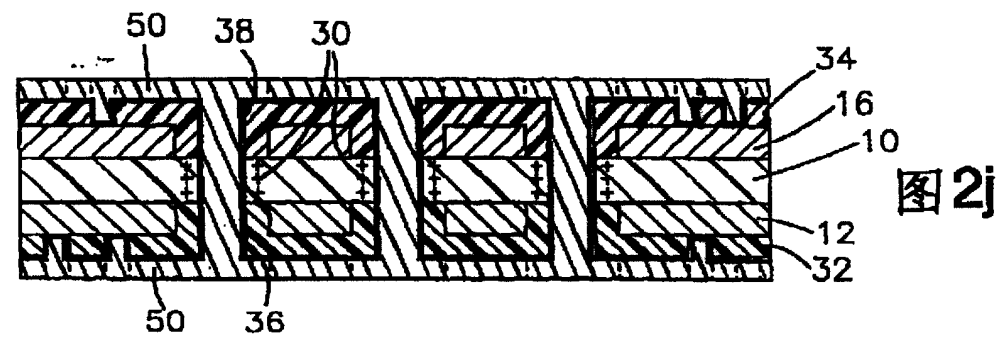
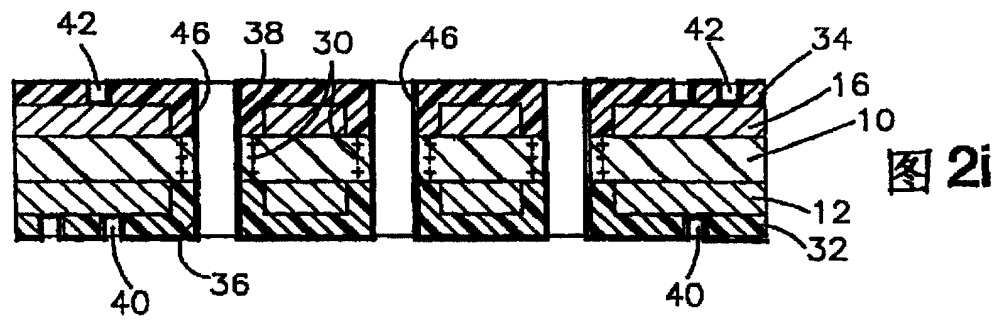
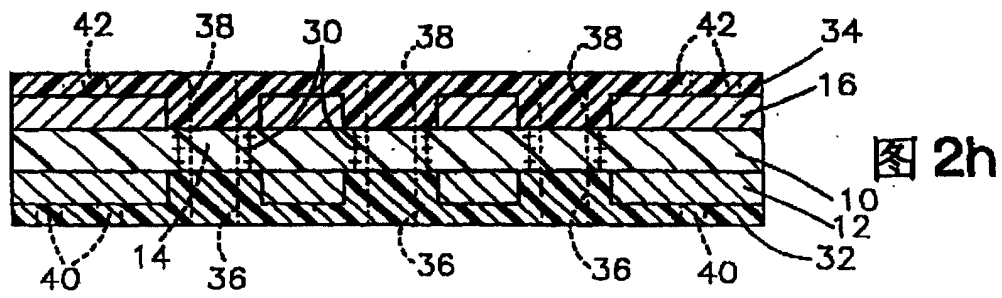
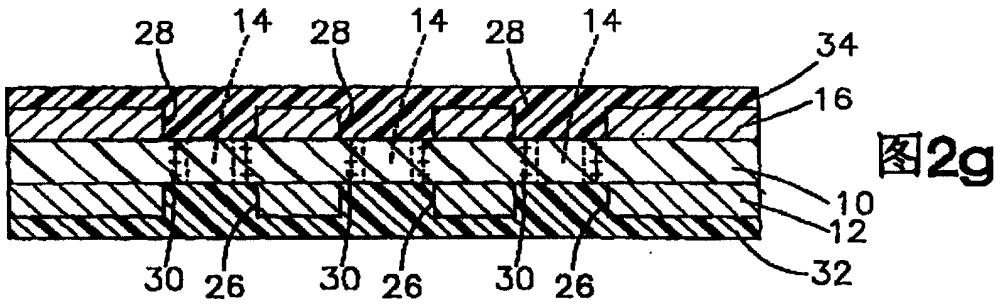


图2f



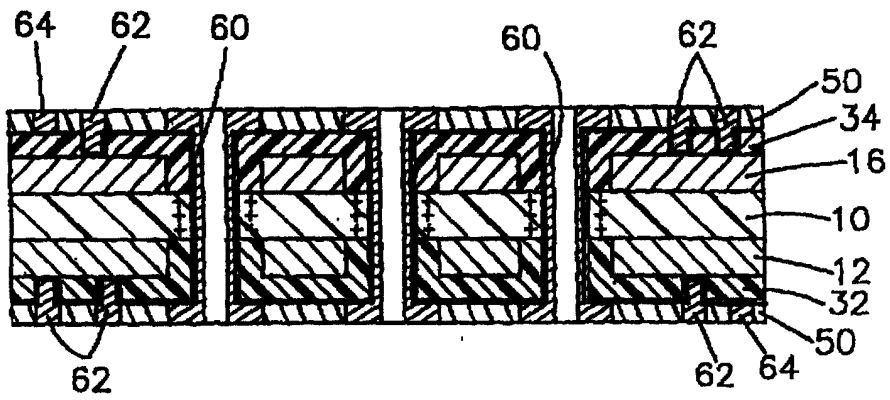


图 2l

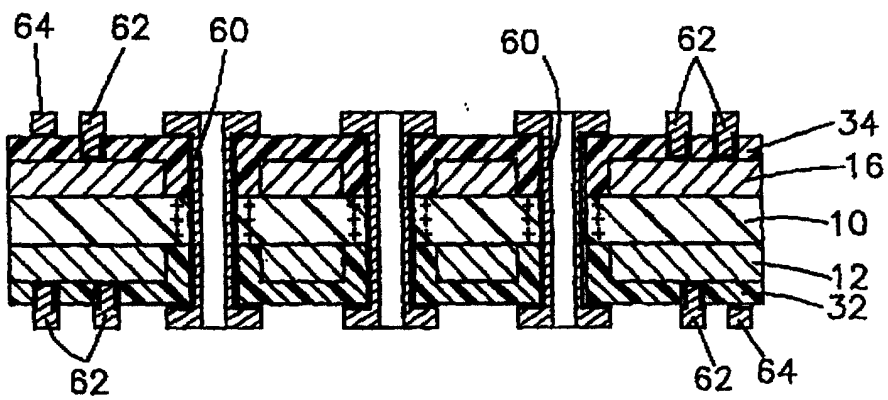


图 2m

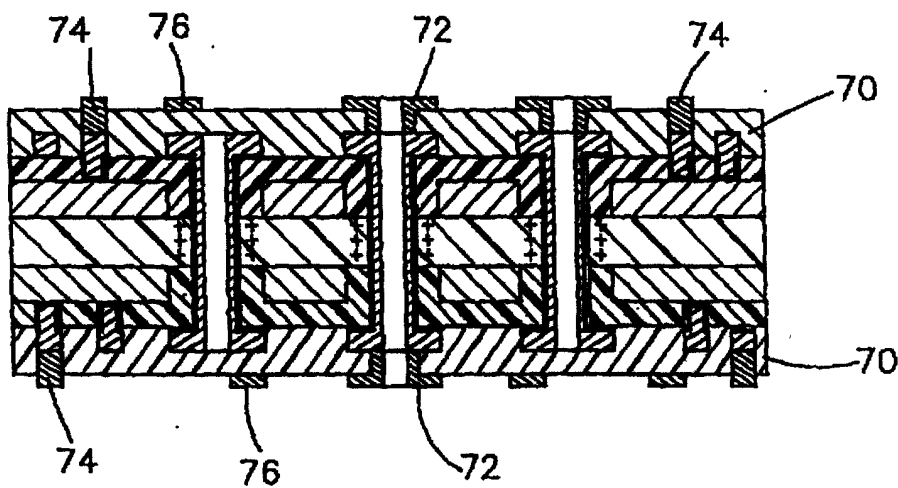


图 2n