

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5656611号
(P5656611)

(45) 発行日 平成27年1月21日 (2015. 1. 21)

(24) 登録日 平成26年12月5日 (2014. 12. 5)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14

A

H O 1 L 21/3205 (2006. 01)

H O 1 L 21/88

T

H O 1 L 21/768 (2006. 01)

H O 1 L 21/88

Z

H O 1 L 23/522 (2006. 01)

請求項の数 22 (全 20 頁)

(21) 出願番号 特願2010-283771 (P2010-283771)
 (22) 出願日 平成22年12月20日 (2010. 12. 20)
 (65) 公開番号 特開2012-134257 (P2012-134257A)
 (43) 公開日 平成24年7月12日 (2012. 7. 12)
 審査請求日 平成25年11月18日 (2013. 11. 18)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 小倉 正徳
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 小林 秀央
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

入力パッドと出力パッドとを含む複数のパッドと、第1回路部及び第2回路部と、前記第1回路部の出力ノードと前記第2回路部の入力ノードとを電気的に接続するための配線と、が配された半導体チップを有する半導体装置であって、

前記第1回路部及び前記第2回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、

前記配線は、導電部材を含んで構成され、

前記導電部材の少なくとも一部が、前記複数のパッドに含まれる少なくとも一つのパッドと重なって配されたことを特徴とする半導体装置。

【請求項 2】

前記導電部材は、第1導電部材、第2導電部材、及び第3導電部材を含み、

前記第1導電部材は、前記少なくとも一つのパッドと平面的に重なり、

前記第2導電部材は、前記第1導電部材と前記出力ノードとを電気的に接続し、

前記第3導電部材は、前記第1導電部材と前記入力ノードとを電気的に接続し、

前記第1導電部材は、前記第2導電部材及び前記第3導電部材とは異なる配線層に配され、

前記第1導電部材と、前記少なくとも一つのパッドとの中間の配線層に、前記第1導電部材と平面的に重なった緩衝部が配されたことを特徴とする請求項1に記載の半導体装置

。

【請求項 3】

前記半導体装置は、複数の光電変換部と、前記複数の光電変換部からの信号を処理するための信号処理回路と、をさらに有し、

前記複数のパッドが第 1 方向に沿って配され、

前記複数の光電変換部は前記複数のパッドと並行して前記第 1 方向に沿って配され、

前記信号処理回路は前記第 1 回路部及び前記第 2 回路部を含み、

前記配線は、前記信号または前記信号処理回路を駆動する駆動信号を伝達することを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記複数のパッドと、前記第 1 回路部及び前記第 2 回路部と、が、第 1 方向に沿って一直線上に配され、 10

前記少なくとも一つのパッドが、前記第 1 回路部と前記第 2 回路部との間に配されたことを特徴とする請求項 2 または請求項 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 回路部及び前記第 2 回路部が、前記第 1 方向に沿って配され、

前記第 1 回路部及び前記第 2 回路部が、前記複数のパッドと前記複数の光電変換部との間に配されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 6】

前記第 2 回路部が、前記第 1 回路部と前記複数の光電変換部との間に配され、

前記第 2 回路部が配された領域の前記第 1 方向に沿った長さが、前記第 1 回路部の前記第 1 方向に沿った長さよりも長いことを特徴とする請求項 3 または請求項 5 のいずれかに記載の半導体装置。 20

【請求項 7】

前記第 1 回路部はクロック信号を発生する回路を含み、

前記配線は、クロック信号を伝達することを特徴とする請求項 2 乃至請求項 5 のいずれか一項に記載の半導体装置。

【請求項 8】

入力パッドと出力パッドとを含む複数のパッドと、回路部と、前記複数のパッドに含まれる第 1 パッドと前記回路部のノードとを電氣的に接続するための配線と、が配された半導体チップを有する半導体装置であって、 30

前記回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、

前記配線は、導電部材を含んで構成され、

前記導電部材の一部が、前記複数のパッドに含まれる第 2 パッドと重なって配されたことを特徴とする半導体装置。

【請求項 9】

前記導電部材は、第 1 導電部材、第 2 導電部材、及び第 3 導電部材を含み、

前記第 1 導電部材は、前記第 2 パッドと平面的に重なり、

前記第 2 導電部材は、前記第 1 導電部材と前記ノードとを電氣的に接続し、

前記第 3 導電部材は、前記第 1 導電部材と前記第 1 パッドとを電氣的に接続し、

前記第 1 導電部材は、前記第 2 導電部材及び前記第 3 導電部材とは異なる配線層に配され、 40

前記第 1 導電部材と、前記第 1 導電部材と前記第 2 パッドとの中間の配線層に、前記第 1 導電部材と平面的に重なった緩衝部が配されたことを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】

前記半導体装置は、複数の光電変換部と、前記複数の光電変換部からの信号を処理するための信号処理回路と、をさらに有し、

前記複数のパッドが第 1 方向に沿って配され、

前記複数の光電変換部は前記複数のパッドと並行して前記第 1 方向に沿って配され、

前記信号処理回路は前記回路部を含み、 50

前記配線は、前記信号または前記信号処理回路を駆動する駆動信号を伝達することを特徴とする請求項 9 に記載の半導体装置。

【請求項 1 1】

前記半導体装置は電源配線をさらに有し、

前記電源配線は導電性の電源配線部材を含んで構成され、

前記複数のパッドは前記電源配線部材と電氣的に接続された電源パッドを含み、

前記電源配線部材は前記複数のパッドと同一の層に配され、かつ、前記電源配線部材は前記複数のパッドとは平面的に重ならないように配されたことを特徴とする請求項 2 乃至請求項 7、請求項 9、及び請求項 10 のいずれか一項に記載の半導体装置。

【請求項 1 2】

前記半導体装置は、第 1 配線層と、第 2 配線層と、をさらに有し、

前記複数のパッド、及び前記電源配線部材は、前記第 1 配線層に配され、

前記配線に含まれる前記第 2 導電部材及び前記第 3 導電部材は、前記第 2 配線層に配され、

前記緩衝部は、前記信号配線の前記第 2 導電部材及び第 3 導電部材と同じ材料で形成され、かつ、前記緩衝部は、前記第 2 配線層に配されたことを特徴とする請求項 11 に記載の半導体装置。

【請求項 1 3】

前記第 1 配線層は最上層の配線層であり、前記第 1 配線層に配されたパッドの厚さは、前記第 2 配線層に配された前記第 2 導電部材、前記第 3 導電部材、または前記緩衝部の厚さよりも大きいことを特徴とする請求項 12 に記載の半導体装置。

【請求項 1 4】

前記第 1 回路部、または、前記第 2 回路部に MOS トランジスタが配され、

前記 MOS トランジスタのゲート電極と、前記配線を構成する前記導電部材の前記一部とが同じ配線層に配されたことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の半導体装置。

【請求項 1 5】

前記第 1 回路部、または、前記第 2 回路部に MOS トランジスタが配され、

前記 MOS トランジスタのゲート電極と、前記配線を構成する前記導電部材の前記一部とが同じ材料で形成されたことを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の半導体装置。

【請求項 1 6】

前記回路部に MOS トランジスタが配され、

前記 MOS トランジスタのゲート電極と、前記配線を構成する前記導電部材の前記一部とが同じ配線層に配されたことを特徴とする請求項 8 乃至請求項 13 のいずれか一項に記載の半導体装置。

【請求項 1 7】

前記回路部に MOS トランジスタが配され、

前記 MOS トランジスタのゲート電極と、前記配線を構成する前記導電部材の前記一部とが同じ材料で形成されたことを特徴とする請求項 8 乃至請求項 13 のいずれか一項に記載の半導体装置。

【請求項 1 8】

前記配線を構成する前記導電部材の前記一部の幅が、前記導電部材の前記一部とは異なる部分の幅よりも大きいことを特徴とする請求項 1 乃至請求項 17 のいずれか一項に記載の半導体装置。

【請求項 1 9】

前記少なくとも一つのパッドに供給される電圧が変化する期間と、前記配線に供給される電圧が変化する期間とが、異なる期間であることを特徴とする請求項 1 乃至請求項 18 のいずれか一項に記載の半導体装置。

【請求項 20】

前記緩衝部は、導電性の材料で構成され、かつ、電氣的にフローティングであることを特徴とする請求項 2、または、請求項 9 に記載の半導体装置。

【請求項 2 1】

入力パッドと出力パッドとを含む複数のパッドと、第 1 回路部及び第 2 回路部と、前記第 1 回路部の出力ノードと前記第 2 回路部の入力ノードとを電氣的に接続するための配線と、が配された半導体チップを有する半導体装置であって、

前記第 1 回路部及び前記第 2 回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、

前記配線は、導電部材を含んで構成され、

前記導電部材の少なくとも一部が、前記複数のパッドに含まれる少なくとも一つのパッドと重なって配され、

前記導電部材は、第 1 導電部材、第 2 導電部材、及び第 3 導電部材を含み、

前記第 1 導電部材は、前記少なくとも一つのパッドと平面的に重なり、

前記第 2 導電部材は、前記第 1 導電部材と前記出力ノードとを電氣的に接続し、

前記第 3 導電部材は、前記第 1 導電部材と前記入力ノードとを電氣的に接続し、

前記第 1 導電部材は、前記第 2 導電部材及び前記第 3 導電部材とは異なる配線層に配されたことを特徴とする半導体装置。

【請求項 2 2】

入力パッドと出力パッドとを含む複数のパッドと、回路部と、前記複数のパッドに含まれる第 1 パッドと前記回路部のノードとを電氣的に接続するための配線と、が配された半導体チップを有する半導体装置であって、

前記回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、

前記配線は、導電部材を含んで構成され、

前記導電部材の一部が、前記複数のパッドに含まれる第 2 パッドと重なって配され、

前記導電部材は、第 1 導電部材、第 2 導電部材、及び第 3 導電部材を含み、

前記第 1 導電部材は、前記第 2 パッドと平面的に重なり、

前記第 2 導電部材は、前記第 1 導電部材と前記ノードとを電氣的に接続し、

前記第 3 導電部材は、前記第 1 導電部材と前記第 1 パッドとを電氣的に接続し、

前記第 1 導電部材は、前記第 2 導電部材及び前記第 3 導電部材とは異なる配線層に配されたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の配線技術に関するものであり、とりわけ固体撮像装置の配線技術に関する。

【背景技術】

【0002】

半導体装置は半導体チップ外部からの信号が入力される入力パッドと、外部へ信号を出力するための出力パッドとを有している。

【0003】

特許文献 1 は、半導体装置におけるパッド及び配線のレイアウトを開示している。特許文献 1 の図 1 に記載された半導体装置は、内部回路の周りを完全に囲むように配された内部回路用電源配線（4 a、4 b）を有する。そして、内部回路用の第 1 電源パッド（8 a、8 b）が、この内部回路用電源配線と一体化して形成されている。さらに、チップの外周部に、内部回路用の第 2 電源パッド（7 a、7 b）が配される。

【0004】

このようなレイアウトにおいては、配線が互いに交差する必要がある。具体的には、第 2 電源パッドから内部回路に電源電圧を供給する電源配線が、内部回路用電源配線と交差する必要がある。そのため、特許文献 1 では、第 2 電源パッドから内部回路に電源を供給する配線が、第 1 電源パッドと平面的に重なったレイアウトが開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-78354号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

一般に半導体装置は、一枚のウエハから得ることができる半導体チップの数（チップ収量）を多くすることが望まれる。このため、同一の機能、目的を実現するデバイスをしてだけ小さい面積の半導体チップに配することが求められる。

10

【0007】

本発明者らは、パッドよりも半導体チップの内周部に配された回路間の電氣的接続において、パッドと配線との位置関係によって半導体チップ面積を縮小できることを見出した。

【0008】

本発明は上記知見に基づいてなされたものであり、本発明は、半導体チップ面積を縮小可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体装置は、入力パッドと出力パッドとを含む複数のパッドと、第1回路部及び第2回路部と、前記第1回路部の出力ノードと前記第2回路部の入力ノードとを電氣的に接続するための配線と、が配された半導体チップを有する半導体装置であって、前記第1回路部及び前記第2回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、前記配線は、導電部材を含んで構成され、前記導電部材の少なくとも一部が、前記複数のパッドに含まれる少なくとも一つのパッドと重なって配されたことを特徴とする。

20

【0010】

本発明の別の側面に係る半導体装置は、入力パッドと出力パッドとを含む複数のパッドと、回路部と、前記複数のパッドに含まれる第1パッドと前記回路部のノードとを電氣的に接続するための配線と、が配された半導体チップを有する半導体装置であって、前記回路部は前記複数のパッドよりも前記半導体チップの内周部に配され、前記配線は、導電部材を含んで構成され、前記導電部材の一部が、前記複数のパッドに含まれる第2パッドと重なって配されたことを特徴とする。

30

【発明の効果】

【0011】

本発明によれば、半導体装置のチップ面積を縮小することが可能となる。

【図面の簡単な説明】

【0012】

【図1】本発明の実施例1における平面レイアウトの概略図である。

【図2】本発明の実施例1における回路構成を示す図である。

40

【図3】本発明の実施例1における断面の概略図である。

【図4】本発明のラインセンサの動作タイミングを示す模式図である。

【図5】本発明の実施例2における断面の概略図である。

【図6】本発明の実施例3における配線の平面レイアウトの概略図である。

【図7】本発明の実施例4における平面レイアウトの概略図である。

【発明を実施するための形態】

【0013】

図1を用いて本発明の要部の説明を行う。図1において、100は半導体装置である。半導体装置100の最外周の太線は半導体チップの端を示している。

【0014】

50

本発明は半導体装置に関する。本明細書において、半導体装置とは、デバイスが配された半導体基板、該半導体基板がパッケージされた部品、または、該部品が実装された装置を意味する。デバイスが配された半導体基板であって、パッケージするためのサイズに切断されたものを半導体チップ、あるいは単にチップと呼ぶ。ただし、実際に切断されていなくても、半導体基板のうちパッケージするために切り離されるべき一部分が半導体チップである。また、固体撮像装置とは、半導体装置のうち、撮像用途の装置を意味する。

【0015】

本発明の半導体装置100は、入力パッドと出力パッドとを含む複数のパッドを有する。図1においては、102a~102eがこれにあたる。更に、半導体装置100は、複数のパッド102a~102eよりも半導体チップの内周部に配された第1回路部及び第2回路部を有する。図1においては、104~110のうちの二つがこれにあたる。ここでは、108が第1回路部であり、109が第2回路部であるとする。本明細書において、回路部は、半導体チップのうち、所定の機能を実現する回路が配された領域を意味する。具体的には、当該回路を構成するトランジスタなどの素子、それらの素子どうしを接続する局所配線、プラグなどが回路部に配される。

10

【0016】

半導体装置100は、第1回路部108の出力ノードと第2回路部109の入力ノードとを電氣的に接続するための配線101を有する。本発明の特徴部分はこの配線101を構成する導電部材のレイアウトである。具体的には、配線101を構成する導電部材の一部が複数のパッドのうちの一つのパッドと平面的に重なることが特徴である。ここで、パッドと配線とが平面的に重なるとは、半導体基板の主面に対して垂直な方向から見たときに該パッドと該配線とが重なることを意味している。

20

【0017】

図3に図1のA-A'部分の断面の概念図を示す。303が図1のパッド102bに対応する。図1の配線101を構成する導電部材は、図3において第1導電部材307、第2導電部材306a、及び第3導電部材306bで示される。すなわち、配線101は、第1導電部材307、第2導電部材306a、及び第3導電部材306bを含んで構成されている。第1導電部材307がパッド303と平面的に重なる。

【0018】

パッドは、ボンディングワイヤやテスト用の検針が接触するための導電部材である。例えば、図3が示すように、パッシベーション膜304は上記の接触のためにパッドに対応した場所に開口を有する。この結果、パッドの少なくとも一部が露出している。パッドを構成する導電部材が、該パッドに接続された配線を構成する導電部材と一体で形成されていてもよい。

30

【0019】

本発明は、パッドよりも半導体チップの内周部に配置された回路どうしを電氣的に接続する際に、電氣的接続を行う配線がパッドと平面的に重なる。この点が、特許文献1の構成との違いである。特許文献1では、半導体チップの外周部に配された第2電源パッドと内部回路とを電氣的に接続する配線が、第2電源パッドよりも半導体チップのチップ内周部に配された第1電源パッドと平面的に重なる構成が開示されている。すなわち、特許文献1は、パッドよりも半導体チップの内周部に配置された二つの回路どうしを電氣的に接続する配線がパッドと重なることを開示していない。

40

【0020】

本発明のように、半導体チップの内周部の回路どうしを電氣的に接続する配線がパッドと重なって配されたことにより、回路をパッドに近接して配置することが可能となる。これは、パッドと回路との間に、電氣的接続を行う配線のみが配された領域を設ける必要がないからである。言い換えると、パッドと回路との間のスペースを小さくすることが可能となる。このことがチップ面積縮小につながる。

【0021】

次に、回路部がパッドよりも半導体チップの内周部に配されたことについて説明する。

50

本明細書において、回路部がパッドよりも内周部に配されたことは、一つの方向に着目した時のパッドとの位置関係に基づいて判断される。半導体チップには複数のパッドが配られるが、配線と平面的に重なって配されたパッドが判断の基準となる。そこで、図1を例に内周部について説明する。

【0022】

図1には、第1方向（チップの長辺に沿った方向）と、第1方向と直交する第2方向（チップの短辺に沿った方向）とが示されている。第2方向に沿った直線として、パッド102bを通る仮想的な直線を考える。この仮想的な直線は、パッド102bを通りチップの端との交点を両端とする線分を含む。この線分の中点が、チップの中心である。パッド102aはこの線分を二つの部分に分割する。二つの部分とは、チップの中心を含む部分と、チップの中心を含まない部分である。このうち、チップの中心を含む部分がパッドよりもチップ内周部である。より厳密に言えば、この線分が第1方向（着目した方向とは直交する方向）に平行移動すると、チップの中心を含む部分の軌跡が一定の領域となる。この一定の領域がパッドよりも半導体チップの内周部である。

【0023】

パッド102bが先述の線分を分割する境界は、該線分におけるパッド102bの両端のうち、チップの中心から遠いほうの端とする。図1に示されたパッド102bは、一辺が第2方向に直交する長方形である。そのため、先述の線分が第1方向に並行移動しても、該線分上におけるパッド102bの端の位置は変わらない。しかし、パッドが円形などの場合、線分が平行移動した位置に応じて、該線分上のパッドの端の位置が異なる。このような場合は、着目している方向において、パッドの端のうちチップの中心から最も遠い端が基準である。すなわち、上述の線分が第1方向に平行移動したときに、チップの中心からパッドの端までの距離が最大となる位置にある線分におけるパッドの端が境界である。

【0024】

加えて、パッドが存在していない領域については、パッドの端を着目している方向に対して直交する方向（図1の第1方向）に延長して基準とする。すなわち、先述の線分の中心から遠いほうのパッドの端で該線分と交差し、第1方向（該線分に対して垂直な方向）に平行な直線が境界となる。例えば、図1の第2方向に着目した場合、パッド102bの第1方向に平行な2辺のうち、チップの中心から遠いほうの辺を延長した直線が基準となる。パッドが円形などの場合には、着目している方向において、パッドの端のうちチップの中心から最も遠い端が基準となる。したがって、複数のパッドと並んで配された回路部も、パッドよりもチップの内周部に配されたということができる。このようなレイアウトは図7に示されている。

【0025】

以上のような基準に基づいて、回路部がパッドよりもチップの内周部に配されたことを判断する。なお、回路部の全領域がチップの内周部に配されている必要はなく、少なくとも回路部の一部が、パッドよりもチップの内周部に配されていれば、本発明の効果が得られる。

【0026】

本発明は、半導体装置であれば様々な用途のものに適用可能なものである。特に固体撮像装置に適用した場合に、前述のチップ面積縮小の効果が大きい。この点について説明する。

【0027】

固体撮像装置では複数の画素が第1方向に沿って配される場合が多い。固体撮像装置における半導体チップの第1方向の長さについては、画素数と画素サイズに応じて必要となる最小の長さが決まる。半導体チップの第1方向の長さを、上述の最小の長さよりも短くすることは困難である。したがって、チップ面積を縮小するためには、第1方向と交差する第2方向の長さを小さくすることが望ましい。このような理由から、固体撮像装置の形状は、一般的に長方形形状であることが多い。特に列数に比べて行数が極端に少ない固体

10

20

30

40

50

撮像装置、例えばラインセンサでは極端に細長い形状になりやすい。

【 0 0 2 8 】

固体撮像装置は、一般に、それぞれが異なる機能を有する複数の回路を含む。長方形形状のチップ内での効率的なレイアウトのために、複数の回路は第 1 方向に沿って配置されることが望ましい。さらに、複数の回路を互いに電氣的に接続するための配線が、第 1 方向に沿って配される。また、半導体チップの外周部には、複数のパッドが第 1 方向に沿って配される。これらの複数のパッドは、直線上に配されて、パッド配列を構成している。

【 0 0 2 9 】

上述のような固体撮像装置の構成の場合に本発明の構成を適用すると、チップ面積縮小の効果は高い。以下具体的に実施例を挙げて本発明を詳細に説明する。半導体装置として固体撮像装置を例に挙げて説明するが、これに限られるものでないことは上述したとおりである。

【実施例 1】

【 0 0 3 0 】

以下、本発明に係る固体撮像装置の実施例について図面を参照して詳細に説明する。まず、本実施例の平面レイアウトについて説明する。次に、本実施例における配線部の断面構造について説明する。

【 0 0 3 1 】

まず、パッド、電源配線を構成する導電部材、信号配線を構成する導電部材、及び信号処理回路等の回路の平面的なレイアウトについて説明する。ここでは、ラインセンサを例に説明する。回路構成は、以下の全ての実施例で共通であってもよい。

【 0 0 3 2 】

図 1 は、本発明が適用されうるラインセンサの模式的なブロック図である。具体的には、信号配線 1 0 1、複数のパッド 1 0 2 a ~ 1 0 2 e、電源配線パターン 1 0 3、GND 配線パターン 1 1 2 及び複数の回路部が示されている。機能ごとに区分された複数の回路が、対応する回路部にそれぞれ配される。複数の回路は、光電変換部を含む画素 1 0 4、読み出し回路 1 0 5、主走査回路 1 0 6、出力回路 1 0 7、タイミング・ジェネレータ(以下、TG) 1 0 8、制御回路 1 0 9、その他の回路 1 1 0 を含む。これらの回路の機能については後述する。

【 0 0 3 3 】

図 1 では、信号配線 1 0 1 が直線で示される。しかし、実際には、信号配線 1 0 1 は、電源配線パターン 1 0 3 や GND 配線パターン 1 1 2 と同様に、一定の幅を有する導電部材で構成される。そして、図に示された信号配線 1 0 1 の位置は、実際に導電部材が配される位置を模式的に示している。もちろん、信号配線 1 0 1 は、2 つのノード間が電氣的に接続されたことを示す回路図上の記号としての意味も含んでいる。なお、電源配線や GND 配線と区別するために、先の説明での「配線 1 0 1」を便宜的に「信号配線 1 0 1」と呼ぶ。

【 0 0 3 4 】

信号配線 1 0 1 は、複数の回路を互いに電氣的に接続する。図 1 では、TG 1 0 8 と主走査回路 1 0 6 とを電氣的に接続する信号配線、TG 1 0 8 と制御回路 1 0 9 とを接続する信号配線、及び TG 1 0 8 とその他の回路 1 1 0 を接続する信号配線が示される。しかし、実際はさらに多数の信号配線が配されうる。パッド 1 0 2 a ~ 1 0 2 e は、電源電圧を供給するための電源パッド 1 0 2 a、及び GND 電圧を供給するための GND パッド 1 0 2 e を含む。電源配線パターン 1 0 3 により構成される電源配線は、電源パッド 1 0 2 a からの電源電圧を、各回路に供給する。GND 配線パターン 1 1 2 により構成される GND 配線は、GND パッド 1 0 2 e からの GND 電圧を、各回路に供給する。1 1 1 は電源配線パターン 1 0 3 または GND 配線パターン 1 1 2 と、各回路を構成する素子とを接続するプラグである。また、複数のパッド 1 0 2 a ~ 1 0 2 e は、信号を伝達するための信号パッド 1 0 2 d を含む。信号パッド 1 0 2 d を介して、例えば画素からの信号が固体撮像装置の外部に出力される。

【0035】

本実施例のラインセンサは、複数の画素104を含む。複数の画素104は、第1方向に沿って配されている。図1におけるチップの長辺方向が第1方向である。図1では、複数の画素104が行状に配される。しかし、実際には複数の画素104が、複数の行に配されてもよい。すなわち、複数の画素104が行列状に配されてもよい。このように、複数の画素104は第1方向に沿った画素配列を構成する。

【0036】

複数のパッド102a~102eは、複数の画素104が配列した方向と同じ方向である第1方向に沿って配される。この結果、複数のパッド102a~102eは第1方向に沿ったパッド配列を構成する。図1が示す通り、パッド配列は、複数の画素104によっ

10

【0037】

信号配線101は、画素配列の方向と平行な方向である第1方向に沿って配される。もちろん、信号配線101が、第1方向以外の方向に沿った部分を有していてもよい。さらに、信号配線101を構成する導電部材は、パッド102a~102dと平面的に重なる部分を含む。すなわち、信号配線101と、複数のパッド102a~102dのうち少なくとも1つのパッドとが平面的に重なって配される。信号配線101を構成する導電部材とパッド102bとが重なった部分の断面構造については、後述する。

【0038】

本実施例において、TG108及び制御回路109は、パッド配列と画素配列との間に、第1方向に沿って配される。このような2つの回路を電氣的に接続するために、信号配線101は全体として第1方向に沿って配される必要がある。しかし、TG108と制御回路109との間には、その他の回路110が配されうる。その他の回路110が配された回路部には、その他の回路110を構成する複数の素子を互いに接続するための局所配線が配される。このような場合には、TG108と制御回路109とを電氣的に接続する信号配線101を構成する導電部材は、これらの局所配線を迂回して配される場合が多い。また、信号配線101を構成する導電部材が別の回路部に配されると、信号配線101と局所配線との間でクロストークが生じうる。そのため、シールド配線を配するなどの対策が必要となり、配線層数が増大しやすい。本発明によれば、このようなクロストークを低減し、配線層数の増大を回避することができる。

20

30

【0039】

また、主走査回路106がパッド配列と画素配列の間に配されている。主走査回路106が配された回路部の第1方向の長さは、TG108が配された回路部の第1方向の長さよりも長い。加えて、主走査回路106の複数のノードが、TG108と接続される。これらの複数のノードは、複数の画素104に対応して、第1方向に沿って配されうる。このような場合には、TG108とこれらのノードを接続するために、信号配線101が全体として第1方向に沿って配される必要がある。図1では、1つの信号配線101のみで、TG108と主走査回路106とが接続されている。しかし、上述の複数のノードとTG108とを接続するために、複数の信号配線101が配されうる。

【0040】

40

本実施例において、電源配線パターン103あるいはGND配線パターン112は、パッド102a~102eを迂回して配置される。すなわち、電源配線パターン103あるいはGND配線パターン112は、複数のパッド102a~102eのいずれとも平面的に重ならないように配される。

【0041】

次に、信号配線と電源配線について説明する。特に断りがない限り、電源配線についての説明は、GND配線に適用できる。まず、本実施例の回路構成について詳しく説明する。図2は、本実施例のラインセンサの回路構成を示した模式図である。図1と同様の機能を有する部分には、同じ符号が付されている。回路構成をより詳しく説明するため、図2は図1に比べて以下の点で異なる。第1に、電源配線及びGND配線が省略されている。

50

第2に、画素104及び読み出し回路105の具体的な回路図が示されている。第3に回路間を接続する複数の信号配線が示されている。

【0042】

201は画素104を構成する光電変換部である。光電変換部101は例えばフォトダイオードである。本実施例では複数の画素104が行状に配される。光電変換部201への入射光の量に応じた光信号が画素104から読み出される。読み出し回路105は、光信号を読み出すための回路である。各画素104に対応して複数の読み出し回路105のいずれかが一つが配される。読み出し回路105は、リセットトランジスタ202、アンプ203、第1スイッチ204、ラインメモリ205、第2スイッチ206を含みうる。リセットトランジスタ202は光電変換部201をリセットする。アンプ203は光信号を増幅して出力する。第1スイッチ204は、アンプ203からの出力をラインメモリ205に伝達するためのトランジスタである。ラインメモリ205は、画素からの信号を保持する容量である。第2スイッチ206は、ラインメモリ205に保持された光信号を後段の回路に伝達するためのトランジスタである。

【0043】

読み出し回路105の後段には共通出力線207が配される。複数のラインメモリ205が、対応する第2スイッチ206を介して、共通出力線207に電氣的に接続される。主走査回路106は、複数の第2スイッチ206のオンオフを制御する。主走査回路106の制御によって、複数の画素104からの光信号が、共通出力線207に順次読み出されうる。共通出力線207の後段には、出力アンプ208が配される。出力アンプ208は、共通出力線207に読み出された光信号を増幅して出力する。本実施例においては、共通出力線207と出力アンプ208とが出力回路107を構成する。TG108は、回路ブロックの動作タイミングを規定するクロック信号を出力する。制御回路109はラインセンサの駆動に必要な制御を行う回路である。

【0044】

本実施例において、画素104、読み出し回路105、出力回路107はアナログ回路である。主走査回路106、TG108、制御回路109、その他の回路110はデジタル回路である。これらの回路ブロックは光信号を処理するために必要な回路である。すなわち、これらの回路はいずれも信号処理回路に含まれる。また、信号処理回路は、アナログ信号をデジタル信号に変換するアナログデジタル変換回路（以下、ADC）を含んでもよい。

【0045】

図2においては、図1の信号配線101に代わり、複数の信号配線209～214が示される。信号配線209は、TG108とその他の回路110とを電氣的に接続する。信号配線210は、TG108と主走査回路106とを電氣的に接続する。信号配線211は、TG108と制御回路109とを電氣的に接続する。信号配線212は、TG108とリセットスイッチ202のゲートとを電氣的に接続する。信号配線213は、TG108と第1スイッチ204のゲートとを電氣的に接続する。実際には、さらに多くの信号配線が配されてもよい。信号配線209～213は、例えば、TG108から出力されるクロック信号を伝達する。

【0046】

信号配線と電源配線について、まずは機能的な観点で説明する。信号配線は各回路の動作を制御するための制御信号、または画素からの信号を伝達するための配線である。制御信号には、クロック信号及びスイッチのオンオフを制御する信号が含まれうる。電源配線は、各ブロック回路に必要な電源電圧を供給するための配線である。続いて、回路接続の観点からと、供給される電圧の観点から、信号配線及び電源配線について説明する。

【0047】

まず、信号配線について、回路接続という観点で説明する。リセットトランジスタ202及び第1スイッチ204は、アナログ回路に含まれるスイッチである。図示されていないが、デジタル回路にもスイッチが含まれうる。スイッチとして機能するこれらのトラン

ジスタのゲートに接続される配線は、信号配線に含まれる。必要に応じて、信号配線の経路には、インバータ回路やバッファ回路などが挿入される。

【0048】

信号配線に供給される電圧の観点では、信号配線には2値の電圧が供給される。この2値の電圧は、たとえば、スイッチをオンするための電圧と、スイッチをオフするための電圧である。また、アナログ信号を伝達する配線は、2値以上の電圧が供給される。したがって、アナログ信号を伝達する配線も信号配線に含まれる。例えば、画素からの信号はアナログ信号である。加えて、デジタル信号を伝達する配線も、信号配線に含まれる。ただし、固体撮像装置は複数の動作モードに設定される。所定の動作モードにおいて、所定のスイッチを常時オンにする場合は、信号配線に固定の電圧が供給される。

10

【0049】

次に、電源配線の回路接続について説明する。アナログ回路には信号を増幅する増幅回路が含まれる。例えば、読み出し回路105には、アンプ203が含まれる。出力回路107には、出力アンプ208が含まれる。増幅回路は、具体的にはソースフォロア回路、ソース接地回路、または差動増幅回路などである。また、ADCに含まれる比較器は増幅回路である。これらの増幅回路の電源電圧供給ノードに電氣的に接続された配線は、電源配線に含まれる。また、これらの増幅回路のGND電圧供給ノードに電氣的に接続された配線は、GND配線に含まれる。一方、図示されていないが、デジタル回路はロジックゲートを構成するインバータを含む。たとえば、CMOSインバータなどがデジタル回路には含まれる。インバータの電源電圧供給ノードに電氣的に接続された配線は、電源配線に含まれる。また、インバータのGND電圧供給ノードに電氣的に接続された配線は、電源配線に含まれる。電源電圧供給ノード及びGND電圧供給ノードを併せて電源ノードと呼ぶ。もし必要ならば、電源配線の経路には、電源配線の導通を制御するスイッチが挿入される。

20

【0050】

さらに、固体撮像装置の動作に応じて、電源配線に電源電圧とGND電圧以外の電圧が供給される場合がある。この場合であっても、電源電圧供給ノードに接続されている配線は、電源配線に含まれる。また、ノイズなどにより固定であるべき電圧が変動することが考えられる。

【0051】

30

続いて、信号配線101とパッド102bとが重なった部分の断面構造について説明する。図3は、本発明に係る固体撮像装置の第1実施例における、配線部の断面の概略図である。図3は、図1の直線AAに沿った断面を示している。

【0052】

本実施例の半導体装置100は、半導体基板301と半導体基板上に配された多層配線部302とを含む。半導体基板301は、たとえばシリコン基板である。ここで、平面は、半導体基板301の主面と平行な面である。断面は、半導体基板301の主面に対して垂直な方向を含む面である。半導体基板301の主面は、半導体領域と当該半導体領域の上に配された絶縁膜との界面と定義される。たとえば、トランジスタのチャネルにおける半導体領域とゲート酸化膜との界面は主面である。固体撮像装置であれば光電変換部の半導体領域と酸化膜の界面が主面である。

40

【0053】

多層配線部302は、半導体基板301の主面からの高さが異なる複数の配線層を含む。各配線層には、配線を構成する導電部材が、所定の位置に配される。配線は、たとえばアルミや銅などの金属で形成される。異なる配線層に配された導電部材は、プラグを介して互いに接続される。配線層と配線層との間、および配線層と半導体基板301との間には、それぞれ層間絶縁膜が配される。

【0054】

図3において、303はパッドである。パッド303を介して、半導体装置100と外部との間で信号の入出力が行われる。また、パッド303を介して、半導体装置100

50

への電源電圧およびGND電圧が供給されうる。本実施例において、パッド303は最上層である第1の配線層に形成される。304は絶縁体で構成されるパッシベーション膜である。パッシベーション膜304は、パッド303に対応した位置に開口を有する。パッシベーション膜304に配された開口を通じて、パッド303に、外部と接続するためのボンディングワイヤなどが接続される。

【0055】

305a、305bは電源配線を構成する導電部材（以下、電源配線部材）である。本実施例において、電源配線部材305a、305bは最上層である第1の配線層により形成される。すなわち、パッド303と電源配線部材305a、305bとが、同一の配線層に配される。図3において、2つの分離された部分として示された電源配線部材305a及び305bは、電氣的に同じノードである。本実施例において、電源配線部材305a、305bは、1つの配線層に配される。ただし、電源配線が各回路と接続される場所では、電源配線部材305はプラグを介して他の層の導電部材と電氣的に接続されうる。

【0056】

307、306a、及び306bは、それぞれ信号配線を構成する第1導電部材、第2導電部材、第3導電部材である。である。第2導電部材306a、及び第3導電部材306bは第2の配線層に配される。第1導電部材307は第2の配線層とは異なる層に配される。本実施例では、第1導電部材307は第3の配線層に配される。第1導電部材307はパッド303の下部に、パッド303と平面的に重なるように配される。308a、308bはプラグである。プラグ308a、308bはタングステンなどの導電性材料で形成される。本実施例では、第2導電部材306aと第1導電部材307とが、プラグ308aによって電氣的に接続される。また、第2導電部材306bと第1導電部材307とが、プラグ308bによって電氣的に接続される。

【0057】

310は層間絶縁膜である。層間絶縁膜は、たとえばシリコン酸化膜やシリコン窒化膜などの絶縁体材料で形成される。311はポリシリコン電極である。ポリシリコン電極311は半導体基板301の上に、絶縁膜を介して配される。

【0058】

図3において、309は緩衝部である。緩衝部309は必要に応じて設けられる。緩衝部309はパッド303と第1導電部材307との中間の層に配される。緩衝部309は、パッド303及び信号配線パターン307と平面的に重なって配される。すなわち、断面を見たときに、パッド303、緩衝部309、第1導電部材307が積層して配される。緩衝部309は配線と同じ導電性材料で形成されうる。緩衝部309によって、信号配線パターン307の断線が発生しにくくなる。

【0059】

さらに、緩衝部309の弾性係数は層間絶縁膜310の弾性係数より高いことが好ましい。弾性係数は一定の変形量に必要な応力の強さを表す指標である。弾性係数が高いことの効果について簡単に説明する。パッド303にボンディングワイヤが接続される際に、パッド303およびその下部に応力が加わる。この応力がパッド303の下にある配線に伝わると、配線が断線する可能性がある。緩衝部309の弾性係数は層間絶縁膜310の弾性係数より高いので、緩衝部309は応力を緩和する。その結果、パッド303の下に配された信号配線パターン307が断線しにくくなる。

【0060】

また、本実施例において、緩衝部309は電氣的にフローティングとなっていてよい。緩衝部309が電氣的にフローティングとなっていることの利点について簡単に説明する。パッド303にボンディングワイヤが接続される際に、パッド303の下部の層間絶縁膜310にひび割れが生じる可能性がある。ひび割れはパッド303から緩衝部309まで延在して生じうる。このようなひび割れが生じた領域に水分が侵入すると、パッド303とその下に配された緩衝部309とがショートする恐れがある。緩衝部309が、電氣的にフローティングであれば、パッド303と緩衝部309とがショートしても、他の

回路に影響を与えない。

【0061】

ここで、図1と図3との対応関係について説明する。図3は、図1の直線AAに沿った断面を示している。図1のパッド102bは、図3のパッド303に対応する。図1の電源配線パターン103は、図3の電源配線部材305a、305bに対応する。図1の信号配線101は、図3の第1導電部材307、第2導電部材306a、第3導電部材206b、及びプラグ308に対応する。

【0062】

信号配線101のうちパッド102bと重なった部分は、図3の第1導電部材307に対応する。図3が示す通り、信号配線101のパッド102bと重なった部分（図3の第1導電部材307）は、信号配線101のパッド102a～102eのいずれとも重ならない部分（図3の第2導電部材306a、及び第3導電部材306b）とは異なる層に配される。

10

【0063】

以上に述べた通り、本実施例によれば、例えば、図1において、複数のパッド102a～eと複数の回路との間の領域を小さくすることができる。すなわち、半導体チップの第1方向に直交する方向の長さを小さくすることができる。したがってチップ面積を縮小することが可能となる。

【0064】

図4は本実施例の固体撮像装置の動作タイミングを示す模式図である。期間1において、複数の画素104のそれぞれからの光信号が、対応するラインメモリ205に同時に読み出される。期間1では、信号配線212、213にクロック信号が供給される。これらのクロック信号が、リセットトランジスタ202及び第1スイッチ204を制御する。期間2において、複数のラインメモリ205に保持された光信号が、順次、共通出力線207に読み出される。そして、出力アンプ208から光信号が出力される。期間2では、主走査回路106が、信号配線210に供給されるクロック信号に基づいて、第2スイッチ306を制御する。

20

【0065】

出力回路107から出力された光信号は、信号パッド102dを介して外部へ出力される。この期間は、期間1に関係する信号配線212、213にはクロック信号が供給されない。すなわち、光信号を出力するためのパッドに供給される信号と、信号配線212、213に供給される信号との間では、電圧が変化するタイミングが互いに異なる。したがって、光信号を出力するための信号パッドと、信号配線212または213とが重なるように配置された場合、クロストークの影響が小さい。このように、異なるタイミングで信号が供給されるパッドと信号配線とが、互いに重なって配置されることで、クロストークの影響を低減することができる。

30

【0066】

また、本実施例では、信号処理回路が、画素配列と複数のパッドとの間に配される。このような構成によれば、パッドとパッドとの間に、信号処理回路が配されない。したがって、各パッドのサイズを大きくすることができる。

40

【0067】

また、本実施例では、電源配線を構成する導電部材はパッドと同一の配線層に配される。そして、電源配線を構成する導電部材はパッドと重ならないように配される。したがって、電源配線を構成する導電部材が下層の配線層に配された導電部材にプラグを介して接続される必要がない。そのため、電源配線の経路における、プラグと導電部材とのコンタクトの数を減らすことが可能である。その結果、プラグと導電部材のコンタクト抵抗を減らすことができるので、本実施例の構成によって電源配線の抵抗の上昇を抑制することができる。

【0068】

本実施例では、電源配線が配された配線層に、信号配線が配されていない。そのため、

50

電源配線のレイアウトの自由度が高い。このような構成によれば、電源配線の平面的な幅を大きくすることが可能となる。したがって、電源配線の抵抗をさらに低くすることが可能である。しかしながら、本発明において、信号配線が電源配線と同じ最上層の配線層に配されてもよい。

【0069】

また、図1に示されるように、本実施例においては、第2導電部材306a及び第3導電部材306bと緩衝部309とが同じ配線層に配される。このような構成によれば、第2導電部材306a及び第3導電部材306bと、緩衝部309とを同時に形成することが可能である。具体的には、第2導電部材306a及び第3導電部材306bのパターンと緩衝部309のパターンとが、1回のマスクパターン転写で形成される。したがって、製造工程を増加させることなく、本発明の効果を得ることができる。なお、緩衝部と、信号配線のパッドと重なっていない部分とが別の配線層に配されていてもよい。

10

【0070】

図3において、パッド303が配された領域の外側で、第1導電部材307と第2導電部材306a、及び第3導電部材306bとが電氣的に接続されている。第1導電部材307と第2導電部材306a、及び第3導電部材306bとの接続部、すなわちプラグ308a、308bが、パッド303の配された領域の内側に配されてもよい。また、パッド303のうち応力が掛かる領域は、ワイヤ径やボンディング工程により変わる。例えば、図3のパッシベーション膜304に配された開口に対応した領域のみに応力が掛かることが考えられる。この場合、緩衝部309は、応力がかかる領域の下部にのみ配されていてもよい。

20

【実施例2】

【0071】

図5は、本発明に係る固体撮像装置の第2実施例における、配線部の断面の概略図である。図1と同様の機能を有する部分には同一の符号を付し、詳細な説明は省略する。本実施例の特徴は、信号配線を構成する導電部材のパッドと重なる部分がMOSトランジスタのゲート電極と同じ配線層で形成されたことである。以下で説明する部分を除いて、本実施例は実施例1と同様の構成であってもよい。

【0072】

図5では、素子分離膜501が示されている。素子分離膜501は、半導体基板101の上に配された酸化膜である。例えば、素子分離膜501は、フィールド酸化膜またはSTI(Shallow Trench Isolation)でありうる。

30

【0073】

502は信号配線を構成する導電部材である。本実施例において、導電部材502はポリシリコンで形成される。導電部材502は、半導体基板101上に、素子分離膜501を介して配される。半導体基板101には、不図示のMOSトランジスタが配される。本実施例においては、MOSトランジスタのゲート電極と同じ配線層に、導電部材502が配される。MOSトランジスタを配する場合には、ゲート電極を形成する配線層が必要となるため、導電部材502が配されるための配線層が別途必要とされない。これによって、パッドと信号配線を構成する導電部材502の中間の層に緩衝部309が配された場合であっても、配線層の数が増えない。

40

【0074】

また、導電部材502を形成する材料は、MOSトランジスタのゲート電極を形成する材料と同一であってもよい。この場合は、信号配線パターン502とMOSトランジスタのゲート電極とが同時に形成されうる。MOSトランジスタのゲート電極がポリシリコン以外の材料で形成される場合であれば、信号配線パターン502を形成する材料はポリシリコンに限定されない。また、信号配線パターン502はシリサイド化されたポリシリコンであってもよい。

【0075】

本実施例の固体撮像装置は、実施例1の効果に加えて、配線層の数を削減することが可

50

能である。配線層の数が少なければ、配線の低背化が可能である。あるいは、配線層の数が少なければ、製造工程の簡略化が可能である。

【実施例 3】

【0076】

図 6 は、本発明に係る固体撮像装置の第 3 実施例における、配線部の平面的な模式図である。本実施例においては、信号配線パターンのパッドと重なった部分の幅が、信号配線パターンのパッドと重なっていない部分の幅よりも大きいことが特徴である。以下に説明する部分を除いて、本実施例は実施例 1 または実施例 2 と同様の構成であってもよい。

【0077】

601 はパッドである。602a ~ 602c、603a ~ 604c、604a ~ 604c は信号配線を構成する導電部材である。同じ数字の符号に異なる添え字が付されたことは、異なる信号を伝達する信号配線を構成する導電部材であることを示している。ここで、導電部材 602a ~ 602c は、図 3 の第 2 導電部材 306a に対応する。導電部材 603a ~ 603c は、図 3 の第 3 導電部材 306b に対応する。導電部材 604a ~ 604c は、図 3 の第 1 導電部材 307 または図 5 の導電部材 502 に対応する。以下、特に断りがない限り、導電部材 602a、603a、604a についての説明は、導電部材 602b、603b、604b、及び 602c、603c、604c に適用できる。

【0078】

導電部材 602a と導電部材 603a とは同一の配線層に配される。そして、導電部材 604a は、導電部材 602a、603a とは異なる配線層に配される。導電部材 602a と導電部材 604a とは、不図示のプラグによって接続されうる。同様に、導電部材 603a と導電部材 604a とは、不図示のプラグによって接続されうる。

【0079】

図 6 が示す通り、信号配線を構成する導電部材 604a はパッド 601 と平面的に重なって配される。そして、導電部材 604a は、導電部材 602a または導電部材 603a よりも幅が大きい部分を有する。本実施例では、パッド 601 と重なった部分の幅が、導電部材 602a または導電部材 603a の幅よりも大きい。導電部材 604a の幅は、信号が伝達する方向に対して垂直な方向に沿った長さとして定義される。例えば、導電部材 604a では、導電部材 602a から導電部材 603a へ向かう方向に信号が伝達される。したがって、図 6 の直線 BB で示される方向に沿った長さが、導電部材 604a の幅である。

【0080】

以上に述べた通り、本実施例では、実施例 1 ~ 2 の効果に加えて、信号配線の抵抗を低くすることが可能となる。信号配線の抵抗が低いと、例えば、クロック信号の高速化が可能である。また、導電部材 604a が、導電部材 602a、603a よりも高抵抗の材料で形成された場合に、本実施例の効果はより顕著になる。例えば、導電部材 602a、603a がアルミまたは銅で形成され、導電部材 604a がポリシリコンで形成された場合には、本実施例の効果は顕著になる。

【実施例 4】

【0081】

図 7 は、本発明に係る固体撮像装置の第 4 実施例における、平面レイアウトの概略図である。図 1 と同様の機能を有する部分には同一の符号を付し、詳細な説明は省略する。本実施例においては、複数のパッドの間に、信号処理回路が配されたことが特徴である。以下に説明する部分を除いて、実施例 1 ~ 実施例 3 と同様の構成であってもよい。

【0082】

本実施例では、複数のパッド 702a ~ 702d が、画素配列方向である第 1 方向と同じ方向に沿って配される。電源パッド 702d には、電源配線 703 が電氣的に接続される。GND パッド 702a には、GND 配線 704 が電氣的に接続される。信号パッド 702b は、増幅回路 (Amp) の出力ノードに電氣的に接続される。増幅回路 (Amp) から出力された信号が信号パッド 702b を介して出力される。

【 0 0 8 3 】

図 7 が示す通り、本実施例においては、複数の回路が、画素配列方向と平行な方向に沿って配される。ここで、パッド 7 0 2 a とパッド 7 0 2 b との間に、T G 7 0 5 が配される。パッド 7 0 2 c とパッド 7 0 2 d との間に、制御回路 7 0 6、その他の回路 7 0 7 が配される。このように、本実施例においては、複数のパッドと複数の回路部とが一直線上に配される。具体的に言えば、少なくとも 2 つのパッドを横断し、かつ、少なくとも 1 つの回路部を横断する 1 本の直線を引くことができる。もしくは、少なくとも 1 つのパッドを横断し、かつ、少なくとも 2 つの回路部を横断する 1 本の直線を引くことができる。また、図 7 が示す通り、T G 7 0 5 が配された回路部の第 1 方向に直交する第 2 方向の長さは、パッドの第 2 方向の長さよりも短い。制御回路 7 0 6、その他の回路 7 0 7 も同様である。

10

【 0 0 8 4 】

信号配線 7 0 1 は、T G 7 0 1 と各回路とを電氣的に接続する。上述の通り、複数の回路が第 1 方向に沿って配されるため、信号配線 7 0 1 は全体として第 1 方向に沿って配される必要がある。信号配線 7 0 1 a はパッド 7 0 2 a と重なって配される。信号配線 7 0 1 b はパッド 7 0 2 b と重なって配される。また、信号配線 7 0 1 c はいずれのパッドとも重ならず配される。そのかわり、信号配線 7 0 1 c は電源配線 7 0 3 と重なって配されうる。なお、本実施例において、信号パッド 7 0 2 b に電氣的に接続された信号配線は、パッド 7 0 2 c と重なって配される。信号配線 7 0 1 と、複数のパッド 7 0 2 a ~ 7 0 2 d とが重なった部分の断面構造は、図 3 に示された構造と同様であってもよい。

20

【 0 0 8 5 】

本実施例においては、回路が二つのパッドの間に配される。例えば、T G 7 0 5 はパッド 7 0 2 a とパッド 7 0 2 b との間に配される。そのため、電源配線 7 0 3 が、複数のパッド 7 0 2 a ~ 7 0 2 d の画素から遠い側に配される。そして、G N D 配線 7 0 4 が、複数のパッド 7 0 2 a ~ 7 0 2 d の画素に近い側に配される。つまり、T G 7 0 5 に電源電圧を供給する電源配線 7 0 3 と、G N D 電圧を供給する G N D 配線 7 0 4 とが反対方向に配される。このようなレイアウトに限らず、一方の側から電源電圧及び G N D 電圧を供給するレイアウトとしてもよい。この場合、電源配線及び G N D 配線の一方は、他方の配線と交差するために下層の中継配線に接続されうる。

【 0 0 8 6 】

いずれの場合であっても、電源配線もしくは G N D 配線のいずれか一方は複数のパッド 7 0 2 a ~ 7 0 2 d に隣接して配されうる。信号配線 7 0 1 c により、信号配線 7 0 1 が電源配線 7 0 3 と重なって配されることで、チップ面積を小さくすることが可能となる。しかしながら、信号処理回路の回路規模が増大すると、必要な信号配線 7 0 1 の数が増え、全ての信号配線 7 0 1 を電源配線 7 0 3 の下に配することが困難になる。

30

【 0 0 8 7 】

本実施例においては、信号配線 7 0 1 を構成する導電部材の一部が少なくとも一部のパッドと重なって配される。これによって、例えば、電源配線 7 0 3 を構成する導電部材と複数のパッド 7 0 2 a ~ 7 0 2 d との間に、信号配線 7 0 1 を構成する導電部材のみが配された領域を設ける必要がない。したがって、チップ面積を小さくすることが可能となる。

40

【 0 0 8 8 】

本実施例においては、複数のパッド 7 0 2 a ~ 7 0 2 d と複数の回路ブロック 7 0 5 ~ 7 0 7 とが、複数の画素 1 0 4 が配された第 1 方向に沿って、一直線上に配される。これによって、第 1 方向と交差する方向の長さを小さくすることが可能である。したがって、チップ面積をさらに低減することが可能である。

【 符号の説明 】

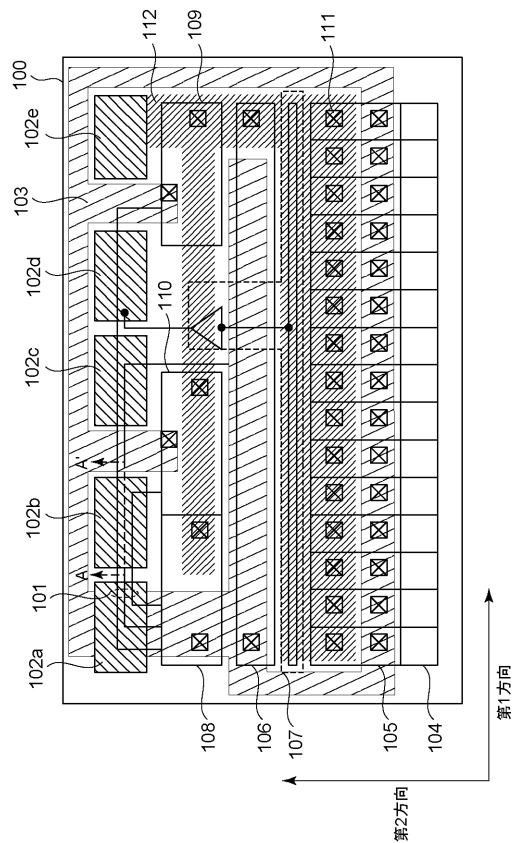
【 0 0 8 9 】

- 1 0 0 半導体装置
- 1 0 1 信号配線

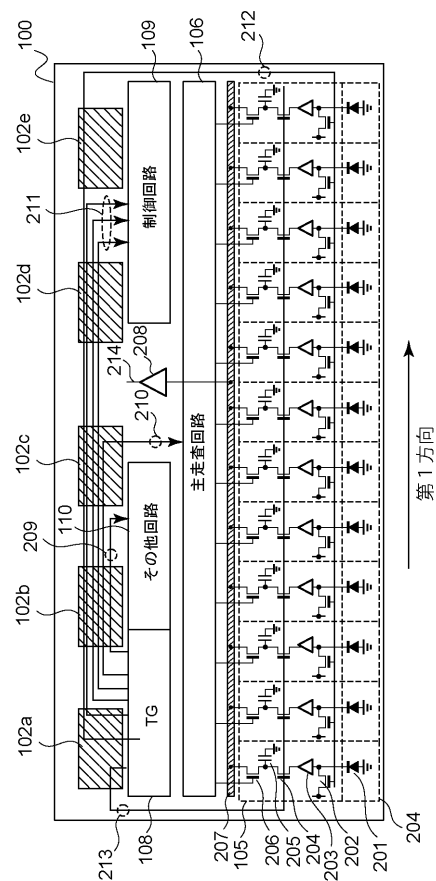
50

- 102a ~ 102e パッド
- 104 画素
- 105 読み出し回路
- 106 主走査回路
- 107 出力回路
- 108 タイミング・ジェネレータ
- 109 制御回路
- 110 その他の回路
- 306a 第2導電部材
- 306b 第3導電部材
- 307 第1導電部材

【図1】



【図2】



フロントページの続き

(72)発明者 黒田 享裕
東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 柴山 将隆

(56)参考文献 国際公開第2005/083767(WO, A1)
特開2007-184311(JP, A)
特開2006-310407(JP, A)
特開2007-042718(JP, A)
特開平07-094695(JP, A)
特開2010-251595(JP, A)
特開2008-078354(JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/146
H01L 21/3205
H01L 21/768
H01L 23/522
H01L 27/04
H01L 21/82